

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G01R 31/303

[12] 发明专利申请公开说明书

[21] 申请号 98117522.8

[43]公开日 1999年6月2日

[11]公开号 CN 1218183A

[22]申请日 98.6.13 [21]申请号 98117522.8

[30]优先权

[32]97.6.13 [33]JP [31]156925/97

[71]申请人 株式会社爱德万测试

地址 日本东京都

[72]发明人 叶山久夫 后藤敏雄

[74]专利代理机构 柳沈知识产权律师事务所

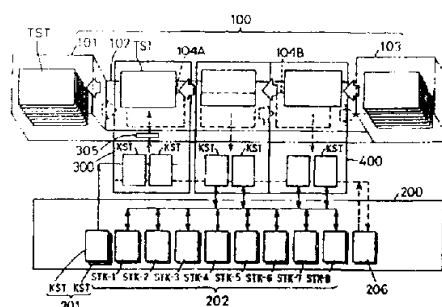
代理人 陶风波

权利要求书 2 页 说明书 16 页 附图页数 9 页

[54]发明名称 半导体集成电路测试装置

[57]摘要

一种 IC 测试装置,可连续自动地作复合 IC 存储器部分的测试和逻辑部分的测试。在测试盘的循环移动路线上设置在存储器用测试头(104A)和逻辑测试用测试头(104B),使放置在测试盘上的被测试 IC 以放置在其测试盘上的状态,与装在各测试头上的插座电接触,依次测试被测试 IC 的存储器部分和逻辑部分。最好是最初由存储器测试用测试头测试被测试 IC 的存储器部分,接着由逻辑测试用测试头测试被测试 IC 的逻辑部分。



ISSN 1008-4274

权 利 要 求 书

1. 一种半导体集成电路测试装置, 其中, 测试盘沿着预定的运动路线以循环方式运动, 从而通过在测试盘的路线中设置的测试头, 测试载放在所述测试盘上的被测试各集成电路, 其特征是, 在所述测试盘运动路线上设置存储器测试用测试头和逻辑测试用测试头, 被测试各集成电路每个均具有存储部分和逻辑部分, 在各集成电路放置在所述同一测试盘上的状态由所述各测试头测试。

2. 如权利要求 1 所述的装置, 其中, 放置在同一测试盘上的被测试各集成电路, 最初由所述存储器用测试头测试所述被测试集成电路的存储器部分, 然后, 由所述逻辑测试用测试头测试所述被测试集成电路的逻辑部分。

3. 如权利要求 1 或 2 所述的装置, 还包括用于在 X - Y 方向以一定增量移动和分度所述一个测试盘的 X - Y 移动机构, 并且利用该 X - Y 移动机构, 在所述各集成电路放置在同一测试盘上的同时, 依次使载置在所述测试盘上的被测试集成电路与所述逻辑测试用测试头的测试用插座接触。

4. 如权利要求 2 所述的装置, 其中, 只是把所述存储器测试用测试头所作的存储器部分的测试结果为合格的被测试集成电路, 用所述逻辑测试用测试头再测试那些逻辑部分。

5. 如权利要求 3 所述的装置, 其中, 在所述 X - Y 移动机构上装着 Z 向驱动装置, 利用此 Z 向驱动装置使所述测试盘上下移动, 依次使放置在同一测试盘上的被测试集成电路, 与所述逻辑测试用测试头的测试用插座接触。

6. 一种半导体集成电路测试装置, 其中, 测试盘沿着预定的路线以循环方式移动, 从而由在测试盘移动的路线中设置的测试头测试放置在所述测试盘上的被测试集成电路, 同时各集成电路在同一测试盘, 根据由附加在测试盘上的识别号码和附加在测试盘内的各集成电路放置位置的号码决定的地址, 管理其测试结果, 其特征是, 在所述测试盘的路线上设置存储器用测试头和逻辑测试用测试头, 并且利用各测试头, 在各个集成电路放置在同一个测试盘的状态, 测试放置在一个测试盘上的被测试集成电路的存储器部分和逻辑部分。

7. 如权利要求 6 所述的装置, 其中, 放置在该一个测试盘上的被测试集

成电路，最初由所述存储器用测试头测试所述被测试集成电路的存储器部分，然后，由所述逻辑测试用测试头测试所述被测试集成电路的逻辑部分。

8. 如权利要求 6 或 7 所述的装置，其中，在所述逻辑测试用测试头的上部一定位置上，设置在 X - Y 方向以一定间距使该一个测试盘移动的 X - Y 移动机构，利用该 X - Y 移动机构，以放置在同一测试盘上的状态，依次使载置在所述测试盘上的被测试集成电路与所述逻辑测试用测试头的测试用插座接触。

9. 如权利要求 7 所述的装置，其中，只是把所述存储器测试用测试头所作的存储器部分的测试结果为合格的被测试集成电路，用所述逻辑测试用测试头再测试那些逻辑部分。

10. 如权利要求 8 所述的装置，其中，在所述 X - Y 移动机构上装着 Z 向驱动装置，利用此 Z 向驱动装置使所述测试盘上下移动，依次使放置在同一测试盘上的被测试集成电路，与所述逻辑测试用测试头的测试用插座接触。

说明书

半导体集成电路

测试装置

5

本发明涉及半导体集成电路测试装置，测试由半导体集成电路构成的半导体器件；具体来说，是有关这样的半导体集成电路测试装置，可测试使存储部分和逻辑电路部分作为半导体集成电路在芯片上一起形成的半导体集成电路。

10

对于在应测试的半导体集成电路上外加一定图形的测试信号测定其电特性的半导体集成电路测试装置，具有一个集成电路运送处理装置(下面称为装卸装置， handler)，用于把半导体集成电路(下面称为 IC)运送到测试部，在该测试部使集成电路与所述测试装置的测试头的插座作电接触，把测试完的集成电路从测试部运出，根据测试结果把测试完的集成电路区分为合格品、不合格品。在本说明书中包括连接这种装卸装置的集成电路测试装置，把在集成电路上外加一定图形的测试信号测定其电特性的测试装置总称为集成电路测试装置。

15

20

已有的集成电路大体区分为两种，即把主要为存储器部分的称为存储器集成电路，主要为逻辑部分(以下称为逻辑部分)的称为逻辑集成电路。存储器集成电路尽管在近年来存储容量增加，但是其引线数(端子数)顶多控制在数十条(20 - 40)内。相反，逻辑集成电路引线数非常多，往往达到数百条(500)。

25

象这样，由于在存储器集成电路和逻辑集成电路中，引线数量很不同，测试方法也完全不同，所以已有的存储器集成电路测试装置(存储器测试系统)和逻辑集成电路测试装置(逻辑测试系统)分开提供，使用完全不同结构的集成电路测试装置(尤其是装卸装置的结构不同)测试存储器集成电路和逻辑集成电路。

30

然而，最近的趋势是，正在制造这样的复合集成电路(通常称为系统 LSI)，在逻辑集成电路内部装较大容量的存储器部分。为了测试这样的复合集成电路，原来理想的是以使逻辑部分和存储部分复合的状态实施综合测试。然而，因此在测试中所需的测试图加大，难以实现。问题还在于由于测

试所需时间也长，所以必须长时间使用昂贵的测试系统，在测试中所需成本过高。

由于上述情况，一般设法把复合集成电路的引线(端子)引出，以把存储器部分和逻辑部分分离的状态分别测试，所采用的方法是利用存储器集成电路测试装置测试存储器部分，利用逻辑集成电路测试装置测试逻辑部分。

这里，对于过去使用的存储器集成电路测试装置和逻辑集成电路测试装置的区别作详细说明。

如上所述，存储器集成电路由于引线数少到 20 - 40，因此，所构成的集成电路测试装置一次可测试许多集成电路。众所周知，在集成电路测试装置中，把在被测集成电路中写入一定的图形测试信号，同时从被测的集成电路中读出写入的测试信号的部分称为测试头，其与集成电路测试装置主体不成为一体，配置在装卸装置的测试部上。在该测试头上安装操作板(performance board)，在该操作板上安装与被测集成电路的引线作电接触的插座。由于在该测试头上能形成的触点数是有限的(为 500 - 600 数量级)，所以在测试头上可安装的插座数也是有限的。

因此，在存储器集成电路测试装置中，根据被测集成电路的引线数量，在测试头上装设适当数量的插座，例如对于引线数量为 40 的集成电路，在测试头上装着 16 个插座，从而一次可测试 16 个集成电路；对于 20 条引线的集成电路，在测试头上装着 32 个插座，从而一次可测试 32 个集成电路；对于 10 条引线的集成电路，在测试头上装着 64 个插座，从而一次可测试 64 个集成电路。据此，根据被测试集成电路的引线数量，可以确定可测试的集成电路数量。

近年来，由于集成电路存储器的容量一向变大，所以趋势是在测试中所需时间变长。根据这一点，在存储器集成电路测试装置中，利用一次测多个集成电路来缩短测试所需时间，降低所需成本。

相反，在逻辑集成电路测试装置中，由于逻辑集成电路的引线数量为数百条，所以一次可测试的集成电路数量受到很大限制，一般应用一次测试 1 个至数个的集成电路测试装置。

接着参照图 4 至图 10，说明在存储器集成电路用的集成电路测试装置中使用的装卸装置的大体结构。

图 4 表示用于传送和处理存储器集成电路的装卸装置之一例的平面示意

图，室部以类似透视图来表示，图 5 是图 4 中表示的装卸装置的示意性透视图。所示的装卸装置设有：室部 100，测试装在测试盘 TST 上运送过来的集成电路(半导体存储器)；集成电路容纳部 200，用于存储被测试集成电路(待测试集成电路)和已经测试和分类完的集成电路；装载部 300，把用户预先在通用盘(用户盘)KST 上放置的被测试集成电路再转移、放置在耐高低温的测试盘 TST 上；卸载部 400，把在室部 100 测试结束放置在测试盘 TST 上运送过来的测试完的集成电路，由测试盘 TST 再转移、放置到通用盘 KST 上。该卸载部 400 通常的构造功能是根据测试结果，把测试完的集成电路分类，放置在对应的通用盘上。

10 室部 100 的构成包括：恒温槽 101，对装在测试盘 TST 上的被测试集成电路施加高温或低温的温度应力；测试室 102，在该恒温槽 101 中对处于施加温度应力状态的集成电路作电测试；去热/去冷槽 103，从在测试室 102 中测试完的集成电路中，除掉在恒温槽 101 中施加的温度应力。测试室 102 在其内部含有集成电路测试装置存储器测试用测试头 104，对于与安装在该存储器测试用测试头 104 上的插座电接触的被测试集成电路，通过该测试头 104，提供测试用各种电信号，同时，接收来自被测试集成电路的响应信号，送达集成电路测试装置。

20 测试盘 TST 按以下顺序循环移动，装载部 300 → 室部 100 的恒温槽 101 → 室部 100 的测试室 102 → 室部 100 的去热/去冷槽 103 → 卸载部 400 → 装载部 300。恒温槽 101 以及去热/去冷槽 103 比测试室 102 高，因此，从图 5 可了解，在上方有突出部分。如图 5 所示，在向这些恒温槽 101 和去热/去冷槽 103 上方突出的上部间，插搭底板 105，在该底板 105 上装着测试盘运送装置 108，用该测试盘运送装置 108 从去热/去冷槽 103 侧向恒温槽 101 运送测试盘 TST。

25 在恒温槽 101 对被测试集成电路例如施加 125℃ 高温情况下，去热/去冷槽 103 利用风冷回到室温后，再向卸载部 400 运出。并且，在恒温槽 101 对被测集成电路施加例如 - 30℃ 低温情况下，用热风或加热器等加热，在返回不产生结露的温度之后，向卸载部 400 运出。

30 在装载部 300 装载被测试集成电路的测试盘 TST 从装载部 300 运往室部 100 的恒温槽 101。在恒温槽 101 上装着垂直运送装置，该垂直运送装置的结构功能是，可以迭层状态支持多个(例如 9 个)测试盘 TST。在图示的例子

中，在最上面支持来自装载部 300 的测试盘，向测试室 102 运出最下面的测试盘。利用垂直运送装置的向垂直方向下方的运动，在使最上面的测试盘依次移动到最下面期间，并且，在待机到测试室 102 空出期间，被测试集成电路受到高温或低温的一定温度应力。测试室 102 在其中央，配置测试头 104，
5 从恒温槽 101 一个个搬出的测试盘 TST 被运到测试头 104 之上，如后面所述，装在其测试盘上的被测试集成电路内的一定量的被测试集成电路与安装在测试头 104 上的集成电路插座(未图示)电连接。当通过测试室 104 一个测试盘上的全部被测试集成电路的测试结束时，则测试盘 TST 向去热/去冷槽 103 运送，执行测试完集成电路的去热去冷，使集成电路回到室温，输送至
10 卸载部 400。

去热/去冷槽 103 也与所述恒温槽 101 一样设置垂直运送装置，其结构功能是利用该垂直运送装置以层迭状态支持多个(例如 9 个)测试盘 TST。在图示的例中，在最下面支持来自测试室 102 的测试盘，使最上面的测试盘向卸载部 400 排出。利用向垂直运送装置的垂直方向上方移动，在使最下面测试
15 盘依次被移动到最上面期间，测试完的集成电路被去热/去冷，回到外部温度(室温)。

向卸载部 400 排出的测试盘 TST 上的测试完集成电路通过测试盘以每个测试结果的种类分类，转移、存储在对应的通用盘 KST 上。在卸载部 400 空闲的测试盘 TST 被运送到装载部 300，在此通过通用盘 KST 再次把被测试集成电路搭载、转送。下面重复同样的动作。
20

在装载部 300，作为把用通用盘 KST 运送集成电路到测试盘 TST 上的集成电路运送装置，如图 5 所示，可使用由以下部分构成的 X - Y 运送装置 304，其构成包括：一对平行轨道 301，装在装载部 300 的上部的底板 105 的，向装载装置的前后方向(该方向为 Y 方向)延伸地相对平行设置；可动臂
25 302，架设在这两根轨道 301 之间，在 Y 方向可动，其两端支持在两根轨道 301 上；可动头 303，装在该可动臂 302 上，沿此臂的纵向方向运动，即，在装载装置的左右方向(该方向为 X 方向)活动地支持在可动臂 302 上。根据所述构成，可动头 303 能沿测试盘 TST 和通用盘 KST 之间在 Y 向作往返运动，并且，能沿可动臂 302 在 X 方向移动。

30 在可动头 303 下面，在上下方向可动地装着器件夹持头，利用可动头 303 向 X - Y 方向移动和向该夹持头下方的移动，夹持头正好与放置在通用盘

KST 上的集成电路接触，例如利用真空吸引作用吸住、保持集成电路，把集成电路从通用盘 KST 运送到测试盘 TST。可动头 303 可设有多个，例如 8 个夹持头，从而一次可把 8 个集成电路从通用盘 KST 运送到测试盘 TST。

此外，在通用盘 KST 的停止位置和测试盘 TST 的停止位置之间，设置称为“精调器(preciser)”的集成电路位置修正装置 305。该位置修正装置或精确器 305 有较深的凹部，夹在夹持头中的集成电路在向测试盘 TST 运送之前落入该凹部。凹部周缘用倾斜面包围，用该倾斜面规定集成电路落下位置。用位置修正装置 305 正确限定 8 个集成电路相互位置以后，再次用夹持头夹持限定这些位置的集成电路，运送到测试盘 TST。设置象这样位置修正装置 305 的理由是，在通用盘 KST 中，保持集成电路的凹部比集成电路的形状要大，因此，存储在通用盘 KST 中的集成电路位置上有大的偏差，如若直接在此状态下用夹持头夹持的集成电路运送到测试盘 TST，则会有集成电路不能直接落入在测试盘 TST 上形成的集成电路存储凹部。因此，设置位置修正装置 305，用该位置修正装置 305 使集成电路排列精度与在测试盘 TST 上形成的集成电路存储凹部的排列精度一致。

在卸载部 400 上设置两组与设在装载部 300 上的 X - Y 运送装置 304 同一结构的运送装置 404，用这些 X - Y 运送装置 404，使测试完的集成电路从在卸载部 400 搬出的测试盘 TST 换装到通用盘 KST 上。各 X - Y 运送装置 404 由以下部分组成：两根轨道 401，相对平行架设，在装卸装置前后方向(Y 方向)延伸；可动臂 402，架设在这两根轨道 401 之间，在 Y 方向可移动地把其两端部支持在这两根轨道 401 上；可动头 403，在该可动臂 402 伸展的方向上，并且在装卸装置的左右方向(X 方向)上可移动地支持在可动臂 402 上。

图 6 表示测试盘 TST 一例的构造。在测试盘 TST 的方框架 12 上平行且等距地形成多个格条 13，在这些格条 13 两侧以及与格条 13 相对的框架 12 的边 12a、12b 上，分别等距突出地形成多个安装片 14。各格条两侧的安装片 14 是这样成形，一侧安装片 14 位于相反侧安装片的中间，同样，框架 12 的边 12a、12b 的安装片 14 成形是位于相对的格条 13 的安装片 14 的中间。在这些相对的格条 13 之间的空间、以及与格条 13 相对的边 12a、12b 之间的空间中，分别以并排状态收容多个集成电路托架 16。各集成电路托架 16 容纳在托架收容部 15 中，该收容部 15 是在这些空间中在对角线方向

的角部，包括位置错开偏斜相对两个安装片 14 的一个长方形区域。因此，在图示的例中由于在各格条 13 的一个侧面形成 16 个安装片 14，所以在所述各空间中形成 16 个托架收容部 15，安装 16 个集成电路托架 16。在图示的例中，因有四个空间，所以在一个测试盘 TST 上可装配 16×4 个，总共为 64 个集成电路托架 16。在两个安装片 14 上利用固定器 17 以游离状态(可动状态)安装各托架 16。

集成电路托架 16 的外形为同一形状，并且有相同的外形尺寸，在其中中央形成容纳集成电路器件的集成电路收容部 19。该集成电路收容部 19 的形状和尺寸根据收容的集成电路器件的形状和尺寸来决定。在该例子中集成电路收容部 19 作成方形凹部。集成电路收容部 19 的外形选择成在托架收容部 15 中相对的安装片 14 之间空间中动配合的尺寸。在集成电路托架 16 的两端分别设置成适合于配置在相应的安装片 14 上的凸缘。在这两凸缘上分别形成穿插固定器 17 的安装孔 21，和插入定位销的孔 22。

在测试如在方形扁平封装 QFP(Quad Flat Package)中容纳的集成电路，从薄的正方形或长方形封装四侧面取出端子引线(导线)的集成电路情况下，在集成电路收容部 19 的底面，如图 7 所示于前后左右四方形成窗(开口)23，通过这些窗 23，使集成电路端子引线 18 从集成电路托架 16 的底面向背侧露出，如图 8 所示，使这些露出的端子引线 18 与在测试头 104(具体来说是安装在测试头 104 上的操作板)上装着的集成电路插座的触头(插座端子)24 接触，进行测试。为使这些端子 18 引线和触头 24 作可靠地电接触，在测试头 104 上部，把在各集成电路托架 16 上容纳的集成电路向下挤压并押住，为了把端子 18 引线压接在触头 24 上，设置压接件(推杆)20。如上所述，一次能测试的集成电路个数取决于安装在测试头 104 上的集成电路插座的个数。例如，如图 9 所示，在测试盘 TST 上配置 4 行 $\times$ 16 列集成电路的情况下，在测试盘 104 上装配 $4 \times 4 = 16$ 个集成电路插座，使得能一次可全部测试各行每隔 4 列集成电路(用斜线指示的元件)。就是说，对于在各行的 1、5、9、13 列上分别配置的 16 个集成电路实施第 1 次测试，使测试盘移动集成电路 1 列，对于在各行 2、6、10、14 列上配置的 16 个集成电路实施第 2 次测试，以下相同地作 4 次测试，测试全部集成电路。测试结果利用分配给各集成电路的序列号码(1 组内的序列号码)、附加在测试盘 TST 上的识别码、以及分配给测试盘 TST 的集成电路容纳部 19 的号码，决定地址，存储在对应

存储器的地址中。其中，当在测试头 104 上安装 32 个集成电路插座情况下，仅作 2 次测试就可测试在 4 行 16 列上配置的 64 个全部的集成电路。

在集成电路容纳部 200 上设置：被测试集成电路储料器 201，收容装载被测试集成电路的通用盘 KST；测试完集成电路储料器 202，收容在其上容纳根据测试结果按每个种类划分的测试完集成电路的通用盘 KST。这些被测试集成电路储料器 201 和测试完集成电路储料器 202 的构成能以迭层状态收容通用盘 KST。在被测试集成电路储料器 201 上容纳以迭层状态收容的装在被测试集成电路的通用盘 KST 从迭层的顶部依次运到装载部 300，在装载部 300 中，把被测试集成电路从通用盘 KST 换装到停在装载部 300 的测试盘 TST 上。

被测试集成电路储料器 201 和测试完集成电路储料器 202 可以具有同样的形状和构造，其中一个如图 10 中所示。例示的储料器设置有：盘支持框 203，其上敞开，并且底面有开口；升降机 204，配置在该支持框 203 的下部，通过盘支持框 203 底面的开口，沿盘支持框 203 内可上下升降。在盘支持框 203 内存放和支持多个通用盘 KST，各盘互相叠置，利用从盘支持框 203 底面进入的升降机 204 使该堆积的通用盘 KST 在上下方向移动。

在图 4 以及图 5 所示的例子中，作为测试完集成电路的储料器 202，提供 STK - 1、STK - 2、...、STK - 8 共 8 个，从而根据测试结果，最多可分成 8 种测试完的集成电路。其原因是，除了把测试完的集成电路区分为合格品和不合格品外，在合格品中分为动作速度为高速的，中速的，低速的，或在不合格品中分为需要重新测试的等。即使可区分的种类多达 8 种，但在图示的例子中，在卸载部 400 上也仅能配置 4 个通用盘 KST。因此，在被分配给配置在卸载部 400 上的通用盘 KST 的种类以外种类的测试完集成电路产生的情况下，采取的措施是：把通用盘 KST 之一从卸载部 400 返回集成电路容纳部 200，把代之应容纳新产生的种类集成电路的通用盘 KST 从集成电路容纳部 200 向卸载部 400 转送，从而容放此种类的集成电路。

如图 5 所示，在被测试集成电路储料器 201 以及测试完集成电路储料器 202 的上部，并在底板 105 之下，设置通过被测试集成电路储料器 201 和测试完集成电路储料器 202 排列方向(即测试装置的左右方向)的整个范围可移动的盘运送装置 205。该盘运送装置 205 在其下面备有夹持通用盘 KST 的夹持器(未图示)。使盘运送装置 205 向被测试集成电路储料器 201 的盘支持框

203 的上部移动, 以其状态驱动升降机 204, 使堆在盘支持框 203 内的通用盘 KST 上升。用盘运送装置 205 的夹持器夹持上升过来的通用盘 KST 中最上部的盘。

一旦载置着被测试集成电路的最上部的通用盘 KST 已传送至盘运送装置 205, 则升降机 204 下降, 回到原来位置。与此同时, 利用例如链条或钢索等的传动装置沿导轨(未图示)在水平方向使盘运送装置 205 移动, 在装载部 300 的预定位置停止。在该位置盘运送装置 205 从夹持器取下通用盘 KST, 刚好把该通用盘 KST 放在位于下方的容器盘(未图示)上。在容器盘上放下通用盘 KST 的盘运送装置 205 用传动装置沿导轨再在水平方向移动, 在
10 装载部 300 以外的位置上停止。

在此状态, 升降机 204 从放置着通用盘 KST 的容器盘的下侧上升, 使载置着被测试集成电路的通用盘 KST 上升, 从而以通用盘 KST 上面与在底板 105 上形成的窗 106 相面对的状态(通用盘 KST 上面通过窗 106 露出的状态)保持该通用盘 KST。具体来说, 在窗 106 下侧周边上设置夹持通用盘 KST 的夹持器(未图示), 通过在该夹持器上夹持容纳被测试集成电路的通用盘
15 KST, 在所述状态下保持通用盘 KST。在该状态下把被测试集成电路从通用盘 KST 通过窗 106 装到测试盘 TST 上。

在卸载部 400 上部的底板 105 上也形成类似的窗 106。在该例中, 各窗的大小使得两个通用盘的上表面可面对窗。因此, 通过卸载部 400 的两个窗
20 106, 在 4 个空闲的通用盘上可容纳测试完集成电路。在卸载部 400 的窗 106 上也同样设置在该窗 106 下侧周边上夹持通用盘 KST 的夹持器(未图示), 利用这些夹持器夹持空闲通用盘 KST。在这些空闲的通用盘 KST 上, 根据分配给各通用盘的种类, 使测试完集成电路分类存放。

尽管未图示, 与装载部 300 的情况一样, 在卸载部 400 上也设置暂时收存(承载)各通用盘的容器盘以及升降机。一个通用盘 KST 装满, 则升降机上
25 升, 支持其通用盘 KST, 在该状态解除夹持器的夹持。与升降机下降的同时, 通用盘 KST 从窗 106 的下侧下降, 暂时载放在容器盘上, 其后, 利用盘运送装置 205 存放在给本身分配的种类盘容纳位置上。

此外, 图 4 以及图 5 所示的标号 206 表示收容空闲通用盘 KST 的空闲盘储料器。从该空闲盘储料器 206, 利用盘运送装置 205、升降机 20, 空闲的通用盘被运送到卸载部 400 的各窗 106 的位置上, 并保持, 供测试完集
30

成电路的存放。

接着，参照图 11，说明逻辑集成电路用集成电路测试装置上使用的装卸装置的大体构成。

图 11 是表示逻辑集成电路用装卸装置的示意构成平面图。该装卸装置包括：底盘 111；供给侧盘 116，在该底盘 111 上的图中，载放配置在左侧上部的被测试集成电路 115；接收侧盘 117，载放在该供给侧盘 116 下侧上配置的测试完集成电路；X - Y 运送装置 130，把被测试集成电路 115 从供给侧盘 116 运送到逻辑测试用测试头 112，同时，把测试完集成电路从逻辑测试用测试头 112 运送到接收侧盘 117。

逻辑测试用测试头 112 装在底盘 111 图中右侧的中央部分，由电缆 114 与逻辑集成电路用集成电路测试装置的主体 113 作电连接。在该测试头 112 上装着在该例的一个插座，向使与该插座的触头作电接触的被测试集成电路 115 上提供一定的图形信号，执行被测试集成电路的逻辑部分的测试。

X - Y 运送装置 130 在图示的例子中由以下部分组成：两根轨道 131，相向平行架设，沿底盘 111 上部以及下部的侧缘，在其左右方向(规定该方向为 X 方向)延伸；可动臂 132，架设在这两根轨道 131 之间，在 X 方向可动，其两端部支持在这两根轨道 131 上；可动头 133，在底盘 111 的前后方向(设该方向为 Y 方向)可移动，由可动臂支持。根据所述构成，可动头 133 利用可动臂 132 向 X 方向往返移动，能在 X 方向往返运动，同时能沿可动臂 132 在 Y 方向运动。

在可动头 133 的底表面，装着垂直方向可移动的集成电路夹持头 134。该集成电路夹持头 134 在该例中是真空吸附头，利用真空吸附作用吸附并保持集成电路，并且，利用如气缸驱动源的驱动力可向下移动，在关闭驱动源，以除去驱动力时，则利用常态下向上偏置的偏置装置返回原来位置。

利用可动头 133 的 X - Y 方向移动和该集成电路夹持头 134 的向下移动，集成电路夹持头 134 正好与放置在供给侧盘 116 上的被测试集成电路 115 接触，吸附并保持集成电路，把集成电路从供给侧盘 116 运送到测试头 112。并且，用测试头 112 的测试一旦结束，则集成电路夹持头 134 从测试头 112 吸附和保持测试完的集成电路，并向接收侧盘 117 运送。在图示的例中，所表示的结构是，在可动头 133 上装着一个真空吸附头 134，一次吸附一个集成电路并保持运送的情况。

接收侧盘 117 在各存放集成电路的每个位置上设置存储器。存放的测试完集成电路的好坏判断结果被存储在相应的存储器中。

5 这里，在测试包括存储器部分和逻辑部分的复合集成电路的情况下，设定测试顺序，在把存储器部分测试以后，再测试逻辑部分，只是在存储器部分的测试中判断为合格品的集成电路接受逻辑部分的测试。其结果，载置于逻辑集成电路用的装卸装置供给侧盘 116 上的集成电路，在存储器部分的测试中判断为合格品，还有，动作速度作为属于高速、中速、低速的，是分了一类的同一品质的集成电路。即，品质一致的集成电路装入供给侧盘 116 中。

10 使集成电路从存储器集成电路用的集成电路测试装置移向逻辑集成电路用集成电路测试装置时，一般，操作员把在存储器集成电路用的集成电路测试装置中的测试结果利用例如软盘等的存储媒体传递到逻辑集成电路测试装置上，在逻辑集成电路用的集成电路测试装置上知道供给侧盘 116 上的集成电路品质(存储器部分的测试结果)，该传递的存储器部分的测试结果和接着执行的逻辑部分的测试结果，作为复合集成电路最终好坏判断结果而被
15 存储。

如上所述，由于存储器集成电路用的集成电路测试装置和逻辑集成电路用的集成电路测试装置使用结构全部不同的装卸装置，所以，在测试具有存储器部分和逻辑部分的复合集成电路的情况下，则使参照图 4 至图 10 说明的存储器集成电路用的装卸装置，和参照图 11 说明的逻辑集成电路用的装卸
20 装置分别工作，操作员把存储器部分或逻辑部分测试结束的复合集成电路从测试结束的装卸装置运往接着作测试的装卸装置，必须装在一一定的盘上。

因此，其缺点在于不仅费事，而且难以实现集成电路测试装置的自动化。并且，尽管以从集成电路测试装置之一排出的盘的排出顺序存储测试结果，但因通过人手产生替换其顺序等事故，传达到后续集成电路测试装置的测试结果与盘的排出顺序不一致，其结果恐怕会执行错误的分类。
25

本发明目的在于提供一种集成电路测试装置，使复合集成电路的存储器部分测试和逻辑部分测试可连续自动进行。

30 为了达到所述目的，本发明的半导体集成电路测试装置，使测试盘按规定路线循环，在路线途中设置的测试头中，测试载放在所述测试盘上的被测集成电路，其特征是，在所述测试盘路线上设置存储器测试用测试头和逻辑测试用测试头，利用各测试头以放置在同一测试盘上的状态，测试放置在

一个测试盘上的被测试集成电路的存储部分和逻辑部分。

在优选实施例中，放置在一个测试盘上的被测试集成电路，最初用所述存储器用测试头测试所述被测试集成电路的存储器部分，然后，用所述逻辑测试用测试头测试所述被测试集成电路的逻辑部分。并且其构成是，设置在
5 X - Y 方向以一定间距使一个测试盘移动的 X - Y 移动机构，和在 Z 方向移动的 Z 方向驱动装置，利用这些 X - Y 移动机构以及 Z 方向驱动装置，以放置在同一测试盘上的状态，依次使载置在所述测试盘上的被测试集成电路与所述逻辑测试用测试头的测试用插座接触。

还有，只是把所述存储器测试用测试头所作的存储器部分的测试结果作为合格的被测试集成电路，用所述逻辑测试用测试头再测试那些逻辑部分。以此缩短测试时间。
10

根据所述结构，以在同一测试盘上载置被测试集成电路的状态可连续执行存储器部分的测试和逻辑部分的测试。因此，由于无须把被测试集成电路从一个装载装置向另一个运送，在对应的盘上重新装载的作业，所以，可以
15 短的时间完成测试。加之，不通过人手能连续执行存储器部分的测试和逻辑部分的测试，所以，能构成可靠性高的复合测试系统，这也是其优点所在。

图 1 是表示本发明集成电路测试装置一个实施例中使用的装卸装置整体结构示意图，其中室部为透视图；

图 2 是用于说明图 1 所示的集成电路测试装置的装卸装置中使用 X - Y 移动机构的构成侧视图；
20

图 3 是图 2 的平面图；

图 4 是表示已有的存储器集成电路用的集成电路测试装置中使用的装卸装置一例的示意构成平面图，其中室部分为透视图；

图 5 是图 4 中所示的装卸装置示意透视图；

图 6 是用于说明在图 4 以及图 5 所示的装卸装置中使用的测试盘一例的具体结构的分解透视图；
25

图 7 是用于说明图 6 中所示的测试盘中使用的集成电路托架结构的平面图；

图 8 是沿 8 - 8 线剖切图 7，向箭头方向看的剖面图；

图 9 是用于说明在图 6 所示的测试盘中存放的被测试集成电路的测试顺序平面图；
30

图 10 是用于说明图 4 以及图 5 所示的装卸装置中使用的被测试集成电路储料器以及测试结束集成电路储料器结构的透视图;

图 11 是表示已有的逻辑集成电路用集成电路测试装置中使用的装卸装置一例的示意结构平面图。

5 下面参照图 1 - 图 3, 详细说明本发明的集成电路测试装置的实施例。

图 1 是表示本发明集成电路测试装置一个实施例中使用的装卸装置整体结构示意图平面图, 该装卸装置设置: 室部 100, 与图 4 以及图 5 所示的已有装卸装置一样, 测试放置在测试盘 TST 上运送过来的集成电路; 容纳部 200, 由此把作测试的集成电路(被测试集成电路)和测试完和分类的集成电路进行
10 存放; 装载部 300, 用户把预先放置在通用测试盘(用户盘)KST 上的被测试集成电路转送、再放置到耐高低温的测试盘 TST 上; 卸载部 400, 在室部 100 测试结束, 把放置在测试盘 TST 上运送过来的测试完的集成电路从测试盘 TST 转运、重放到通用测试盘 KST 上。

室部 100 由以下部分构成: 恒温槽 101, 给堆在测试盘 TST 上的被测试
15 集成电路提供高温或低温应力; 测试室 102, 对处于在该恒温槽 101 中给予温度应力状态的集成电路作电测试; 去热/去冷槽 103, 从在恒温槽 101 中测试结束的集成电路中除去在恒温槽 101 中获得的温度应力。测试盘 TST 按以下顺序循环移动, 装载部 300 → 室部 100 的恒温槽 101 → 室部 100 的测试室 102 → 室部 100 的去热/去冷槽 103 → 卸载部 400 → 装载部 300。此外, 在图
20 1 中, 与图 4 对应的部分、元件标相同符号, 除必要外说明从略。

在本发明中, 如上所述, 测试盘 TST 按规定路线循环移动, 使放置在测试盘 TST 上的被测试集成电路, 以放置在测试盘上的状态与集成电路测试装置测试头的插座作电接触, 对被测试集成电路进行测试, 在如此构成的集成电路测试装置中, 在测试盘 TST 的路线上设置存储器测试用的测试头 104A
25 和逻辑测试用的测试头 104B, 由这些测试头 104A 和 104B 以放置在同一测试盘 TST 上的状态测试被测试集成电路(复合集成电路)的存储器部分和逻辑部分。

在如图 1 所示的实施例中, 存储器测试用测试头 104A 和逻辑测试用测试头 104B 被配置在测试室 102 内部, 于室内在恒温槽 101 中对受到一定温
30 度应力的被测试集成电路保持在一定的温度下进行测试, 在测试室 102 内, 存储器测试用测试头 104A 配置在其入口侧, 逻辑测试用测试头 104B 配置在

其出口侧。因此，在测试盘的移动路线中，测试盘先到达存储器测试用测试头 104A，然后进入逻辑测试用测试头 104B。

例如当在测试盘 TST 上被测试集成电路被排成 4 行 × 16 列的情况下，在存储器测试用测试头 104A 上安装例如 4 × 4 的 16 个集成电路插座，1 次能全部测试各行每隔 4 列的集成电路(图 9 中用斜线指示的元件)。这是说，参照图 9 如已经说明的那样，第 1 次测试对在各行的 1、5、9、13 列上分别配置的 16 个集成电路进行，第 2 次测试使测试盘 TST 移动 1 列集成电路，对配置在各行的 2、6、10、14 列上的 16 个集成电路进行，以下同样通过 4 次测试，作全部的集成电路测试。

10 测试结果被存储在存储器的地址上，所述存储器的地址是由分配给附加在测试盘 TST 上的识别号码以及测试盘 TST 内各集成电路放置位置的号码决定。此外，在存储器测试用测试头 104A 上安装 32 个集成电路插座时，当然仅作 2 次测试就能实施在 4 行 16 列上配置的 64 个所有被测试集成电路的测试。

15 在存储器上存储各被测试集成电路的存储器部分合格、不合格数据，当然还有别的，例如即使在合格品中动作速度有高速的、中速的、低速的，或即使在不合格品中还有必须重测试的等品质数据、其它数据。

存储器测试用测试头 104A 中测试结束的测试盘 TST 接着被送往逻辑测试用测试头 104B。在该逻辑测试用测试头 104B 的位置上部设置 X - Y 移动机构，该机构使运送来的测试盘 TST 在 X - Y 方向(在水平面两轴方向)以一定的间距移动。图 2 以及图 3 是用于说明在图 1 所示的装卸装置中使用的 X - Y 移动机构的构成的侧视图以及平面图，X - Y 移动机构 140 由以下部分组成：X 方向丝杆 141 和 X 向引导轴 142，平行于测试盘 TST 运送方向(设该方向为 X 方向)，沿逻辑用测试头 104B 的两侧延伸相向配置；两个 X 方向球螺纹件 143，在该 X 方向丝杆 141 上以隔开一定的间距位置拧合；两个 X 方向滑动件(滑块)144，在 X 方向引导轴 142 上自由滑动连接；两根 Y 向导轨 145，在各 X 向球螺纹件 143 上固定一端，另一端固定在对应的 1 个 X 向滑块 144 上，在与 X 方向垂直的 Y 方向上跨渡；Y 向丝杆 146，沿一个 Y 向导轨 145 配置；Y 向引导轴 147，沿另一个 Y 向导轨 145 配置；两个 Y 向球螺纹件 148，在 Y 向丝杆 146 上以隔开一定的间距位置拧合；2 个 Y 向滑动件(滑块)149，在 Y 向引导轴 147 上自由滑动连接；Z 向驱动装

置 150，安装在各 Y 向球螺纹件 148 以及各 Y 向滑块 149 上；支持框 151，利用这四个 Z 向驱动装置 150 在 Z 向(上下方向)自由移动地支持。

支持框 151 的构成从图 3 可了解到，利用 Z 向驱动装置 150，在沿 X 方向的各侧部相隔预定间距的两处支持。在该例中，作为 Z 向驱动装置 150 可使用气缸，各气缸被朝下地安装在对应的 Y 向球螺纹件 148 以及 Y 向滑块 149 上。然后，这些气缸的可动杆的前端部安装在支持框 151 的 X 方向的各侧部，利用 4 个气缸同时驱动，使支持框 151 在 Z 方向移动。

X 向丝杆 141 由 X 向驱动脉冲马达 154 驱动转动，通过该 X 向丝杆 141 转动，同时使两个 X 向球螺纹件 143 沿 X 向作往返运动。利用这些 X 向球螺纹件 143 的 X 向运动，两根 Y 向轨道 145 同时作 X 向往返运动。并且，由 Y 向驱动脉冲马达 155 驱动 Y 向丝杆 146 转动，利用该 Y 向丝杆 146 转动，使两个 Y 向球螺纹 148 同时在 Y 向作往返运动。这些 Y 向球螺纹件 148 的 Y 向往返运动，使得装在 Y 向球螺纹件 148 上的两个 Z 向驱动装置 150 同时沿 Y 方向往复运动，并使得装在 Y 向滑块 149 上的两个 Z 向驱动装置 150 通过支持框 151，同时沿 Y 方向作往返运动。

因此，通过驱动 X 向驱动脉冲马达 154 以及 Y 向驱动脉冲马达 155 可使支持框 151 在 X - Y 方向移动，并且，通过四个 Z 向驱动装置 150 同时驱动，可使支持框 151 在 Z 向移动。

因支持框 151 放置运送过来的测试盘 TST，所以，两个 Y 向球螺纹件 148 之间的间距(具体来说是装在这些 Y 向球螺纹件 148 上的两个 Z 向驱动装置 150 之间的间距)必须比测试盘 TST 的宽度更大。而且，X 向丝杆 141 以及 X 向引导轴 142 之间的间距也必须比测试盘 TST 的宽度更大。

放置复合集成电路的测试盘 TST 一旦结束存储器部分的测试，则由滚轮 152 构成的运送装置在 X 方向运送，送到支持框 151 上。这时如图 2 所示，支持框 151 被支持在 Z 向驱动装置 150 的可动行程的下限位置上。若测试盘 TST 放置在支持框 151 上，则驱动 Z 向驱动装置 150，使支持框 151 及其上的测试盘 TST 通常被上升到 Z 向驱动装置 150 的可动行程的上限位置。或者，关闭 Z 向驱动装置 150 的驱动源，也可以利用使那些可动杆平时偏置在上限位置的偏置装置上升到上限位置。其后，利用 X - Y 移动 140 机构把支持框 151 以及测试盘 TST 运送到逻辑测试用测试头 104 B 上部的一定位置上。

在逻辑测试用测试头 104B 上配置在该例中两个测试用插座 153。使放置在测试盘 TST 上的集成电路依次每两个地与这两个测试用插座 153 接触, 进行逻辑部分的测试。仅对在存储器部分测试中判断为合格的集成电路实施逻辑部分的测试, 对于不合格的集成电路不作逻辑部分的测试。以此缩短测试时间, 提高测试效率。

此外, 通过驱动 X 向驱动脉冲马达 154 以及 Y 向驱动脉冲马达 155, 使支持框 151 及其放置在上面的测试头 TST 沿 X - Y 方向移动, 由 Z 向驱动装置 150 的驱动, 依次每两个地使放置在测试盘 TST 上的集成电路与在逻辑测试用测试头 104B 上装着的测试用插座 153 作电接触, 上述工作很清楚, 所以在此说明从略。

一旦在存储器部分测试中判断为合格的集成电路逻辑部分的测试结束, 则从支持框 151 运出测试盘 TST, 送往图 1 所示的去热/去冷槽 103。在该去热/去冷槽 103 中对测试完的集成电路作去热去冷, 待集成电路温度回到室温之后, 向卸载部 400 排出。向卸载部 400 排出的测试盘 TST 上的测试完集成电路通过测试盘被按每个测试结果的种类分类, 转移、保存在对应的通用盘 KST 上。在卸载部 400 空闲的测试盘 TST 被运送回装载部 300, 这里通过通用盘 KST 再装载被测试集成电路。以下, 重复同样的动作。

在图示的装卸装置中其构成使得, 准备 8 个储料器 STK - 1、STK - 2、...、STK - 8 作为测试完集成电路储料器 202, 根据测试结果最多可分成 8 类存放。这是因为, 除了把测试完的集成电路分成合格和不合格外, 即使在合格品中, 动作速度区分为高速的、中速的、低速的, 或即使在不合格品中也区分为需要再作测试等的缘故。即使最大把可区分的种类作成 8 种, 在图示的例中, 在卸载部 400 上仅能配置 4 个通用盘 KST。因此, 当分配给配置在卸载部 400 上的通用盘 KST 的种类以外的种类的测试完集成电路发生的情况下, 使一个通用盘 KST 从卸载部 400 返回集成电路容纳部 200, 把代之应存放新产生种类的集成电路的通用盘 KST 从集成电路容纳部 200 转移到卸载部 400, 以存放该集成电路。

如上所述, 根据本发明, 如果把集成电路装在装载机的测试盘上, 则由于能以放置在该测试盘 TST 的状态, 连续自动地实施集成电路存储器部分的测试和逻辑部分的测试, 所以无须在存储器部分的测试和逻辑部分的测试之间, 用人手重装集成电路。因而, 可在短时间内执行存储器部分和逻辑部分

的测试，优点显著。

并且，由于完全不用人手，所以，不用担心象在过去引起从其一的集成电路测试装置排出的盘排出顺序替换等的事故。因此，集成电路测试装置的可靠性高。

- 5 此外，在上述实施例中，虽然对应用使测试盘作立体循环结构的装卸装置的发明情况做了说明，但可以理解，使在图 11 所示的测试盘以平面循环的形式的装载装置中也可适用于本发明，具有同等的效果。

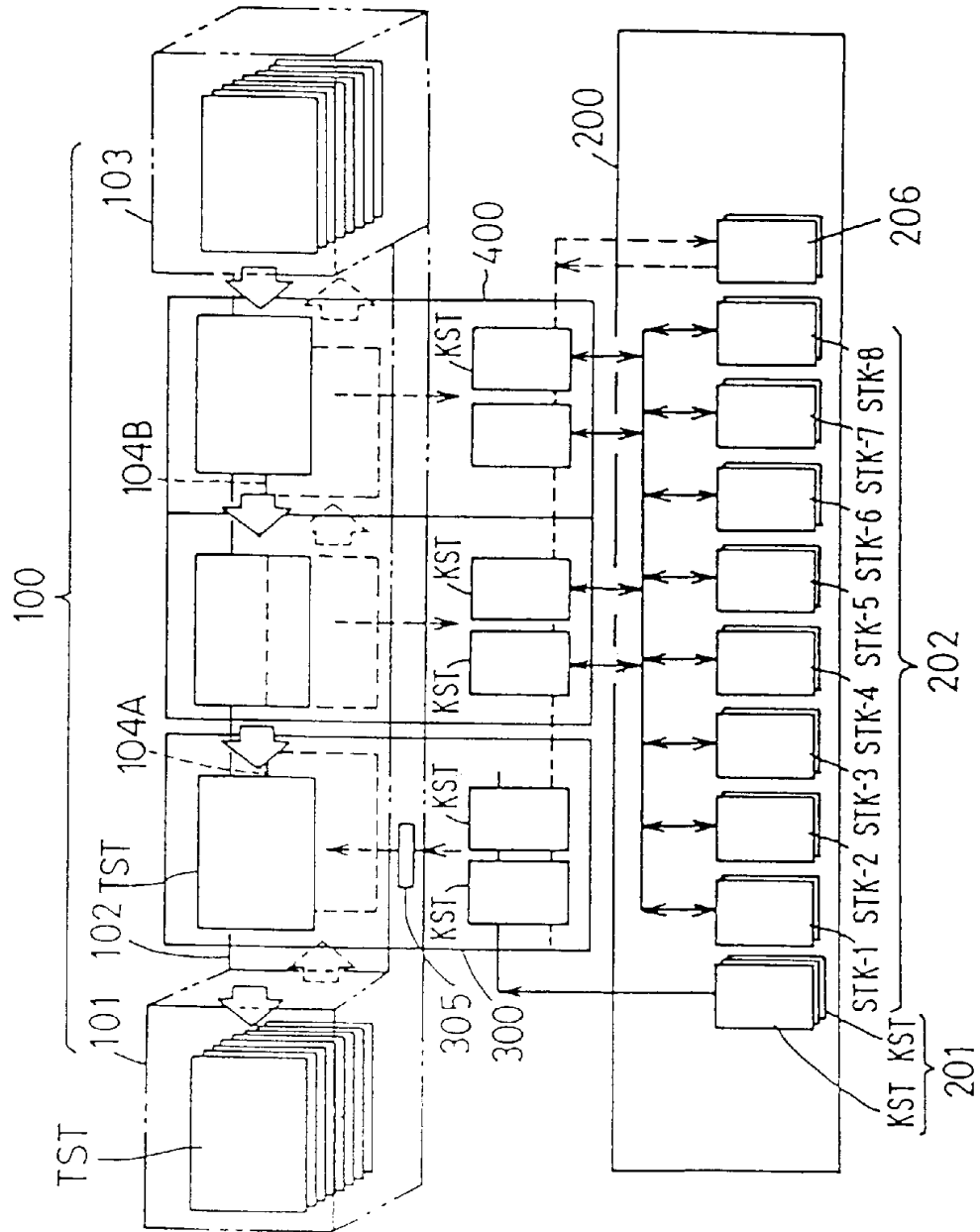


图 1

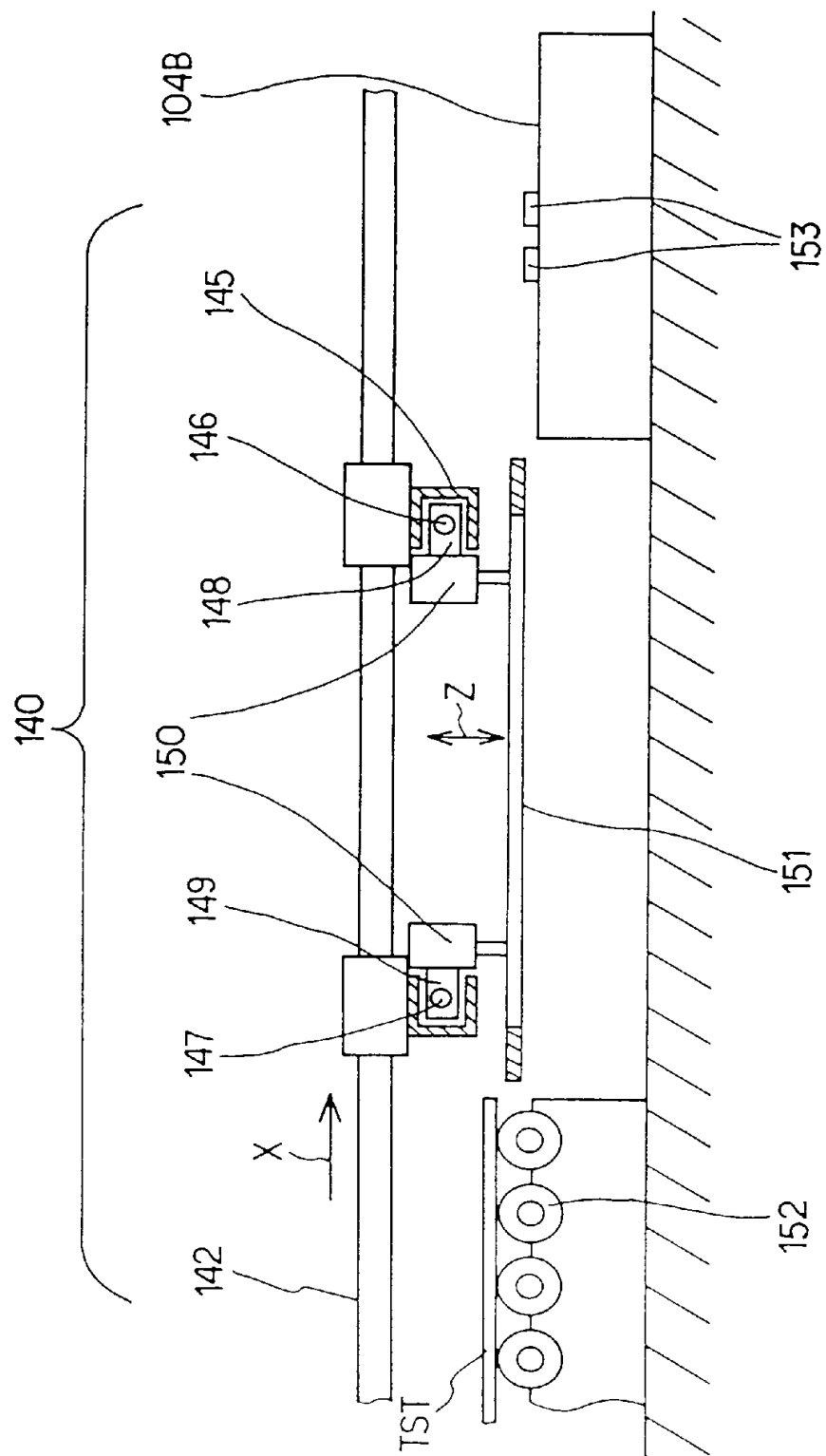


图 2

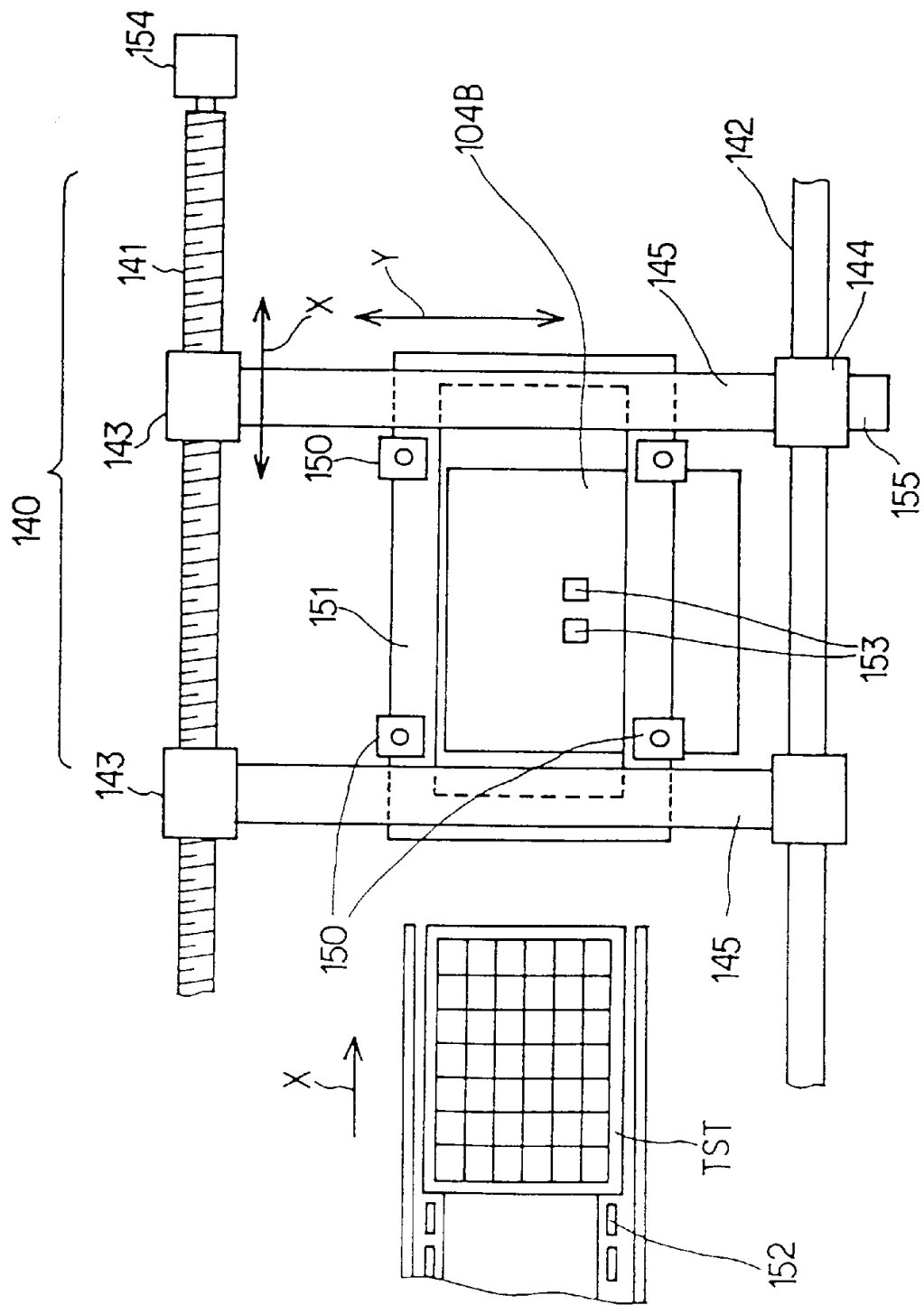


图 3

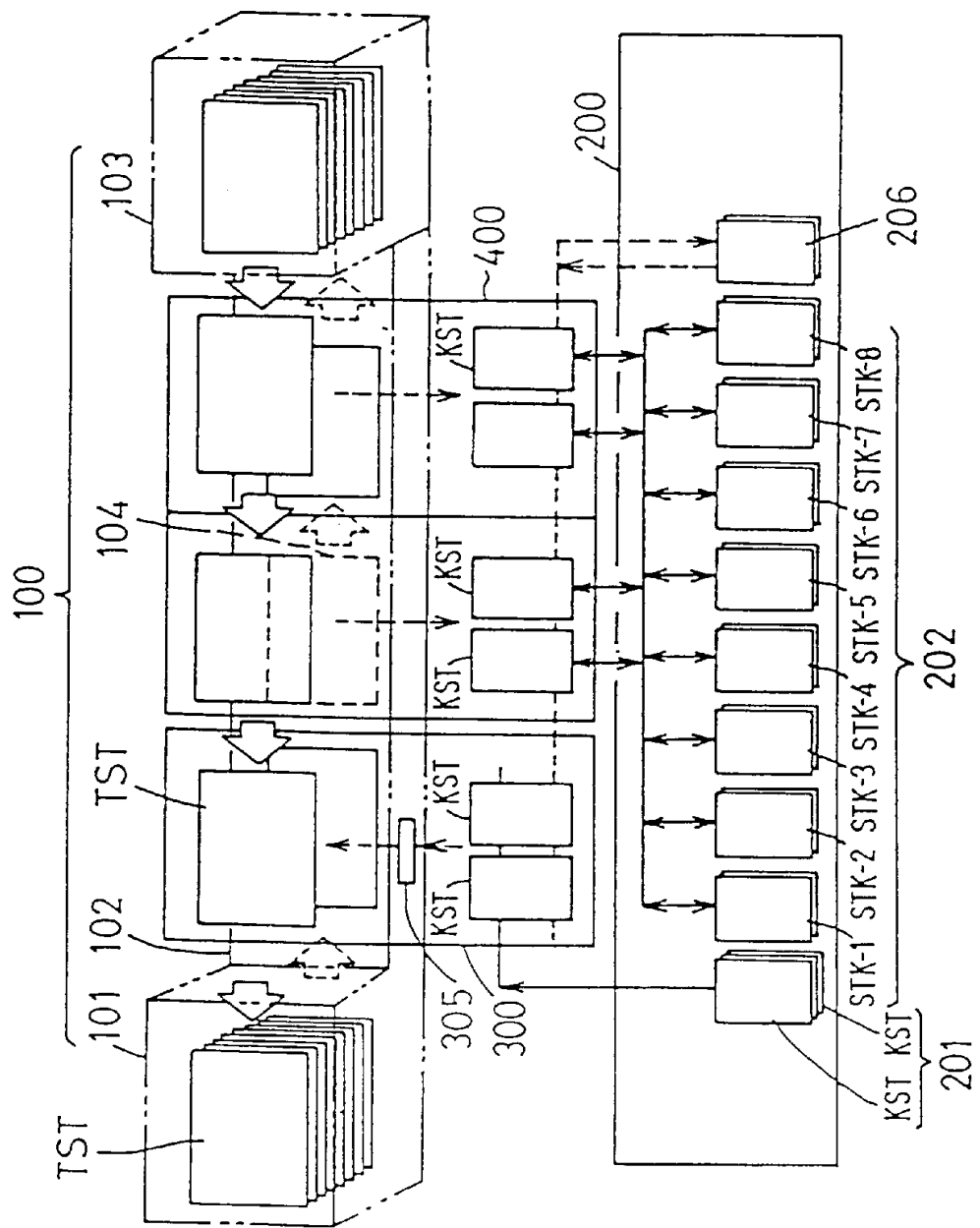


图 4

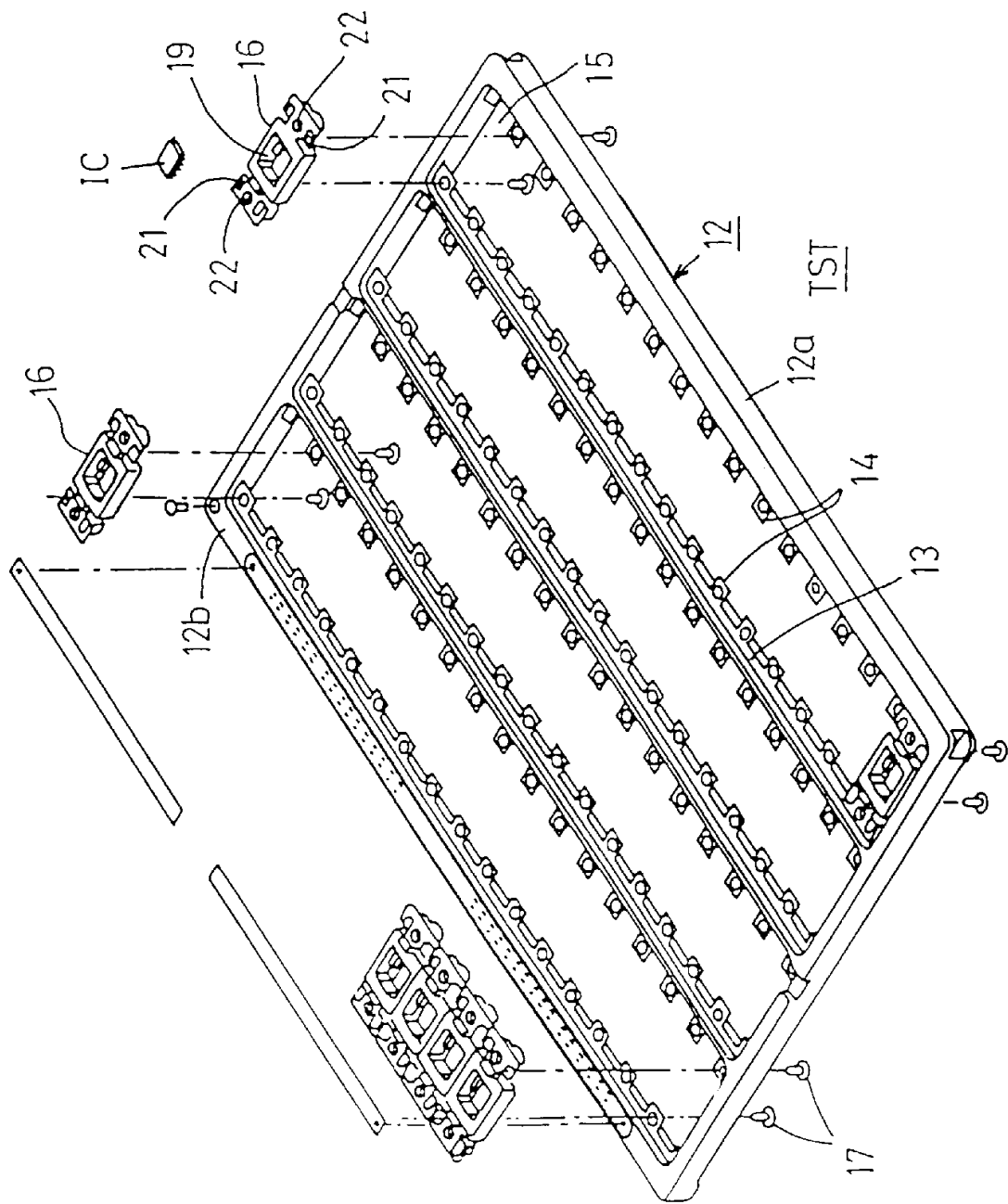


图 6

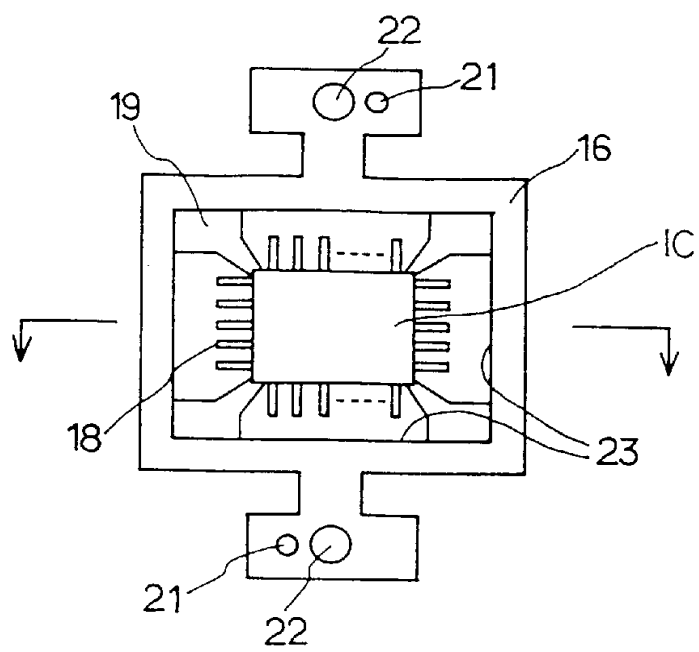


图 7

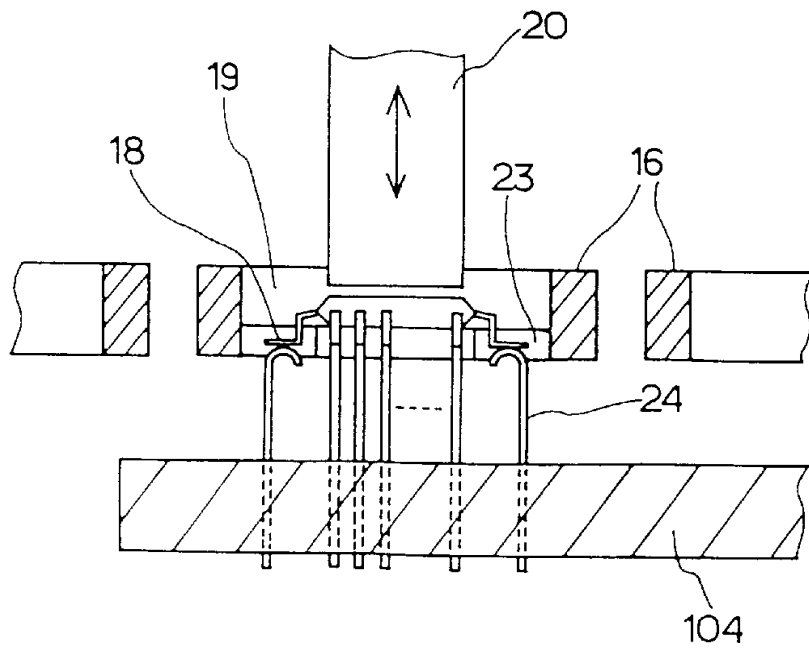


图 8

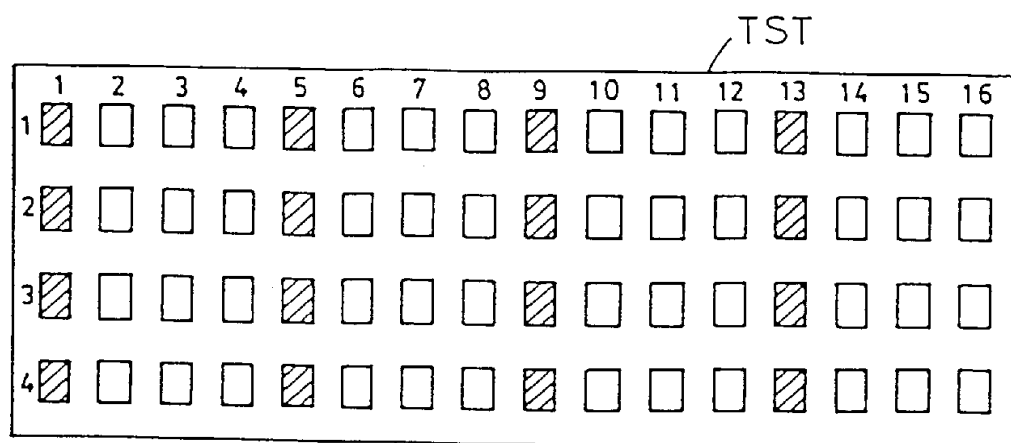


图 9

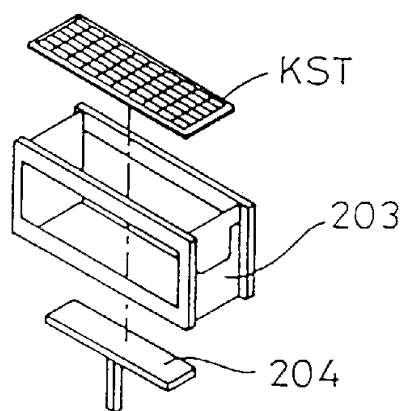


图 10

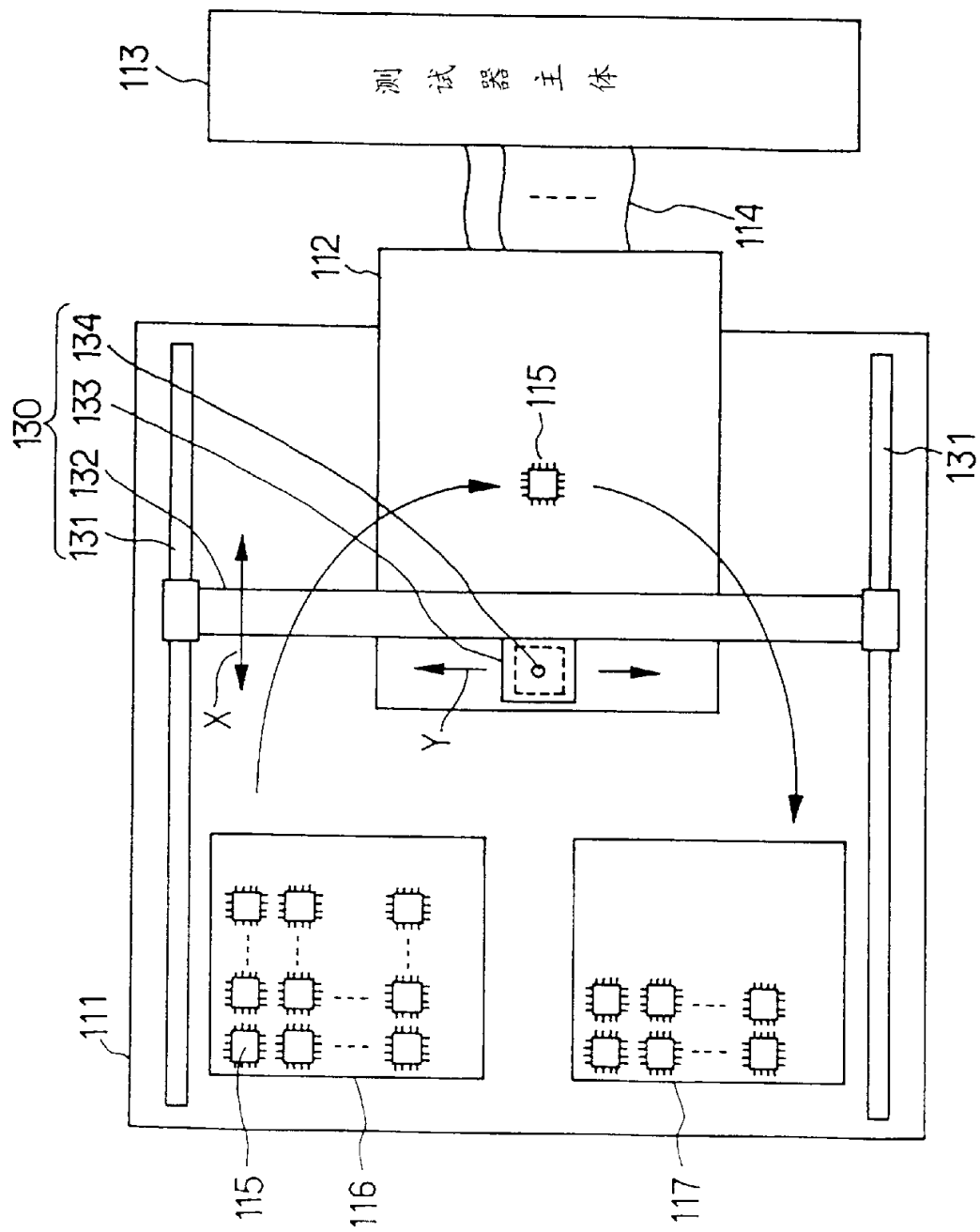


图 11