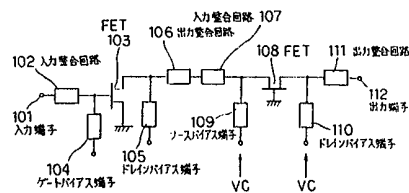




<p>(51) 国際特許分類6 H03F 1/22, 3/24, H03G 3/20</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/02306</p> <p>(43) 国際公開日 2000年1月13日(13.01.00)</p>
<p>(21) 国際出願番号 PCT/JP99/03591</p> <p>(22) 国際出願日 1999年7月2日(02.07.99)</p> <p>(30) 優先権データ 特願平10/190379 1998年7月6日(06.07.98) JP</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 鈴木康之(SUZUKI, Yasuyuki)[JP/JP] 〒108-0014 東京都港区芝五丁目7番1号 日本電気株式会社内 Tokyo, (JP)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 日本電気株式会社(NEC CORPORATION)[JP/JP] 〒108-0014 東京都港区芝五丁目7番1号 Tokyo, (JP)</p> <p>(74) 代理人 山下穰平(YAMASHITA, Johei) 〒105-0001 東京都港区虎ノ門五丁目13番1号 Tokyo, (JP)</p>		<p>(81) 指定国 US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>

(54)Title: POWER AMPLIFIER

(54)発明の名称 電力増幅器



- 101 ... INPUT TERMINAL
- 102 ... INPUT MATCHING CIRCUIT
- 104 ... GATE BIAS TERMINAL
- 105 ... DRAIN BIAS TERMINAL
- 106 ... OUTPUT MATCHING CIRCUIT
- 107 ... INPUT MATCHING CIRCUIT
- 109 ... SOURCE BIAS TERMINAL
- 110 ... DRAIN BIAS TERMINAL
- 111 ... OUTPUT MATCHING CIRCUIT
- 112 ... OUTPUT TERMINAL

(57) Abstract

A high-efficiency, low-distortion, variable-gain power amplifier capable of operating in a wide dynamic range of transmission power. The power amplifier comprises a plurality of transistors: a front-end transistor (103) is grounded at its source, and a back-end transistor (108) is grounded at its gate. A source bias terminal (109) and a drain bias terminal (110) are provided to apply predetermined voltage to the source and the drain of the back-end transistor (108), respectively. When the output power required is smaller than a predetermined threshold, a predetermined voltage is applied to the source bias terminal (109) and the drain bias terminal (110), and the input power to the back-end transistor (108) is passed through to the output terminal without amplification.

(57)要約

広いダイナミックレンジの送信電力を必要とする場合においても、高効率で低歪み特性を有し、利得可変の電力増幅器を提供する。複数のトランジスタが多段に接続された電力増幅器において、前段のトランジスタ（103）のソースを接地し、後段のトランジスタ（108）のゲートを接地し、後段のトランジスタ（108）のソース及びドレインに所定の電圧をそれぞれ印加するためのソースバイアス端子（109）及びドレインバイアス端子（110）を設け、出力電力を予め定めた閾値よりも小さくする場合、ソースバイアス端子（109）及びドレインバイアス端子（110）に所定の電圧を印加し、後段のトランジスタ（108）の入力電力を増幅せずにそのまま透過させて出力する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AL	アルバニア	EE	エストニア	LC	セントルシア	SD	スーダン
AM	アルメニア	ES	スペイン	LI	リヒテンシュタイン	SE	スウェーデン
AT	オーストリア	FI	フィンランド	LK	スリ・ランカ	SG	シンガポール
AU	オーストラリア	FR	フランス	LR	リベリア	SI	スロヴェニア
AZ	アゼルバイジャン	GA	ガボン	LS	レソト	SK	スロヴァキア
BA	ボスニア・ヘルツェゴビナ	GB	英国	LT	リトアニア	SL	シエラ・レオネ
BB	バルバドス	GD	グレナダ	LU	ルクセンブルグ	SN	セネガル
BE	ベルギー	GE	グルジア	LV	ラトヴィア	SZ	スワジランド
BF	ブルキナ・ファソ	GH	ガーナ	MA	モロッコ	TD	チャード
BG	ブルガリア	GM	ガンビア	MC	モナコ	TG	トーゴ
BJ	ベナン	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BR	ブラジル	GW	ギニア・ビサオ	MG	マダガスカル	TZ	タンザニア
BY	ベラルーシ	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TM	トルクメニスタン
CA	カナダ	HR	クロアチア			TR	トルコ
CF	中央アフリカ	HU	ハンガリー	ML	マリ	TT	トリニダード・トバゴ
CG	コンゴ	ID	インドネシア	MN	モンゴル	UA	ウクライナ
CH	スイス	IE	アイルランド	MR	モーリタニア	UG	ウガンダ
CI	コートジボアール	IL	イスラエル	MW	マラウイ	US	米国
CM	カメルーン	IN	インド	MX	メキシコ	UZ	ウズベキスタン
CN	中国	IS	アイスランド	NE	ニジェール	VN	ヴェトナム
CR	コスタ・リカ	IT	イタリア	NL	オランダ	YU	ユーゴスラビア
CU	キューバ	JP	日本	NO	ノールウェー	ZA	南アフリカ共和国
CY	キプロス	KE	ケニア	NZ	ニュー・ジーランド	ZW	ジンバブエ
CZ	チェッコ	KG	キルギスタン	PL	ポーランド		
DE	ドイツ	KP	北朝鮮	PT	ポルトガル		
DK	デンマーク	KR	韓国	RO	ルーマニア		

## 明細書

## 電力増幅器

5 技術分野

本発明は、送信出力が広く、ダイナミックレンジに渡って可変できるUHF、マイクロ波帯及びミリ波帯の信号を増幅する電力増幅器に関する。

背景技術

- 10 近年、移動体通信における携帯電話の普及に伴い、そのキーデバイスとして電力増幅器の需要が急速に伸びている。移動体通信における携帯電話に用いられる電力増幅器においては、高利得、高出力電力及び高効率が要求されている。

- 図12は、従来の電力増幅器の一構成例を示す図である。図12に示す  
15 ように従来例においては、ソース接地されたFET403、408が2段に接続されており、FET403、408にはそれぞれ、ゲート端子に入力整合回路402、407及びゲートバイアス端子404、409が、また、ドレイン端子にドレインバイアス端子405、410及び出力整合回路406、411が接続されており、出力整合回路406及び入力整合回路  
20 407を介してFET403のドレイン端子とFET408のゲート端子とが接続されている。

- また、携帯電話の周波数利用効率のさらなる向上を図るために、スペクトラム拡散方式を用いたCDMA（符号化分割多重接続）方式による移動体通信が実用化され始めている。このCDMA方式においては、遠近間の  
25 送信電力の格差を縮小するために、送信出力が80dBの範囲となるようにその送信電力を制御することが必要とされるとともに、検波時に包絡線の変動を正確に再生しなければならない。そのため、送信電力において従

来のデジタル方式よりも歪みが小さな線形増幅が要求されている。

図 1 3 は、従来の送信出力可変装置の一例を示す図である。本従来例は図 1 3 に示すように、所定の高周波信号を生成する高周波信号発振器 4 1 3 と、高周波信号発振器 4 1 3 にて生成された高周波信号を変調する変調器 4 1 4 と、変調器 4 1 4 にて変調された信号の送信電力を増幅する電力増幅器 4 1 6 と、電力増幅器 4 1 6 における増幅を制御するための信号を出力する可変利得増幅器 4 1 5 と、アンテナ共用器 4 1 7 と、アンテナ 4 1 8 とから構成されており、電力増幅器 4 1 6 に入力される電力を可変利得増幅器 4 1 5 にて可変制御することによって、送信出力の可変制御を行っている。

上述したように CDMA 方式においては、低い歪みが要求されるため、最大送信電力で線形性が維持できるような高い飽和出力をもつ電力増幅器を用いる必要がある。

ここで、最小送信電力を出力する場合、可変利得増幅器により電力増幅器の入力電力が制御され、小さな入力電力が電力増幅器に入力されるが、この場合、電力増幅器の電力付加効率は、最大送信電力を出力する場合よりもかなり小さくなり、余分な電力を消費することになってしまうという問題点がある。

本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、広いダイナミックレンジの送信電力を必要とする場合においても、高効率で低歪み特性を有し、利得可変が可能な電力増幅器を提供することを目的とする。

#### 発明の開示

上記目的を達成するために本発明は、複数のトランジスタが多段に接続されて構成され、入力電力を増幅して出力する電力増幅器において、前記複数のトランジスタのうち、前段のトランジスタがソース接地電界効果ト

ランジスタであり、前記複数のトランジスタのうち、後段のトランジスタがゲート接地電界効果トランジスタであり、前記後段のトランジスタのソース及びドレインに所定の電圧をそれぞれ印加するための複数のバイアス端子を有し、出力電力を予め定めたしきい値よりも小さくする場合、前記

5 バイアス端子に所定の電圧を印加し、前記後段のトランジスタの入力電力を透過させて出力電力として出力する。

また、複数のトランジスタが多段に接続されて構成され、入力電力を増幅して出力する電力増幅器において、前記複数のトランジスタのうち、前段のトランジスタがエミッタ接地バイポーラトランジスタであり、前記複

10 数のトランジスタのうち、後段のトランジスタがベース接地バイポーラトランジスタであり、前記後段のトランジスタのエミッタ及びコレクタに所定の電圧をそれぞれ印加するための複数のバイアス端子を有し、出力電力を予め定めたしきい値よりも小さくする場合、前記バイアス端子に所定の電圧を印加し、前記後段のトランジスタの入力電力を透過させて出力電力

15 として出力する。

また、複数のトランジスタが多段に接続されて構成され、入力電力を増幅して出力する電力増幅器において、前記複数のトランジスタのうち、少なくとも2つのトランジスタがゲート接地電界効果トランジスタであり、

前記ゲート接地電界効果トランジスタのソース及びドレインに所定の電

20 圧をそれぞれ印加するための複数のバイアス端子を有し、出力電力を予め定めたしきい値よりも小さくする場合、前記ゲート接地電界効果トランジスタのうち少なくとも1つのゲート接地電界効果トランジスタのソース及びドレインに接続されたバイアス端子に所定の電圧を印加し、該電圧が印加されたゲート接地電界効果トランジスタの入力電力を透過させて出力電力

25 として出力する。

また、複数のトランジスタが多段に接続されて構成され、入力電力を増幅して出力する電力増幅器において、前記複数のトランジスタのうち、少

なくとも2つのトランジスタがベース接地バイポーラトランジスタであり、前記ベース接地バイポーラトランジスタのエミッタ及びコレクタに所定の電圧をそれぞれ印加するための複数のバイアス端子を有し、出力電力を予め定めたしきい値よりも小さくする場合、前記ベース接地バイポーラトランジスタのうち少なくとも1つのベース接地バイポーラトランジスタのエミッタ及びコレクタに接続されたバイアス端子に所定の電圧を印加し、該電圧が印加されたベース接地バイポーラトランジスタの入力電力を透過させて出力電力として出力する。

また、前記複数のゲート接地電界効果トランジスタのうち、前段となるゲート接地電界効果トランジスタと接続され、前段となるゲート接地電界効果トランジスタの線形利得が後段となるゲート接地電界効果トランジスタの線形利得よりも大きくなるように設定された第1の入出力整合回路と、

前記複数のゲート接地電界効果トランジスタのうち、後段となるゲート接地電界効果トランジスタと接続され、後段となるゲート接地電界効果トランジスタの出力電力が前段となるゲート接地電界効果トランジスタの出力電力よりも大きくなるように設定された第2の入出力整合回路とを有する。

また、前記複数のベース接地バイポーラトランジスタのうち、前段となるベース接地バイポーラトランジスタと接続され、前段となるベース接地バイポーラトランジスタの線形利得が後段となるベース接地バイポーラトランジスタの線形利得よりも大きくなるように設定された第1の入出力整合回路と、前記複数のベース接地バイポーラトランジスタのうち、後段となるベース接地バイポーラトランジスタと接続され、後段となるベース接地バイポーラトランジスタの出力電力が前段となるベース接地バイポーラトランジスタの出力電力よりも大きくなるように設定された第2の入出力整合回路とを有する。

すなわち、本発明においては、複数のトランジスタが多段に接続されて

構成される電力増幅器において、出力電力を予め定めたしきい値よりも小さくする場合、複数のトランジスタのうち、少なくとも1つのトランジスタの入力電力を透過させるので、送信電力が小さな場合においても、高い電力付加効率が得られる。

5

#### 図面の簡単な説明

図1は、本発明の電力増幅器の第1の実施の形態を示す図である。

図2は、図1に示した前段のFETの入出力電力特性及び電力付加効率を示すグラフである。

10 図3は、図1に示した後段のFETの入出力電力特性及び電力付加効率を示すグラフである。

図4は、図1に示した後段のFETにおける送信電力が小さな場合の入出力電力特性を示すグラフである。

図5は、本発明の電力増幅器の第2の実施の形態を示す図である。

15 図6は、本発明の電力増幅器の第3の実施の形態を示す図である。

図7は、図6に示した前段のFETの入出力電力特性及び電力付加効率を示すグラフである。

図8は、図6に示した後段のFETの入出力電力特性及び電力付加効率を示すグラフである。

20 図9は、本発明の電力増幅器の第4の実施の形態を示す図である。

図10は、前段の増幅器の入出力電力特性の一例を示すグラフである。

図11は、後段の増幅器の入出力電力特性の一例を示すグラフである。

図12は、従来の電力増幅器の一構成例を示す図である。

図13は、従来の送信出力可変装置の一例を示す図である。

25

#### 発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態について説明する。

(第1の実施の形態)

図1は、本発明の電力増幅器の第1の実施の形態を示す図である。図1に示すように本形態においては、ソース接地されたFET103とゲート接地されたFET108とが2段に接続されており、FET103には、  
5 ゲート端子に入力整合回路102及びゲートバイアス端子104が、また、ドレイン端子にドレインバイアス端子105及び出力整合回路106が接続されており、FET108には、ソース端子に入力整合回路107及びソースバイアス端子109が、また、ドレイン端子にドレインバイアス端子110及び出力整合回路111が接続されており、出力整合回路106  
10 及び入力整合回路107を介してFET103のドレイン端子とFET108のソース端子とが接続されている。

以下、上記のように構成された電力増幅器の増幅動作について説明する。

図2は、図1に示したFET103の入出力電力特性及び電力付加効率を示すグラフであり、周波数950MHzにおける特性を示している。図  
15 2に示すようにFET103においては、-5dBmの入力電力に対して15dBmの出力電力と50%の電力付加効率が良好な線形の範囲で得られている。

図3は、図1に示したFET108の入出力電力特性及び電力付加効率を示すグラフである。なお、FET108は、大きな出力を得るために前  
20 段のFET103に比べて5倍程度のゲート幅を有している。図3に示すようにFET108においては、15dBmの入力電力に対して25dBmの出力電力と40%の電力付加効率が良好な線形の範囲で得られている。

図2に示したような特性を有するソース接地FET103と図3に示したような特性を有するゲート接地FET108とを図1に示したように接続すれば、最大の送信電力が必要な場合、入力電力0dBに対して25dB  
25 Bの出力電力と40%程度の電力付加効率が得られる。ここで、前段のF

F E T 1 0 3 のバイアス電圧においては、例えばゲート電圧が  $-1\text{ V}$ 、ドレイン電圧が  $5\text{ V}$  にそれぞれバイアスされている。また、後段の F E T 1 0 8 のバイアス電圧においては、例えばゲート電圧が  $0\text{ V}$  に接地されており、ソース電圧が  $-1\text{ V}$ 、ドレイン電圧が  $5\text{ V}$  にそれぞれバイアスされている。

- 5 なお、F E T 1 0 8 のバイアス電圧については、F E T 1 0 8 のゲート電圧を、使用する周波数で A C 接地していれば他のバイアスでもよい。

また、送信電力が小さな場合は、例えば送信電力を  $0\text{ dBm}$  にする場合には、利得可変制御電圧 V C がソースバイアス端子 1 0 7 及びドレインバイアス端子 1 1 0 をそれぞれ介して F E T 1 0 8 のソース端子及びドレイン端子に印加され、例えばソース電圧が  $0\text{ V}$ 、ドレイン電圧  $0\text{ V}$  になると、F E T 1 0 8 の入力電力は透過されることになる。

図 4 は、図 1 に示した F E T 1 0 8 における送信電力が小さな場合の入力出力電力特性を示すグラフである。図 4 に示すように、 $0\text{ dBm}$  の入力電力に対して  $0\text{ dBm}$  の出力電力が得られている。前段の F E T 1 0 3 に  $-20\text{ dBm}$  の入力電力が入力された場合、 $0\text{ dBm}$  の送信電力となり、F E T 1 0 3, 1 0 8 の全増幅器の電力付加効率は F E T 1 0 3 のみで決まり、 $30\%$  の電力付加効率が得られる。

このように、ゲート接地 F E T 1 0 8 のソース及びドレインに、ソースバイアス端子 1 0 9 及びドレインバイアス端子 1 1 0 を介して利得可変制御電圧 V C をそれぞれ印加することにより、F E T 1 0 8 を入力電力が透過し、送信電力が小さな場合においても、高い電力付加効率が得られる。

なお、本形態においては、2 段に接続されたゲート接地 F E T について説明したが、3 段以上の場合でも同様に構成することができる。

(第 2 の実施の形態)

- 25 図 1 に示した F E T 1 0 3, 1 0 8 の代わりにバイポーラトランジスタを用いた場合においても上述した増幅動作は可能である。

図 5 は、本発明の電力増幅器の第 2 の実施の形態を示す図である。図 5

に示すように本形態においては、エミッタ接地されたバイポーラトランジスタ 1 1 3 とベース接地されたバイポーラトランジスタ 1 1 6 とが 2 段に接続されており、バイポーラトランジスタ 1 1 3 には、ベース端子に入力整合回路 1 0 2 及びベースバイアス端子 1 1 4 が、また、コレクタ端子に

5 コレクタバイアス端子 1 1 5 及び出力整合回路 1 0 6 が接続されており、バイポーラトランジスタ 1 1 6 には、エミッタ端子に入力整合回路 1 0 7 及びエミッタバイアス端子 1 1 7 が、また、コレクタ端子にコレクタバイアス端子 1 1 8 及び出力整合回路 1 1 1 が接続されており、出力整合回路

10 コレクタ端子とバイポーラトランジスタ 1 1 6 のエミッタ端子とが接続されている。

上記のように構成された電力増幅器においても、ベース接地のバイポーラトランジスタ 1 1 6 のエミッタ及びコレクタに、エミッタバイアス端子 1 1 7 及びコレクタバイアス端子 1 1 8 を介して利得可変制御電圧 V C を

15 それぞれ印加することにより、バイポーラトランジスタ 1 1 6 を入力電力が透過し、送信電力が小さな場合においても、高い電力付加効率が得られる。

(第 3 の実施の形態)

図 6 は、本発明の電力増幅器の第 3 の実施の形態を示す図である。図 6

20 に示すように本形態においては、ゲート接地された F E T 2 0 3 , 2 0 8 とが 2 段に接続されており、F E T 2 0 3 には、ソース端子に入力整合回路 2 0 2 及びソースバイアス端子 2 0 4 が、また、ドレイン端子にドレインバイアス端子 2 0 5 及び出力整合回路 2 0 6 が接続されており、F E T

25 2 0 8 には、ソース端子に入力整合回路 2 0 7 及びソースバイアス端子 2 0 9 が、また、ドレイン端子にドレインバイアス端子 2 1 0 及び出力整合回路 2 1 1 が接続されており、出力整合回路 2 0 6 及び入力整合回路 2 0 7 を介して F E T 2 0 3 のドレイン端子と F E T 2 0 8 のソース端子とが

接続されている。以下、上記のように構成された電力増幅器の増幅動作について説明する。

図7は、図6に示したFET203の入出力電力特性及び電力付加効率を示すグラフであり、周波数950MHzにおける特性を示している。図7に示すようにFET203においては、-5dBmの入力電力に対して15dBmの出力電力と40%の電力付加効率が良好な線形の範囲で得られている。

図8は、図6に示したFET208の入出力電力特性及び電力付加効率を示すグラフである。なお、FET208は、大きな出力を得るために前段のFET203に比べて5倍程度のゲート幅を有している。図8に示すようにFET208においては、15dBmの入力電力に対して25dBmの出力電力と40%の電力付加効率が良好な線形の範囲で得られている。

図7に示したような特性を有するゲート接地FET203と図8に示したような特性を有するゲート接地FET208とを図6に示したように接続すれば、最大の送信電力が必要な場合、入力電力0dBに対して25dBの出力電力と40%程度の電力付加効率が得られる。ここで、FET203、208のバイアス電圧においては、例えばゲート電圧が0Vに接地されており、ソース電圧が-1V、ドレイン電圧が5Vにそれぞれバイアスされている。

送信電力が小さな場合は、例えば送信電力を0dBmにする場合には、利得可変制御電圧VCがソースバイアス端子209及びドレインバイアス端子210をそれぞれ介してFET208のソース端子及びドレイン端子に印加され、例えばソース電圧が0V、ドレイン電圧0Vになると、FET208の入力電力は透過されることになる。

FET208における送信電力が小さな場合の入力出力電力特性は、図4に示したものと同様であり、0dBmの入力電力に対して0dBmの出

力電力が得られている。前段の F E T 2 0 3 に  $-15$  d B m の入力電力が入力された場合、 $0$  d B m の送信電力となり、F E T 2 0 3, 2 0 8 の全増幅器の電力付加効率は F E T 2 0 3 のみで決まり、 $30\%$  の電力付加効率が得られる。また、F E T 2 0 3, 2 0 8 とともにソース電圧が  $0$  V、ドレイン電圧  $0$  V に設定された場合には、前段の F E T 2 0 3 の入力電力  $-15$  d B m がそのまま送信出力となり、その時の電力増幅器の消費電力は非常に小さい。

このように、ゲート接地 F E T 2 0 8 のソース及びドレインに、ソースバイアス端子 2 0 9 及びドレインバイアス端子 2 1 0 を介して利得可変制御電圧 V C をそれぞれ印加することにより、F E T 2 0 8 を入力電力が透過し、送信電力が小さな場合においても、高い電力付加効率が得られる。

なお、本形態においては、2 段に接続されたゲート接地 F E T について説明したが、3 段以上の場合でも同様に構成することができる。

(第 4 の実施の形態)

図 6 に示した F E T 2 0 3, 2 0 8 の代わりにバイポーラトランジスタを用いた場合においても上述した増幅動作は可能である。

図 9 は、本発明の電力増幅器の第 4 の実施の形態を示す図である。図 9 に示すように本形態においては、ベース接地されたバイポーラトランジスタ 2 1 3, 2 1 6 が 2 段に接続されており、バイポーラトランジスタ 2 1 3 には、エミッタ端子に入力整合回路 2 0 2 及びエミッタバイアス端子 2 1 4 が、また、コレクタ端子にコレクタバイアス端子 2 1 5 及び出力整合回路 2 0 6 が接続されており、バイポーラトランジスタ 2 1 6 には、エミッタ端子に入力整合回路 2 0 7 及びエミッタバイアス端子 2 1 7 が、また、コレクタ端子にコレクタバイアス端子 2 1 8 及び出力整合回路 2 1 1 が接続されており、出力整合回路 2 0 6 及び入力整合回路 2 0 7 を介してバイポーラトランジスタ 2 1 3 のコレクタ端子とバイポーラトランジスタ 2 1 6 のエミッタ端子とが接続されている。

上記のように構成された電力増幅器においても、ベース接地のバイポーラトランジスタ 216 のエミッタ及びコレクタに、エミッタバイアス端子 217 及びコレクタバイアス端子 218 を介して利得可変制御電圧  $V_C$  をそれぞれ印加することにより、バイポーラトランジスタ 216 を入力電力が透過し、送信電力が小さな場合においても、高い電力付加効率が得られる。

(第 5 の実施の形態)

本発明の第 5 の実施の形態として、図 6 に示した FET 203, 208 のゲート幅が同程度である電力増幅器について説明する。

10 本形態における電力増幅器においては、前段の増幅器には、前段の増幅器の線形利得が後段の増幅器の線形利得よりも大きくなるような第 1 の入出力整合回路が接続されており、かつ、後段の増幅器には、後段の増幅器の出力電力が前段の増幅器の出力電力よりも大きくなるような第 2 の入出力整合回路が接続されている。

15 図 10 は、前段の増幅器の入出力電力特性の一例を示すグラフであり、周波数 950 MHz における特性を示している。

また、図 11 は、後段の増幅器の入出力電力特性の一例を示すグラフである。

20 図 10 に示すように、前段の増幅器は、後段の増幅器よりも線形利得が高く、 $-5 \text{ dBm}$  の入力電力に対して  $15 \text{ dB}$  の利得が得られており、 $10 \text{ dBm}$  の出力電力を出力することができる。

しかしながら、入力電力が  $10 \text{ dBm}$  の場合には出力電力が飽和し、非線形動作になっている。

25 一方、後段の増幅器は図 11 に示すように、入力電力が  $10 \text{ dBm}$  である場合においても線形性が維持されており、前段の増幅器よりも高い  $20 \text{ dBm}$  の出力電力を出力することができる。

上述したように、大きさが同じ素子で構成されるゲート接地 FET で

あつても、整合回路によって異なる特性を有するゲート接地FETを図6に示したように接続し、利得可変制御電圧VCにより前段または後段のゲート接地FETのソース端子とドレイン端子を制御する。

例えば、前段のFETのソース電圧が0V、ドレイン電圧が0Vになると、このゲート接地FETの入力電力は透過され、入力電力がそのまま後段の入力電力となる。

また、利得可変制御電圧により、後段のFETのソース電圧が0V、ドレインが電圧0Vになると、このゲート接地FETの入力電力は透過され、前段の出力電力が送信出力となる。

10 これにより、増幅器の入力電力や所望の送信出力により電力付加効率や歪み特性を選ぶことが可能となる。

なお、本形態においては、2段に接続されたゲート接地FETについて説明したが、3段以上の場合でも同様に構成することができる。

また、前段及び後段の増幅器にベース接地バイポーラトランジスタを用い、エミッタとコレクタに、利得可変制御電圧を印加することにより、ベース接地バイポーラトランジスタの入力電力を透過させ、それにより、送信電力が小さな場合においても、高い電力付加効率を得ることもできる。

#### 産業上の利用可能性

20 以上説明したように本発明においては、複数のトランジスタが多段に接続されて構成される電力増幅器において、出力電力を予め定めたしきい値よりも小さくする場合、複数のトランジスタのうち、少なくとも1つのトランジスタの入力電力を透過させるため、送信電力が小さな場合においても、高い電力付加効率を得ることができる。

25 これにより、広いダイナミックレンジの送信電力を必要とする場合においても、高効率で低歪み特性を有し、利得可変が可能な電力増幅器を実現することができる。

## 請求の範囲

1. 複数のトランジスタが多段に接続されて構成され、入力電力を増幅して出力する電力増幅器において、
  - 5 前記複数のトランジスタのうち、前段のトランジスタがソース接地電界効果トランジスタであり、  
前記複数のトランジスタのうち、後段のトランジスタがゲート接地電界効果トランジスタであり、  
前記後段のトランジスタのソース及びドレインに所定の電圧をそれぞれ  
10 印加するための複数のバイアス端子を有し、  
出力電力を予め定めたしきい値よりも小さくする場合、前記バイアス端子に所定の電圧を印加し、前記後段のトランジスタの入力電力を透過させて出力電力として出力することを特徴とする電力増幅器。
  2. 複数のトランジスタが多段に接続されて構成され、入力電力を増  
15 幅して出力する電力増幅器において、  
前記複数のトランジスタのうち、前段のトランジスタがエミッタ接地バイポーラトランジスタであり、  
前記複数のトランジスタのうち、後段のトランジスタがベース接地バイポーラトランジスタであり、  
20 前記後段のトランジスタのエミッタ及びコレクタに所定の電圧をそれぞれ印加するための複数のバイアス端子を有し、  
出力電力を予め定めたしきい値よりも小さくする場合、前記バイアス端子に所定の電圧を印加し、前記後段のトランジスタの入力電力を透過させて出力電力として出力することを特徴とする電力増幅器。
  - 25 3. 複数のトランジスタが多段に接続されて構成され、入力電力を増幅して出力する電力増幅器において、  
前記複数のトランジスタのうち、少なくとも2つのトランジスタがゲー

ト接地電界効果トランジスタであり、

前記ゲート接地電界効果トランジスタのソース及びドレインに所定の電圧をそれぞれ印加するための複数のバイアス端子を有し、

出力電力を予め定めたしきい値よりも小さくする場合、前記ゲート接地  
5 電界効果トランジスタのうち少なくとも1つのゲート接地電界効果トランジスタのソース及びドレインに接続されたバイアス端子に所定の電圧を印加し、該電圧が印加されたゲート接地電界効果トランジスタの入力電力を透過させて出力電力として出力することを特徴とする電力増幅器。

4. 複数のトランジスタが多段に接続されて構成され、入力電力を増  
10 幅して出力する電力増幅器において、

前記複数のトランジスタのうち、少なくとも2つのトランジスタがベース接地バイポーラトランジスタであり、

前記ベース接地バイポーラトランジスタのエミッタ及びコレクタに所定の電圧をそれぞれ印加するための複数のバイアス端子を有し、

出力電力を予め定めたしきい値よりも小さくする場合、前記ベース接地  
15 バイポーラトランジスタのうち少なくとも1つのベース接地バイポーラトランジスタのエミッタ及びコレクタに接続されたバイアス端子に所定の電圧を印加し、該電圧が印加されたベース接地バイポーラトランジスタの入力電力を透過させて出力電力として出力することを特徴とする電力増幅器。

20 5. 請求項3に記載の電力増幅器において、

前記複数のゲート接地電界効果トランジスタのうち、前段となるゲート接地電界効果トランジスタと接続され、前段となるゲート接地電界効果トランジスタの線形利得が後段となるゲート接地電界効果トランジスタの線形利得よりも大きくなるように設定された第1の入出力整合回路と、

25 前記複数のゲート接地電界効果トランジスタのうち、後段となるゲート接地電界効果トランジスタと接続され、後段となるゲート接地電界効果トランジスタの出力電力が前段となるゲート接地電界効果トランジスタの出

力電力よりも大きくなるように設定された第2の入出力整合回路とを有することを特徴とする電力増幅器。

6. 請求項4に記載の電力増幅器において、

前記複数のベース接地バイポーラトランジスタのうち、前段となるベース接地バイポーラトランジスタと接続され、前段となるベース接地バイポーラトランジスタの線形利得が後段となるベース接地バイポーラトランジスタの線形利得よりも大きくなるように設定された第1の入出力整合回路と、

前記複数のベース接地バイポーラトランジスタのうち、後段となるベース接地バイポーラトランジスタと接続され、後段となるベース接地バイポーラトランジスタの出力電力が前段となるベース接地バイポーラトランジスタの出力電力よりも大きくなるように設定された第2の入出力整合回路とを有することを特徴とする電力増幅器。

15

20

25

図1

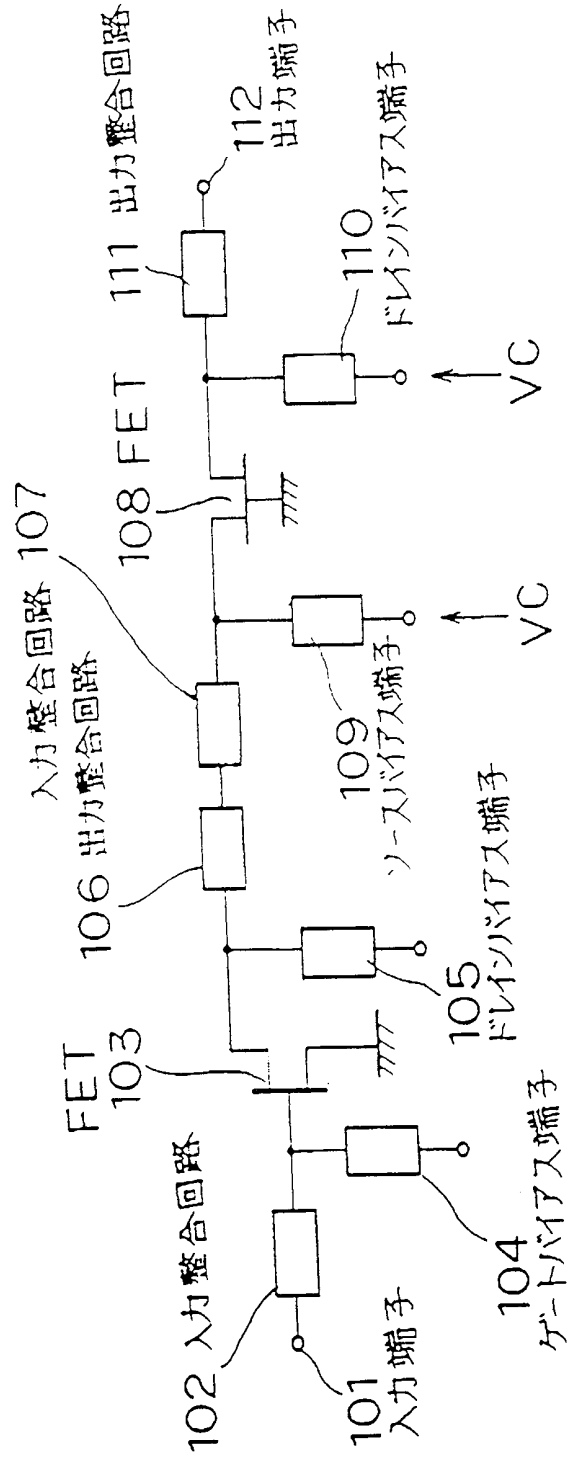


図 2

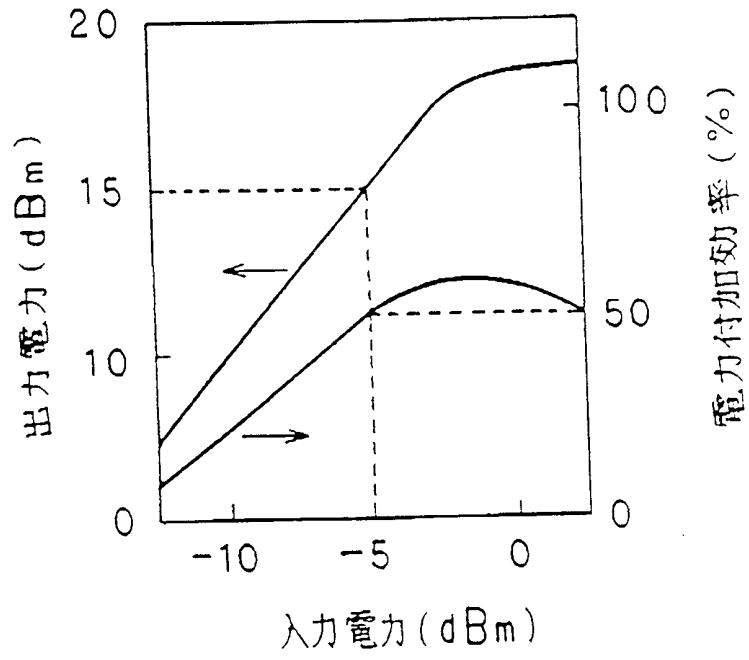


図 3

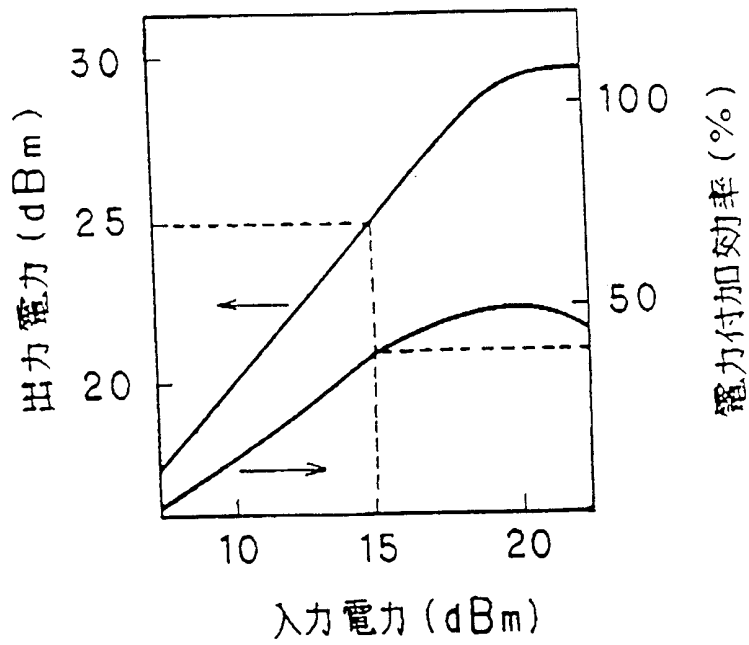


図4

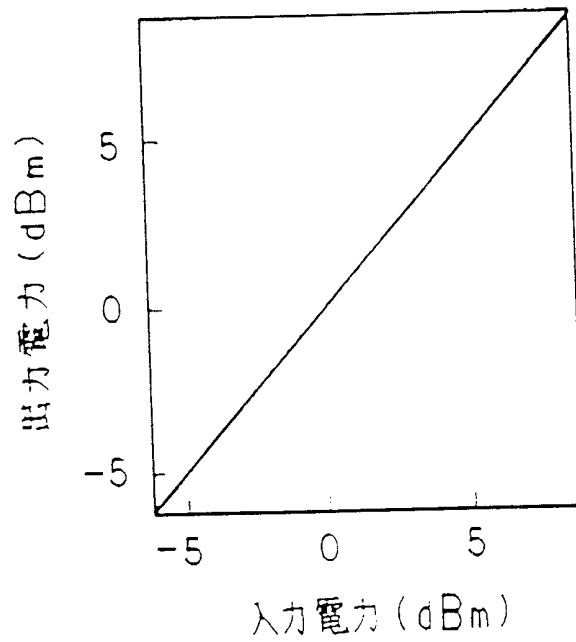


図5

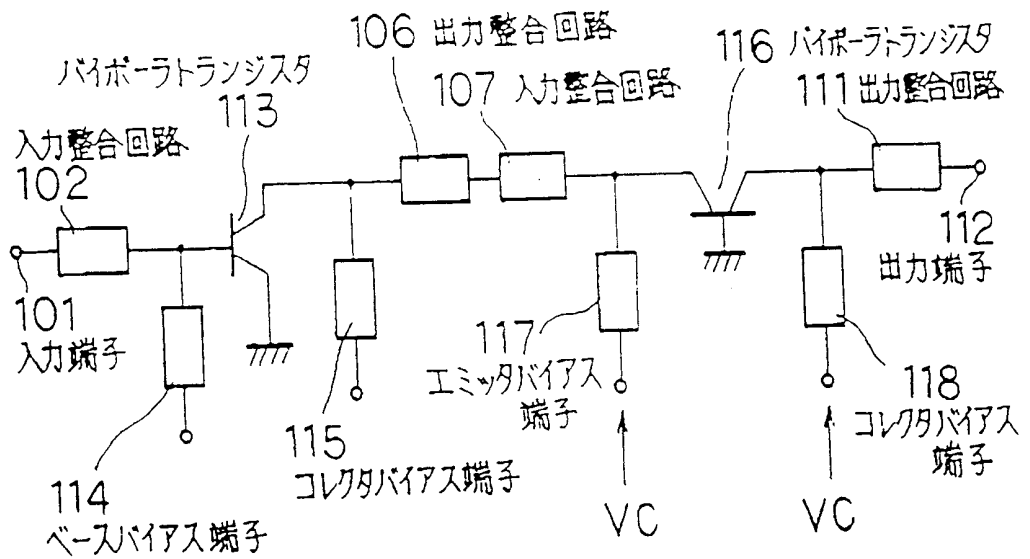


図6

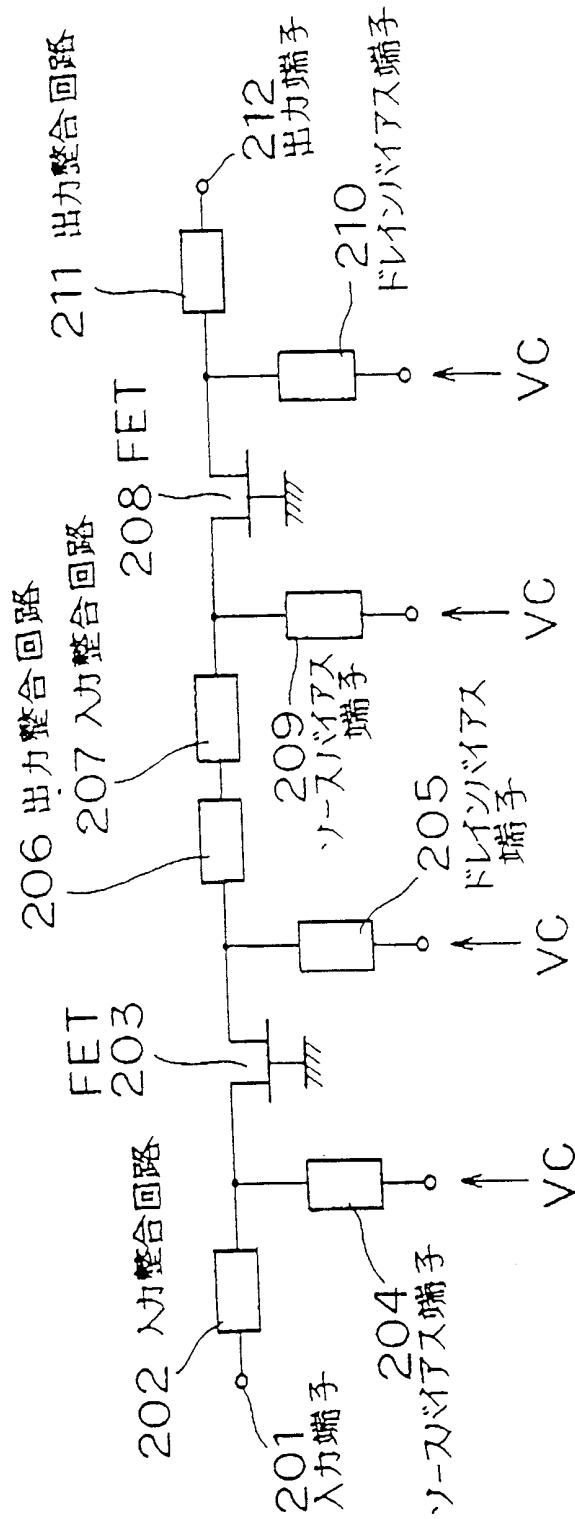


図7

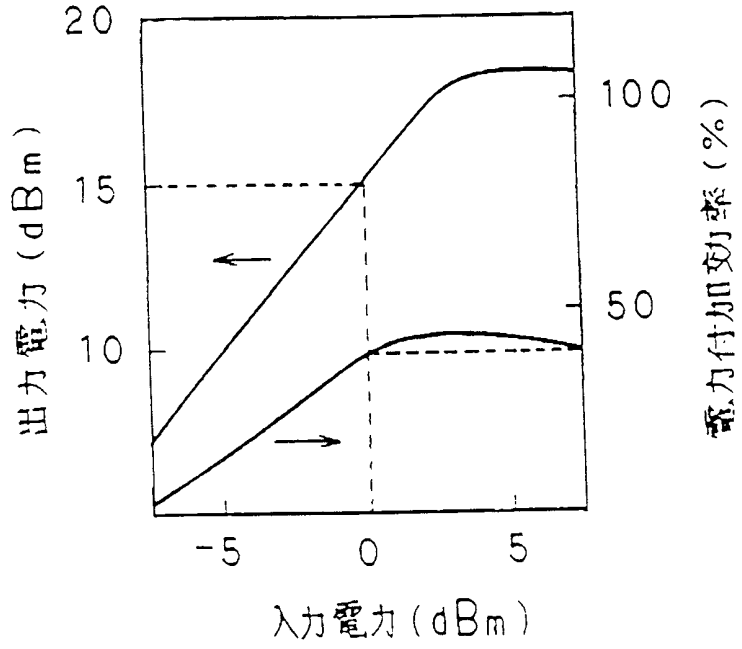


図8

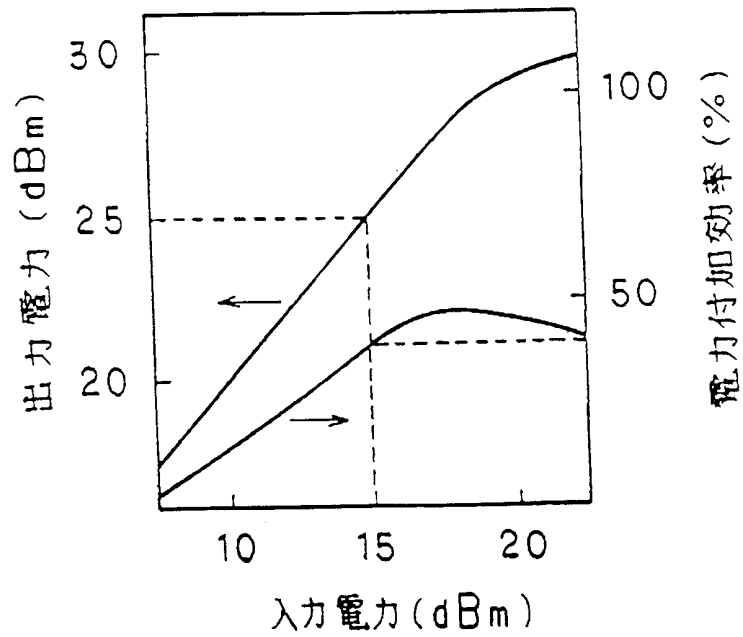


図9

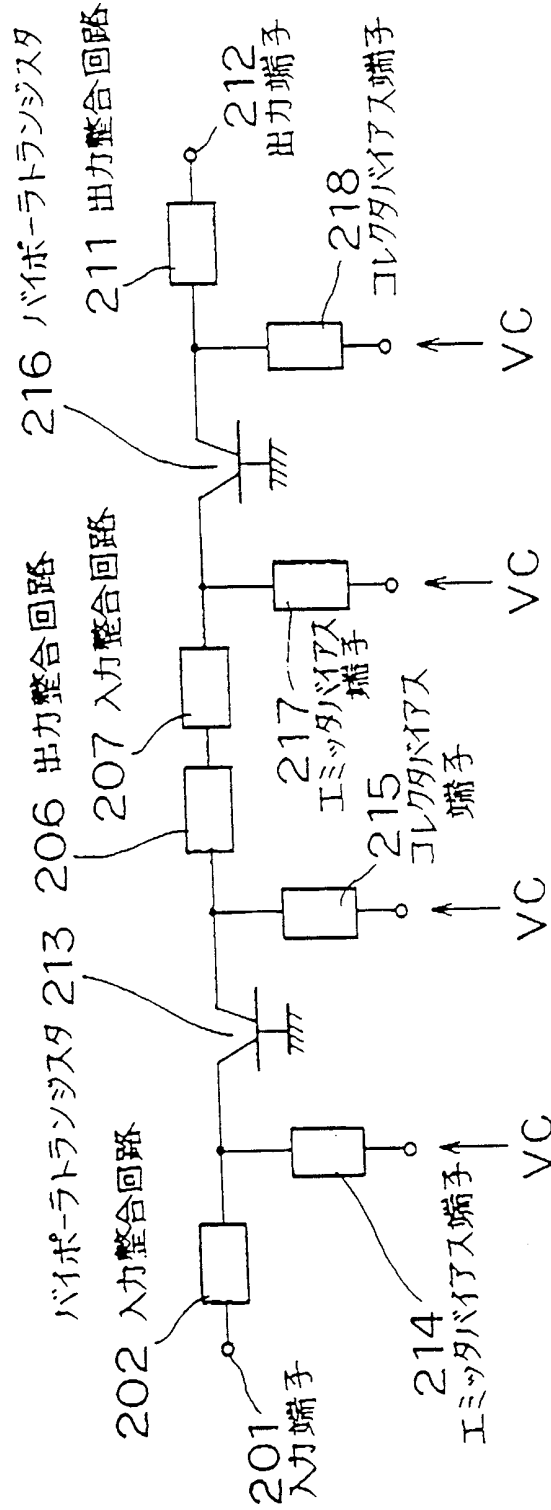


図 10

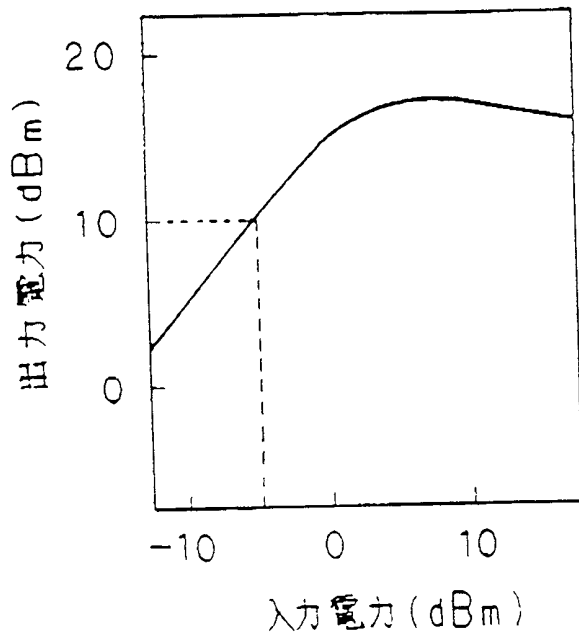


図 11

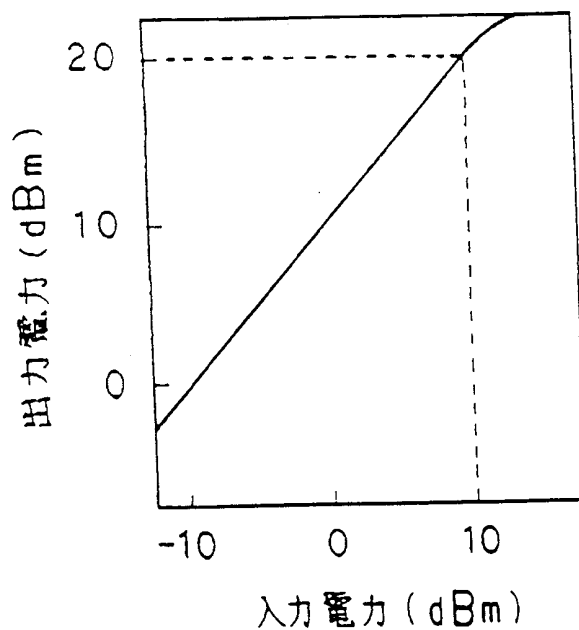


図 12

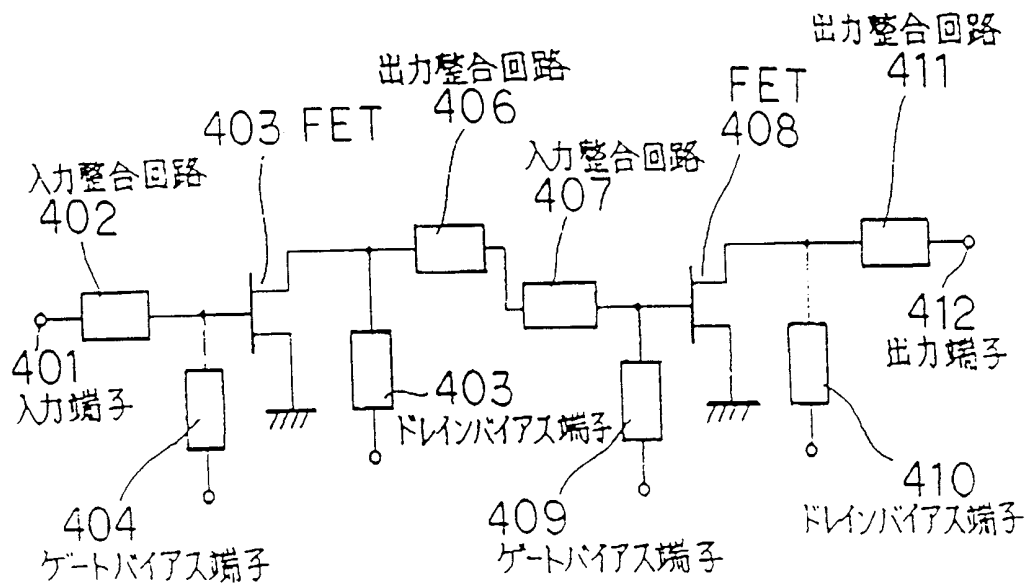
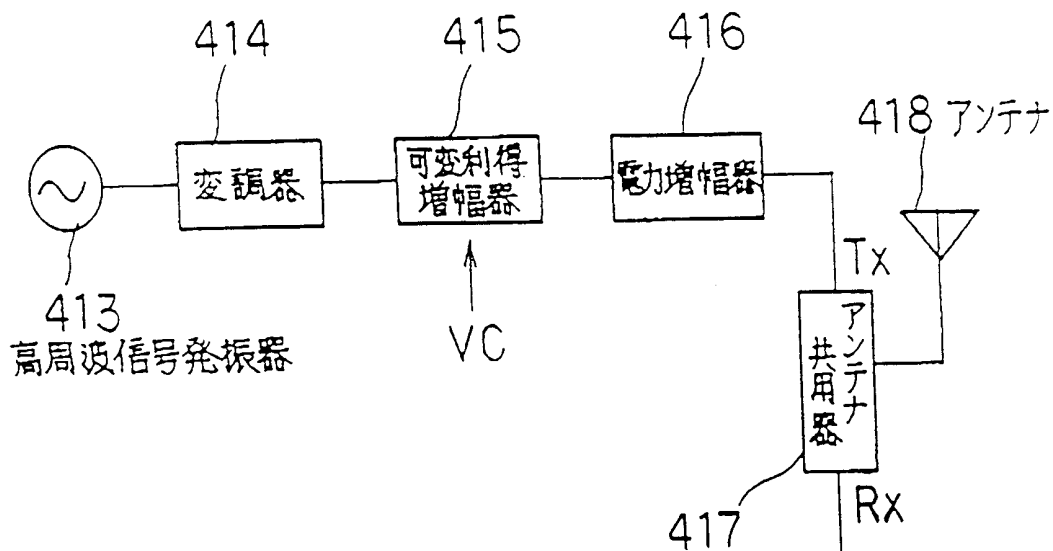


図 13



**INTERNATIONAL SEARCH REPORT**

International application No. PCT/JP99/03591
---

<p><b>A. CLASSIFICATION OF SUBJECT MATTER</b> Int.Cl<sup>6</sup> H03F1/22, H03F3/24, H03G3/20</p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>
<p><b>B. FIELDS SEARCHED</b></p> <p>Minimum documentation searched (classification system followed by classification symbols) Int.Cl<sup>6</sup> H03F1/22, H03F3/24, H03G3/20</p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-1999 Kokai Jitsuyo Shinan Koho 1971-1999 Jitsuyo Shinan Toroku Koho 1996-1999</p> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 9-148852, A (Matsushita Electric Industrial Co., Ltd.), 6 June, 1997 (06. 06. 97) & KR, 97031237, A & US, 5909643, A	1-6
A	JP, 6-224647, A (Sharp Corp.), 12 August, 1994 (12. 08. 94) (Family: none)	1-6
A	JP, 5-308233, A (Nippon Telegraph & Telephone Corp.), 19 November, 1993 (19. 11. 93) (Family: none)	1-6
A	JP, 5-145349, A (Fujitsu Ltd.), 11 June, 1993 (11. 06. 93) (Family: none)	1-6
A	JP, 57-160213, U (Mitsubishi Electric Corp.), 7 October, 1982 (07. 10. 82) (Family: none)	1-6

Further documents are listed in the continuation of Box C.       See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search 16 September, 1999 (16. 09. 99)	Date of mailing of the international search report 28 September, 1999 (28. 09. 99)
--	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int.Cl <sup>o</sup> H03F 1/22 , H03F 3/24 , H03G 3/20		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int.Cl <sup>o</sup> H03F 1/22 , H03F 3/24 , H03G 3/20		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1996 年 日本国公開実用新案公報 1971-1999 年 日本国実用新案登録公報 1996-1999 年 日本国登録実用新案公報 1994-1999 年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 9-148852, A (松下電器産業株式会社) 6. 6月. 1997 (06. 06. 97) &KR, 97031237, A &US, 5909643, A	1-6
A	J P, 6-224647, A (シャープ株式会社) 12. 8月. 1994 (12. 08. 94) (ファミリーなし)	1-6
A	J P, 5-308233, A (日本電信電話株式会社) 19. 11 月. 1993 (19. 11. 93) (ファミリーなし)	1-6
A	J P, 5-145349, A (富士通株式会社) 11. 6月. 1993 (11. 06. 93) (ファミリーなし)	1-6
A	J P, 57-160213, U (三菱電機株式会社) 7. 10月. 1982 (07. 10. 82) (ファミリーなし)	1-6
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日	16. 09. 99	国際調査報告の発送日
		28.09.99
国際調査機関の名称及びあて先	特許庁審査官 (権限のある職員)	5 T 9060
日本国特許庁 (ISA/J P)	矢島 伸一	印
郵便番号100-8915		
東京都千代田区霞が関三丁目4番3号	電話番号 03-3581-1101	内線 3567