



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월16일
(11) 등록번호 10-1094840
(24) 등록일자 2011년12월09일

(51) Int. Cl.

H01L 27/115 (2006.01)
(21) 출원번호 10-2005-0062792
(22) 출원일자 2005년07월12일
심사청구일자 2010년07월09일
(65) 공개번호 10-2007-0008901
(43) 공개일자 2007년01월18일

(56) 선행기술조사문현

KR1020030090368 A
KR1020010030002 A
KR1020010051759 A
KR1020060124433 A

전체 청구항 수 : 총 8 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

송재혁

서울 동작구 상도3동 418번지 쌍용스윗닷홈아파트
104동 506호

최정혁

경기 성남시 분당구 서현동 시범단지 한양아파트
320동 905호

(74) 대리인

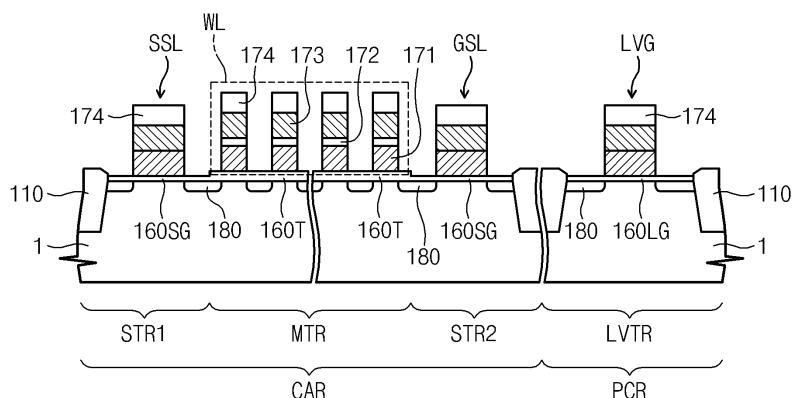
임창현, 권혁수, 오세준, 송윤호

심사관 : 이우리

(54) 낸드형 플래시 메모리 장치 및 그 제조 방법

(57) 요 약

낸드형 플래시 메모리 장치 및 그 제조 방법을 제공한다. 이 장치는 메모리 트랜지스터 영역 및 선택 트랜지스터 영역을 포함하는 반도체기판, 반도체기판의 메모리 트랜지스터 영역 상에 배치되는 워드 라인들, 반도체기판의 선택 트랜지스터 영역 상에 배치되는 제 1 및 제 2 선택 라인들, 워드 라인들과 반도체기판 사이에 개재되는 터널 절연막들 및 제 1 및 제 2 선택 라인들과 반도체기판 사이에 개재되는 선택 게이트 절연막들을 포함한다. 이 때, 선택 게이트 절연막들은 상기 터널 절연막보다 얇다. 이러한 두께의 차이는 프로그램 교란의 문제를 줄이는 데 기여한다.

대 표 도 - 도3f

특허청구의 범위

청구항 1

메모리 트랜지스터 영역 및 선택 트랜지스터 영역을 포함하는 반도체기판;
상기 반도체기판의 메모리 트랜지스터 영역 상에 배치되는 워드 라인들;
상기 반도체기판의 선택 트랜지스터 영역 상에 배치되는 선택 라인들;
상기 워드 라인들과 상기 반도체기판 사이에 개재되는 터널 절연막들; 및
상기 선택 라인들과 상기 반도체기판 사이에 개재되는, 상기 터널 절연막보다 얇은 선택 게이트 절연막들을 포함하되,
상기 선택 게이트 절연막의 두께는 가장자리보다 중앙부에서 얇은 것을 특징으로 하는 낸드형 플래시 메모리 장치.

청구항 2

제 1 항에 있어서,
상기 선택 라인들은 상기 워드 라인들보다 넓은 폭을 갖는 것을 특징으로 하는 낸드형 플래시 메모리 장치.

청구항 3

제 1 항에 있어서,
상기 선택 라인들의 폭은 적어도 상기 선택 게이트 절연막의 두께가 상기 터널 절연막의 가장 얕은 두께와 같아지는 위치로부터 상기 선택 라인들의 측벽까지의 이격 거리의 두 배인 것을 특징으로 하는 낸드형 플래시 메모리 장치.

청구항 4

메모리 트랜지스터 영역, 선택 트랜지스터 영역 및 저전압 트랜지스터 영역을 포함하는 반도체기판;
상기 반도체기판의 메모리 트랜지스터 영역 상에 배치되는 워드 라인들;
상기 반도체기판의 선택 트랜지스터 영역 상에 배치되는 선택 라인들;
상기 반도체기판의 저전압 트랜지스터 영역 상에 배치되는 저전압 게이트 전극들;
상기 워드 라인들과 상기 반도체기판 사이에 개재되는 터널 절연막들;
상기 선택 라인들과 상기 반도체기판 사이에 개재되는, 상기 터널 절연막보다 얇은 선택 게이트 절연막들; 및
상기 저전압 게이트 전극들과 상기 반도체기판 사이에 개재되는 저전압 게이트 절연막들을 포함하되,
상기 선택 게이트 절연막의 두께는 가장자리보다 중앙부에서 얇은 것을 특징으로 하는 낸드형 플래시 메모리 장치.

청구항 5

제 4 항에 있어서,
상기 선택 게이트 절연막들은 상기 저전압 게이트 절연막들과 동일한 두께를 갖는 것을 특징으로 하는 낸드형 플래시 메모리 장치.

청구항 6

제 4 항에 있어서,
상기 워드 라인들은 상기 선택 라인들 및 상기 저전압 게이트 전극들보다 좁은 폭을 갖는 것을 특징으로 하는 낸드형 플래시 메모리 장치.

청구항 7

제 4 항에 있어서,

상기 선택 라인들의 폭은 적어도 상기 선택 게이트 절연막의 두께가 상기 터널 절연막의 가장 얇은 두께와 같아지는 위치로부터 상기 선택 라인들의 측벽까지의 이격 거리의 두 배이고,

상기 저전압 게이트 전극들의 폭은 적어도 그 하부에 배치된 상기 저전압 게이트 절연막의 두께가 상기 터널 절연막의 가장 얇은 두께와 같아지는 위치로부터 상기 저전압 게이트 전극의 측벽까지의 이격 거리의 두 배인 것을 특징으로 하는 낸드형 플래시 메모리 장치.

청구항 8

제 4 항에 있어서,

상기 저전압 게이트 전극들은 상기 선택 라인들과 동일한 두께 및 동일한 물질로 이루어지는 것을 특징으로 하는 낸드형 플래시 메모리 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

작제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0006] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 보다 구체적으로는 낸드형 플래시 메모리 장치 및 그 제조 방법에 관한 것이다.
- [0007] 플래시 메모리 장치는 전원 공급에 관계없이 저장된 정보를 유지할 수 있는 비휘발성 메모리 장치의 한 종류로서, 또 다른 비휘발성 메모리 장치인 룬들과 달리 저장된 정보를 전기적으로 빠르고 용이하게 변경할 수 있는 특징을 갖는다.
- [0008] 상기 플래시 메모리 장치는 메모리 셀들이 비트 라인과 접지 전극에 연결되는 방식에 따라, 노어형(NOR type) 구조와 낸드형(NAND type) 구조로 분류될 수 있다. 보다 구체적으로 살펴보면, 노어형 플래시 메모리 장치(이하, 노어 플래시)는 메모리 셀들이 비트 라인과 접지 전극 사이에 병렬로 연결되는 구조로서, 빠른 랜덤 액세스(random access)가 가능하다. 이에 따라, 노어 플래시는 바이오스(Basic Input Output System; BIOS), 휴대폰(cellular phone) 및 휴대용 개인정보 단말기(personal digital assistants; PDA) 등에서 주로 사용된다.
- [0009] 이에 비해, 낸드형 플래시 메모리 장치(이하, 낸드 플래시)는 메모리 셀들이 비트 라인과 접지 전극 사이에 직렬로 연결되는 구조이다(도 1 참조). 구체적으로는, 낸드 플래시의 셀 어레이(100)는 복수개의 셀 스트링들(10)을 포함하고, 각 셀 스트링들(10)은 직렬로 연결된 복수개의 메모리 셀들을 포함한다. 이때, 상기 셀 스트링(10)의 양단에는 접지 선택 라인(GSL)에 의해 연결되는 접지 선택 트랜지스터들 및 스트링 선택 라인(SSL)에 의해 연결되는 스트링 선택 트랜지스터가 배치되어, 상기 메모리 셀들과 상기 비트 라인(40)/접지 전극(45) 사이의 전기적 연결을 제어한다.
- [0010] 낸드 플래시의 이러한 직렬적 연결 구조로 인해, 낸드 플래시는 반도체 장치들 중에서 가장 높은 집적도를 갖는다. 또한, 낸드 플래시는 복수개의 메모리 셀들에 저장된 정보를 동시에 변경하는 동작 방식을 채택하기 때문에, 정보 갱신(update) 속도가 상기 노어 플래시에 비해 월등히 빠르다. 이러한 높은 집적도 및 빠른 갱신 속도에 의해, 낸드 플래시는 디지털 카메라 또는 엠피쓰리 플레이어 등과 같이 대용량 저장 장치(mass storage)를 필요로 하는 휴대용 전자 제품에 주로 사용된다. 시장 조사 기관인 아디씨(IDC)사의 예측에 따르면, 휴대용 전자 제품의 급증하는 수요로 인해, 낸드 플래시 제품의 시장은 더욱 확대될 것으로 기대된다.
- [0011] 잘 알려진 것처럼, 낸드 플래시는 파울러-노던하임 터널링(Fowler-Nordheim tunneling) 현상을 이용하여 선택된 메모리 셀들에 저장된 정보를 갱신하며, 이러한 정보 갱신 동작(즉, 쓰기(program) 및 소거(erase) 동작)은 복수개의 메모리 셀들로 구성되는 페이지 또는 블록에 대해 상술한 것처럼 동시에 수행된다. 이때, 페이지 단위의 쓰기 동작은 선택된 워드 라인(WL)을 따라 배열된 선택되지 않은 메모리 셀(특히, 선택된 메모리 셀에 인접한 메모리 셀)이 프로그램되는 문제를 유발할 수 있다. 이처럼 선택되지 않은 메모리 셀에 대한 의도하지 않은 프로그램은 일반적으로 "프로그램 교란(program disturbance)"라고 불린다.
- [0012] 이러한 프로그램 교란을 방지하기 위해, 낸드 플래시의 쓰기 동작은 일반적으로 자기 승압 방식(self-boosting scheme)을 이용한다. 상기 자기 승압 방식은 "METHOD OF PROGRAMMING FLASH EEPROM INTEGRATED CIRCUIT MEMORY DEVICES TO PREVENT INADVERTENT PROGRAMMING OF NONDESIGNATED NAND MEMORY CELLS THEREIN"라는 제목의 미국 특허 번호 제 5,677,873호 및 "METHOD FOR REDUCING PROGRAM DISTURB DURING SELF-BOOSTING IN A NAND FLASH MEMORY"라는 제목의 미국 특허 번호 제 5,991,202호에 개시되었다. 상기 자기 승압 방식은 선택되지 않은 셀 스트링이 그에 연결된 비트 라인(40) 및 접지 전극(45)에 전기적으로 연결되지 않도록, 스트링 선택 라인(SSL) 및 접지 선택 라인(GSL)의 게이트 전극들에 인가되는 전압을 조절하는 방법이다. 셀 스트링(10)이 이처럼 전기적으로 고립될 경우, 선택되지 않은 메모리 셀 아래의 기판(1) 전압은 선택된 워드 라인(WL)에 인가되는 프로그램 전압에 의해 소정의 전압까지 올라간다(도 2 참조). (이러한 전압 상승을 부스팅이라 한다.) 이와 같이 기판 전압이 상승하면, 부유 게이트 전극(22)과 기판(1) 사이의 전위차가 감소하기 때문에, 터널 절연막(70)을 통한 파

울러-노던하임 터널링은 차단된다. 즉, 상술한 프로그램 교란은 예방된다.

[0013] 이러한 자기 송압 방식의 메커니즘을 고려할 때, 상기 프로그램 교란을 방지하기 위해서는 선택되지 않은 셀 스트링은 비트 라인(40) 및 접지 전극(45)으로부터 완전하게 고립되어야 하며, 셀 스트링(10)의 전기적 고립을 위해서는 스트링 선택 트랜지스터 및 접지 선택 트랜지스터의 턴-오프 전류 특성이 우수해야 한다. 하지만, 종래 기술에 따르면, 도 2에 도시한 것처럼, 상기 선택 트랜지스터들의 게이트 절연막(75)은 메모리 셀 트랜지스터의 터널 절연막(70)과 동일한 두께로 형성되기 때문에, 선택 트랜지스터들의 특성 향상은 제한적이다. 특히, 접적도 증가를 위한 선택 트랜지스터들의 선택 폭 감소는 상기 선택 트랜지스터들의 턴-오프 전류 특성을 저하시키는 쇼트 채널 효과를 유발한다.

발명이 이루고자 하는 기술적 과제

[0014] 본 발명이 이루고자 하는 기술적 과제는 프로그램 교란을 예방할 수 있는 낸드 플래시 메모리 장치를 제공하는데 있다.

[0015] 본 발명이 이루고자 하는 다른 기술적 과제는 선택 트랜지스터들의 턴-오프 전류 특성을 향상시킬 수 있는 낸드 플래시 메모리 장치를 제공하는 데 있다.

[0016] 본 발명이 이루고자 하는 또 다른 기술적 과제는 우수한 턴-오프 전류 특성을 갖는 선택 트랜지스터들을 구비하는 낸드 플래시 메모리 장치의 제조 방법을 제공하는 데 있다.

발명의 구성 및 작용

[0017] 상기 기술적 과제를 달성하기 위하여, 본 발명은 선택 트랜지스터들의 게이트 절연막과 메모리 셀 트랜지스터들의 터널 절연막의 두께가 서로 다른 낸드 플래시 메모리 장치를 제공한다. 이 장치는 메모리 트랜지스터 영역 및 선택 트랜지스터 영역을 포함하는 반도체기판, 상기 반도체기판의 메모리 트랜지스터 영역 상에 배치되는 워드 라인들, 상기 반도체기판의 선택 트랜지스터 영역 상에 배치되는 제 1 및 제 2 선택 라인들, 상기 워드 라인들과 상기 반도체기판 사이에 개재되는 터널 절연막들 및 상기 제 1 및 제 2 선택 라인들과 상기 반도체기판 사이에 개재되는 선택 게이트 절연막들을 포함한다. 이때, 상기 선택 게이트 절연막들은 상기 터널 절연막보다 얇으며, 그 두께는 가장자리보다 중앙부에서 얇다.

[0018] 본 발명의 일 실시예에 따르면, 상기 제 1 및 제 2 선택 라인들은 상기 워드 라인들보다 얕은 폭을 갖는다. 또한, 상기 제 1 및 제 2 선택 라인들의 폭은 적어도 상기 선택 게이트 절연막의 두께가 상기 터널 절연막의 가장 얕은 두께와 같아지는 위치로부터 상기 제 1 및 제 2 선택 라인들의 측벽까지의 이격 거리의 두 배인 것이 바람직하다.

[0019] 상기 기술적 과제들을 달성하기 위하여, 본 발명의 낸드 플래시 메모리 장치는 메모리 트랜지스터 영역, 선택 트랜지스터 영역 및 저전압 트랜지스터 영역을 포함하는 반도체기판, 상기 반도체기판의 메모리 트랜지스터 영역 상에 배치되는 워드 라인들, 상기 반도체기판의 선택 트랜지스터 영역 상에 배치되는 제 1 및 제 2 선택 라인들, 상기 반도체기판의 저전압 트랜지스터 영역 상에 배치되는 저전압 게이트 전극들, 상기 워드 라인들과 상기 반도체기판 사이에 개재되는 터널 절연막들, 상기 제 1 및 제 2 선택 라인들과 상기 반도체기판 사이에 개재되는 선택 게이트 절연막들 및 상기 저전압 게이트 전극들과 상기 반도체기판 사이에 개재되는 저전압 게이트 절연막들을 포함한다. 이때, 상기 선택 게이트 절연막들은 상기 터널 절연막보다 얕다.

[0020] 본 발명의 일 실시예에 따르면, 상기 선택 게이트 절연막들은 상기 저전압 게이트 절연막들과 동일한 두께를 가질 수 있다. 또한, 상기 워드 라인들은 상기 제 1 및 제 2 선택 라인들 및 상기 저전압 게이트 전극들보다 좁은 폭을 갖는다. 이에 더하여, 상기 선택 게이트 절연막의 두께는 가장자리보다 중앙부에서 얕을 수 있다.

[0021] 본 발명의 다른 실시예에 따르면, 상기 제 1 및 제 2 선택 라인들의 폭은 적어도 상기 선택 게이트 절연막의 두께가 상기 터널 절연막의 가장 얕은 두께와 같아지는 위치로부터 상기 제 1 및 제 2 선택 라인들의 측벽까지의 이격 거리의 두 배이고, 상기 저전압 게이트 전극들의 폭은 적어도 그 하부에 배치된 상기 저전압 게이트 절연막의 두께가 상기 터널 절연막의 가장 얕은 두께와 같아지는 위치로부터 상기 저전압 게이트 전극의 측벽까지의 이격 거리의 두 배이다.

[0022] 상기 다른 기술적 과제를 달성하기 위하여, 본 발명은 선택 게이트 절연막을 터널 절연막보다 얕게 형성하는 단계를 포함하는 낸드형 플래시 메모리 장치의 제조 방법을 제공한다. 이 방법은 메모리 트랜지스터 영역, 선택 트랜지스터 영역 및 저전압 트랜지스터 영역을 포함하는 반도체기판에 활성영역들을 한정하는 소자분리막 패턴

들을 형성하고, 상기 활성영역들 상에 상기 메모리 트랜지스터 영역을 덮는 제 1 절연막 패턴을 형성한 후, 상기 제 1 절연막 패턴이 형성된 활성영역들의 전면에 제 2 절연막을 형성하는 단계를 포함한다. 이후, 상기 제 2 절연막 상에, 상기 메모리 트랜지스터 영역의 상부에 배치되는 워드 라인들, 상기 선택 트랜지스터 영역의 상부에 배치되는 제 1 및 제 2 선택 라인들 및 상기 저전압 트랜지스터 영역 상에 배치되는 저전압 게이트 전극들을 형성한다.

[0023] 상기 제 1 절연막 패턴을 형성하는 단계는 상기 활성영역의 전면에 제 1 절연막을 형성한 후, 상기 제 1 절연막 상에 상기 메모리 트랜지스터 영역의 상부에 배치되는 마스크 패턴을 형성하는 단계, 상기 마스크 패턴을 식각 마스크로 사용하여 상기 제 1 절연막을 식각함으로써 상기 선택 트랜지스터 영역 및 상기 저전압 트랜지스터 영역에서 상기 활성영역의 상부면을 노출시키는 단계를 포함한다. 이후, 상기 마스크 패턴은 제거된다.

[0024] 또한, 상기 제 2 절연막을 형성하는 단계는 상기 메모리 트랜지스터 영역의 상부에 적층되는 제 1 절연막 패턴 및 제 2 절연막의 두께의 합이 상기 선택 트랜지스터 영역 및 상기 저전압 트랜지스터 영역의 상부에 적층되는 제 2 절연막의 두께보다 크도록 실시한다.

[0025] 상기 다른 기술적 과제를 달성하기 위하여, 본 발명의 낸드형 플래시 메모리 장치의 제조 방법은 메모리 트랜지스터 영역, 선택 트랜지스터 영역 및 저전압 트랜지스터 영역을 포함하는 반도체기판에 활성영역들을 한정하는 소자분리막 패턴들을 형성하고, 상기 활성영역들 전면에 제 1 두께를 갖는 게이트 산화막을 형성한 후, 상기 게이트 산화막 상에 상기 메모리 트랜지스터 영역의 상부에 배치되는 워드 라인들, 상기 선택 트랜지스터 영역의 상부에 배치되는 제 1 및 제 2 선택 라인들 및 상기 저전압 트랜지스터 영역 상에 배치되는 저전압 게이트 전극들을 형성하는 단계를 포함한다. 이후, 상기 워드 라인들의 중앙부 아래에 형성된 상기 게이트 산화막이 제 2 두께를 가질 때까지 열산화 공정을 실시한다. 이때, 상기 제 1 및 제 2 선택 라인들은 상기 열산화 공정에서 상기 제 1 및 제 2 선택 라인들의 중앙부 아래에 형성된 상기 게이트 산화막이 상기 제 2 두께보다 얇은 두께를 갖도록, 상기 워드 라인들보다 넓은 폭으로 형성한다.

[0026] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0027] 본 명세서에서, 어떤 막이 다른 막 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막이 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 막 및 영역들의 두께는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막을 다른 영역 또는 막과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에의 제1막질로 언급된 막질이 다른 실시예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다.

[0028] 도 3a 내지 도 3f는 본 발명의 제 1 실시예에 따른 낸드형 플래시 메모리 장치의 제조 방법을 보여주는 공정단면도들이다.

[0029] 도 3a를 참조하면, 반도체기판(1)의 소정영역에 활성영역들을 한정하는 소자분리막 패턴들(110)을 형성한다. 상기 반도체기판(1)은 셀 어레이 영역(CAR) 및 주변 회로 영역(PCR)을 포함하고, 상기 셀 어레이 영역(CAR)은 메모리 트랜지스터 영역(MTR) 및 선택 트랜지스터 영역(STR1, STR2)을 포함하고, 상기 주변 회로 영역(PCR)은 저전압 트랜지스터 영역(LVTR) 및 고전압 트랜지스터 영역(도시하지 않음)을 포함한다.

[0030] 상기 소자분리막 패턴들(110)을 형성하는 단계는 상기 반도체기판(1) 상에 상기 활성영역들을 정의하기 위한 트렌치 마스크 패턴들(120)을 형성한 후, 상기 트렌치 마스크 패턴들(120)을 식각 마스크로 사용하여 상기 반도체기판(1)을 이방성 식각함으로써, 트렌치들(130)을 형성하는 단계를 포함한다. 상기 트렌치 마스크 패턴(120)은 차례로 적층된 패드 산화막, 트렌치 하부 마스크막 및 트렌치 상부 마스크막으로 구성될 수 있다. 이때, 상기 트렌치 하부 마스크막은 다결정 실리콘이고 상기 트렌치 상부 마스크막은 실리콘 질화막일 수 있다. 상기 트렌치들(130)을 형성한 후, 절연 특성의 강화를 위해 소정의 이온주입 공정을 실시하고, 상기 트렌치(130)의 내벽에 열산화막(도시하지 않음)을 대략 50Å의 두께로 형성한다. 이어서, 상기 트렌치들(130)을 채우는 소자분리절연막을 형성한 후, 상기 트렌치 마스크 패턴들(120)이 노출될 때까지 상기 소자분리절연막을 평탄화 식각함으로

써 상기 소자분리막 패턴들(110)을 형성한다.

[0031] 도 3b를 참조하면, 상기 트렌치 마스크 패턴(120)을 습식 식각의 방법을 사용하여 제거함으로써, 상기 활성영역의 상부면을 노출시킨다. 이어서, 상기 노출된 활성영역의 상부면에 제 1 절연막(140)을 형성한다. 상기 제 1 절연막(140)의 두께는 상기 메모리 트랜지스터 영역(memory transistor region; MTR), 선택 트랜지스터 영역(selection transistor region; STR1, STR2) 및 저전압 트랜지스터 영역(low voltage transistor region, LVTR)에서 동일하며, 대략 10 nm 내지 60Å이다.

[0032] 상기 제 1 절연막(140)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, Al_2O_3 , $\text{Al}_x\text{Si}_y\text{O}_z$, $(\text{Ba}, \text{Sr})\text{TiO}_3$, BeAl_2O_4 , CeO_2 , CeHfO_4 , CoTiO_3 , Si_3N_4 , EuAlO_3 , HfO_2 , Hf silicate, La_2O_3 , LaAlO_3 , LaScO_3 , La_2SiO_5 , MaAl_2O_4 , NdAlO_3 , PrAlO_3 , SmAlO_3 , SrTiO_3 , Ta_2O_5 , TiO_2 , Y_2O_3 , $\text{Y}_x\text{Si}_y\text{O}_z$, ZrO_2 , Zr silicate, Zr-Al-O 및 $(\text{Zr}, \text{Sn})\text{TiO}_4$ 중에서 선택된 적어도 한가지로 형성될 수 있다. 본 발명의 일 실시예에 따르면, 상기 제 1 절연막(140)은 열산화 공정을 통해 형성된 실리콘 산화막이다. 상기 제 1 절연막(140)을 형성하는 단계는 실리콘 산화막일 경우 열산화 공정을 이용하는 것이 바람직하며, 다른 막들일 경우에는 증착 공정을 이용할 수 있다.

[0033] 도 3c를 참조하면, 상기 메모리 트랜지스터 영역(MTR)의 상부에 배치되는 마스크 패턴(150)을 형성한다. 상기 마스크 패턴(150)은 상기 선택 트랜지스터 영역(STR1, STR2) 및 상기 저전압 트랜지스터 영역(LVTR)에서 상기 제 1 절연막(140)의 상부면을 노출시킨다.

[0034] 상기 마스크 패턴(150)은 포토레지스트 패턴일 수 있으며, 이를 형성하는 단계는 상기 제 1 절연막(140) 상에 포토레지스트막을 형성한 후, 노광 및 현상 공정을 실시하는 단계를 포함한다. 상기 마스크 패턴(150)은 상기 포토레지스트 패턴과 상기 제 1 절연막(140) 사이에 개재되는 보호막을 더 포함할 수 있다. 상기 보호막은 상기 제 1 절연막(140)에 대해 식각 선택성을 갖는 물질이다. (이때, '막 A가 막 B에 대해 식각 선택성은 갖는다'라는 표현은 막 A의 식각 속도에 비해 막 B의 식각 속도가 충분히 큰 식각 공정이 가능함을 의미한다.)

[0035] 도 3d를 참조하면, 상기 마스크 패턴(150)을 식각 마스크로 사용하여, 상기 노출된 제 1 절연막(140)을 식각한다. 이에 따라, 상기 선택 트랜지스터 영역(STR1, STR2) 및 상기 저전압 트랜지스터 영역(LVTR)에서 상기 활성 영역의 상부면을 노출시키는 제 1 절연막 패턴(145)이 형성된다. 즉, 상기 제 1 절연막 패턴(145)은 상기 메모리 트랜지스터 영역(MTR)에 배치된다.

[0036] 상기 제 1 절연막(140)을 식각하는 단계는 상기 반도체기판(1)에 대해 식각 선택성을 갖는 식각 레서피를 사용하여 실시한다. 또한, 상기 반도체기판(1)에 대한 식각 손상을 최소화하기 위해, 상기 제 1 절연막(140)을 식각하는 단계는 습식 식각의 방법을 사용한다. 상기 제 1 절연막(140)을 실리콘 산화막으로 형성하는 실시예의 경우, 불산을 포함하는 식각액이 상기 제 1 절연막(140)을 식각하기 위하여 사용될 수 있다.

[0037] 도 3e를 참조하면, 상기 마스크 패턴(150)을 제거하여 상기 메모리 트랜지스터 영역(MTR)에서 상기 제 1 절연막 패턴(145)의 상부면을 노출시킨다. 상기 제 1 절연막 패턴(145)은 후속 공정을 통해 메모리 트랜지스터의 게이트 절연막(즉, 터널 절연막)으로 사용되기 때문에, 상기 제 1 절연막 패턴(145)의 물리적 특성은 상기 메모리 트랜지스터의 전기적 특성에 큰 영향을 준다. 이런 점을 고려할 때, 상기 마스크 패턴(150)을 제거하는 단계는 상기 제 1 절연막 패턴(145)의 물리적 특성을 손상시키지 않도록 실시될 필요가 있다.

[0038] 본 발명의 일 실시예에 따르면, 상기 제 1 절연막 패턴(145)에 대한 손상을 방지하기 위해, 상기 마스크 패턴(150)은 플라즈마를 사용하지 않는 공정을 통해 제거된다. 예를 들어, 상기 마스크 패턴(150)이 포토레지스트 패턴인 경우, 이를 제거하는 공정은 플라즈마 애칭 단계없이 식각액을 사용하여 실시하는 것이 바람직하다. 또한, 상술한 것처럼 상기 마스크 패턴(150)이 보호막을 포함하는 경우, 상기 포토레지스트 패턴은 플라즈마 애칭 단계를 포함할 수 있지만, 상기 제 1 절연막 패턴(145)에 접하는 상기 보호막은 습식 식각의 방법으로 제거된다.

[0039] 이어서, 상기 제 1 절연막 패턴(145)이 형성된 결과물 전면에 제 2 절연막을 형성한다. 이에 따라, 상기 선택 트랜지스터 영역(STR1, STR2) 및 상기 저전압 트랜지스터 영역(LVTR)의 상부에는 제 2 절연막 만이 형성되고, 상기 메모리 트랜지스터 영역(MTR)의 상부에는 상기 제 1 절연막 패턴(145) 및 상기 제 2 절연막이 적층된다. 이때, 상기 메모리 트랜지스터 영역(MTR)의 상부에 적층되는 제 1 절연막 패턴(145) 및 상기 제 2 절연막은 메모리 트랜지스터의 터널 절연막(160T)으로 사용되고, 상기 선택 트랜지스터 영역(STR1, STR2) 및 상기 저전압 트랜지스터 영역(LVTR)의 상부에 형성되는 제 2 절연막은 각각 선택 트랜지스터의 선택 게이트 절연막(160SG) 및 저전압 트랜지스터의 저전압 게이트 절연막(160LG)으로 사용될 수 있다. 결과적으로, 본 발명에 따르면, 상

기 터널 절연막(160T)은 상기 선택 게이트 절연막(160SG) 및 저전압 게이트 절연막(160LG)보다 두껍다.

[0040] 상기 제 2 절연막은 상기 제 1 절연막 패턴(145)과 동일한 물질로 형성할 수 있다. 본 발명의 일 실시예에 따르면, 상기 제 1 절연막 패턴(145)과 상기 제 2 절연막은 모두 열산화 공정을 통해 형성되는 실리콘 산화막이며, 상기 제 2 절연막의 적층 두께는 대략 10 nm 내지 50 Å일 수 있다.

[0041] 한편, 상술한 실시예들에 따르면, 상기 저전압 게이트 절연막(160LG)는 상기 선택 게이트 절연막(160SG)과 동일한 두께 및 물질로 이루어진다. 이와 달리, 본 발명의 다른 실시예에 따르면, 상기 저전압 게이트 절연막(160LG)은 별도의 공정을 통해 형성될 수 있다. 이 경우, 상기 저전압 게이트 절연막(160LG)은 상기 선택 게이트 절연막(160SG)과 두께 및 물질의 종류에서 달라질 수 있다.

[0042] 도 3f를 참조하면, 상기 제 2 절연막이 형성된 결과물 상에 상기 활성 영역들을 가로지르는 게이트 구조체를 형성한다. 상기 게이트 구조체는 상기 메모리 트랜지스터 영역(MTR)에 배치되는 워드 라인들(word line; WL), 상기 선택 트랜지스터 영역(STR1, STR2)에 배치되는 스트링 선택 라인(string selection line; SSL) 및 접지 선택 라인(ground selection line; GSL), 상기 저전압 트랜지스터 영역(LVTR)에 배치되는 저전압 게이트 전극(low voltage gate electrode; LVG)을 포함한다.

[0043] 상기 게이트 구조체를 형성하는 단계는 상기 제 2 절연막이 형성된 결과물 상에 제 1 도전막을 형성한 후, 상기 제 1 도전막을 패터닝하여 제 1 도전 패턴들을 형성하는 단계를 포함한다. 상기 제 1 도전 패턴은 상기 메모리 트랜지스터 영역(MTR)의 활성영역 상부에 배치된다. 이어서, 상기 제 1 도전 패턴들이 형성된 결과물을 덮는 게이트 충간절연막 및 제 2 도전막을 형성한 후, 그 상부에 상기 활성 패턴들을 가로지르는 게이트 마스크 패턴(174)을 형성한다. 이후, 상기 게이트 마스크 패턴(174)을 식각 마스크로 사용하여, 상기 제 2 도전막, 상기 게이트 충간절연막 및 상기 제 1 도전 패턴을 이방성 식각함으로써, 상기 게이트 구조체를 완성한다. 이때, 상기 게이트 마스크 패턴(174)은 제거될 수도 있지만, 도시된 것처럼 상기 제 2 도전막 상에 잔존할 수도 있다.

[0044] 이러한 과정을 통해 형성되는 상기 워드 라인들(WL)은 차례로 적층되어 상기 활성 영역들을 가로지르는 게이트 충간절연막 패턴(172) 및 제어 게이트 전극(173), 상기 게이트 충간절연막 패턴(172)과 상기 터널 절연막(160T) 사이에 개재되는 부유 게이트 전극(171)을 갖는다. 한편, 상기 스트링 선택 라인(SSL) 및 상기 접지 선택 라인(GSL)은 상기 제 1 도전 패턴과 상기 제 2 도전 패턴이 전기적으로 접속하는 구조를 갖는다. 이를 위해, 상기 제 2 도전막을 형성하기 전에 상기 게이트 충간절연막을 식각하여 상기 제 1 도전 패턴의 상부면을 노출시키는 개구부들을 형성할 수 있다. 이때, 상기 개구부들은 상기 선택 트랜지스터 영역(STR1, STR2)에 형성되며, 상기 저전압 트랜지스터 영역(LVTR)에도 형성될 수 있다.

[0045] 한편, 본 발명의 다른 실시예들에 따르면, 상기 선택 라인들(SSL, GSL) 및 저전압 게이트 전극(LVG)은 상기 제 1 도전막 또는 상기 제 2 도전막 중의 한가지로 이루어질 수도 있다. 이 실시예에 따르면, 상기 제 1 도전막, 상기 게이트 충간절연막 및 상기 제 2 도전막 중의 적어도 하나는 상기 선택 트랜지스터 영역(STR1, STR2)과 상기 저전압 트랜지스터 영역(LVT)에서 제거될 수 있다.

[0046] 이후, 상기 게이트 구조체들을 이온 주입 마스크로 사용하는 이온 주입 공정을 실시하여 상기 게이트 구조체들 사이에 노출되는 활성영역에 불순물 영역들(180)을 형성한다. 한편, 상기 메모리 트랜지스터 영역(MTR), 선택 트랜지스터 영역(STR1, STR2), 상기 저전압 트랜지스터 영역(LVTR) 및 상기 고전압 트랜지스터 영역에 각각 형성되는 상기 불순물 영역들(180)은 서로 다른 구조 및 불순물 농도를 가질 수 있다.

[0047] 도 4a 및 도 4b는 본 발명의 제 2 실시예에 따른 낸드형 플래시 메모리 장치의 제조 방법을 보여주는 공정단면도들이다. 본 발명의 제 2 실시예에 따르면, 상기 제 1 절연막(140)을 형성한 후, 상기 게이트 구조체들을 형성한다. 이런 점에서, 제 2 실시예는 제 2 절연막을 형성한 후 게이트 구조체를 형성하는 제 1 실시예와 차이를 갖는다. 간략함을 위해, 아래에서는 상술한 제 1 실시예와 중복되는 내용(즉, 제 1 절연막을 형성하기까지의 과정)에 대한 설명은 생략하고, 기술적으로 차이를 갖는 내용에 대해 주로 설명할 것이다.

[0048] 도 4a 및 도 4b를 참조하면, 제 1 절연막(140)이 형성된 결과물 상에 게이트 구조체들을 형성한다. 이 실시예에 따르면, 상기 제 1 절연막(140)은 열산화 공정을 통해 형성된 실리콘 산화막인 것이 바람직하다. 상기 게이트 구조체를 형성하는 과정은 제 1 실시예와 동일하다.

[0049] 이 실시예에 따르면, 상기 선택 라인들(SSL, GSL)의 폭을 상기 워드 라인(WL)의 폭보다 넓게 형성한다. 라인들 선폭에서의 이러한 차이는 열산화 공정에서 산소 원자들의 확산 경로에서의 차이를 만들기 때문에, 그 하부에 형성되는 게이트 절연막들이 서로 다른 두께를 갖도록 만든다.

[0050] 보다 구체적으로 설명하면, 상기 게이트 구조체를 형성하기 위한 패터닝 공정은 상기 활성 영역, 상기 터널 절연막(160T), 상기 게이트 절연막들(160SG, 160LG) 및 상기 게이트 구조체에 식각 손상을 입힐 수 있다. 이러한 식각 손상은 트랜지스터들의 전기적 특성을 저하시키기 때문에 이를 치유하는 것이 필요하다. 또한, 상기 게이트 구조체는 상기 패터닝 공정이 끝난 직후에, 각진 하부 모서리를 갖지만, 게이트 구조체의 각진 하부 모서리는 지아디엘(gate induced drain leakage; GIDL)의 문제를 유발한다. 상술한 열산화 공정은 이러한 문제들을 해결하기 위해 실시된다. 결과적으로, 상기 열산화 공정은 상술한 제 1 실시예에서도 실시될 수 있다.

[0051] 이때, 상기 열산화 공정은 상기 게이트 구조체들이 형성된 반도체기판을 고온의 챔버에 로딩한 후, 산소 원자들을 포함하는 공정 가스들을 챔버에 유입시키는 단계를 포함한다. 이때, 챔버로 유입되는 산소 원자들은 상기 게이트 구조체 및 상기 반도체기판(1)의 실리콘 원자들과 반응하여 실리콘 산화막(즉, 제 2 절연막)을 형성한다. 이러한 열산화막의 형성에 의해, 상술한 식각 손상은 치유될 수 있다.

[0052] 한편, 상기 산소 원자들은 상기 제 1 절연막(140)을 통해 확산될 수 있지만, 그러한 확산 경로의 길이는 제한된다. 즉, 상기 결과물의 표면으로부터 멀어질수록, 산화 반응에 참여하는 산소 원자의 수는 감소한다. 또한, 알려진 것처럼, 실리콘이 산화되어 실리콘 산화막이 형성되는 경우, 최종 실리콘 산화막의 부피는 초기 실리콘의 부피보다 팽창한다. 이러한 부피 팽창과 확산 경로의 길이에 따른 산소 원자의 개수 감소로 인해, 새롭게 형성되는 실리콘 산화막은 상기 게이트 구조체의 측벽으로부터 멀어질수록 얇아진다. 그 결과, 열산화 공정이 완료될 때, 상기 게이트 구조체의 하부 모서리는 도 5에 도시된 것처럼 라운딩된 모양을 갖는다.

[0053] 본 발명의 제 2 실시예에 따르면, 상기 열산화 공정은 상기 산소 원자들의 확산 경로 길이가 대략 상기 워드 라인들(WL)의 폭의 절반과 같아질 때까지 실시한다. 이를 위해, 상기 열산화 공정의 공정 시간은 조절될 수 있다. 이 경우, 상술한 것처럼, 상기 선택 라인들(SSL, GSL)의 폭을 상기 워드 라인(WL)의 폭보다 넓기 때문에, 상기 선택 게이트 절연막(160SG)의 중앙부는 산화되지 않는다. 그 결과, 상기 선택 게이트 절연막(160SG) 중앙부의 두께는 도 4b 및 도 5에 도시한 것처럼 상기 터널 절연막(160T)의 가장 얕은 부분의 두께(t_1)보다 얕아진다. 다시 말해, 상기 선택 게이트 절연막(160SG)의 두께가 상기 터널 절연막(160T)의 가장 얕은 부분의 두께(t_1)와 같아지는 위치(99)로부터 상기 선택 게이트 라인들(SSL, GSL)의 측벽까지의 이격 거리(w_1)는 상기 선택 게이트 라인들(SSL, GSL)의 폭(w_2)의 절반 보다 작다.

[0054] 이때, 상기 저전압 트랜지스터 영역(LVTR)에서, 상기 저전압 게이트 전극(LVG) 및 상기 저전압 게이트 절연막(160LG)을 형성하는 단계는, 도 4a 및 도 4b에 도시한 것처럼, 상기 선택 트랜지스터 영역(STR)에서 상기 선택 라인들(SSL, GSL) 및 상기 선택 게이트 절연막()을 형성하는 단계를 이용할 수 있다. 이에 따라, 상기 저전압 게이트 절연막(160LG)의 두께가 상기 터널 절연막(160T)의 가장 얕은 부분의 두께(t_1)와 같아지는 위치(99)로부터 상기 저전압 게이트 전극(LVG)의 측벽까지의 이격 거리(w_1)는 마찬가지로 상기 저전압 게이트 전극(LVG)의 폭(w_2)의 절반 보다 작다.

발명의 효과

[0055] 본 발명에 따르면, 선택 게이트 절연막들은 터널 절연막보다 얕게 형성된다. 이에 따라, 본 발명에 따른 낸드형 플래시 메모리 장치의 선택 트랜지스터들은 우수한 턴-오프 전류 특성을 갖는다. 그 결과, 선택되지 않은 셀 스트리밍은 비트 라인 및 접지 전극으로부터 전기적으로 고립될 수 있기 때문에, 부스팅 전하의 누설에 따른 프로그램 교란은 최소화될 수 있다.

[0056] 또한, 본 발명의 일 실시예에 따르면, 선택 게이트 절연막들의 두께를 터널 절연막보다 얕게 형성하기 위하여, 선택 라인들의 선택 폭을 워드 라인의 선택 폭보다 작게 형성한 후, 열산화 공정의 조건을 조절한다. 이에 따라, 공정 단계의 추가 없이도, 상기 선택 게이트 절연막과 상기 터널 절연막의 두께를 다르게 형성하는 것이 가능하다. 이에 더하여, 본 발명에 따르면, 저전압 게이트 절연막은 선택 게이트 절연막을 형성하는 공정을 이용하여 형성될 수 있다. 이에 따라, 저전압 트랜지스터를 제조하기 위한 공정 단계를 줄일 수 있다. 그 결과, 본 발명에 따른 낸드형 플래시 메모리 장치의 제조 비용은 절감될 수 있다.

도면의 간단한 설명

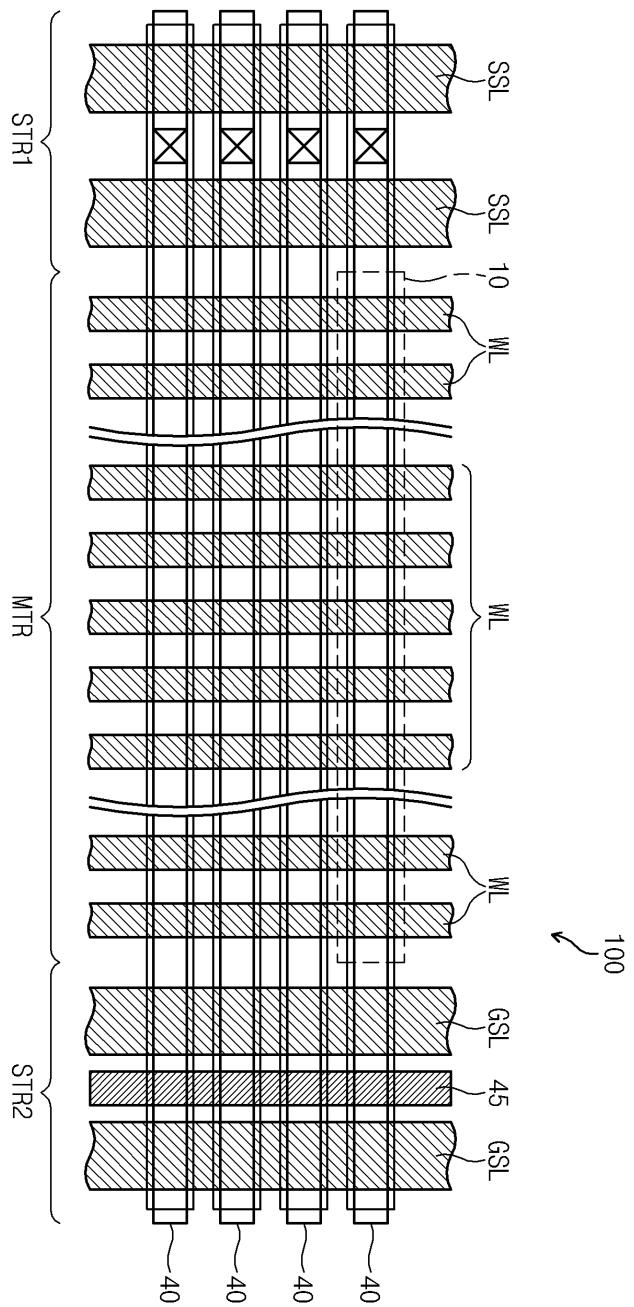
[0001] 도 1은 일반적인 낸드형 플래시 메모리 장치의 셀 어레이 일부를 보여주는 평면도이다.

[0002] 도 2는 종래 기술에 따른 낸드형 플래시 메모리 장치의 셀 어레이 일부를 보여주는 공정 단면도이다.

- [0003] 도 3a 내지 도 3f는 본 발명의 제 1 실시예에 따른 낸드형 플래시 메모리 장치의 제조 방법을 보여주는 공정단면도들이다.
- [0004] 도 4a 및 도 4b는 본 발명의 제 2 실시예에 따른 낸드형 플래시 메모리 장치의 제조 방법을 보여주는 공정단면도들이다.
- [0005] 도 5는 본 발명에 따른 낸드형 플래시 메모리 장치의 선택 트랜지스터 및 메모리 트랜지스터를 도시하는 공정단면도이다.

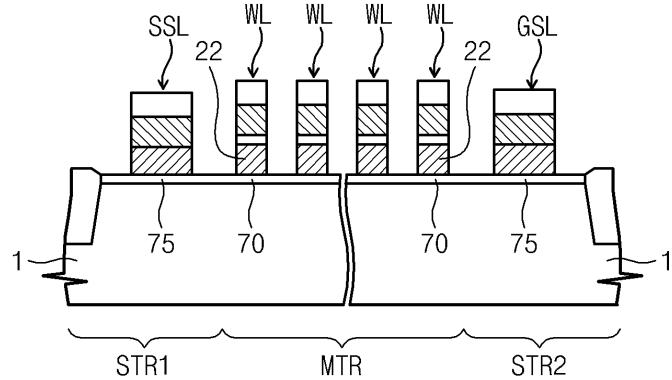
도면

도면1

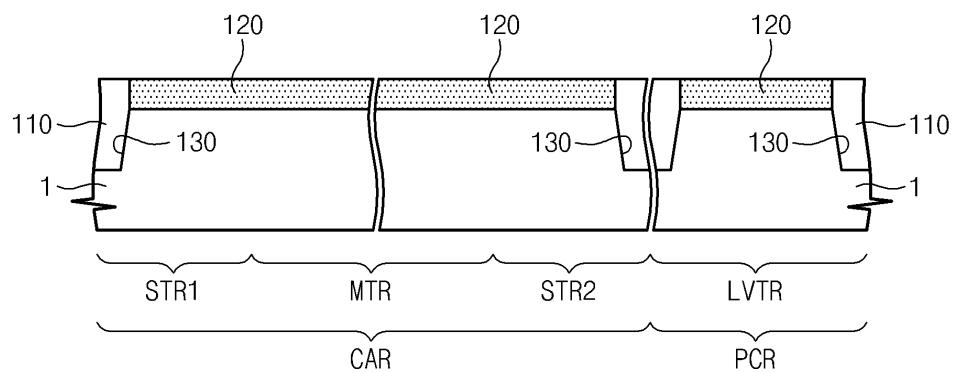


도면2

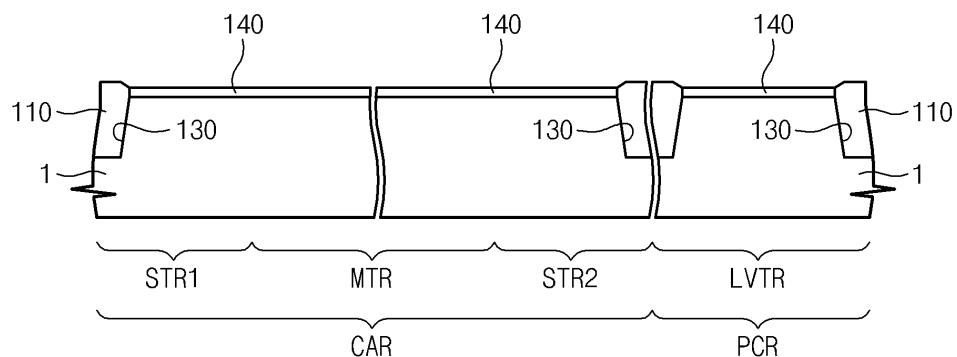
(종래 기술)



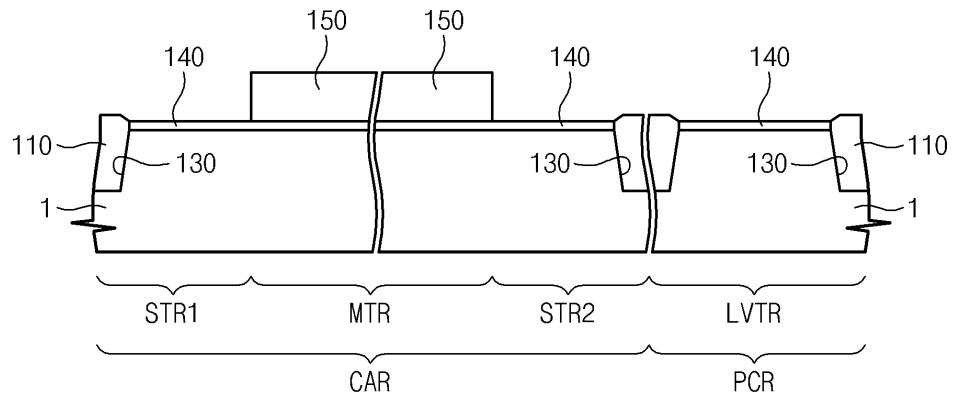
도면3a



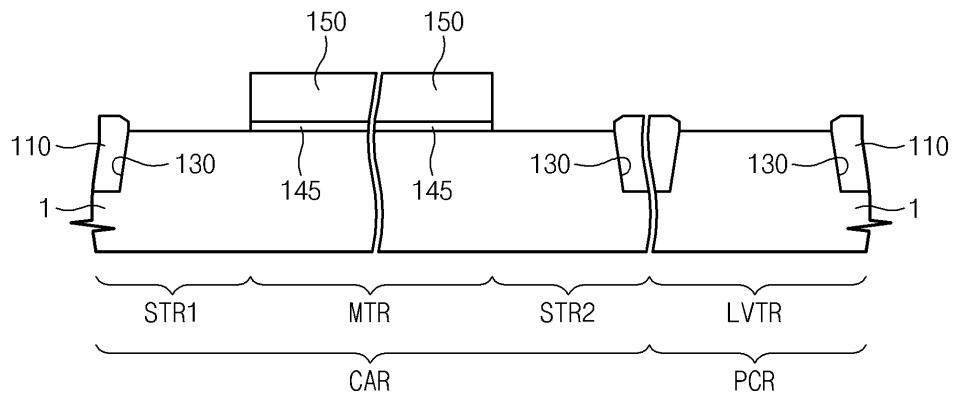
도면3b



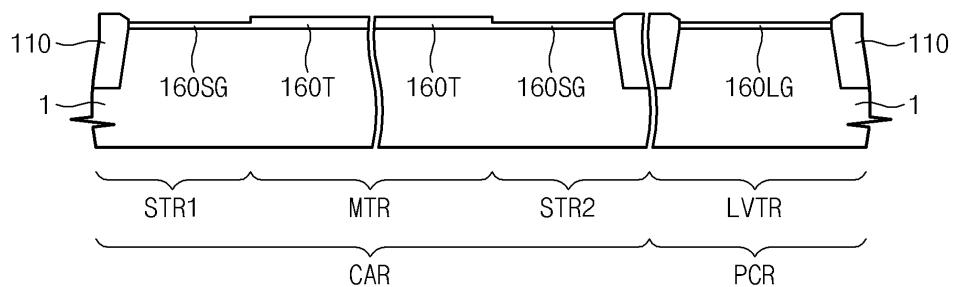
도면3c



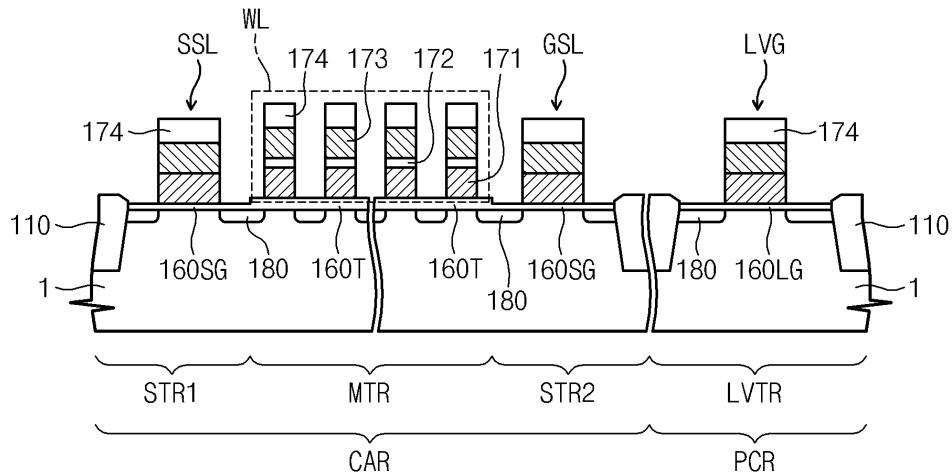
도면3d



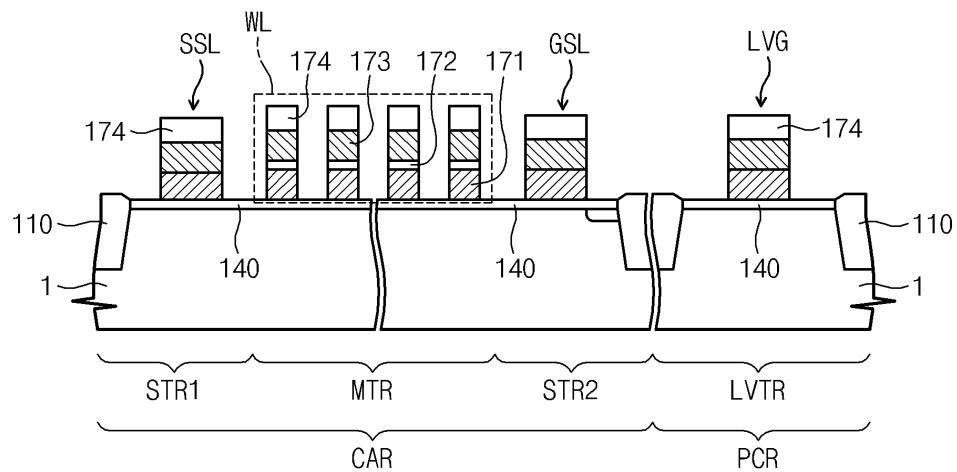
도면3e



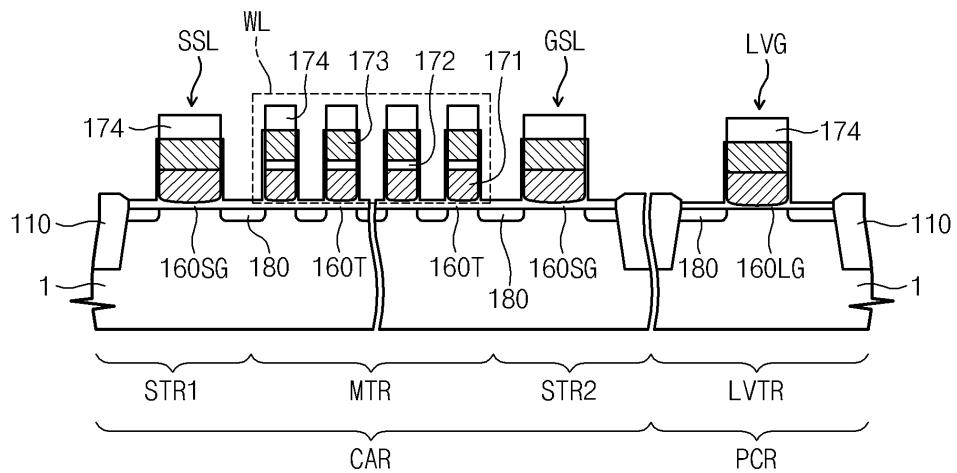
도면3f



도면4a



도면4b



도면5

