



(21)申請案號：105136899

(22)申請日：中華民國 105 (2016) 年 11 月 11 日

(51)Int. Cl. : **H01L21/8258(2006.01)**

(30)優先權：2015/11/12 美國

62/285,933

(71)申請人：南洋理工大學(新加坡) NANYANG TECHNOLOGICAL UNIVERSITY (SG)

新加坡

美國麻省理工學院(美國) MASSACHUSETTS INSTITUTE OF TECHNOLOGY

(US)

美國

(72)發明人：李 光雄 LEE, KWANG HONG (MY)；陳 全勝 TAN, CHUAN SENG (SG)；菲

茲拉德 尤金 A FITZGERALD, EUGENE A. (US)；包漱玉 BAO, SHUYU (CN)；

李 永堅 LEE, ENG KIAN, KENNETH (SG)；寇漢 大衛 KOHEN, DAVID (FR)

(74)代理人：惲軼群；劉法正

申請實體審查：無 申請專利範圍項數：26 項 圖式數：13 共 43 頁

(54)名稱

製造混合式基材的方法

METHOD OF MANUFACTURING A HYBRID SUBSTRATE

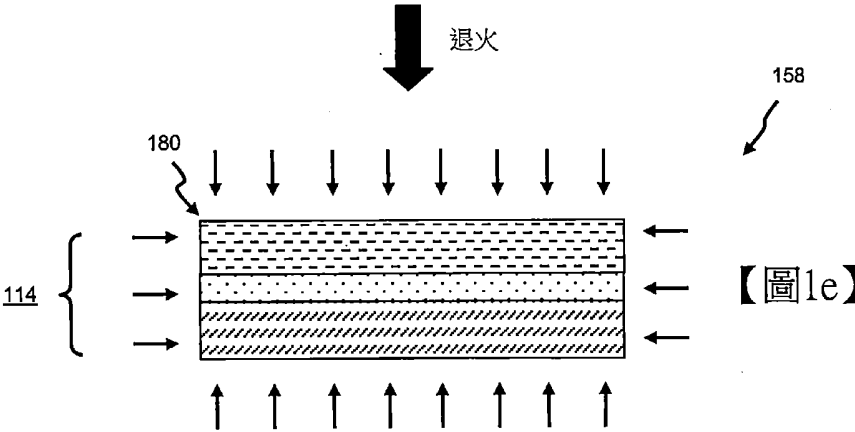
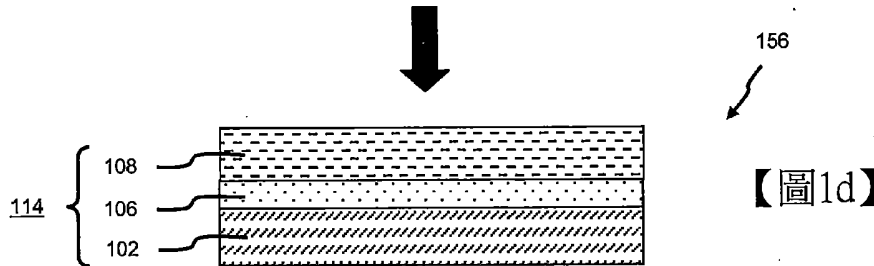
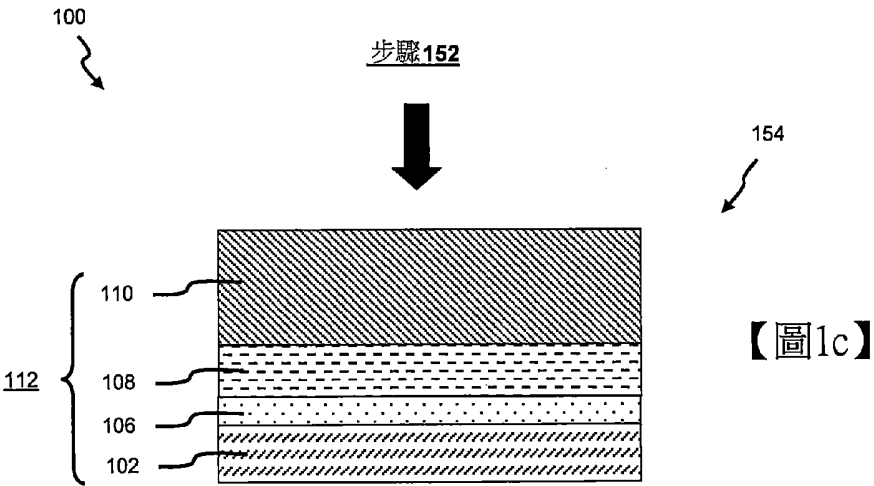
(57)摘要

在此揭示一種製造混合式基材之方法，其包含：透過至少一種介電材料層，將一第一半導體基材結合至一第一結合基材，以形成一第二結合基材，該第一結合基材包括一 III-V 族化合物半導體層以及一第二半導體基材，該 III-V 族化合物半導體層安排在該介電材料層與該第二半導體基材中間；從該第二結合基材上移除該第二半導體基材，以便露出該 III-V 族化合物半導體層之至少一部分，以獲得一第三結合基材；以及在溫度約 250°C 至 1000°C 下退火該第三結合基材，以便降低該 III-V 族化合物半導體層之線差排密度，以獲得該混合式基材。

A method (100) of manufacturing a hybrid substrate (180) is disclosed, which comprises: bonding a first semiconductor substrate (102) to a first combined substrate via at least one layer of dielectric material (106) to form a second combined substrate, the first combined substrate includes a layer of III-V compound semiconductor (108) and a second semiconductor substrate, the layer of III-V compound semiconductor arranged intermediate the layer of dielectric material and second semiconductor substrate; removing the second semiconductor substrate from the second combined substrate to expose at least a portion of the layer of III-V compound semiconductor to obtain a third combined substrate; and annealing the third combined substrate at a temperature about 250°C to 1000°C to reduce threading dislocation density of the layer of III-V compound semiconductor to obtain the hybrid substrate.

指定代表圖：

符號簡單說明：
180 . . . 混合式基材
114 . . . 第三結合基
材
158 . . . 步驟



【發明說明書】

【中文發明名稱】

製造混合式基材的方法

【英文發明名稱】

METHOD OF MANUFACTURING A HYBRID
SUBSTRATE

【技術領域】

發明領域

【0001】 本發明有關一種製造混合式基材之方法。

【先前技術】

發明背景

【0002】 矽(Si)塊互補金屬氧化物半導體(CMOS)元件微縮技術(scaling)是半導體產業主要用於維持元件性能、降低MOS元件之功率消耗以及減少每個電晶體之成本之體現方法，目前遇到了基本瓶頸。CMOS元件之進一步縮小，不僅會導致CMOS元件在性能方面之不可靠性，且會增加生產CMOS原件之成本。為解決此問題，在被視為適合在後矽時代中所採用之候選電子材料中，III-V族化合物(如，砷化鎵(GaAs))因其等具有相當高的載子移動率(特別是電子)，似乎是最有發展潛力者，其等適合用於執行高速特殊用途之元件。而且，GaAs可用作為光源，與光放大器以及檢測器一起整合至矽基(Si-based)晶片或波導管(“混合式元件”)上，用以提高光互連之性能以及設計彈性。此混合式元件彌補了矽作為光源之不足，因此開啟了新的電路性能以及應用之可能。

【0003】 為實現該混合式元件，第一步驟是要能夠獲得安置在矽基材上之高品質的GaAs層，產生替代性基材。替代性矽上GaAs基材具有取代目前用於生產傳統GaAs基元件(如，微波元件、太陽能電池或光檢測器)之昂貴且小得多之基材之龐大的市場潛力。再者，替代性矽上GaAs基材亦使得單片集成技術能夠在GaAs與矽積體電路(ICs)發展。

【0004】 使用金屬有機化學氣相沈積法(MOCVD)或分子束磊晶(MBE)，可使GaAs磊晶薄膜直接長在矽基材上。然而，在任一情況下，均容易由於大的晶格失配(即，約4%)以及由於GaAs與矽之間熱膨脹係數之差異(即，GaAs為 $6.63 \times 10^{-6} \text{ K}^{-1}$ ，而矽為 $2.3 \times 10^{-6} \text{ K}^{-1}$)而產生晶體缺陷。因此，在矽基材上直接長GaAs之磊晶層，常會導致約 10^9 - $10^{10}/\text{cm}^2$ 之相當高的差排密度。透過非常小心的選擇適合用於二步驟GaAs生長以及熱循環之溫度(即，950℃至300℃，4個循環)，所報告之最佳差排值仍然大於 $1 \times 10^7/\text{cm}^2$ ，此仍不理想。

【0005】 研究人員亦嘗試在矽基材與GaAs磊晶層之間插入各種類型之緩衝層。最為徹底研究的緩衝層是使用鍺(Ge)。大致來說，是在矽基材上生長從 $x=0$ 遞增至 $x=1$ 之厚 $\text{Si}_{1-x}\text{Ge}_x$ (約 $10\mu\text{m}$)，接著是GaAs磊晶層之生長。透過此技術，報告的線差排密度(TDD)為約 $7 \times 10^6/\text{cm}^2$ 。另一方法是使用磷化鎵(GaP)，其晶格常數與矽相差0.37%，接著沈積可變組成的緩衝層(如，GaAsP或

InGaP)，直至該晶格與GaAs實質上相符。在此情況下，所達到的TDD為約 $1 \times 10^7/\text{cm}^2$ 。另外的方法是透過使用經圖案化的SiO₂光罩之選擇區域生長。用此方法，所報告的TDD為約 $5 \times 10^6/\text{cm}^2$ 。

【0006】 因此本發明之一目的是克服先前技藝中之至少一個問題和/或提供可在此技藝中使用之選擇。

【發明內容】

發明概要

【0007】 根據第一態樣，提供一種製造混合式基材之方法，其包含：(i)透過至少一種介電材料層，將一第一半導體基材結合至一第一結合基材，以形成一第二結合基材，該第一結合基材包括一III-V族化合物半導體層以及一第二半導體基材，該III-V族化合物半導體層安排在該介電材料層與該第二半導體基材中間；(ii)從該第二結合基材上移除該第二半導體基材，以便露出該III-V族化合物半導體層之至少一部分，以獲得一第三結合基材；以及(iii)在溫度約250°C至1000°C下退火該第三結合基材，以便降低該III-V族化合物半導體層之線差排密度(threading dislocation density)，以獲得該混合式基材。

【0008】 例如，假如採用GaAs作為該III-V族化合物半導體層，則該方法有利於容許該GaAs晶體在足夠高的溫度下經歷再結晶，因為在供體基材(即，該第二半導體基材)移除後，GaAs層不再受到供體基材之限制。

【0009】 較佳地，在步驟(i)之後以及步驟(ii)之前，

該方法可另外包含翻轉該第二結合基材。

【0010】 較佳地，步驟(ii)可包括結合使用機械研磨以及在四甲基氫氧化銨之溶液中濕式蝕刻該第二結合基材，以移除該第二半導體基材。

【0011】 較佳地，該退火可使用擇自於由氧氣、氫氣、氮氣、合成氣體(forming gas)、氮氣以及氫氣所構成之群組之氣體進行。

【0012】 較佳地，該介電材料層可形成在該第一結合基材上，且安排成鄰接於該III-V族化合物半導體層。

【0013】 較佳地，該介電材料層可使用電漿增強化學氣相沈積或原子層沈積法形成。

【0014】 較佳地，該介電材料可擇自於由下列所構成之群組：氧化鋁、氮化鋁、二氧化矽、合成鑽石、氮化矽以及氮化硼。

【0015】 較佳地，該第一以及第二半導體基材可分別地由矽基材料形成。

【0016】 較佳地，該第二半導體基材可為具朝[111]方向偏斜 6° 之矽基材。

【0017】 較佳地，在該結合之前，該方法可另外包含：在該第一結合基材以及第一半導體基材上進行電漿清潔；用去離子流體清洗該經清潔的第一結合基材以及第一半導體基材；以及乾燥該經清洗的第一結合基材以及第一半導體基材。

【0018】 較佳地，該去離子流體可為去離子水。

【0019】 較佳地，乾燥該經清洗的第一結合基材以及第一半導體基材可包括使用旋轉乾燥法。

【0020】 較佳地，步驟(i)可另外包括退火該第二結合基材，以便增強該第一半導體基材與該介電材料層間之結合。

【0021】 較佳地，該退火可使用氮氣，在約300°C之溫度以及大氣壓力下進行。

【0022】 較佳地，該電漿清潔可以氧電漿、氬電漿、氫電漿或氮電漿進行。

【0023】 較佳地，該方法可另外包括在步驟(i)之後以及步驟(ii)之前，在該第一半導體基材上沈積一保護性材料層。

【0024】 較佳地，該保護性材料可包括ProTEK®B3-25、二氧化矽或氮化矽。

【0025】 較佳地，步驟(ii)可另外包含：(iv)至少部分地研磨該第二半導體基材；(v)將該第二結合基材安置在四甲基氫氧化銨之第一溶液中，以移除該第二半導體基材；以及(vi)在該III-V族化合物半導體層之露出部分上進行蝕刻停止(etch-stopping)。

【0026】 較佳地，可將該第一溶液加熱至溫度約80°C。

【0027】 較佳地，該方法可另外包含在步驟(v)之後，使用丙酮或配置約800W功率之氧電漿，從該第二半導體基材上移除該保護性材料。

【0028】 較佳地，該至少一種介電材料層可包括數個不同的介電材料層。

【0029】 依照第二態樣，提供一種製造混合式基材之方法，其包含：(i)透過至少一種介電材料層，將一第一半導體基材結合至一第一結合基材，以形成一第二結合基材，該第一結合基材包括一鍺層、一III-V族化合物半導體層以及一第二半導體基材，該鍺層安排在該第二半導體基材與該III-V族化合物半導體層中間，該III-V族化合物半導體層安排在該介電材料層與鍺層中間；(ii)從該第二結合基材上移除該第二半導體基材以及鍺層，以便露出該III-V族化合物半導體層之至少一部分，以獲得一第三結合基材；以及(iii)在溫度約250°C至1000°C下退火該第三結合基材，以便降低該混合化合物材料層之線差排密度，以獲得該混合式基材。

【0030】 較佳地，步驟(ii)可包括：(iv)結合使用機械研磨以及在四甲基氫氧化銨之第一溶液中濕式蝕刻該第二結合基材，以移除該第二半導體基材。

【0031】 較佳地，在步驟(iv)之後，該方法可另外包含使用包括10%過氧化氫之第二溶液，以移該該鍺層。

【0032】 較佳地，該介電材料層可形成在該第一結合基材上。

【0033】 較佳地，該至少一種介電材料層可包括數個不同的介電材料層。

【0034】 應為明顯地，有關本發明之一態樣之特徵亦

可應用於本發明之其它態樣。

【0035】 參照下文所述之具體例之說明之後，本發明之此等以及其它態樣將變得顯而易見。

【圖式簡單說明】

【0036】 於下文中參照所附之圖式揭露本發明之具體例，其中：

圖1a至1e共同描述依照第一具體例之製造混合式基材之方法；

圖2是圖1b之步驟152中所獲得之第二結合基材之平面紅外線(IR)影像；

圖3是使用第一具體例之方法製得之混合式基材製作之樣本的橫截面掃描電子顯微鏡(X-SEM)顯微照片；

圖4是描述測量GaAs/Si基材以及GaAs-OI基材(於退火前以及後)之半峰全寬(FWHM)之高解析X射線繞射(HR XRD)曲線之圖表；

圖5是描述GaAs/Si基材以及GaAs-OI基材(於退火前以及後)之光致發光(PL)強度測量之圖表；

圖6a是顯示GaAs/Si基材之蝕刻間距密度(EPD)之照片；

圖6b是顯示參照第一具體例之方法，GaAs-OI基材於退火前之EPD之照片，而圖6c是顯示該GaAs-OI基材於退火後之EPD之照片；

圖7a是混合式基材之GaAs層(即，III-V族化合物半導體層)於退火前之平面透射電子顯微鏡(TEM)影像，而圖

7b是GaAs層於退火後之平面TEM影像；

圖8a至8f共同描述依照第二具體例之製造混合式基材之方法；

圖9是圖8b之步驟852中所獲得之第二結合基材之平面IR影像；

圖10是使用第二具體例之方法製得之混合式基材製作之樣本的X-SEM顯微照片；

圖11是描述測量GaAs/Ge/Si基材以及GaAs-OI基材(於退火前以及後)之FWHM之HRXRD曲線之圖表；

圖12是描述GaAs/Ge/Si基材以及GaAs-OI基材(於退火前以及後)之PL強度測量之圖表；以及

圖13a是顯示參照第二具體例之方法，GaAs-OI基材於退火前之EPD之照片，而圖13b是顯示相同的GaAs-OI基材於退火後之EPD之照片。

【實施方式】

較佳實施例之詳細說明

【0037】 圖1a至1e描述依照第一具體例之製造混合式基材180之方法100 (之步驟)。在步驟150 (即圖1a)中，提供第一半導體基材102以及第一結合基材104，其中第一半導體基材102係提供在第一結合基材104之上。第一結合基材104包括(從上到下依序排列)：至少一種介電材料層106、一III-V族化合物半導體層108以及一第二半導體基材110。III-V族化合物半導體層108係安排在介電材料層106與第二半導體基材110中間。更具體地說，III-V族化

合物半導體層108包括以至少一種III族半導體材料(如，鎵(Ga)、銦(In)或鋁(Al))以及一種V族半導體材料(如，磷(P)砷(As)或銻(Sb))為主的組合。III-V族化合物半導體層108之可能的例子包括GaAs、InP、InGaAs、InGaP、InGaAsP或III-As/P材料系統之其它組合。但針對此具體例，GaAs係作為III-V族化合物半導體層108之例子。

【0038】 應理解的是第一以及第二半導體基材102、110二者分別由矽基材料形成。在此案例中，第一以及第二半導體基材102、110二者均由矽(Si)形成，此外第二半導體基材110是開盒即用(epi-ready)之具朝最近的[111]方向偏斜6°之<100>晶向Si晶圓基材。還有，可將第一以及第二半導體基材102、110分別稱作Si待處理基材以及Si供體基材。此外，使用二步驟GaAs生長，直接在Si供體晶圓(即，第二半導體基團110)上生長GaAs磊晶層(即，III-V族化合物半導體層108)，以獲得第一結合基材104。

【0039】 分別地，應理解的是介電材料層106 (如，500nm厚)供作為III-V族化合物半導體層108之蓋層(就第一結合基材104而言)，以及亦提供步驟152(如下所述)中之結合介面。該介電材料係擇自於由下列所構成之群組：氧化鋁(Al_2O_3)、氮化鋁(AlN)、二氧化矽(SiO_2)、合成鑽石、氮化矽(Si_3N_4)以及氮化硼(BN)，但也可以使用其它適合的介電材料。使用，例如，電漿加強化學氣相沈積(PECVD)或原子層沈積，將該介電材料沈積在III-V族化合物半導體層108上，而形成介電材料層106。應理解的是

在不同的具體例中，介電材料層106可改為形成在第一半導體基材102上，而不是在第一結合基材104上。又或者，可在第一半導體基材102以及第一結合基材104上形成各自(相同/不同)的介電材料層，然後再於步驟152中(於將第一半導體基材102結合至第一結合基材104之方法中)，將該各自的介電材料層結合在一起。再者，若需要，亦可能在第一結合基材104上形成數個不同的介電材料層(及其等之組合)，而不是僅單一層106。

【0040】 在步驟152中(即，圖1b)，第一半導體基材102接著透過介電材料層106結合至第一結合基材104，形成第二結合基材112。圖2顯示從步驟152中獲得之第二結合基材112之平面紅外線(IR)影像200。如此，從上往下之角度視之，第二結合基材112係以下列之層組構：第一半導體基材102、介電材料層106、III-V族化合物半導體層108以及第二半導體基材110。結合後，任擇地退火第二結合基材112，以便進一步增加/提高第一半導體基材102與介電材料層106間之結合強度。該退火在約300°C以及大氣壓力下，使用氮氣(N₂)進行(持續約3個小時)。但不是限制性的，亦可視特定需求使用其它替代之合適的氣體進行退火，諸如氧氣(O₂)、氫氣(H₂)、合成氣體、氦氣(He)或氬氣(Ar)。對於其中介電材料層106係形成在第一半導體基材102上之變型具體例，應理解的是後續進行退火以增加介電材料層106與III-V族化合物半導體層108間之結合強度。

【0041】 亦需強調的是，在步驟150之後與步驟152之前，可任擇地在第一半導體基材102以及第一結合基材104上各進行持續約15秒的電漿清潔(如，使用氧電漿、氬電漿、氬電漿或氬電漿)，接著用去離子流體(如，去離子水)清洗經清潔的第一半導體基材102以及第一結合基材104，以及最後乾燥(如，旋轉乾燥)經清洗的第一半導體基材102以及第一結合基材104。採取此等額外的步驟，以於步驟152之結合更佳地製備第一半導體基材102以及第一結合基材104。

【0042】 接著在步驟154中(即，圖1c)。垂直翻轉第二結合基材112，此時第二結合基材112之層順序從上往下變成垂直顛倒。

【0043】 在下一步驟156中(即，圖1d)，從第二結合基材112中移除第二半導體基材110，以便露出該III-V族化合物半導體層之至少一部分108，以獲得第三結合基材114。在此案例中是露出III-V族化合物半導體層108之整個上表面，且該上表面安排成與III-V族化合物半導體層108之下表面(其與介電材料層106鄰接或接觸)相對。明確而言，藉由將第二結合基材112浸入加熱至約80℃之四甲基氫氧化銨(TMAH)之溶液中，以從第二結合基材112上移除第二半導體基材110。完成後，在III-V族化合物半導體層108上進行蝕刻停止。或者，亦可結合使用機械研磨以及濕式蝕刻(使用合適的溶劑)，移除第二半導體基材110。

【0044】 應理解的是在步驟154之後以及步驟156之前，可任擇地在第一半導體基材102上沈積保護性材料層(未示出)(如，ProTEK[®]B3-25、二氧化矽(SiO₂)、氮化矽(SiN)或其等之組合)。特別是，在第一半導體基材102之第一表面上旋塗保護性材料，作為移除第二半導體基材110之處理期間之保護層，該第一表面與其上鄰接介電材料106(第一半導體基材102)之第二表面相對。

【0045】 在第二半導體基材110已經完全移除且沒有觀察到氣泡的存在之後，使用配置操作功率為約800W之氧電漿，從第一半導體基材102上移除該保護性材料塗層。或者，可使用丙酮移除該保護性材料塗層。

【0046】 在步驟158中(即，圖1e)，在溫度約250°C至1000°C下退火第三結合基材114(歷一或數個循環)，以便降低III-V族化合物半導體層108之線差排密度(TDD)，以獲得混合式基材180。應理解的是用於再結晶處理(以降低TDD)之有效溫度，應定為III-V族化合物半導體層108之熔點的約3/4。如此，假如用GaAs作為III-V族化合物半導體層108，則退火溫度為約850°C。更清楚地說，混合式基材180是經退火處理之第三結合基材114。從上往下之角度視之，混合式基材180包含：III-V族化合物半導體層108、介電材料層106以及第一半導體基材102。應理解的是，退火是使用擇自於由O₂、H₂、N₂、合成氣體、He以及Ar所構成之群組之氣體來進行。為避免疑惑，需強調的是所揭示的方法100中，最低限度僅需要步驟152、156以

及158；其它步驟或為任擇的，或可不作為方法100之部分進行。

【0047】 圖3是使用所提出的方法100製得之混合式基材180所製作之樣本的橫截面掃描電子顯微鏡(X-SEM)顯微照片300。在此案例中，III-V族化合物半導體層108是GaAs (如，436nm厚)，而介電材料層106是SiO₂ (如，315nm厚)。

【0048】 圖4是描述測量GaAs/Si基材以及GaAs-OI基材(於退火前以及後)之半峰全寬(FWHM)之高解析X射線繞射(HR XRD)曲線之圖表400。該GaAs-OI基材是使用方法100製得之混合式基材180，且“OI”是“絕緣體上”之縮寫。在圖4中，說明欄中之“#1”、“#2”以及“#3”分別代表GaAs/Si、退火前之GaAs-OI以及退火後之GaAs-OI。明確地，觀察到退火後所測得之FWHM從416弧秒減少至250弧秒。圖5接著描述相同的GaAs/Si基材以及GaAs-OI基材(於退火前以及後)之光致發光(PL)強度測量值之圖表500。在圖5中，說明欄中之“#1”、“#2”以及“#3”分別代表退火前之GaAs-OI、退火後GaAs-OI以及GaAs/Si。據此，觀察到退火後PL強度增加至少2倍，此意味著退火後獲得較佳的GaAs晶體品質。

【0049】 圖6a是顯示GaAs/Si基材之蝕刻間距密度(EPD)之第一照片600，測得之值大於 $2 \times 10^8/\text{cm}^2$ 。圖6b是顯示GaAs-OI基材於退火前之EPD之第二照片610 (在圖4之相關內文中有提及)，測得之值為約 $5 \times 10^7/\text{cm}^2$ 。圖6c是

顯示相同GaAs-OI之EPD於退火後之第三照片620，測得之值為約 $3 \times 10^6/\text{cm}^2$ ，其顯示出EPD顯著地減少(即，GaAs層之晶體品質獲得改善)。

【0050】 圖7a是混合式基材180之III-V族化合物半導體層108(即，使用GaAs層)於退火前之平面透射電子顯微鏡(TEM)影像700，其中檢測到超過30個線差排。圖7b是相同的GaAs層於退火後之平面TEM影像710，此時其中僅觀察到約2-3個線差排。

【0051】 剩餘的配置/具體例將於下文中作說明。為簡潔起見，不同配置/具體例之間，共同的相同元件、功能以及操作不再重覆說明；取而代之的是參考相關的配置/具體例之相似的部分。

【0052】 根據第二具體例，圖8a至8f描述製造混合式基材180之變型方法800。但在此具體例中，是替代地使用元件標號880於混合式基材880，以便和第一具體例之混合式基材作區別，避免混淆。在步驟850中(即，圖8a)，提供一第一半導體基材802以及一第一結合基材804，其中第一半導體基材802係提供在第一結合基材804之上。第一結合基材804包括(從上到下依序排列)：至少一種介電材料層806、III-V族化合物半導體層808、鍺層810以及第二半導體基材812。應理解的是第一半導體基材802、第二半導體基材812、介電材料層806、III-V族化合物半導體層808以及第二半導體基材812之物理以及材料性質/特徵，與第一具體例中命名相似的元件完全相同，因此在此不再重

覆。且，可將第一以及第二半導體基材802、812分別稱為Si待處理基材以及Si供體基材。再次地，在此GaAs用作為III-V族化合物半導體層808之例子。

【0053】 介電材料層806 (如，500nm厚)作為III-V族化合物半導體層808之蓋層(就第一結合基材804而言)，進而在步驟852中提供結合介面。使用PECVD或原子層沈積，將該介電材料沈積在III-V族化合物半導體808上，可形成介電材料層806。應理解的是在變型具體例中，介電材料層806可改為形成在第一半導體基材802上，而不是在第一結合基材804上。又或者，可在第一半導體基材802以及第一結合基材804上形成各自(相同/不同的)介電材料層，然後再於步驟852中(於將第一半導體基材802結合至第一結合基材804之方法中)，將該各自的介電材料層結合在一起。再者，若需要，亦有可能在第一結合基材804上形成數個不同的介電材料層(以及其等之組合)。

【0054】 在步驟852中(即，圖8b)，第一半導體基材802透過介電材料層806結合至第一結合基材804，形成第二結合基材814。圖9顯示從步驟852中所獲得之第二結合基材814之平面紅外線(IR)影像900。從上往下之角度視之，第二結合基材814之層的排列如下(依序)：第一半導體基材802、介電材料層806、III-V族化合物半導體層808、鍺層810以及第二半導體基材812。結合後，可任擇地退火第二結合基材814，以便進一步增加/提高第一半導體基材802與介電材料層806間之結合強度。該退火在約300°C以

及大氣壓力下，使用氮氣進行(持續約3個小時)。不限於上述，亦可視需求使用其它替代之合適的氣體，諸如氧氣(O_2)、氫氣(H_2)、合成氣體、氦氣(He)或氬氣(Ar)進行退火。對於其中介電材料層806形成在第一半導體基材802上之變型具體例，進行退火以增加介電材料層806與III-V族化合物半導體層808間之結合強度。

【0055】 亦需強調的是，在步驟850之後與步驟852之前，可任擇地在第一半導體基材802以及第一結合基材804上各進行約15秒的電漿清潔(如，使用氧電漿、氫電漿、氬電漿或氮電漿)，接著以去離子流體(如，去離子水)清洗經清潔的第一半導體基材802以及第一結合基材804，以及最後乾燥(如，旋轉乾燥)經清洗的第一半導體基材802以及第一結合基材804。採取此等額外的步驟，係為步驟852之結合製備第一半導體基材802以及第一結合基材804。

【0056】 接著在步驟854中(即，圖8c)。垂直翻轉第二結合基材814，導致此時第二結合基材814之層順序從上而下之觀點來看垂直顛倒。在下一步驟856中(即，圖8d)，從第二結合基材814中移除第二半導體基材812，以便露出鍺層810之至少一部分，以獲得第三結合基材816。在此案例中是露出鍺層810之整個上表面，且該上表面係安排成與鍺層810之下表面(其與III-V族化合物半導體層808鄰接或接觸)相對。藉由將第二結合基材814浸入用於移除之加熱至約80°C之TMAH之溶液中，而從第二結合基材814

上移除第二半導體基材812。完成時，在鍍層810上進行蝕刻停止。或者，亦可結合使用機械研磨以及濕式蝕刻，移除第二半導體基材812。

【0057】 應可理解的是在步驟854之後以及步驟856之前，可任擇地在第一半導體基材802上沈積保護性材料層(未示出)(如，ProTEK[®]B3-25、SiO₂、SiN或其等之組合)。特別是，在第一半導體基材802之第一表面上旋塗保護性材料，作為移除第二半導體基材812之處理期間之保護層，該第一表面與其上鄰接介電材料806(第一半導體基材802)之第二表面相對。

【0058】 在第二半導體基材812已經完全移除且沒有觀察到氣泡的存在之後，接著使用配置操作功率為約800W之氧電漿，從第一半導體基材802上移除該保護性材料塗層。或者，可使用丙酮移除該保護性材料塗層。之後，於步驟858中(即，圖8e)，使用(例如)包括10%過氧化氫(H₂O₂)之溶液，從第三結合基材816上移除鍍層810，以獲得一第四結合基材818。此意味著在移除鍍層810之後，此時露出III-V族化合物半導體層808之整個上表面。

【0059】 於步驟860中(即，圖8f)，在約250°C至1000°C之溫度下退火第四結合基材818(歷一或數個循環)，以便降低III-V族化合物半導體層808之線差排密度(TDD)，以獲得混合式基材880。說得清楚一點，混合式基材880是經過退火之第四結合基材818。從上往下之角度視之，混合式基材880包含：III-V族化合物半導體層808、介電

材料層806以及第一半導體基材802。應理解的是，退火是使用擇自於由 O_2 、 H_2 、 N_2 、合成氣體、He以及Ar所構成之群組之氣體來進行。在變型方法800方面，最低限度僅需要步驟852、856、858以及860；其它步驟或為任擇的，或可不作為方法800之部分進行。

【0060】 圖10是使用變型方法800所製得之混合式基材880製作之樣本的X-SEM顯微照片1000。在此案例中，III-V族化合物半導體層808是GaAs (如，310nm厚)，而介電材料層806是 SiO_2 (如，320nm厚)。圖11是描述測量GaAs/Ge/Si基材以及GaAs-OI基材(於退火前以及後)之FWHM之HRXRD曲線之圖表1100。在圖11中，說明欄中之“#1”、“#2”以及“#3”分別代表GaAs/Ge/Si、退火前之GaAs-OI以及退火後之GaAs-OI。該GaAs-OI基材是使用變型方法800所製得之混合式基材880，且“OI”是“絕緣體上”之縮寫。明確地，如圖11所示，觀察到在退火後所測得之FWHM從180弧秒減少至155弧秒(即，減少約15%)。FWHM之減少是由於更好的經改善之GaAs晶體結構具有越多的反射平面。且，以霍爾效應之方法測得之電子移動率，與長成之GaAs/Ge/Si基材相比，增加了20% (即，從 $900\text{ cm}^2/\text{V}\cdot\text{s}$ 至 $1130\text{ cm}^2/\text{V}\cdot\text{s}$)。應理解的是所有此等經改善的材料特徵，是在不需要漸變緩衝 (graded buffer)，如SiGe，或微影術之情況下達到。如此所製得之GaAs-OI基材享有之額外的優點，包括具有較低的寄生電容以及較低的漏電特徵。

【0061】 圖12接著描述相同的GaAs/Ge/Si基材以及GaAs-OI基材(於退火前以及後)之光致發光(PL)強度測量之圖表1200。在圖12中，說明欄中之“#1”、“#2”以及“#3”分別代表GaAs/Ge/Si、退火前之GaAs-OI以及退火後之GaAs-OI。觀察到在退火後PL強度增加至少2倍，此確認了在退火後獲得更佳的GaAs晶體品質。

【0062】 有關變型方法800，圖13a是顯示GaAs-OI基材(在圖11之相關內容中提及)於退火前之EPD之第一照片1300，測得之值為約 $2 \times 10^7 / \text{cm}^2$ 。圖13b是顯示相同的GaAs-OI基材於退火後之EPD之第二照片1310，據此測得之值為約 $8 \times 10^5 / \text{cm}^2$ ，此顯示EPD已顯著地減少(即，GaAs層之晶體品質經改善)。

【0063】 綜上所述，所提出的方法100、800揭示一種透過熱循環，或退火，來改善GaAs (或相似物)之晶體品質之方式。可想見的是，預期類似方法100、800之機制亦應可應用於改善其它以III-As/P為主之材料系統之晶體品質，如InGaAs、InP、InGaP、InGaAsP等等。簡要重申，所提出的方法100、800大致上需要透過至少一種介電材料層106、806將GaAs/Si或GaAs/Ge/Si供體基材(即，在一案例中III-V族化合物半導體108、808是GaAs)結合至Si待處理基材，然後接著釋出該Si供體基材，以形成GaAs-OI基材(即，混合式基材180、880)。更明確地，方法100、800容許GaAs晶體在足夠高的溫度下經歷再結晶，因為在供體基材移除後，GaAs層不再受到供體基材(在此案例中

為Si)之限制。

【0064】 應理解的是(利用所提出的方法100、800所獲得的)混合式基材180、880之可能的商業應用，包括用作為供隨後的III-V材料生長(如，InGaAs、InP等等)之基底、用於矽光子學(如，GaAs雷射以及檢測器)以及用作為高級CMOS元件之高移動性通道。

【0065】 雖然在圖式以及之前的說明中，已詳細的說明以及描述了本發明，此等說明以及描述應被視為說明性或例示性的，而為非限制性地；本發明不限於所揭示之具體例。熟悉此技藝之人士在實施所請求之發明後，可了解以及執行所揭示之具體例之其它的變型。為避免疑義，示於1a至1e以及圖8a至1f中不同層之相對厚度，不應被解釋成代表可透過所提出的方法100、800所製得之實際樣本中對應層之尺寸，且反之，為了說明之目的係經過誇大繪製的。而且，在步驟158/860中，可選擇性地採用一步驟/循環退火方法進行退火。

【0066】 此外，在步驟150中，可改為在第一半導體基材102之上提供第一結合基材104，如此第一結合基材104之層的垂直方向此時係排列為(從上至下依序)：第二半導體基材110、III-V族化合物半導體層108以及介電材料層106。據此，可跳過步驟154，方法直接進展到步驟156。說得更清楚一點，這僅僅是第一結合基材104與第一半導體基材102配向的問題，任何情況下並不會影響所揭示的方法100之性能。以上所述的亦可同樣地應用於第二具體

例中之步驟850，惟細節上需作必要的修改。

【符號說明】

180、880...混合式基材	900...平面紅外線(IR)影像
100...方法	1000...X-SEM之顯微圖
150、152、154、156、158... 步驟	818...第四結合基材 1100、1200...圖表
102、802...第一半導體基材	1300...第一照片
104、804...第一結合基材	1310...第二照片
106、806...介電材料層	
108、808...III-V族化合物 半導體層	
110、812...第二半導體基材	
112、814...第二結合基材	
114、816...第三結合基材	
400、500...圖表	
600...第一照片	
610...第二照片	
620...第三照片	
700、710...平面透射電子顯 微鏡(TEM)影像	
800...變型方法、方法	
850、852、854、856、858、 860...步驟	
810...鍍層	

【發明摘要】**【中文發明名稱】**

製造混合式基材的方法

【英文發明名稱】

METHOD OF MANUFACTURING A HYBRID SUBSTRATE

【中文】

在此揭示一種製造混合式基材之方法，其包含：透過至少一種介電材料層，將一第一半導體基材結合至一第一結合基材，以形成一第二結合基材，該第一結合基材包括一III-V族化合物半導體層以及一第二半導體基材，該III-V族化合物半導體層安排在該介電材料層與該第二半導體基材中間；從該第二結合基材上移除該第二半導體基材，以便露出該III-V族化合物半導體層之至少一部分，以獲得一第三結合基材；以及在溫度約250°C至1000°C下退火該第三結合基材，以便降低該III-V族化合物半導體層之線差排密度，以獲得該混合式基材。

【英文】

A method (100) of manufacturing a hybrid substrate (180) is disclosed, which comprises: bonding a first semiconductor substrate (102) to a first combined substrate via at least one layer of dielectric material (106) to form a second combined substrate, the first combined substrate includes a layer of III-V compound semiconductor (108) and a second semiconductor substrate, the layer of III-V compound semiconductor arranged intermediate the layer of dielectric material and second semiconductor substrate; removing the second semiconductor substrate from the second combined substrate to expose at least a portion of the layer of III-V compound semiconductor to obtain a third combined substrate; and annealing the third combined substrate at a temperature about 250°C to 1000°C to reduce threading dislocation density of the layer of III-V compound semiconductor to obtain the hybrid substrate.

【指定代表圖】 圖1e

【代表圖之符號簡單說明】

180...混合式基材

114...第三結合基材

158...步驟

【特徵化學式】

(無)

【發明申請專利範圍】

【第1項】 一種製造混合式基材之方法，其包含：

(i)透過至少一種介電材料層，將一第一半導體基材結合至一第一結合基材，以形成一第二結合基材，該第一結合基材包括一III-V族化合物半導體層以及一第二半導體基材，該III-V族化合物半導體層安排在該介電材料層與第二半導體基材中間；

(ii)從該第二結合基材上移除該第二半導體基材，以便露出該III-V族化合物半導體層之至少一部分，以獲得一第三結合基材；以及

(iii)在溫度約250°C至1000°C下退火該第三結合基材，以便降低該III-V族化合物半導體層之線差排密度，以獲得該混合式基材。

【第2項】 如請求項第1項之方法，其中在步驟(i)之後以及步驟(ii)之前，另外包含翻轉該第二結合基材。

【第3項】 如請求項第1至2中任一項之方法，其中步驟(ii)包括結合使用機械研磨以及在四甲基氫氧化銨之溶液中濕式蝕刻該第二結合基材，以移除該第二半導體基材。

【第4項】 如請求項第1至3中任一項之方法，其中該退火是使用擇自於由氧氣、氫氣、氮氣、合成氣體(forming gas)、氮氣以及氫氣所構成之群組之氣體進行。

【第5項】 如請求項第1至4中任一項之方法，其中該介電材料層係形成在該第一結合基材上，且安排成鄰接於該III-V族化合物半導體層。

【第6項】 如請求項第5項之方法，其中該介電材料層是使用電漿增強化學氣相沈積或原子層沈積法形成。

【第7項】 如請求項第1至6中任一項之方法，其中該介電材料是擇自於由下列所構成之群組：氧化鋁、氮化鋁、二氧化矽、合成鑽石、氮化矽以及氮化硼。

【第8項】 如請求項第1至7中任一項之方法，其中該第一以及第二半導體基材分別地由矽基(silicon-based)材料形成。

【第9項】 如請求項第8項之方法，其中該第二半導體基材為具有朝[111]方向偏斜 6° 之矽基材。

【第10項】 如請求項第1-9中任一項之方法，其中在該結合之前，另外包含：

在該第一結合基材以及第一半導體基材上進行電漿清潔；

用去離子流體清洗該經清潔的第一結合基材以及第一半導體基材；以及

乾燥該經清洗的第一結合基材以及第一半導體基材。

【第11項】 如請求項第10項之方法，其中該去離子流體為去離子水。

【第12項】 如請求項第10項或第11項之方法，其中乾燥該經清洗的第一結合基材以及第一半導體基材包括使用旋轉乾燥法。

【第13項】 如請求項第1-12中任一項之方法，其中步驟(i)另外包括退火該第二結合基材，以便增強該第一半導

體基材與該介電材料層間之結合。

【第14項】 如請求項第13項之方法，其中該退火是使用氮氣，在約300°C之溫度以及大氣壓力下進行。

【第15項】 如請求項第10項之方法，其中該電漿清潔是以氧電漿、氫電漿、氬電漿或氮電漿進行。

【第16項】 如請求項第1至15中任一項之方法，另外包含：

在步驟(i)之後以及步驟(ii)之前，在該第一半導體基材上沈積一保護性材料層。

【第17項】 如請求項第16項之方法，其中該保護性材料包括ProTEK[®]B3-25、二氧化矽或氮化矽。

【第18項】 如請求項第1至17中任一項之方法，其中步驟(ii)另外包含：

(iv)至少部分地研磨該第二半導體基材；

(v)將該第二結合基材安置在四甲基氫氧化銨之第一溶液中，以移除該第二半導體基材；以及

(vi)在該III-V族化合物半導體層之露出部分上進行蝕刻停止。

【第19項】 如請求項第18項之方法，其中將該第一溶液加熱至溫度約80°C。

【第20項】 如請求項第18項或第19項之方法，當依附於請求項16或17時，其另外在步驟(v)之後包含使用丙酮或配置約800W功率之氧電漿，從該第二半導體基材上移除該保護性材料。

【第21項】 如請求項第1至20中任一項之方法，其中該至少一種介電材料層包括數個不同的介電材料層。

【第22項】 一種製造混合式基材之方法，其包含：

(i)透過至少一種介電材料層，將一第一半導體基材結合至一第一結合基材，以形成一第二結合基材，該第一結合基材包括一鍺層、一III-V族化合物半導體層以及一第二半導體基材，該鍺層安排在該第二半導體基材與該III-V族化合物半導體層中間，該III-V族化合物半導體層安排在該介電材料層與該鍺層中間；

(ii)從該第二結合基材上移除該第二半導體基材以及鍺層，以便露出該III-V族化合物半導體層之至少一部分，以獲得一第三結合基材；以及

(iii)在溫度約250°C至1000°C下退火該第三結合基材，以便降低該III-V族化合物半導體層之線差排密度，以獲得該混合式基材。

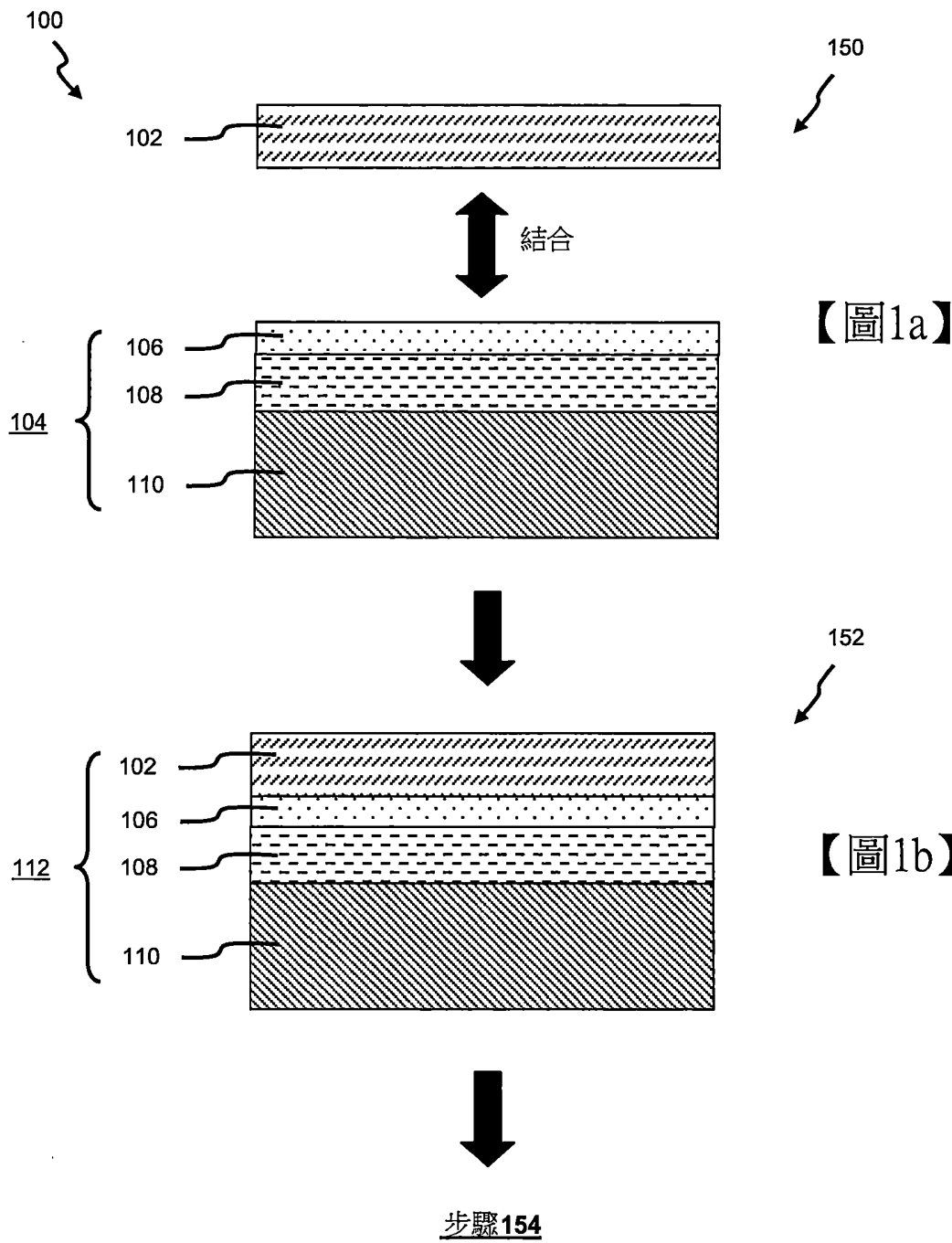
【第23項】 如請求項第22項之方法，其中步驟(ii)包括：(iv)結合使用機械研磨以及在四甲基氫氧化銨之第一溶液中濕式蝕刻該第二結合基材，以移除該第二半導體基材。

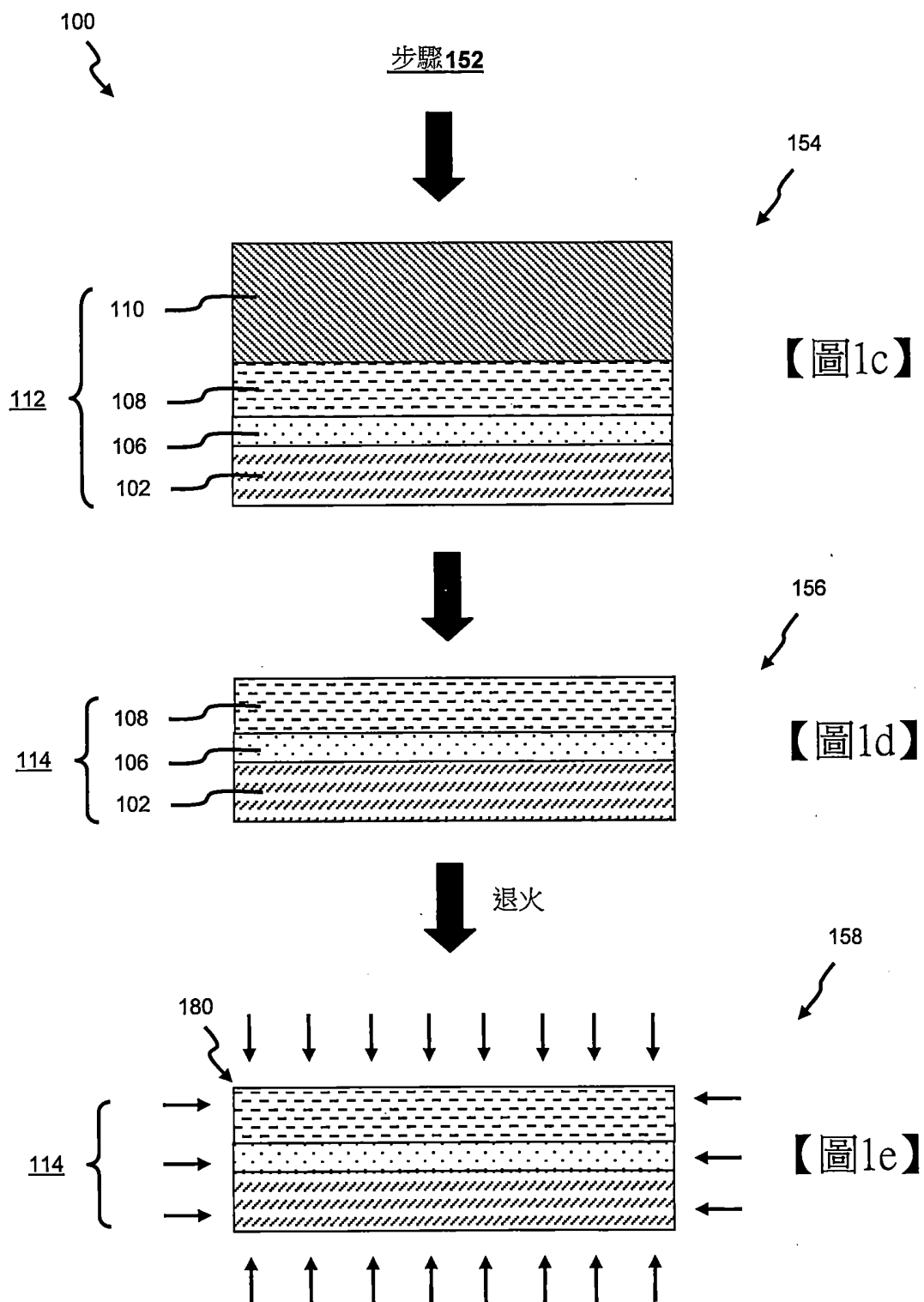
【第24項】 如請求項第23項之方法，其中在步驟(iv)之後，另外包含使用包括10%過氧化氫之第二溶液，以移除該鍺層。

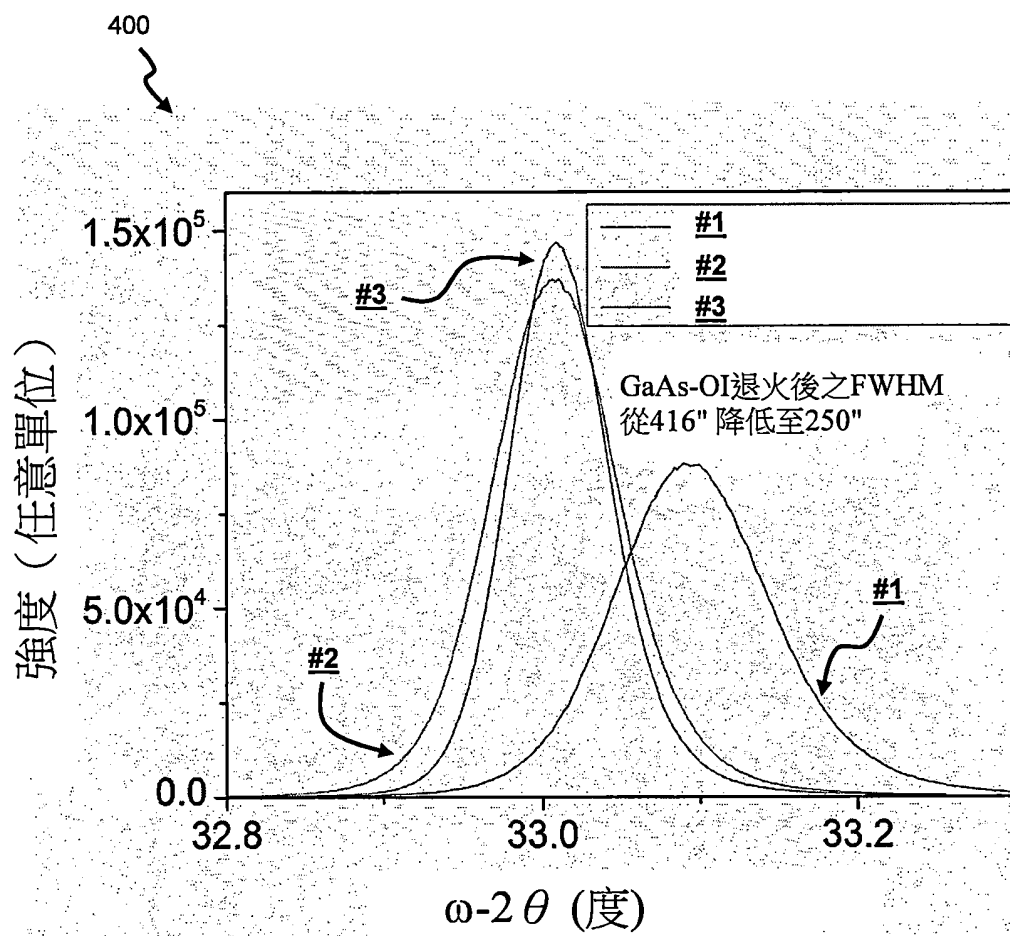
【第25項】 如請求項第22至24項中任一項之方法，其中該介電材料層係形成在該第一結合基材上。

【第26項】 如請求項第22-25項中任一項之方法，其中該至少一種介電材料層包括數個不同的介電材料層。

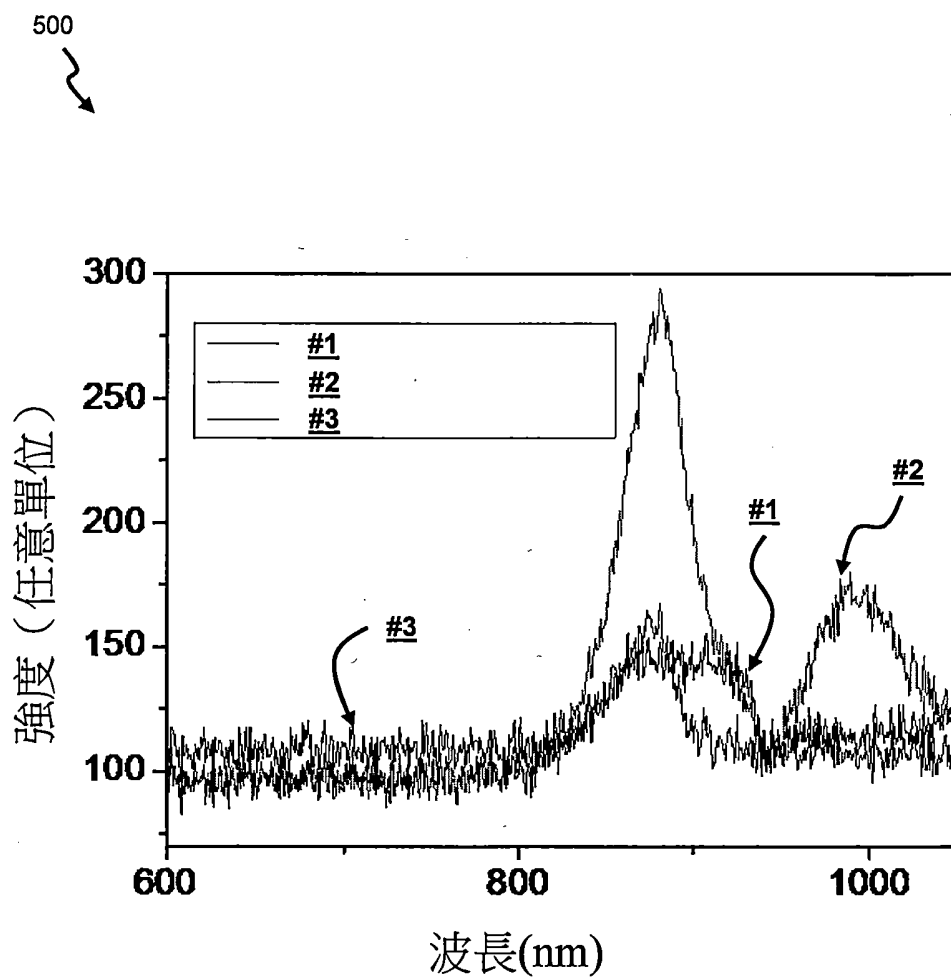
【發明圖式】



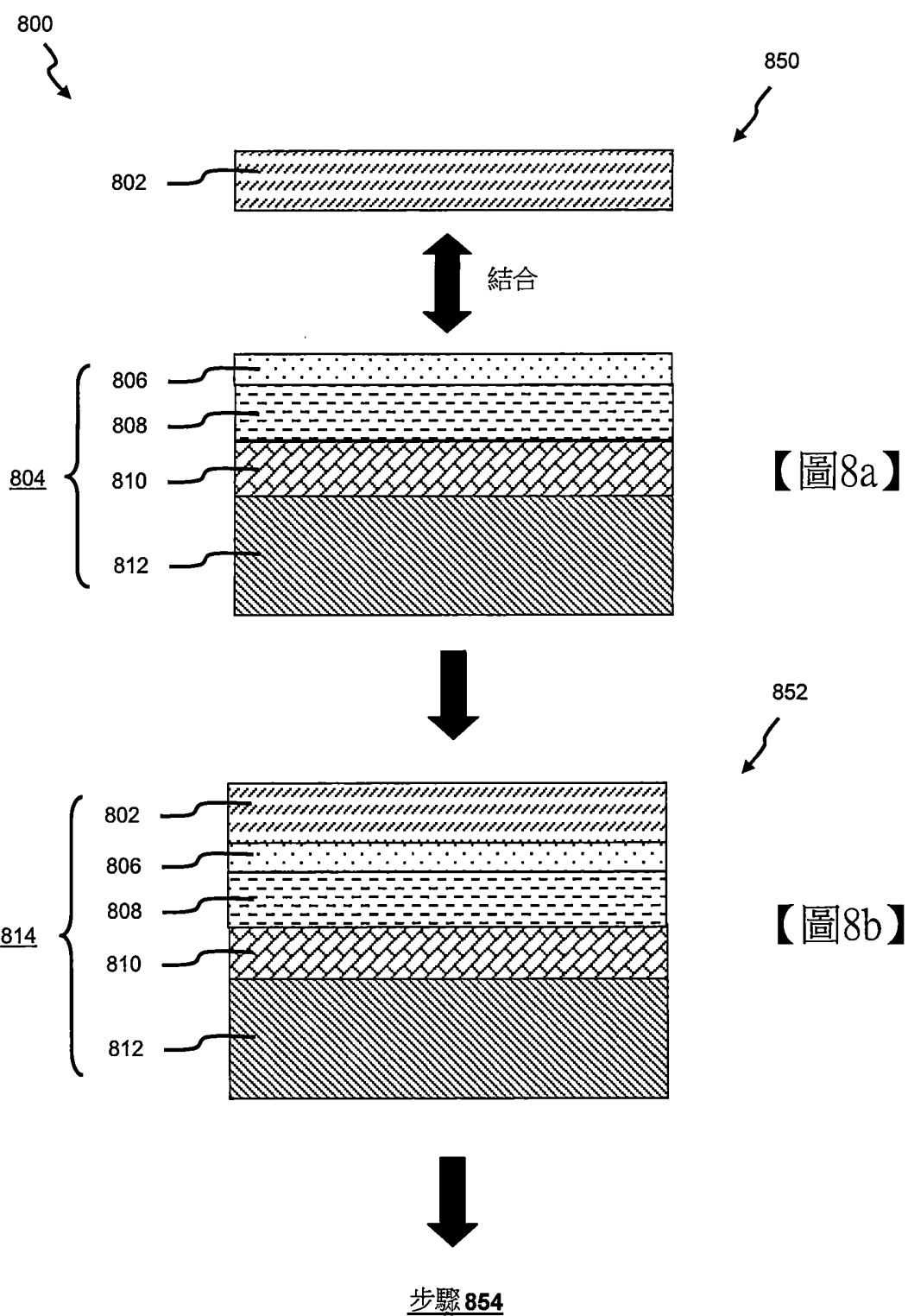


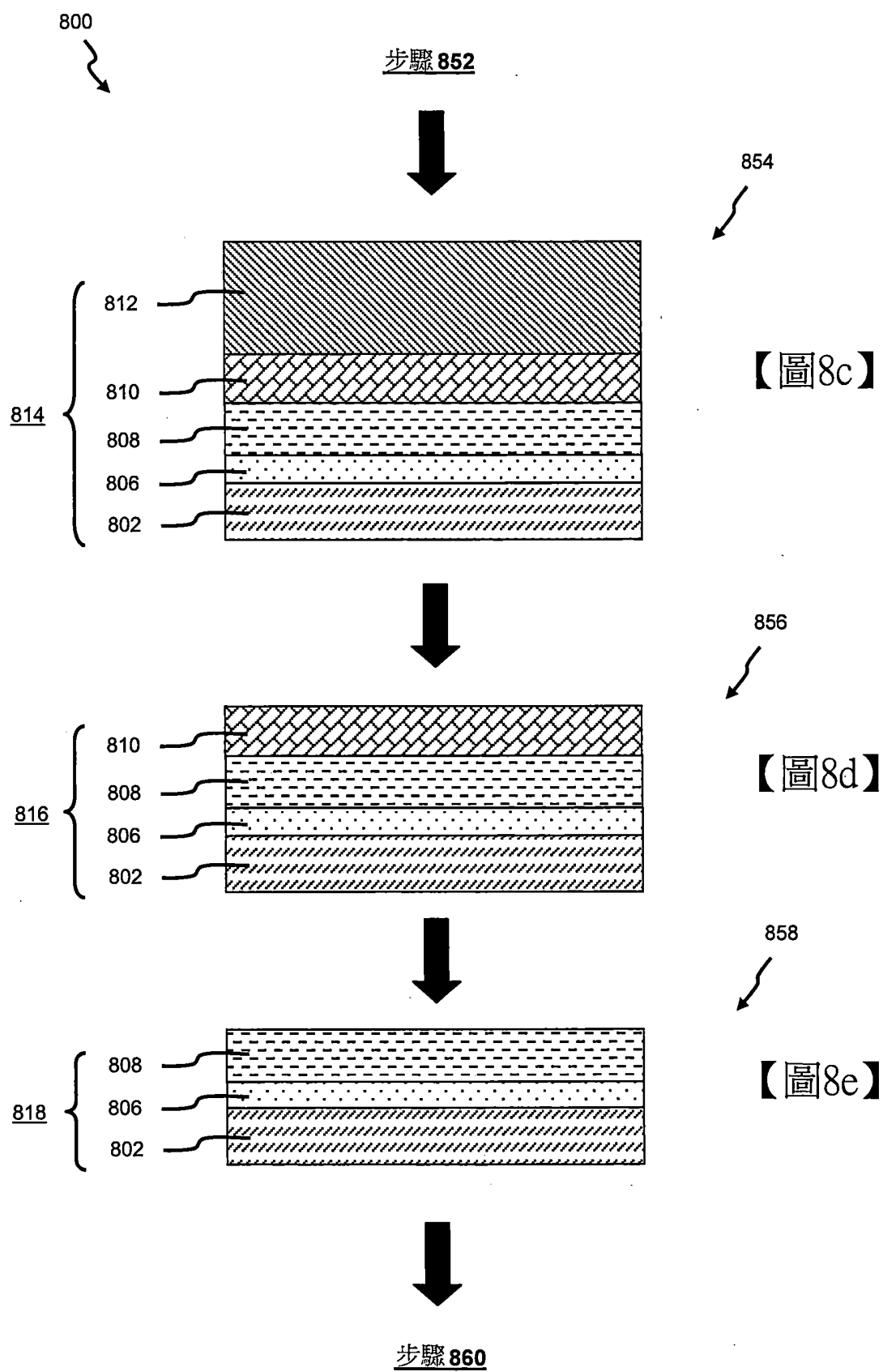


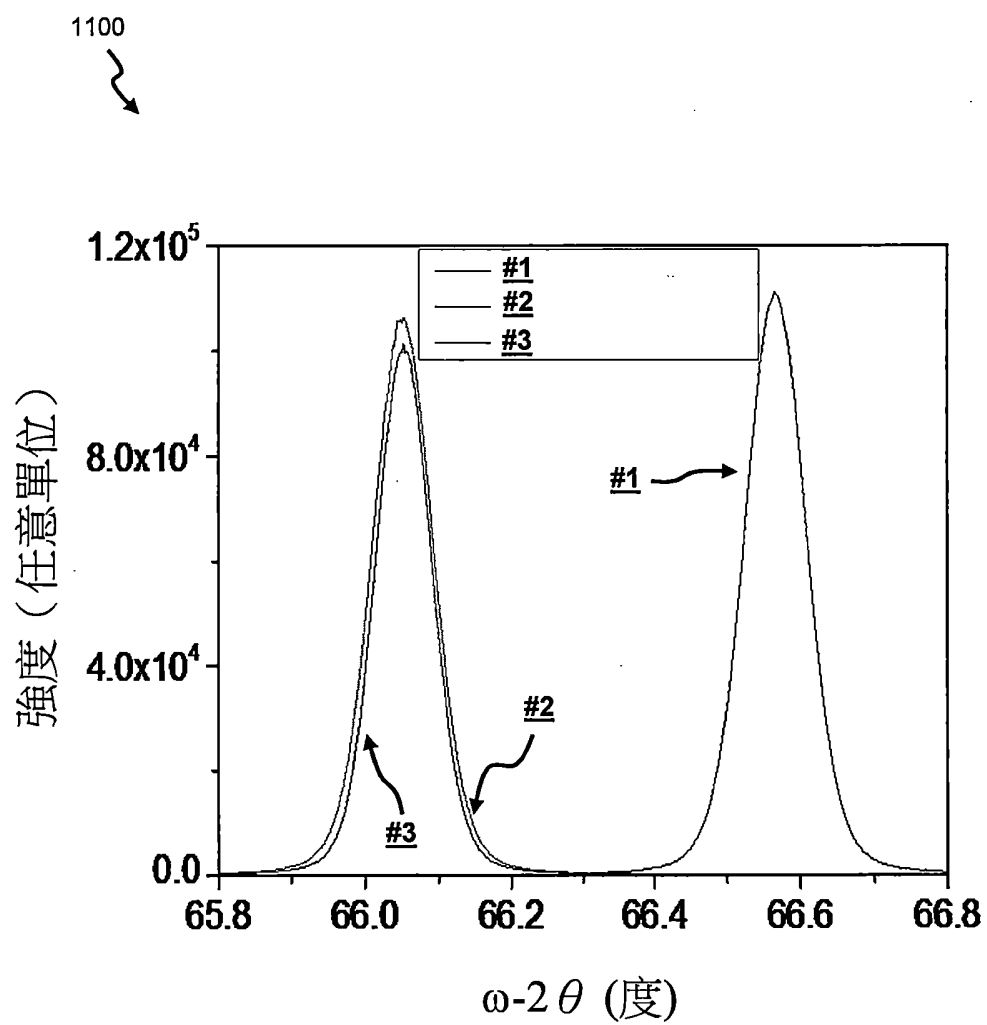
【圖4】



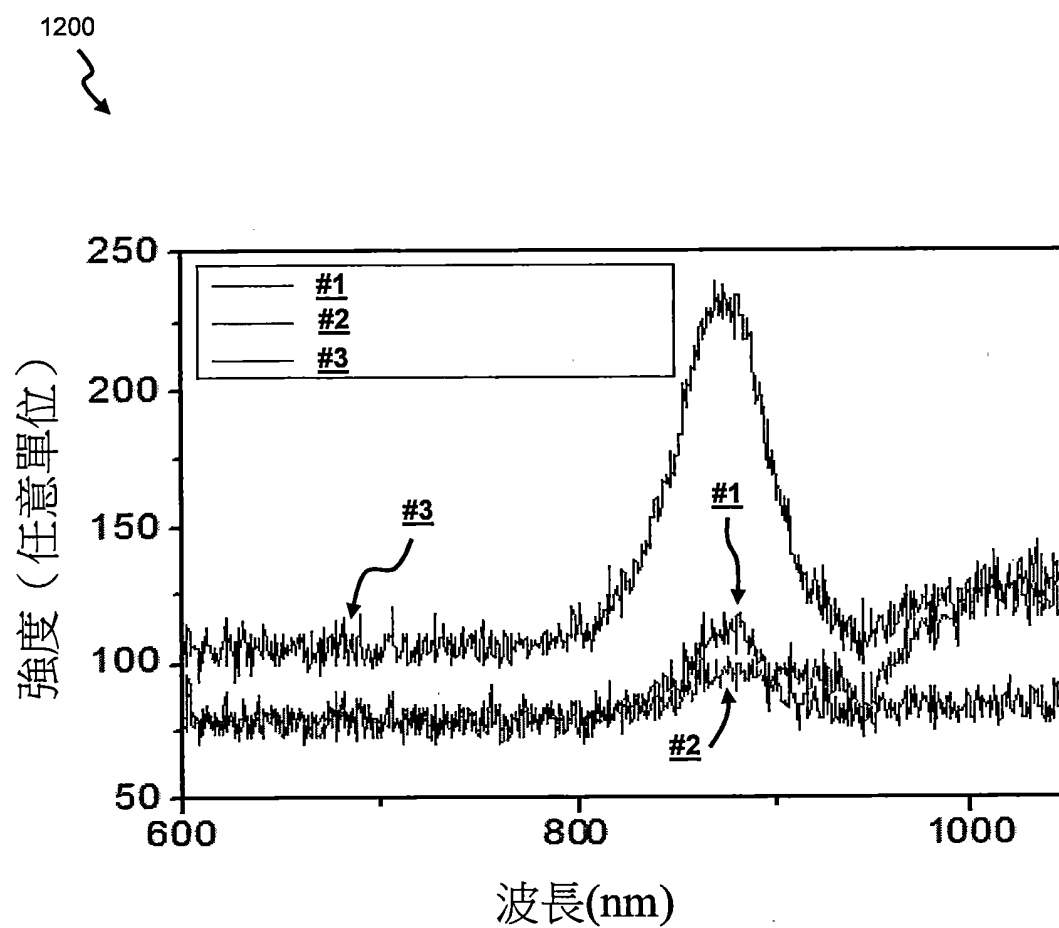
【圖5】







【圖11】



【圖12】

