



등록특허 10-2560435



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년07월27일
(11) 등록번호 10-2560435
(24) 등록일자 2023년07월24일

- (51) 국제특허분류(Int. Cl.)
H02M 3/156 (2006.01) *G05F 1/46* (2006.01)
H02M 1/00 (2007.01)
- (52) CPC특허분류
H02M 3/156 (2013.01)
G05F 1/461 (2013.01)
- (21) 출원번호 10-2018-0118290
(22) 출원일자 2018년10월04일
심사청구일자 2021년07월06일
- (65) 공개번호 10-2019-0039868
(43) 공개일자 2019년04월16일
(30) 우선권주장
JP-P-2017-196188 2017년10월06일 일본(JP)

- (56) 선행기술조사문헌
KR1020060096086 A*
KR1020090132497 A*
KR1020110139319 A*
*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 4 항

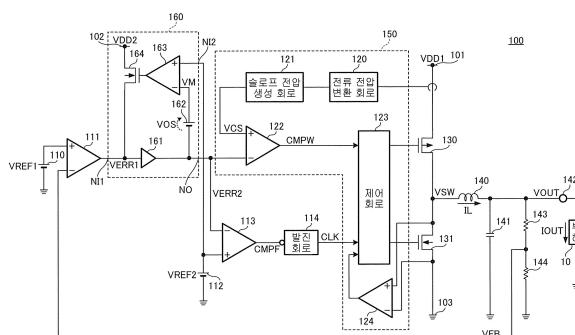
심사관 : 남기영

(54) 발명의 명칭 스위칭 레귤레이터

(57) 요 약

스위칭 레귤레이터는, 출력 단자에 접속된 스위칭 소자와, 출력 전압에 의거하는 전압과 제1 기준 전압과의 차를 증폭하여, 제1 오차 전압을 출력하는 제1 오차 증폭 회로와, 제1 오차 전압과 제2 기준 전압에 의거하여 출력 노드에 제2 오차 전압을 생성하는 클램프 회로와, 제2 오차 전압과 제2 기준 전압을 비교하여, 비교 결과 신호를 출력하는 PFM 비교 회로와, 비교 결과 신호에 의거하여 소정 주파수의 클록 신호를 출력 혹은 정지하는 발진 회로와, 제2 오차 전압과 발진 회로의 출력에 의거하여 스위칭 소자를 온 오프하는 PWM 변환 회로를 구비하고, 클램프 회로는, 제2 오차 전압의 하한치를 제2 기준 전압의 전압치로부터 소정의 전압치를 감산한 전압치로 클램프 한다.

대 표 도



(52) CPC특허분류
H02M 1/0045 (2021.05)

명세서

청구범위

청구항 1

제1의 전원 단자에 공급되는 전원 전압으로부터 출력 단자에 소정의 출력 전압을 생성하는 스위칭 레귤레이터로서,

일단이 상기 출력 단자에 접속된 인덕터와,

상기 제1의 전원 단자와 상기 인덕터의 타단의 사이에 접속된 스위칭 소자와,

상기 출력 전압에 의거하는 전압과 제1의 기준 전압의 차를 증폭하여, 제1의 오차 전압을 출력하는 제1의 오차 증폭 회로와,

제1의 입력 노드에 입력되는 상기 제1의 오차 전압과 제2의 입력 노드에 입력되는 제2의 기준 전압에 의거하여 출력 노드에 제2의 오차 전압을 생성하는 클램프 회로와,

제1의 입력 단자에 입력되는 상기 제2의 오차 전압과 제2의 입력 단자에 입력되는 상기 제2의 기준 전압을 비교하여, 제1 또는 제2의 레벨의 비교 결과 신호를 출력하는 PFM 비교 회로와,

상기 제1의 레벨의 비교 결과 신호에 대하여 소정 주파수의 클록 신호를 출력하고, 상기 제2의 레벨의 비교 결과 신호에 대하여 상기 클록 신호의 출력을 정지하는 발진 회로와,

상기 제2의 오차 전압과 상기 발진 회로의 출력에 의거하여 상기 스위칭 소자를 원하는 필스 폭으로 온 오프하는 PWM 변환 회로를 구비하고,

상기 클램프 회로는, 입력이 상기 제1의 입력 노드에 접속되고, 출력이 상기 출력 노드에 접속된 베퍼 회로와, 일단이 상기 출력 노드에 접속되며, 정전압을 발생하는 정전압 발생부와, 상기 정전압 발생부의 타단의 전압과 상기 제2의 기준 전압의 차를 증폭하는 제2의 오차 증폭 회로와, 제2의 전원 단자와 상기 제1의 입력 노드의 사이에 접속되며, 게이트가 상기 제2의 오차 증폭 회로의 출력에 접속된 MOS 트랜지스터를 가지고,

상기 제2의 오차 전압의 하한치를 상기 제2의 기준 전압의 전압치로부터 상기 정전압을 감산한 전압치로 클램프하는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 2

청구항 1에 있어서,

상기 정전압 발생부는, 상기 제2의 오차 증폭 회로의 상기 정전압 발생부의 타단의 전압이 입력되는 단자와 상기 출력 노드의 사이에 접속되어 있는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 3

청구항 1에 있어서,

상기 정전압 발생부는, 상기 베퍼 회로의 출력과 상기 출력 노드의 사이에 접속되어 있는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 4

청구항 1 내지 청구항 3 중 어느 한 항에 있어서,

상기 베퍼 회로는, 소스 폴로어 회로로 구성되어 있는 것을 특징으로 하는 스위칭 레귤레이터.

청구항 5

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 스위칭 레귤레이터에 관한 것이다.

배경 기술

[0002] 도 5에, 종래의 스위칭 레귤레이터(500)의 회로도를 나타낸다.

[0003] 종래의 스위칭 레귤레이터(500)는, 전원 단자(501)와, 접지 단자(502)와, 기준 전압원(510)과, 오차 증폭 회로(511)와, 기준 전압원(512)과, PFM 비교 회로(513)와, 발진 회로(514)와, PMOS 트랜지스터(530)와, NMOS 트랜지스터(531)와, 인덕터(540)와, 용량(541)과, 저항(543 및 544)과, 출력 단자(542)와, 전류 전압 변환 회로(520), 슬로프 전압 생성 회로(521), PWM 비교 회로(522), 제어 회로(523), 및 역류 검출 회로(524)로부터 이루어지는 PWM 변환 회로(550)를 구비하고, 이들이 도시와 같이 접속되어 구성되어 있다(예를 들면, 특허 문헌 1 일본 특개 2010-68671호를 참조).

[0004] 이러한 구성에 의해서 부귀환 루프가 기능하고, 스위칭 레귤레이터(500)는, 출력 단자(542)의 전압을 저항(543)과 저항(544)으로 분압한 전압(VFB)이 기준 전압원(510)의 기준 전압(VREF1)과 동일해지도록 동작하여, 출력 단자(542)에 소정의 출력 전압(VOUT)을 생성한다.

[0005] 종래의 스위칭 레귤레이터(500)에서는, PFM 비교 회로(513)가 오차 증폭 회로(511)의 출력인 오차 전압(VERR)과 기준 전압원(512)의 기준 전압(VREF2)을 비교하여, 그 출력인 비교 결과 신호(CMPF)에 의해 발진 회로(514)를 인에이블 또는 디스에이블시켜 PWM 동작과 PFM 동작을 전환하는 방식을 채택함으로써, 출력 단자(542)에 접속되는 외부의 부하(50)에 흐르는 부하 전류(IOUT)가 작을 때, PFM 동작으로 이행하여, 전력 변환 효율을 향상시키는 것을 가능하게 하고 있다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 특개 2010-68671호 공보

발명의 내용

해결하려는 과제

[0007] 그러나, 상기와 같은 종래의 스위칭 레귤레이터(500)에서는, PFM 동작 중에 부하 전류(IOUT)가 급증하면, 출력 전압(VOUT)이 크게 저하된다는 과제가 있었다.

[0008] 일반적으로, 스위칭 레귤레이터에 있어서의 오차 증폭 회로의 게인은 매우 크게 설정되는 것으로부터, 이 원인은, PFM 동작 중, 오차 증폭 회로(511)의 출력인 오차 전압(VERR)이 0V까지 저하하기 때문이다. 오차 전압(VERR)이 0V까지 저하해버리는 것으로부터, 오차 전압(VERR)이 0V로부터 기준 전압(VREF2)을 넘어 PWM 동작하기 까지, 대폭적인 지연이 발생하여, 이 사이에 출력 전압(VOUT)이 크게 저하하게 된다.

[0009] 이러한 원인에 대해서, 이하, 도 6의 과형 도면을 이용하여 상세하게 설명한다.

[0010] 도 6은, 종래의 스위칭 레귤레이터(500)에 있어서의 부하 전류(IOUT, PMOS) 트랜지스터(530)의 드레인으로부터 출력되는 전압(VSW), 인덕터(540)에 흐르는 인덕터 전류(IL), 출력 전압(VOUT), 전압(VFB), 오차 전압(VERR), 비교 결과 신호(CMPF)의 과형을 나타내고 있다. 또한, 전압(VFB)의 과형에 중첩하여, 기준 전압(VREF1)을 일점차선으로 나타내고, 오차 전압(VERR)의 과형에 중첩하여, 기준 전압(VREF2)을 일점차선으로, 0V를 점선으로 나타내고 있다.

[0011] 시각 t0에서는, 비교 결과 신호(CMPF)가 하이 레벨로 되어 있고, 스위칭 레귤레이터(500)는, PFM 동작하고 있다. 따라서, PMOS 트랜지스터(530) 및 NMOS 트랜지스터(531)는, 스위칭 동작을 정지하여 오프되어 있다. 이 상태로, 시각 t0에 있어서 부하 전류(IOUT)가 급증하면, 이것에 따라, 출력 전압(VOUT)이 저하되어 가고, 전압(VFB)도 저하되어 간다. 그리고, 전압(VFB)이 기준 전압(VREF1)을 밀돌면, 오차 전압(VERR)이 0V로부터 상승하기 시작한다. 그 후, 시각 t1에 있어서, 오차 전압(VERR)이 기준 전압(VREF2)을 웃돌면, 비교 결과 신호(CMP

F)가 로우 레벨로 반전한다. 이것에 의해, PMOS 트랜지스터(530) 및 NMOS 트랜지스터(531)가 스위칭 동작을 개시하여, 인덕터 전류(IL)가 흘러 출력 전압(VOUT)이 상승으로 전환한다. 이와 같이, 시각 t0으로부터 시각 t1 까지, 즉, 부하 전류(IOUT)가 급증하고 나서 PMOS 트랜지스터(530) 및 NMOS 트랜지스터(531)가 스위칭 동작을 개시하기까지, 지연 시간(DT)이 발생한다. 따라서, 출력 전압(VOUT)이 크게 저하하게 된다.

[0012] 본 발명은, 이상과 같은 과제를 해결하기 위하여 이루어진 것이며, PFM 동작 중에 부하 전류가 급증해도, 출력 전압의 대폭적인 저하를 억제하는 것이 가능한 스위칭 레귤레이터를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0013] 본 발명의 스위칭 레귤레이터는, 전원 단자에 공급되는 전원 전압으로부터 출력 단자에 소정의 출력 전압을 생성하는 스위칭 레귤레이터로서, 일단이 상기 출력 단자에 접속된 인덕터와, 상기 전원 단자와 상기 인덕터의 타단의 사이에 접속된 스위칭 소자와, 상기 출력 전압에 의거하는 전압과 제1의 기준 전압의 차를 증폭하여, 제1의 오차 전압을 출력하는 제1의 오차 증폭 회로와, 제1의 입력 노드에 입력되는 상기 제1의 오차 전압과 제2의 입력 노드에 입력되는 제2의 기준 전압에 의거하여 출력 노드에 제2의 오차 전압을 생성하는 클램프 회로와, 제1의 입력 단자에 입력되는 상기 제2의 오차 전압과 제2의 입력 단자에 입력되는 상기 제2의 기준 전압을 비교하여, 제1 또는 제2의 레벨의 비교 결과 신호를 출력하는 PFM 비교 회로와, 상기 비교 결과 신호가 상기 제1의 레벨일 때, 소정 주파수의 클록 신호를 출력하고, 상기 비교 결과 신호가 상기 제2의 레벨일 때, 상기 클록 신호의 출력을 정지하는 발진 회로와, 상기 제2의 오차 전압과 상기 발진 회로의 출력에 의거하여 상기 스위칭 소자를 원하는 펄스 폭으로 온 오프하는 PWM 변환 회로를 구비하고, 상기 클램프 회로는, 상기 제2의 오차 전압의 하한치를 상기 제2의 기준 전압의 전압치로부터 소정의 전압치를 감산한 전압치로 클램프하는 것을 특징으로 한다.

발명의 효과

[0014] 본 발명의 스위칭 레귤레이터에 의하면, PFM 비교 회로의 제1의 입력 단자에 입력되는 제2의 오차 전압의 하한치가 제2의 기준 전압의 전압치로부터 소정의 전압치를 감산한 전압치로 클램프된다. 즉, PFM 비교 회로의 제1의 입력 단자에 입력되는 전압의 하한치를 0V보다 제2의 기준 전압에 가까운 전압으로 설정할 수 있다. 이것에 의해, PFM 동작 중에 부하 전류가 급증했을 경우에도, PFM 동작으로부터 PWM 동작으로 단시간에 이행할 수 있다. 따라서, 출력 전압이 큰 폭으로 저하하는 것을 억제하는 것이 가능해진다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 제1의 실시 형태의 스위칭 레귤레이터를 나타내는 회로도이다.

도 2는 도 1에 나타내는 스위칭 레귤레이터의 각 노드의 신호 파형을 나타내는 도면이다.

도 3은 본 발명의 제2의 실시 형태의 스위칭 레귤레이터를 나타내는 회로도이다.

도 4는 도 1 및 도 3에 나타내는 버퍼 회로의 일구체예를 나타내는 회로도이다.

도 5는 종래의 스위칭 레귤레이터의 회로도이다.

도 6은 도 5의 스위칭 레귤레이터의 각 노드의 신호 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 발명의 실시 형태에 대해서, 도면을 참조하여 설명한다.

[0017] 도 1은, 본 발명의 제1의 실시 형태의 스위칭 레귤레이터(100)의 회로도이다.

[0018] 본 실시 형태의 스위칭 레귤레이터(100)는, 전원 전압(VDD1)이 공급되는 전원 단자(101)와, 전원 전압(VDD2)이 공급되는 전원 단자(102)와, 접지 단자(103)와, 기준 전압원(110)과, 오차 증폭 회로(111)와, 기준 전압원(112)과, PFM 비교 회로(113)와, 발진 회로(114)와, PMOS 트랜지스터(130)(「스위칭 소자」라고도 한다)와, NMOS 트랜지스터(131)(「동기 정류 소자」라고도 한다)와, 인덕터(140)와, 용량(141)과, 저항(143 및 144)과, 출력 단자(142)와, 전류 전압 변환 회로(120), 슬로프 전압 생성 회로(121), PWM 비교 회로(122), 제어 회로(123), 및 역류 겸출 회로(124)로 이루어지는 PWM 변환 회로(150)와, 클램프 회로(160)를 구비하고 있다.

[0019] 클램프 회로(160)는, 입력이 입력 노드(NI1)에 접속된 버퍼 회로(161)와, 일단이 버퍼 회로의 출력 및 출력 노

드(NO)에 접속된 정전압 발생부(162)와, 반전 입력 단자가 정전압 발생부(162)의 타단에 접속되고, 비반전 입력 단자가 입력 노드(NI2)에 접속된 오차 증폭 회로(163)와, 게이트가 오차 증폭 회로(163)의 출력에 접속되며, 드레인이 전원 단자(102)에 접속되며, 소스가 입력 노드(NI1)에 접속된 NMOS 트랜지스터(164)를 가지고 있다.

[0020] 기준 전압원(110)은, 일단이 오차 증폭 회로(111)의 비반전 입력 단자에 접속되고, 타단이 접지 단자(103)에 접속되어 있다. 오차 증폭 회로(111)는, 반전 입력 단자가 저항(143)과 저항(144)의 접속점에 접속되고, 출력이 클램프 회로(160)의 입력 노드(NI1)에 접속되어 있다. 클램프 회로(160)는, 입력 노드(NI1)가 오차 증폭 회로(111)의 출력에 접속되고, 입력 노드(NI2)가 기준 전압원(112)의 일단에 접속되며, 출력 노드(NO)가 PFM 비교 회로(113)의 반전 입력 단자 및 PWM 비교 회로(122)의 반전 입력 단자에 접속되어 있다. 기준 전압원(112)의 일단은, PFM 비교 회로(113)의 비반전 입력 단자에 접속되고, 타단은 접지 단자(103)에 접속되어 있다. PFM 비교 회로(113)는, 출력이 발진 회로(114)의 입력에 접속되어 있다. 발진 회로(114)는, 출력이 제어 회로(123)의 입력에 접속되어 있다.

[0021] 슬로프 전압 생성 회로(121)는, 입력이 전류 전압 변환 회로(120)의 출력에 접속되고, 출력이 PWM 비교 회로(122)의 비반전 입력 단자에 접속되어 있다. PWM 비교 회로(122)는, 출력이 제어 회로(123)의 입력에 접속되어 있다. PMOS 트랜지스터(130)는, 소스가 전원 단자(101) 및 전류 전압 변환 회로(120)의 입력에 접속되고, 게이트가 제어 회로(123)의 출력에 접속되며, 드레인이 인덕터(140)의 일단, 역류 검출 회로(124)의 비반전 입력 단자, 및 NMOS 트랜지스터(131)의 드레인에 접속되어 있다. NMOS 트랜지스터(131)는, 게이트가 제어 회로(123)의 출력에 접속되며, 소스가 접지 단자(103)에 접속되어 있다. 역류 검출 회로(124)는, 반전 입력 단자가 접지 단자(103)에 접속되며, 출력이 제어 회로(123)의 입력에 접속되어 있다.

[0022] 인덕터(140)는, 타단이 용량(141)의 일단, 저항(143)의 일단, 및 출력 단자(142)에 접속되어 있다. 용량(141)의 타단은, 접지 단자(103)에 접속되어 있다. 저항(144)의 타단은, 접지 단자(103)에 접속되어 있다.

[0023] 이하, 상기와 같이 구성된 스위칭 레귤레이터(100)의 동작에 대하여 설명한다.

[0024] 오차 증폭 회로(111)는, 출력 단자(142)의 출력 전압(VOUT)을 저항(143)과 저항(144)으로 분압한 전압(VFB)과 기준 전압원(110)의 기준 전압(VREF1)을 비교하고, 오차 전압(VERR1)을 출력한다.

[0025] 클램프 회로(160)는, 입력 노드(NI1)에 입력되는 오차 전압(VERR1)과 입력 노드(NI2)에 입력되는 기준 전압원(112)의 기준 전압(VREF2)에 의거하여, 출력 노드(NO)에 오차 전압(VERR2)을 생성한다. 구체적으로는, 버퍼 회로(161)의 출력 임피던스가 오차 증폭 회로(111)의 출력 임피던스보다 낮게 설정되어 있고, 버퍼 회로(161)는, 오차 전압(VERR1)에 비례한 오차 전압(VERR2)을 출력 노드(NO)에 생성한다. 정전압 발생부(162)는, 정전압(VOS)을 생성한다. 오차 증폭 회로(163)는, 오차 전압(VERR2)에 정전압(VOS)을 가산한 전압(VM)과 기준 전압(VREF2)을 비교하여 NMOS 트랜지스터(164)의 게이트에 출력 전압을 입력한다. 이것이 의해, 클램프 회로(160)는, 전압(VM)이 기준 전압(VREF2)보다 작을 때, 오차 전압(VERR2)을 기준 전압(VREF2)보다 정전압(VOS)분 낮은 전압으로 클램프한다.

[0026] 전류 전압 변환 회로(120)는, PMOS 트랜지스터(130)의 소스 전류를 전압으로 변환하여, 슬로프 전압 생성 회로(121)에 출력한다. 슬로프 전압 생성 회로(121)는, 전류 전압 변환 회로(120)의 출력에 톱니파를 가산하여, 전압(VCS)을 출력한다. PWM 비교 회로(122)는, 오차 전압(VERR2)과 전압(VCS)을 비교하여, 비교 결과 신호(CMPW)를 제어 회로(123)에 출력한다.

[0027] PFM 비교 회로(113)는, 기준 전압원(112)의 기준 전압(VREF2)과 오차 전압(VERR2)을 비교하여, 비교 결과 신호(CMPF)를 발진 회로(114)에 출력한다. 발진 회로(114)는, 비교 결과 신호(CMPF)가 로우 레벨일 때, 소정의 주파수로 발진하여(인에이블되어), 출력 신호(CLK)로서 클록 신호를 출력한다. 또한, 발진 회로(114)는, 비교 결과 신호(CMPF)가 하이 레벨일 때, 발진을 정지하여(디스에이블되어), 출력 신호(CLK)를 로우 레벨에 고정한다.

[0028] 역류 검출 회로(124)는, NMOS 트랜지스터(131)의 드레인 전압과 소스 전압을 비교하여, 드레인 전압이 소스 전압보다 높아지면, 역전류 검출 신호를 제어 회로(123)에 출력한다.

[0029] 제어 회로(123)는, 입력된 각 신호에 따라서, PMOS 트랜지스터(130)와 NMOS 트랜지스터(131)의 온 오프를 제어한다.

[0030] 인덕터(140)와 용량(141)은, PMOS 트랜지스터(130)의 드레인으로부터 출력되는 전압(VSW)을 평활한다.

[0031] 이러한 회로 구성에 의해서 부귀환 루프가 기능하고, 스위칭 레귤레이터(100)는, 전압(VFB)이 기준 전압(VREF

1)과 동일해지도록 동작하고, 출력 단자(142)에 출력 전압(VOUT)을 생성한다.

[0032] 스위칭 레귤레이터(100)에서는, 출력 단자(142)에 접속되는 부하(10)에 흐르는 부하 전류(IOUT)의 크기에 따라서, 이하와 같이, PWM(Pulse Width Modulation) 동작과 PFM(Pulse Frequency Modulation) 동작이 전환된다.

[0033] 부하 전류가 큰 경우, 출력 전압(VOUT)의 저하를 보충하도록 오차 전압(VERR1), 즉, 오차 전압(VERR2)이 상승한다. 따라서, 오차 전압(VERR2)이 기준 전압(VREF2)보다 정상적으로 커지게 되고, 발진 회로(114)는, 출력 신호(CLK)로서 소정 주파수의 클록 신호를 계속 출력한다. 이 클록 신호의 상승에 동기하여, PWM 변환 회로(150)는, PMOS 트랜지스터(130)를 온시키고, NMOS 트랜지스터(131)를 오프시킨다. 이 때, PMOS 트랜지스터(130)의 온 시간을 제어하는 신호의 폴스 폭은, PWM 변환 회로(150)에 의해 결정된다. 이와 같이, 부하 전류(IOUT)가 큰 경우에는, 스위칭 레귤레이터(100)는, PWM 동작이 된다.

[0034] 그 후, 상술 상태로부터, 부하 전류(IOUT)가 작아졌을 경우, 부하 전류(IOUT)가 작아지자마자 시점에서는, 오차 전압(VERR2)이 기준 전압(VREF2)보다 정상적으로 큰 상태가 계속 되고 있다. 그러나, 부하 전류(IOUT)가 작아져 있는 것으로부터, 부하 전류(IOUT)에 의한 출력 전압(VOUT)의 저하가 적기 때문에, PMOS 트랜지스터(130)를 온시키는 것에 의한 출력 전압(VOUT)의 상승이 커진다. 따라서, 이 출력 전압(VOUT)의 상승을 보충하도록 오차 전압(VERR2)이 저하하고, 기준 전압(VREF2)보다 낮은 전압치가 된다. 따라서, PMOS 트랜지스터(130)가 오프가 되어, 출력 전압(VOUT)은 저하되어 간다.

[0035] 그리고, 오차 전압(VERR2)이 상승하여, 기준 전압(VREF2)보다 커지면, 발진 회로(114)는, 출력 신호(CLK)로서 클록 신호를 출력한다. 이 클록 신호의 상승에 동기하여, PWM 변환 회로(150)는, PMOS 트랜지스터(130)를 온시키고, NMOS 트랜지스터(131)를 오프시킨다. 이 때, 부하 전류(IOUT)가 작은 것으로부터, PMOS 트랜지스터(130)가 온한 것에 의해, 출력 전압(VOUT)이, 바로 원하는 전압치를 웃돌기 때문에, 오차 전압(VERR2)은 저하한다. 그러면, PWM 변환 회로(150)는, PMOS 트랜지스터(130)를 오프시켜, NMOS 트랜지스터(131)를 온시킨다. 또한, 발진 회로(114)는, 출력 신호(CLK)를 로우 레벨에 고정한다. 이와 같이, 부하 전류(IOUT)가 작은 경우에는, 발진 회로(114)는, 발진과 정지를 반복한다. 즉, 스위칭 레귤레이터(100)는, PFM 동작이 된다.

[0036] 이와 같이 하고, 본 실시 형태의 스위칭 레귤레이터(100)는, 부하 전류(IOUT)가 작을 때, PFM 동작으로 이행하고, 전력 변환 효율을 향상시킬 수 있다.

[0037] 이러한 본 실시 형태의 스위칭 레귤레이터(100)의 특징적인 구성을 설명하기 위하여, 이하, 스위칭 레귤레이터(100)가 PFM 동작하고 있을 때, 부하 전류(IOUT)가 급증했을 경우의 회로 동작에 대하여 상술한다.

[0038] 도 2는, 본 실시 형태의 스위칭 레귤레이터(100)에 있어서의 부하 전류(IOUT), 전압(VSW), 인덕터(140)에 흐르는 인덕터 전류(IL), 출력 전압(VOUT), 전압(VFB), 오차 전압(VERR2), 비교 결과 신호(CMPF)의 과형을 나타내고 있다. 또한, 전압(VFB)의 과형에 중첩하여, 기준 전압(VREF1)을 일점차선으로 나타내고, 오차 전압(VERR2)의 과형에 중첩하여, 기준 전압(VREF2)을 일점차선으로, 0V를 점선으로 나타내고 있다.

[0039] 시각 t0에서는, 비교 결과 신호(CMPF)가 하이 레벨로 되어 있고, 스위칭 레귤레이터(100)는, PFM 동작하고 있다. 따라서, PMOS 트랜지스터(130) 및 NMOS 트랜지스터(131)는, 스위칭 동작을 정지하여 오프하고 있다. 이 때, 전압(VFB)이 기준 전압(VREF1)보다 높은 것으로부터, 오차 증폭 회로(111)는, 오차 전압(VERR1)으로서 낮은 전압(0V)을 출력하려고 한다. 그러나, 상술과 같이, 클램프 회로(160)는, 전압(VM)이 기준 전압(VREF2)보다 작아지면, 오차 전압(VERR2)을 기준 전압(VREF2)보다 정전압(VOS)분 낮은 전압으로 클램프하기 때문에, 오차 전압(VERR2)(오차 전압(VERR1))은, 기준 전압(VREF2)보다 낮고, 0V보다 높은 전압으로 되어 있다.

[0040] 상술의 상태에서, 시각 t0에 있어서 부하 전류(IOUT)가 급증하면, 이것에 따라, 출력 전압(VOUT)이 저하되어 가고, 전압(VFB)도 저하되어 간다. 그리고, 전압(VFB)이 기준 전압(VREF1)을 밀돌면, 오차 전압(VERR2)은, 기준 전압보다 정전압(VOS)분 낮은 전압으로부터 상승하기 시작한다.

[0041] 그 후, 시각 t1에 있어서, 오차 전압(VERR2)이 기준 전압(VREF2)을 웃돌면, 비교 결과 신호(CMPF)가 로우 레벨로 반전한다. 이것에 의해, PMOS 트랜지스터(130) 및 NMOS 트랜지스터(131)가 스위칭 동작을 개시하여, 인덕터 전류(IL)가 흘러 출력 전압(VOUT)이 상승으로 전환한다.

[0042] 이와 같이, 본 실시 형태의 스위칭 레귤레이터(100)는, 오차 전압(VERR2)의 하한치가 기준 전압(VREF2)의 전압치로부터 정전압(VOS)분을 감산한 전압치로 클램프되도록 동작함으로써, 시각 t0부터 시각 t1까지, 즉, PFM 동작 중에 부하 전류(IOUT)가 급증하고 나서 PWM 동작으로 이행하기까지, 지연 시간(DT)를 단축할 수 있다. 따라서, 출력 전압(VOUT)이 크게 저하하는 것을 억제하는 것이 가능해진다.

[0043] 다음으로, 도 3을 참조하여, 본 발명의 제2의 실시 형태의 스위칭 레귤레이터(200)에 대하여 설명한다.

[0044] 본 실시 형태의 스위칭 레귤레이터(200)는, 제1의 실시 형태의 스위칭 레귤레이터(100)의 클램프 회로(160)에 있어서, 오차 증폭 회로(163)의 반전 입력 단자와 출력 노드(NO)의 사이에 접속되어 있던 정전압 발생부(162)가 삭제되고, 대신에, 베퍼 회로(161)의 출력과 출력 노드(NO)의 사이에 정전압 발생부(262)가 접속된 구성으로 되어 있다. 그 외의 구성에 대해서는, 도 1의 스위칭 레귤레이터(100)와 동일하기 때문에, 동일한 구성요소에는 동일 부호를 붙이고, 중복되는 설명은 적절히 생략한다.

[0045] 상술의 구성에 의해, 본 실시 형태의 스위칭 레귤레이터(200)도, 제1의 실시 형태의 스위칭 레귤레이터(100)와 같이, 오차 전압(VERR2)의 하한치가 기준 전압 (VREF2)의 전압치로부터 정전압(VOS)분을 감산한 전압치로 클램프되도록 동작한다. 이것에 의해, PFM 동작 중에 부하 전류(IOUT)가 급증했을 경우에도, 부하 전류(IOUT)가 급증하고 나서 PWM 동작으로 이행할 때까지의 지연 시간(DT)을 단축하고, 출력 전압(VOUT)이 크게 저하하는 것을 억제할 수 있다.

[0046] 도 4는, 제1 및 제2의 실시 형태에 있어서의 베퍼 회로(161)의 일구체예를 나타내고 있다. 베퍼 회로(161)는, 드레인이 전원 단자(102)에 접속되고, 소스가 클램프 회로(160)의 출력 노드(NO)에 접속되며, 게이트가 클램프 회로(160)의 입력 노드(NI1)에 접속된 NMOS 트랜지스터(161t)와, 출력 노드(NO)와 접지 단자(103)의 사이에 접속된 정전류원(161c)에 의해 구성되어 있다. 즉, 베퍼 회로(161)는, 소스 폴로어 회로로 구성되어 있다.

[0047] 이러한 구성에 의하면, 적은 소자수로 출력 임피던스가 낮은 베퍼 회로를 실현할 수 있다.

[0048] 이상, 본 발명의 실시 형태에 대하여 설명했지만, 본 발명은 상기 실시 형태로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 범위에 있어서 여러 가지의 변경이 가능하다는 것은 말할 필요도 없다.

[0049] 예를 들면, 상기 실시 형태에 있어서, 정전압 발생부(162, 262)는, 정전압이 생성 가능하다면, 그 구성은 특별히 한정되지 않는다.

[0050] 또한, 상기 실시 형태에 있어서는, 전류 모드 제어 방식의 스위칭 레귤레이터를 예로서 설명했지만, 본 발명은, 전압 모드 제어 방식의 스위칭 레귤레이터에도 적용 가능하다.

[0051] 또한, 상기 실시 형태에 있어서는, 스위칭 소자 및 동기 정류 소자로서 MOS 트랜지스터를 이용한 예를 설명했지만, 바이폴러 트랜지스터 등을 이용해도 된다.

[0052] 또한, 상기 실시 형태에 있어서는, 동기 정류 방식의 스위칭 레귤레이터를 예로서 설명했지만, 본 발명은, 다이오드 정류 방식의 스위칭 레귤레이터에도 적용 가능하다. 또한, 다이오드 정류 방식으로 했을 경우는, 역류 검출 회로는 불필요하다.

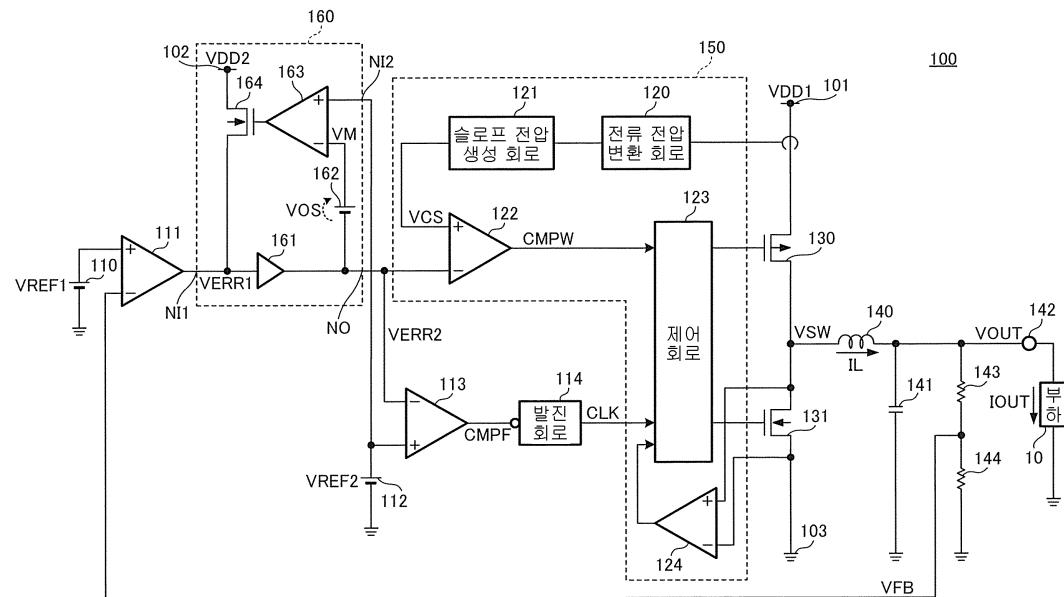
부호의 설명

100, 200: 스위칭 레귤레이터	101, 102, 501: 전원 단자
103, 502: 접지 단자	
110, 112, 510, 512: 기준 전압원	111, 163, 511: 오차 증폭 회로
113, 513: PFM 비교 회로	114, 514: 벌진 회로
120, 520: 전류 전압 변환 회로	
121, 521: 슬로프 전압 생성 회로	122, 522: PWM 비교 회로
123, 523: 제어 회로	124, 524: 역류 검출 회로
130, 530: PMOS 트랜지스터	
131, 164, 531: NMOS 트랜지스터	140, 540: 인덕터
141, 541: 용량	142, 542: 출력 단자
143, 144, 543, 544: 저항	150, 550: PWM 변환 회로
160: 클램프 회로	161: 베퍼 회로

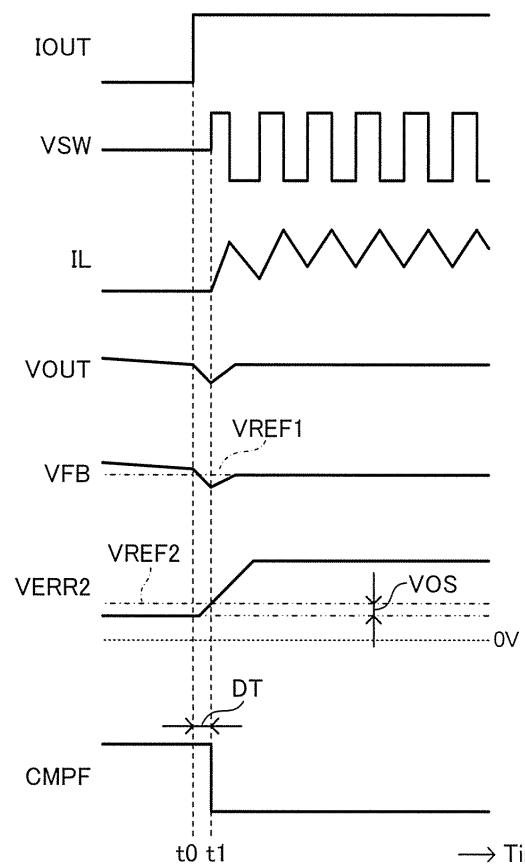
162, 262: 정전압 발생부

도면

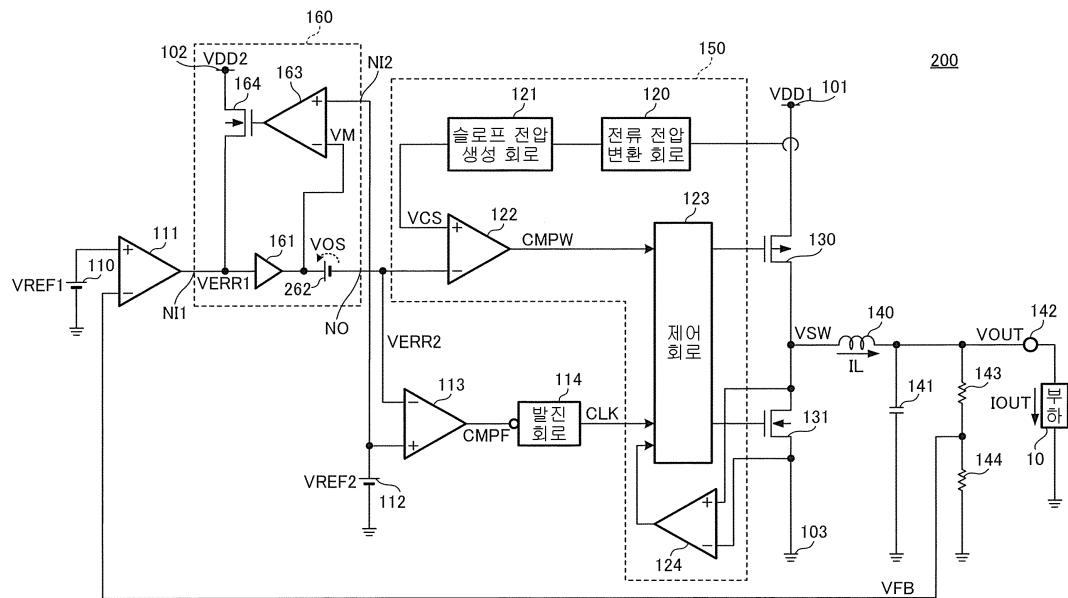
도면1



도면2

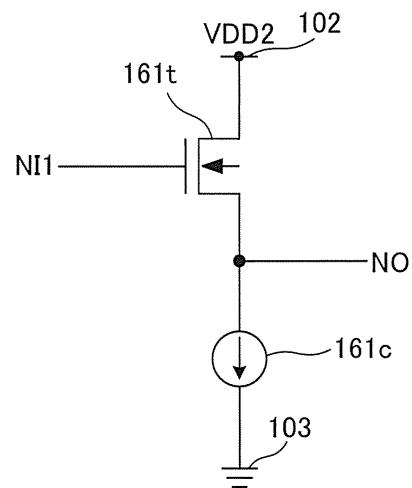


도면3

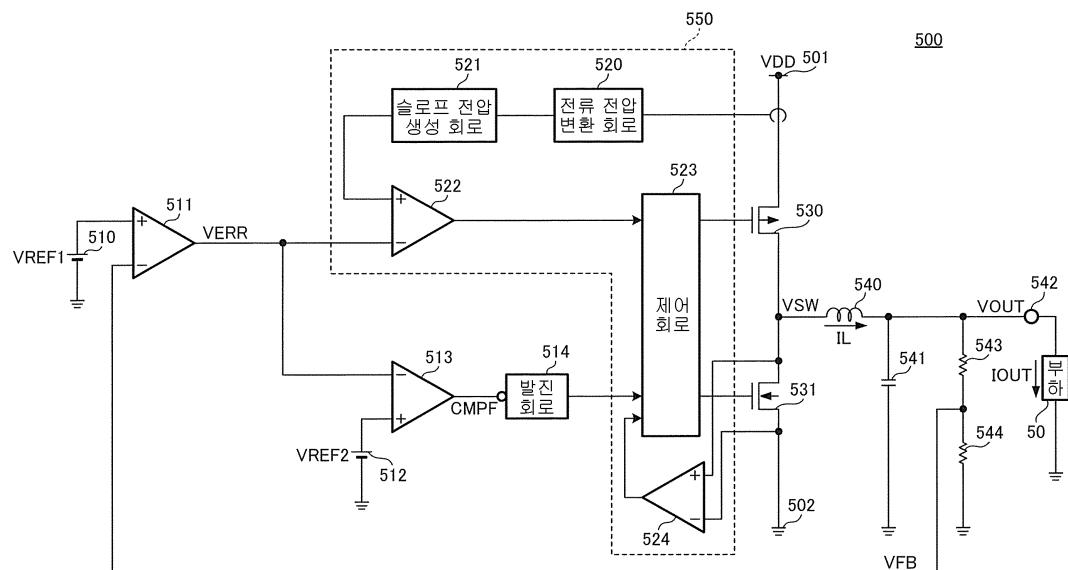


도면4

161



도면5



도면6

