



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0096846
(43) 공개일자 2010년09월02일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0015909

(22) 출원일자 2009년02월25일

심사청구일자 2009년02월25일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

홍문표

경기 성남시 분당구 정자동 한솔마을청구아파트
107동 1103호

김두현

서울 서대문구 남가좌2동 삼성아파트 105동 504호

김건수

서울 은평구 불광동 218-27

(74) 대리인

유미특허법인

전체 청구항 수 : 총 8 항

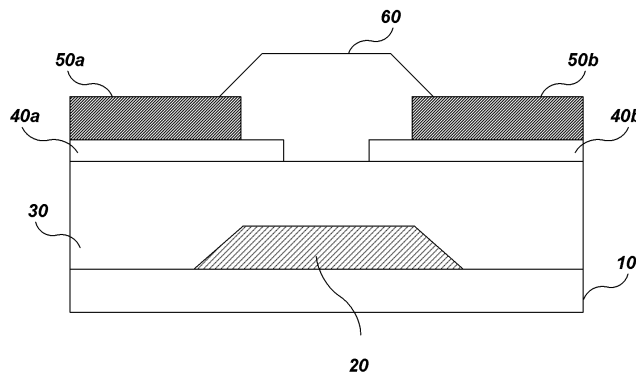
(54) 유기 박막 트랜지스터 및 그의 제조 방법

(57) 요약

본 발명은 유기 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.

본 발명에서는 기판 위에 게이트 전극을 형성하고, 게이트 전극 및 기판 위에 게이트 절연막을 형성한다. 그리고 게이트 절연막 위에 수송자 주입막과, 상기 수송자 주입막 위에 각각 위치하는 소스 전극 및 드레인 전극을 동시에 형성한다. 그리고 수송자 주입막을 포함하는 소스 전극 및 드레인 전극 사이에 상기 게이트 전극과 중첩되는 유기 반도체 층을 형성한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 및 기관 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 수송자 주입막과, 상기 수송자 주입막 위에 각각 위치하는 소스 전극 및 드레인 전극을 동시에 형성하는 단계; 및

상기 소스 전극 및 드레인 전극 사이에 상기 게이트 전극과 중첩되는 유기 반도체 층을 형성하는 단계를 포함하고,

상기 수송자 주입막은 상기 게이트 전극의 양 에지와 중첩되어 섬형상으로 형성되어 있는, 유기 박막 트랜지스터 제조 방법.

청구항 2

제1항에 있어서

상기 동시에 형성하는 단계는,

상기 게이트 절연막 위에 상기 수송자 주입막을 형성하기 위한 금속 산화막을 증착하는 단계;

상기 금속 산화막 위에 상기 소스 전극 및 드레인 전극을 형성하기 위한 금속막을 증착하는 단계; 및

포토 식각 방법을 토대로 상기 금속 산화막 및 금속막을 동시에 패터닝하여, 상기 수송자 주입막과 상기 소스 및 드레인 전극을 형성하는 단계

를 포함하는, 유기 박막 트랜지스터 제조 방법.

청구항 3

제2항에 있어서

상기 포토 식각 방법을 토대로 상기 금속 산화막 및 금속막을 동시에 패터닝하는 경우, 상기 금속 산화막을 식각하는 속도와 상기 금속막을 식각하는 속도가 서로 다른, 유기 박막 트랜지스터 제조 방법.

청구항 4

기관 위에 형성되어 있는 게이트 전극;

상기 게이트 전극을 덮는 형태로 상기 기관 위에 형성되어 있는 게이트 절연막;

상기 게이트 절연막 위에 형성되어 있는 수송자 주입막;

상기 수송자 주입막 위에 각각 형성되어 있는 소스 전극 및 드레인 전극; 그리고

상기 소스 전극과 드레인 전극 사이에 위치되고 상기 게이트 전극과 중첩되어 있는 유기 반도체층을 포함하며,

상기 소스 전극 및 드레인 전극이 각각 상기 유기 반도체 층과 중첩되는 경계들이, 상기 수송자 주입막과 상기 유기 반도체 층과 중첩되는 경계와 서로 다른 위치에 형성되는, 유기 박막 트랜지스터.

청구항 5

제4항에 있어서

상기 수송자 주입막은 상기 게이트 전극의 양 에지와 중첩되어 섬형상으로 형성되어 있는, 유기 박막 트랜지스터.

청구항 6

제4항에 있어서

상기 수송자 주입막은 니켈산화물(NiOx) 및 몰리브덴산화물(MoOx) 중 하나인 금속 산화막으로 이루어지는, 유기 박막 트랜지스터.

청구항 7

제4항에 있어서

상기 소스 전극 및 드레인 전극 그리고 게이트 전극은, 금(Au), 은(Ag), 니켈(Ni), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), ITO(Indium Tin Oxide), IZO(indium Zinc Oxide) 중의 어느 하나로 이루어지는, 유기 박막 트랜지스터.

청구항 8

제4항에 있어서

상기 유기 반도체층은 펜타센(Pentacene) 및 TIPS 펜타센(TIPS Pentacene) 중 어느 하나로 이루어지는, 유기 박막 트랜지스터.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 유기 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 박막 트랜지스터(Organic Thin Film Transistor : OTFT)는 전도성 고분자 또는 저분자를 이용한 소자 중에서 유기물을 활성층으로 사용하는 소자로서, 유연성, 가공 및 제조의 편의성의 장점으로 인하여 최근에 매트릭스 디스플레이 장치 등에 많이 사용되고 있다.

[0003] 유기 박막 트랜지스터는 일반적으로 하부 기판 상에 금속을 사용하여 형성된 게이트 전극, 게이트 전극을 포함한 상기 하부기판 위에 형성되는 게이트 절연막, 게이트 절연막 상부에 형성되어 있으며 수송자 주입 금속산화막을 포함하는 소스 전극 및 드레인 전극, 그리고 게이트 절연막의 노출 표면 및 소스 전극과 드레인 전극 위에 중첩되어 형성된 유기 반도체 층을 포함한다.

[0004] 이러한 구조로 이루어지는 유기 박막 트랜지스터에서, 수송자 주입을 원활하게 하기 위해 통상적으로 수송자 주입막으로 금속 산화막이 삽입된다. 이는 전극과 유기 반도체 사이에 형성되는 높은 에너지 장벽을 낮추어 박막 트랜지스터의 특성을 향상시키기 위한 것이다.

[0005] 통상적으로 소스 및 드레인 전극으로 납, 은, 금 등의 금속을 사용하기 때문에 소스 및 드레인 전극용 금속을 형성하는 공정이 용이하지 않으며, 인접한 막들간의 접착력이 떨어지는 등의 문제점이 발생하였다.

[0006] 이에 따라 최근에는 소스 및 드레인 전극의 하부막과의 접착력을 향상시키기 위해, 크롬(Cr)과 같은 금속으로 이루어진 접착막을 삽입하여 종래의 납, 은, 금 등의 금속과 하부막간의 접착력을 향상시키고 있다.

[0007] 그러나, 크롬 등의 금속으로 이루어진 접착막을 포함한 소스 및 드레인 전극과 유기 반도체 박막이 직접 접촉하게 되어, 상기 막간의 접촉저항을 증가시키게 된다. 접촉 저항이 증가되면 유기 박막 트랜지스터의 전계 효과 이동도 (field effect mobility)가 낮아지고, 박막 트랜지스터의 출력(output)특성에서 저 전압에서의 전류 비선형성(current clouding) 현상이 발생하게 된다. 이에 따라 크롬과 같은 금속 접착막을 대신하여 니켈산화막(NiOx), 몰리브덴산화막(MoOx) 등의 금속산화막을 포함하는 소스와 드레인 전극을 형성함으로써, 접촉 저항 및 에너지장벽을 감소시켜 유기 박막 트랜지스터의 특성을 향상시키는 기술들이 사용되고 있다.

[0008] 이러한 유기 박막 트랜지스터를 제조하는 경우, 일반적으로 수송자 주입막으로 금속 산화막을 적용한 소스와 드레인 전극의 형성을 하기 위해서는 금속 산화막에 대한 식각 공정과 이후 소스와 드레인 전극 형성을 위한 추가적인 식각 공정이 추가되어야 함으로써 제조 공정이 복잡해지고 제조단가가 상승하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0009] 본 발명이 해결하고자 하는 기술적 과제는 유기 박막 트랜지스터 기판의 제조공정을 단순화하기 위한 것이다.

[0010] 또한 본 발명이 해결하고자 하는 기술적 과제는 출력 특성이 향상된 유기 박막 트랜지스터를 제공하는 것이다.

과제 해결수단

[0011] 이러한 기술적 과제를 달성하기 위한 본 발명의 특징에 따른 유기 박막 트랜지스터의 제조 방법은, 기판 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극 및 기판 위에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 위에 수송자 주입막과, 상기 수송자 주입막 위에 각각 위치하는 소스 전극 및 드레인 전극을 동시에 형성하는 단계; 및 상기 소스 전극 및 드레인 전극 사이에 상기 게이트 전극과 중첩되는 유기 반도체 층을 형성하는 단계를 포함한다. 여기서 상기 수송자 주입막은 상기 게이트 전극의 양 에지와 중첩되어 섬형상으로 형성되어 있을 수 있다.

[0012] 또한 본 발명의 다른 특징에 따른 유기 박막 트랜지스터는, 기판 위에 형성되어 있는 게이트 전극; 상기 게이트 전극을 덮는 형태로 상기 기판 위에 형성되어 있는 게이트 절연막; 상기 게이트 절연막 위에 형성되어 있는 수송자 주입막; 상기 수송자 주입막 위에 각각 형성되어 있는 소스 전극 및 드레인 전극; 그리고 상기 소스 전극과 드레인 전극 사이에 위치되고 상기 게이트 전극과 중첩되어 있는 유기 반도체 층을 포함하며, 상기 소스 전극 및 드레인 전극이 각각 상기 유기 반도체 층과 중첩되는 경계들이, 상기 수송자 주입막과 상기 유기 반도체 층이 중첩되는 경계와는 서로 다른 위치에 형성되어 있다.

효 과

[0013] 이상 설명한 바와 같이, 본 발명에 따르면, 수송자 주입막으로 사용되는 금속 산화막과 소스 및 드레인 전극을 형성하기 위한 금속의 식각 공정이 동시에 수행됨으로써, 제조 공정이 간단해진다. 그 결과 제조 공정 시간이 단축되며 제조 비용 또한 절감할 수 있다.

[0014] 또한 간단한 제조 공정을 통하여 계단 구조의 금속 산화막과 소스 및 드레인 전극이 형성됨으로써, 소스 및 드레인 전극과 유기 반도체간의 접촉 저항을 감소시킬 수 있다. 따라서 이들 사이에 형성되는 에너지 장벽을 감소시켜 수송자 주입을 원활하게 할 수 있다. 그 결과 보다 특성이 향상된 유기 박막 트랜지스터가 제공된다.

발명의 실시를 위한 구체적인 내용

[0015] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시 예에 한정되지 않는다.

[0016] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0017] 그러면 도면을 참조하여 본 발명의 실시 예에 따른 유기 박막 트랜지스터에 대해서 상세하게 설명한다.

[0018] 도 1은 본 발명의 실시 예에 따른 유기 박막 트랜지스터의 구조도이다.

[0019] 첨부한 도 1에 도시되어 있듯이, 본 발명의 실시 예에 따른 유기 박막 트랜지스터는, 기판 위에 형성되어 있는 게이트 전극(20), 게이트 전극(20) 및 기판(10) 위에 형성되어 있는 게이트 절연막(30), 게이트 절연막(30) 위에 형성되어 있는 수송자 주입막(40a, 40b), 수송자 주입막 위에 형성되어 있는 소스 전극(50a), 수송자 주입막 위에 형성되어 있는 드레인 전극(50b), 그리고, 소스 전극 및 드레인 전극(50a, 50b) 위에 형성되어 있는 유기 반도체층(60)을 포함한다.

- [0020] 게이트 전극(20)은 금(Au), 은(Ag), 니켈(Ni), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), ITO(Indium Tin Oxide), IZO(indium Zinc Oxide) 등의 범용 금속 또는 전도성 산화막으로 이루어질 수 있다.
- [0021] 게이트 절연막(30)은 게이트 전극(20)을 덮는 형태로 기판(10) 위에 형성되어 있다. 이러한 게이트 절연막은 실리콘 산화막(SiO_x) 또는 실리콘 질화물(SiN_x) 등의 무기 절연 물질로 이루어지거나, 아크릴 계 물질, 폴리이미드와 같은 유기 절연 물질로 이루어질 수 있다.
- [0022] 수송자 주입막(40a, 40b)은 금속 산화막(Metal Oxide)이며, 예를 들어, 몰리브덴산화막(MoO_x) 또는 니켈산화막(NiO_x) 등으로 이루어질 수 있다. 이러한 수송자 주입막(40a, 40b)은 게이트 전극(20)의 양 에지(edge)와 중첩되어 섬형상으로 형성된다.
- [0023] 소스 전극 및 드레인 전극(50a, 50b)은 수송자 주입막(40a, 40b) 위에 서로 떨어져서 섬 형상으로 형성되며, 예를 들어, 금(Au), 은(Ag), 니켈(Ni), 구리(Cu), 알루미늄(Al), 몰리브덴(Mo), ITO(Indium Tin Oxide), IZO(indium Zinc Oxide) 등의 금속 물질 또는 전도성 산화막 중에서 하나로 이루어질 수 있다.
- [0024] 유기 반도체층(60)은 펜타센(Pentacene) 및 TIPS 펜타센(TIPS Pentacene) 중 하나로 이루어질 수 있다.
- [0025] 이러한 구조를 가지는 본 발명의 실시 예에 따른 유기 박막 트랜지스터는 첨부한 도 1에서와 같이, 소스 전극 및 드레인 전극(50a, 50b)과 수송자 주입막(40a, 40b)이 서로 계단 구조로 형성된다. 즉, 소스 전극 및 드레인 전극(50a, 50b)이 각각 유기 반도체층(60)과 중첩되는 경계와 수송자 주입막(40a, 40b)이 유기 반도체층(60)과 중첩되는 경계가 서로 다른 위치에 형성되어, 마치 계단과 같은 구조가 형성된다.
- [0026] 특히, 본 발명의 실시 예에서는 이와 같은 계단 구조를 형성하는 소스 전극 및 드레인 전극(50a, 50b)과 수송자 주입막(40a, 40b)은 한번의 동일한 식각 공정을 통해 형성된다. 이와 같이 형성되는 소스 전극(50a)은 수송자 주입막(40a, 40b)과 적층되어 이중막으로 형성되며, 드레인 전극(50b) 또한 수송자 주입막(40a, 40b)과 적층되어 이중막으로 형성된다.
- [0027] 다음에는 도 1 및 도 2A 내지 도 2D를 참조하여 본 발명의 실시 예에 따른 유기 박막 트랜지스터를 제조하는 방법에 대하여 설명한다.
- [0028] 도 2A 내지 도 2D는 본 발명의 실시 예에 따른 유기 박막 트랜지스터 제조 방법을 나타낸 단면도이다.
- [0029] 먼저, 도 2A에 도시된 바와 같이, 기판(10) 위에 알루미늄(Al), 몰리브덴(Mo), ITO(indium Zinc Oxide) 등의 범용 금속 또는 전도성 산화막 중 하나로 이루어지는 금속막을 증착하고 포토 식각 공정을 수행하여 게이트 전극(20)을 형성한다. 구체적으로, 금속막 상에 포토 레지스트(Photo resist)(도시하지 않음)를 도포하고, 상기 포토 레지스트 상부에 소정의 패턴이 형성된 포토 마스크를 정렬한 후, 광선을 조사하여 노광하고 그 이후에 현상하여 포토 레지스트를 패터닝한다. 이어서, 패터닝된 포토 레지스트를 마스크로 사용하여 게이트 전극(20)을 위한 금속막을 선택적으로 식각하여 게이트 전극(20)을 형성하고, 상기 포토레지스트를 제거한다.
- [0030] 이와 같이 게이트 전극(20)이 형성된 다음, 기판(10) 및 게이트 전극(20)의 위에 유기 절연 물질을 도포하여 게이트 절연막(30)을 형성한다. 여기서는 유기 절연 물질을 사용하여 게이트 절연막을 형성하지만, 본 발명은 이것에 한정되지 않는다.
- [0031] 다음 도 2B에서와 같이, 수송자 주입막(40a, 40b)을 형성하기 위한 금속 산화막(40)을 게이트 절연막(30) 위에 증착한다. 금속 산화막(40)은 몰리브덴산화막(MoO_x), 니켈산화막(NiO_x) 등의 물질 중에서 하나로 이루어진다. 그리고 도 2C에 도시된 바와 같이, 소스 전극(50a) 및 드레인 전극(50b)을 형성하기 위한 금속막(50)을 금속 산화막(40) 위에 증착한다. 여기서 금속막(50)은 금(Au), 은(Ag), 몰리브덴(Mo), ITO(Indium Tin Oxide), IZO(indium Zinc Oxide) 등의 금속물질 또는 전도성 산화막 중에서 하나로 이루어진다.
- [0032] 위에 기술된 바와 같이 수송자 주입막(40a, 40b)과 소스 및 드레인 전극(50a, 50b)의 형성을 위한 금속 산화막(40) 및 금속막(50)을 각각 증착한 다음에, 첨부한 도 2D에 도시되어 있듯이, 하나의 포토 마스크를 이용하여 동일한 습식 식각 조건하에서 금속막(50) 및 금속 산화막(40)을 동시에 패터닝하여 소스 및 드레인 전극(50a, 50b) 그리고 수송자 주입막(40a, 40b)을 형성한다.
- [0033] 이때, 수송자 주입을 위한 금속 산화막(40)과 소스 및 드레인 전극을 위한 금속막(50)의 이중막이 동시에 식각되는데, 금속 산화막(40)과 금속막(50)간의 식각 속도 차이에 의해서 계단 구조가 형성된다. 일반적으로 습식 식각 공정은 반응된 화학 물질이 식각 시키고자 하는 물질 표면으로 공급되고, 표면에서 화학반응이 일어난 후 생성물질이 떨어져 나오면서 모형(pattern)이 형성되게 된다. 즉, 동일한 습식 식각 조건하에서 범용 금속막

(50)과 금속 산화막(40)의 결정상태 및 구성원소의 차이로 인하여 식각 속도 차이를 가지게 되며, 이러한 식각 속도는 회석을 통한 화학물질의 농도 등을 통하여 수송자 주입막(40a, 40b)을 포함하는 소스 및 드레인 전극(50a, 50b)의 계단 구조의 돌출면적을 조절할 수 있으며, 금속 산화막(40)과 범용 금속막(50)의 두께 비율에 따라서도 돌출면적을 조절할 수 있다.

[0034] 이에 따라, 게이트 전극(20)과 중첩되는 수송자 주입막(40a, 40b)이 형성되면서, 수송자 주입막(40a, 40b)과 계단 구조를 이루는 소스 전극(50a) 및 드레인 전극(50b)이 형성된다.

[0035] 다음, 도 2D에 도시된 바와 같이, 펜타센 이나 TIPS 펜타센 등의 유기 반도체 물질을 소스 전극(50a) 및 드레인 전극(50b) 그리고 노출되어 있는 게이트 절연막(30) 위에 진공 증착법으로 증착하거나 도포한다. 그리고 사용된 유기 반도체 물질에 따라 포토 식각 방법이나 잉크젯 공정을 통하여 패터닝을 수행하여, 소스 전극(50a) 및 드레인 전극(50b) 사이에 위치되면서 게이트 전극(20)과 중첩되는 유기 반도체층(60)을 형성한다.

[0036] 위에 기술된 바와 같은 다수의 공정을 통하여 도 1에 도시된 바와 같은 구조를 가지는, 본 발명의 실시 예에 따른 유기 박막 트랜지스터가 제조된다.

[0037] 이러한 본 발명의 실시 예에 따르면, 수송자 주입막과 소스 및 드레인 전극을 패터닝하기 위한 포토 식각 공정을 한번에 수행함으로써, 유기 박막 트랜지스터의 제조공정을 단순화하고 생산단가를 낮출 수 있다.

[0038] 이상에서 본 발명의 바람직한 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당 업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

[0039] 도 1은 본 발명의 실시 예에 따른 유기 박막 트랜지스터의 구조를 나타낸 단면도이다.

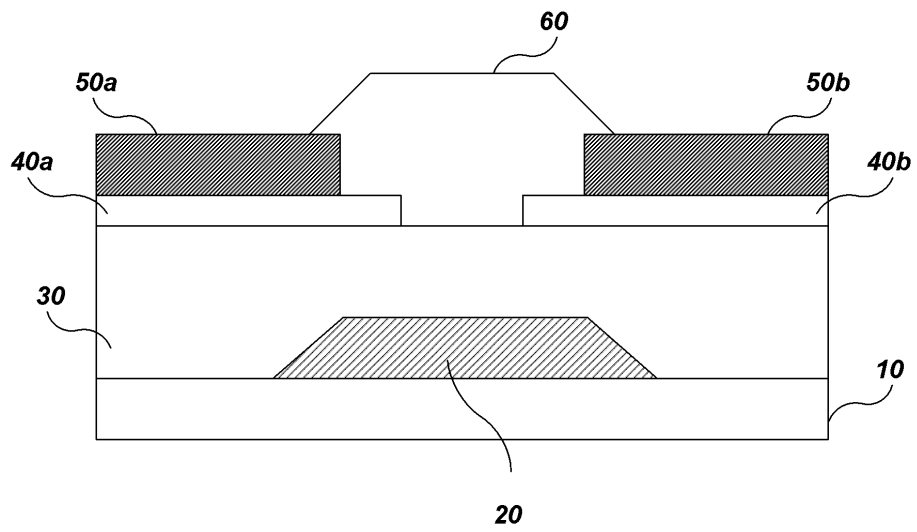
[0040] 도 2a 내지 도 2D는 본 발명의 실시 예에 따른 유기 박막 트랜지스터를 제조하는 방법을 나타낸 단면도이다.

[0041] <도면 부호의 설명>

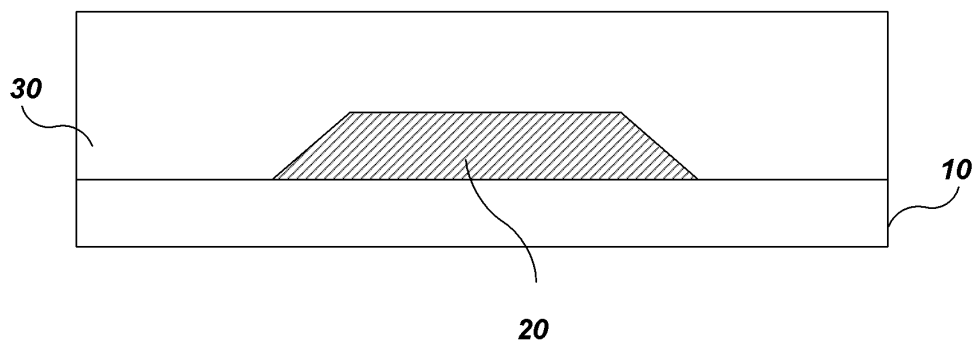
[0042]	10 : 기판	20 : 게이트 전극
[0043]	30 : 게이트 절연막	40 : 금속 산화막
[0044]	40a, 40b: 수송자 주입막	50 : 금속막
[0045]	50a : 소스 전극	50b : 드레인 전극
[0046]	60 : 유기 반도체층	

도면

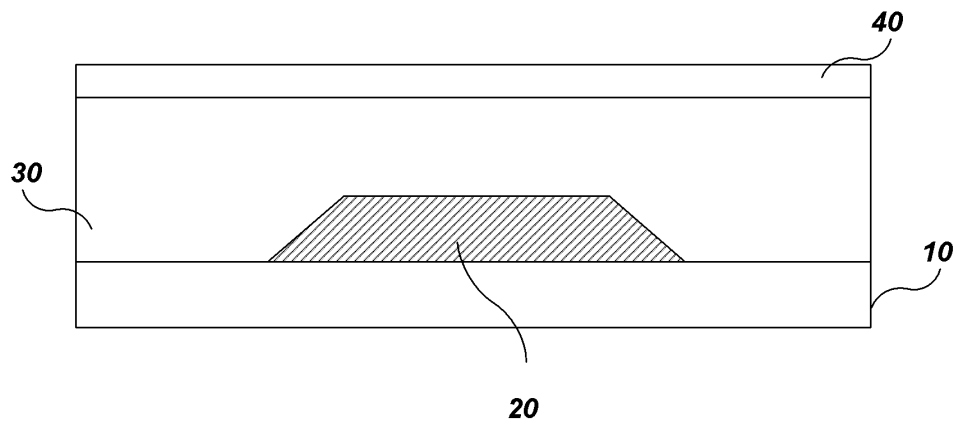
도면1



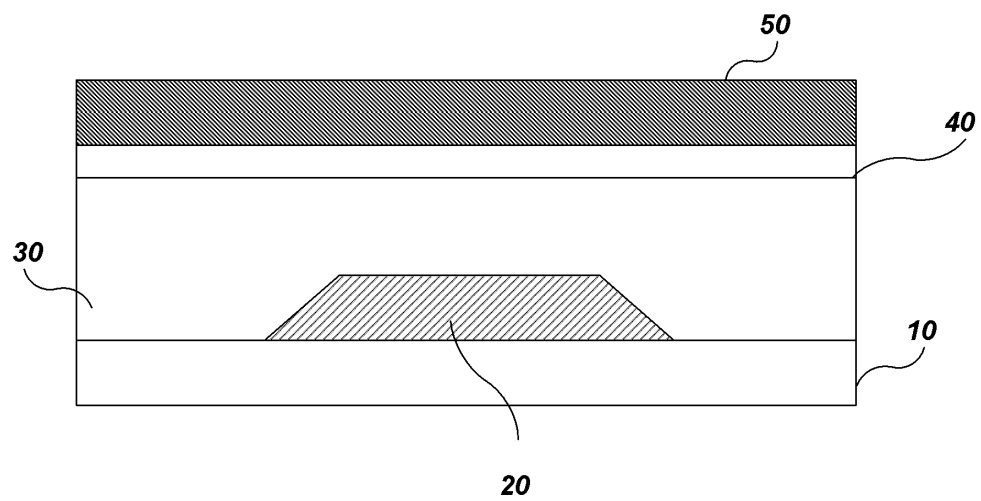
도면2a



도면2b



도면2c



도면2d

