(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G11C 11/407

(45) 공고일자 2001년11월16일
(11) 등록번호 10-0313776
(24) 등록일자 2001년10월24일

(21) 출원번호 10-2000-0078276
(22) 출원일자 2000년12월19일
(62) 원출원 특허특1993-0027619
원출원일자 : 1993년12월14일

(65) 공개번호 특0000-0000000
(43) 공개일자 0000년00월00일
심사청구일자 1998년06월17일

(30) 우선권주장
4-349645 1992년12월28일 일본(JP)
4-349646 1992년12월28일 일본(JP)
4-359742 1992년12월28일 일본(JP)

(73) 특허권자
오끼 덴끼 고오교 가부시끼가이샤
사와무라 시코
일본 도쿄도 미나토쿠 도라노몬 1쵸메 7반 12고

(72) 발명자
타노이사토루
일본국도오교도미나도꾸도라노몽1쪼메7방12고오오끼덴끼고오교가부시끼가이샤나이

(74) 대리인
이화익

심사관 : 장현숙

(54) 메모리회로

요약

본 발명은 다이내믹、랜덤、액세스、메모리(이하, DRAM이라 한다.) 스태틱 RAM(이하, SRAM이라 한다.)등의 메모리회로에 있어서, 데이터선등에 접속되어 고속인 판독을 가능으로 하는 전류차동형등의 센스회로 및 이와같은 센스회로를 복수 포함하는 메모리회로를 구비한다.

대표도

도 16

명세서

도면의 간단한 설명

제1도는 본 발명의 제1의 실시예를 표시하는 부성저항회로의 회로도.

제2도는 종래의 부성저항회로의 회로도.

제3도는 종래의 센스회로의 회로도.

제4도는 제3도의 입출력전압 특성도.

제5도는 종래의 센스회로를 포함하는 메모리회로의 요부회로도.

제6도는 제5도의 회로1과 회로2의 입출력 특성도.

제7도는 제1도의 동작 설명도.

제8도는 제7도의 노드 X에서의 동작 특성도.

제9도는 제7도의 V_{NGS} = OV 에서의 부성저항회로의 정특성도.

제10도는 제7도의 부성저항회로의 정특성도.

제11도는 본 발명의 제2의 실시예를 표시하는 부성저항회로의 회로도.

제12도는 본 발명의 제3의 실시예를 표시하는 부성저항회로의 회로도.

제13도는 본 발명의 제4의 실시예를 표시하는 슈미트 트리거 회로의 회로도.

제14도는 제13도의 출력단자 OUT의 동작 특성도.

제15도는 제13도의 입출력 전압 특성도.

제16도는 본 발명의 제5의 실시예를 표시한 센스회로의 회로도.

제17도는 제16도의 입출력전압 특성도.

제18도는 본 발명의 제6의 실시예를 표시한 메모리회로의 요부 회로도.

제19도는 본 발명의 제7의 실시예를 표시한 센스회로의 회로도.

제20도는 제19도의 출력단자 OUT의 동작 특성도.

제21도는 본 발명의 제8의 실시예를 표시한 센스회로의 회로도.

제22도는 본 발명의 제9의 실시예를 표시한 회로의 회로도.

제23도는 저항수단의 다른 회로도.

제24도는 본 발명의 제10의 실시예를 표시한 센스회로의 회로도.

제25도는 본 발명의 제11의 실시예를 표시하는 센스회로의 회로도.

제26는 제25도의 회로1 및 회로2의 입출력 특성도.

제27도는 본 발명의 제12의 실시예를 표시하는 센스회로의 회로도.

제28도는 본 발명의 제13의 실시예를 표시하는 센스회로의 회로도.

제29도는 제28도의 데이터선 부하회로 1100A의 특성도.

제30도는 본 발명의 제14의 실시예를 표시하는 센스회로의 회로도.

제31도는 제30도의 증폭회로 1400의 동작특성도.

제32도는 본 발명의 제15의 실시예를 표시하는 센스회로의 회로도.

제33도는 제32도의 반전앰프 1300B의 동작특성도.

제34도는 제32도의 반전앰프 1300B의 동작설명도.

제35도는 제34도의 회로1 및 회로2의 입출력특성도.

제36도는 본 발명의 제16의 실시예를 표시하는 센스회로의 회로도.

제37도는 제30도의 증폭회로 1400의 변형회로를 표시하는 회로도.

제38도는 제37도의 등가회로도.

* 도면의 주요부분에 대한 부호설명

10: 부성저항회로

11: NMOS(제1의 MOS트랜지스터)

12,13: PMOS(제2, 제3의 MOS트랜지스터)

14: 스위치수단

15: PMOS(제1의 스위치수단)

16: NMOS(제2의 스위치수단) 20:PMOS

D: 제2의 입출력단자 G: 제어단자

IN: 입력단자 OUT: 출력단자

S: 제1의 입출력단자 V_{DD} : 제2의 기준전위단자

V_{SS} : 제1의 기준전위단자

100: 센스회로

110,110A,110B,110C,110D: 제1의 회로부분

111,121: 데이터선 부하 111-1,121-1: 부하용 PMOS

112,122: 제1, 제2의 디프레션형 PMOS

113,131: 제1의 저항수단

114,124: NMOS(제1, 제2의 스위치수단)

115,115-1,115-2: 제1의 부성저항회로

115a: PMOS(제1의 MOS트랜지스터)

115b,115c: NMOS(제2, 제3의 MOS트랜지스터)

120,120A,120B,120C,120D: 제2의 회로부분

123,132: 제2의 저항수단

125,125-1,125-2: 제2의 부성저항회로

125a: PMOS(제1의 MOS트랜지스터)

125b,125c: NMOS(제2, 제3의 MOS트랜지스터)

133: PMOS(스위치수단) GND : 그라운드

IN,INB: 제1, 제2의 입력단자

OUT,OUTB: 제1, 제2의 출력단자

TS,TD: 제1, 제2의 입출력단자

TG: 제어단자 TX,TY: 단자

V_{CC} : 전원전압

1100,1100A: 데이터선 부하회로

1101: PMOS 1102: 레벨 시프터

1200: 전류전압 변환회로 1201: PMOS

1210: 저항수단 1211: NMOS

1300,1300A,1300B : 반전앰프 1301: 디프레션형 PMOS

1310: 저항수단 1311: NMOS

1320: 부성저항회로 1321: PMOS

1322,1323: NMOS 1400,1400A: 증폭회로

1401: 디프레이션형 PMOS 1402: NMOS

1410: 커런트 미러회로 1411,1412: NMOS

1420,1440 : 부성저항회로 1421,1441: PMOS

1422,1423,1442,1443: NMOS

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다이내믹、랜덤、액세스、메모리(이하, DRAM이라 한다.) 스태틱 RAM(이하, SRAM이라 한다.)등의 메모리회로에 있어서, 데이터선등에 접속되어 고속인 판독을 가능으로 하는 전류차동형등의 센스회로 및 이와같은 센스회로를 복수 포함하는 메모리회로에 관한 것이다.

종래 센스회로에 대한 문헌으로는 다음과 같은 것이 있다.

문헌 : IEEE 저널 오브 솔리드 스테이트 서킷(IEEE JOURNAL OF SOLID-STATE CIRCUITS),26[4] (1991-4) Evert Seevinck.etc.

'Current Mode Techniques for High-Speed VLSI Circuits with Application to Current Sense Anplifier for CMOS SRAM's' P. 525-536.

제3도는 상기 문헌에 기재된 종래의 전류차동형 센스회로의 일구성예를 표시하는 회로도이다.

이 센스회로는 동일 구성의 제1의 회로부분 10B과 제2의 회로부분 20B과로 구성되어 있다.

제1의 회로부분 10B은 데이터선에 접속된 제1의 입력단자 IN 및 제1의 출력단자 OUT를 가지고 해당 입력단자 IN가 데이터선 부하 11B를 통하여 전원전압 V_{CC} 에 접속되어 있다.

제1의 입력단자 IN와 제1의 출력단자 OUT와의 사이에는 2개의 P채널형 MOS트랜지스터(이하, PMOS라 한다.) 12B, 13B이 직열 접속되어 더욱 그의 출력단자 OUT가 제1의 저항수단 14을 통하여 그라운드 GND에 접속되어 있다.

제2의 회로부분 20B은 제1의 회로부분 10B과 동일하게 데이터선에 접속된 제2의 입력단자 INB및 제2의 출력단자 OUTB를 가지고, 해당 입력단자 INB가 데이터선 부하 21를 통하여 전원전압 V_{CC} 에 접속되어 있다.

제2의 입력단자 INB와 제2의 출력단자 OUTB와의 사이에는 2개의 PMOS 22B,23B가 직열 접속되어 더욱 해당 출력단자 OUTB가 제2의 저항수단 24B을 통하여 GND에 접속되어 있다.

제1의 회로부분 10B내의 PMOS 12와 제2의 회로부분 20B내의 PMOS 22B는 그의 게이트와 드레인이 서로 교차 접속되어 있다.

또 PMOS 13B와 PMOS 23B의 게이트는 단자 Y에 공통 접속되어 있다.

역시 제2도의 회로에는 그의 동작시에 제1, 제2의 입력단자 IN, INB가 전원전압 V_{CC} 가까이에 바이어스됨과 함께 PMOS 12B,13B, 22B,23B가 모두 포화상태로 되도록 설계되어 있다.

다음에 동작을 설명한다.

단자 Y가 'L'레벨로 되면 PMOS 13B,23B가 온상태로 되어 데이터선에 접속된 입력단자 IN, INB에 흐르는 미소 전류차로 PMOS 12B 또는 22B의 어느 한쪽이 온상태, 다른 쪽이 오프상태로 되어 해당 미소전류차가 검출된다.

그리고, 이 미소 전류차가 증폭되어 제1, 제2의 출력단자 OUT, OUTB에 있어서 큰 전위차로서 얻어진다.

이 종류의 센스회로에는 입력단자 IN 및 INB의 전위차 (데이터선 전압진폭에 상당한다.)를 극히 작게 억제하여 고속인 판독이 가능하다.

발명이 이루고자 하는 기술적 과제

그렇지만 종래의 센스회로에는 (a)동작의 안정한 것이 용이하게 얻어지지 않는다는 문제와 (b)전원전압 V_{CC} 이 낮으면 충분한 동작마진 및 속도가 얻어지지 않는다는 문제(즉, 저전원전압동작에 있어서 불리하다.)가 있어 이하 그의 문제를 설명한다.

(a). 동작의 안정성의 문제

종래의 센스회로에는 PMOS 12B,22B의 게이트와 드레인이 서로 교차 접속되어 있음으로(즉, 래치회로의 일부가 포함되어 있음으로) 회로에 정귀환이 걸리기 쉽고, 회로가 래치 동작에 들어가 출력상태를 입력과 무관계로 유지하여 버리든지 혹은 발진하는등 동작이 불안정으로 되기 쉬었다.

제4도 (a),(b)는 이와 같은 회로의 동작 안정성을 판정하기 위한 입출력전압 특성도이다.

제4도 (a),(b)의 종축은 제1의 회로부분 10의 출력전위 V_{01} 및 제2의 회로부분 20의 입력전위 V_{I2} 이고, 횡축은 제1의 회로부분 10B의 입력전위 V_{I1} 및 제2의 회로부분 20의 출력전위 V_{02} 이다.

도면중의 곡선 C_1 은 제1의 회로부분 10B에 있어서 PMOS 12B의 게이트를 입력으로 하고, 드레인을 출력으로 간주한 입출력전압 특성곡선이다.

곡선 C_2 은 제2의 회로부분 20B에 있어서, PMOS 22B의 게이트를 입력으로 하고 드레인을 출력으로 간주한 입출력전압 특성곡선이다.

역시 입력단자 IN 및 INB는 동전위에 적의 바이어스 되어있는 것으로 한다.

제4도 (a)에 표시함과 같이 곡선 C_1 과 곡선 C_2 가 다만 하나의 동작점(교점)P을 갖일 때, 회로는 안정 동작한다.

그런데 종래의 센스회로에는 전 영역에서 곡선 C_1 과 곡선 C_2 는 근접하고 있음으로 사소한 노이즈나 제조 흐트러짐에 의하여 제4도 (b)와 같이 복수의 동작점 $_1$,P_2 ,P_3 이 발생하고 센스회로가 래치 동작에 들어가든지 발진하든지 하는 염려가 있다.

이와같이 종래의 센스회로에는 서로 게이트와 드레인이 교차 접속된 2개의 PMOS 12B,22B를 포함하기 때문에 동작의 안정한 것이 얻어지지 않었다.

(b). 저전원전압동작에 있어서 불리라고 하는 문제

종래의 센스회로에는 저항수단 14B,24B에 가하여 포화상태에 있는 적어도 2개의 PMOS 12B와 13B, 22B와 23B이 각각 직열 접속되어 있음으로 입력단자 IN, INB에는 적어도 $V_R + V_{TP} + V_{TPa}$ (단, V_R: 각 저항수단 14B,24B의 전압강하분, V_{TP} : PMOS의 스레숄드 전압, V_{TPa} : 백바이어스 효과를 포함하는 PMOS의 스레숄드 전압)만큼 전압을 인가할 필요가 있다.

그 때문에 전원전압 V_{CC} 이 낮으면 충분한 동작마진 및 동작속도가 얻어지지 않았다.

본 발명의 목적은 상기 종래 기술이 가지고 있든 과제로서 동작의 안정한 것이 용이하게 얻어지지 않는 점 및 저전원전압 동작에 있어서 분리 등이라고 한 점에 관하여 해결한 센스회로 및 이것을 사용한 메모리회로를 제공하는 것이다.

즉 본 발명의 다른 목적은 저전원 전압동작에 우수하여 동작의 안정성에 우수한 센스회로를 제공한다.

본 발명의 또다른 목적은 저전원 전압동작에 우수하여 다이내믹 레인지의 넓은 센스회로를 제공한다.

본 발명의 다른 목적은 저전원 전압동작에 우수하여 동작의 안정성에 우수하여 다이내믹 레인지가 넓게 소자수의 적은 센스회로를 제공한다.

본 발명의 다른 목적은 제조공정수가 적고 게인이 크고 저전원 전압동작 및 동작의 안정성에 우수한 센스회로를 제공한다.

본 발명의 또다른 목적은 안정성에 우수하여 다이내믹 레인지의 넓은 센스회로를 제공한다.

발명의 구성 및 작용

제1의 발명에는 상기 과제를 해결하기 위하여 제1의 입력단자 및 제1의 출력단자를 가지는 제1의 회로부분과 제2의 입력단자 및 제2의 출력단자를 가지고 상기 제1의 회로부분과 동일 구성의 제2의 회로부분과를 구비하여 상기 제1 및 제2의 입력단자의 입력신호차를 검지, 증폭하여 그것을 상기 제1 및 제2의 출력단자에서 출력하는 센스회로에 있어서 상기 제1 및 제2의 회로부분을 다음과 같이 구성하고 있다.

즉 상기 제1의 회로부분은 제1의 디프레션형 MOS트랜지스터와 상기 제1의 출력단자와 기준전위(예컨데 GND)과의 사이에 접속된 제1의 저항수단과를 구비하고 있다.

제1의 디프레션형 MOS트랜지스터는 소스가 상기 제1의 입력단자에, 드레인이 직접 또는 제1의 스위치수단을 통하여 상기 제1의 출력단자에 게이트가 상기 제2의 출력단자에 각각 접속되어 있다.

상기 제2의 회로부분은 제2의 디프레션형 MOS트랜지스터와 상기 제2의 출력단자와 상기 기준전위과의 사이에 접속된 제2의 저항수단과를 구비하고 있다.

제2의 디프레션형 MOS트랜지스터는 소스가 상기 제2의 입력단자에, 드레인이 직접 또는 제2의 스위치수단을 통하여 상기 제2의 출력단자에 게이트가 상기 제1의 입력단자에 각각 접속되어 있다.

제2의 발명에는 제1 및 제2의 입력단자와 제1 및 제2의 출력단자를 가지는 복수의 센스회로를 가지는 판독회로를 구비하고 상기 판독회로로 판독된 데이터를 제1 및 제2의 데이터버스에 출력하는 메모리회로에 있어서, 상기 각 센스회로의 제1 및 제2의 출력단자는 상기 제1 및 제2의 데이터버스에 각각 접속되어 와이어드 논리가 구성되어 상기 제1의 데이터버스가 제1의 저항수단을 통하여 기준전위에 접속되어 상기 제2의 데이터버스가 제2의 저항수단을 통하여 상기 기준전위에 접속되어 더욱 상기 각 센스회로가 다음과 같이 구성되어 있다.

즉, 상기 각 센스회로는 소스가 상기 제1의 입력단자에 게이트가 상기 제2의 입력단자에 각각 접속된 제1의 디프레션형 MOS트랜지스터와 소스가 상기 제2의 입력단자에 게이트가 상기 제1의 입력단자에 각각 접속된 제2의 디프레션형 MOS트랜지스터와 상기 제1의 디프레션형 MOS트랜지스터의 드레인과 상기 제1의 출력단자과의 사이에 직열 접속된 제1의 스위치수단과 상기 제2의 디프레션형 MOS트랜지스터의 드레인과 상기 제2의 출력단자과의 사이에 직열 접속된 제2의 스위치수단과를 구비하고 있다.

제3의 발명에는 제1의 발명의 제1 및 제2의 회로부분을 다음과 같이 구성하고 있다.

즉, 상기 제1의 회로부분은 제1의 입출력단자가 상기 제1의 입력단자에 제2의 입출력단자가 직접 또는 제1의 스위치수단을 통하여 상기 제1의 출력단자에 제어단자가 상기 제2의 입력단자에 각각 접속된 제1의 부성저항회로와 상기 제1의 출력단자와 기준전위과의 사이에 접속된 제1의 저항수단과를 구비하고 있다.

더욱, 상기 제2의 회로부분은 제1의 입출력단자가 상기 제2의 입력단자에 제2의 입출력단자가 직접 또는 제2의 스위치수단을 통하여 상기 제2의 출력단자에 제어단자가 상기 제1의 입력단자에 각각 접속된 제2의 부성저항회로와 상기 제2의 출력단자와 상기 기준전위과의 사이에 접속된 제2의 저항수단과를 구비하고 있다.

제4의 발명에는 제3의 발명의 제1, 제2의 부성저항회로를 상기 제1과 제2의 입출력단자간에 직열 접속된 제1전도형의 제1의 MOS트랜지스터와 드레인이 제1의 기준전위에 게이트가 상기 제어단자에 소스가 상기 제1의 MOS트랜지스터의 게이트에 각각 접속된 제2전도형의 제2의 MOS트랜지스터와 드레인이 상기 제2의 MOS트랜지스터의 소스에, 게이트가 상기 제2의 입출력단자에 소스가 제2의 기준전위에 각각 접속된 제2전도형의 제3의 MOS트랜지스터과로 각각 구성하고 있다.

제5의 발명에는 제1 또는 제3의 발명의 저항수단은 직열로 접속된 저항소자와 스위치수단과를 포함하고 있다.

제6의 발명에는 제5의 발명의 저항소자를 게이트와 드레인이 접속된 MOS트랜지스터로 구성하고 있다.

제7의 발명에는 제2의 발명의 각 센스회로를 다음과 같이 구성하고 있다.

즉 상기 각 센스회로는 제1 및 제2의 입출력단자 중, 제1의 입출력단자가 상기 제1의 입력단자에 제어단자가 상기 제2의 입력단자에 각각 접속된 제1의 부성저항회로와 제1 및 제2의 입출력단자 중, 제1의 입출력단자가 상기 제2의 입력단자에 제어단자가 상기 제1의 입력단자에 각각 접속된 제2의 부성저항회로와 상기 제1의 부성저항회로의 제2의 입출력단자와 상기 제1의 출력단자과의 사이에 직열 접속된 제1의 스위치수단과 상기 제2의 부성저항회로의 제2의 입출력단자와 상기 제2의 출력단자과의 사이에 직열 접속된 제2의 스위치수단과를 구비하고 있다.

제8의 발명에는 제7의 발명의 제1, 제2의 부성저항회로를 상기 제1과 제2의 입출력단자간에 접속된 제1전도형의 제1의 MOS트랜지스터와 드레인이 제1의 기준전위에, 게이트가 상기 제어단자에, 소스가 상기 제1의 MOS트랜지스터의 게이트에, 각각 접속된 제2전도형의 제2의 MOS트랜지스터와 드레인이 상기 제2의 MOS트랜지스터의 소스에, 게이트가 상기 제2의 입출력단자에, 소스가 제2의 기준전위에 각각 접속된 제2전도형의 제3의 MOS트랜지스터과로 각각 구성하고 있다.

제1의 발명에 의하면 이상과 같이 센스회로를 구성한 것으로, 제1의 회로부분과 제2의 회로부분과는 서로 소스 폴로우어 회로로서 동작하고 래치동작에 들어가든지 혹은 발진하든지 하는것 없이 안정한 동작이 가능으로 된다.

포화상태에 있는 1개의 디프레션형 MOS트랜지스터와 저항수단과는 입력단자와 기준전위과의 사이에 직열 접속되어 미소한 입력전류차를 검출하여 큰 전위차 출력을 얻는다.

더욱 입력전위차를 작게 억제하는 것이 된다.

이것에 의해 동작의 안정성에 우수하여 저전원 전압동작에 우수하여 더욱 소자수의 적은 센스회로를 제공된다.

제2의 발명에 의하면, 각 센스회로내의 제1과 제2의 회로부분이 서로 소스 폴로우어 회로로서 동작하기 때문에 제1의 발명과 동일하게 동작이 안정하고 더욱 저전원전압동작이 가능으로 된다.

더구나 스위치수단은 대기상태에서 동작상태로 빨리 천이가능으로 시킨다.

제3의 발명에 의하면, 제1 및 제2의 부성저항회로가 X상으로 접속되어 있음으로 제1과 제2의 회로부분이 서로 소스 폴로우어 회로로서 동작한다.

더욱 입력단자와 기준전위과의 사이에 직열 접속된 부성저항회로와 저항수단은 미소한 입력전류차를 검출하여 큰 전위차 출력을 얻는 센스동작을 행하고 더욱 입력전위차를 작게 억제하는 것이 됨으로 저전원전압동작이 우수하다.

제4의 발명에 의하면 제1, 제2의 부성저항회로는 제1, 제2, 제3의 MOS트랜지스터로 각각 구성되어 있음으로 각 부성저항회로에 있어서 제어단자의 전위와 제1 및 제2의 입출력단자간을 흐르는 전류과의 관계가 디프레션형 MOS트랜지스터에 유사한 관계로 된다.

그 때문에 제1과 제2의 회로부분이 서로 소스 폴로우어 회로로서 동작함으로 동작이 안정한다.

또 각 부성저항회로의 제1의 입출력단자와 제2의 입출력단자과의 사이에는 부성(미분)저항 특성이 얻어져, 이 제1과 제2의 입출력단자간을 흐르는 전류가 증가하면 그의 입출력단자간의 저항이 작게 된다.

그 때문에 저항수단에 생기는 전압강하분이 증대하고 센스회로의 게인이 크게된다.

제5 및 제6의 발명에 의하면, 저항수단에 있어서 스위치수단을 온, 오프하여 대기시의 소비전류를 저감된다.

제7의 발명에 의하면 제1과 제2의 부성저항회로가 X상으로 접속되어 있음으로 제2의 발명과 동일하게 제1과 제2의 회로부분이 서로 소스 폴로우어 회로로서 동작하고, 동작이 안정하고 더욱 양호한 저전원 전압동작이 행하여진다.

또 스위치수단은 대기상태에서 동작상태로 빨리 천이 가능으로 시킨다.

제8의 발명에 의하면, 제1, 제2의 부성저항회로가 제1, 제2, 제3의 MOS트랜지스터로 각각 구성되어 있음으로 제9의 발명과 동일한 작용으로 된다.

따라서 상기 과제를 해결되는 것이다.

[실시예]

제1의 실시예

제1도는 본 발명의 제1의 실시예를 표시하는 부성저항회로의 회로도이다.

이 부성저항회로에는 제1의 입출력단자 S와 제2의 입출력단자 D과의 사이에 제1전도형의 제1의 MOS트랜지스터(예컨데, 인핸스먼트형 NMOS) 110가 접속되어 더욱 제1의 기준전위단자 V_{SS} 와 제2의 기준전위단자 V_{DD} 과의 사이에 제2전도형의 제2 및 제3의 MOS트랜지스터(예컨데, 인핸스먼트형 PMOS) 120,130가 직열형태로 접속되어 있다.

즉, NMOS 110는 소스가 제1의 입출력단자 S에 게이트가 노드 X에, 드레인이 제2의 입출력단자 D에 각각 접속되어 있다.

PMOS 120는 드레인이 제1의 기준전위단자 V_{SS} 에 게이트가 제어단자 G에 소스가 노드 X에 각각 접속되어 있다.

PMOS 130는 드레인이 노드 X에 게이트가 제2의 입출력단자 D에, 소스가 제2의 기준전위단자 V_{DD} 에 각각 접속되어 있다.

이와 같은 구성에 의해, 제1의 출력단자 S와 제2의 입출력단자 D과의 사이에 부성저항특성이 얻어진다.

제7도는 제1도에 표시한 부성저항회로의 동작 설명도이고, 이 도면을 참조하면서 제1도의 동작을 설명한다.

제7도는 제1도에 표시한 부성저항회로 100를 일종의 MOS트랜지스터에 보고 정하여 그의 정특성을 설명하는 도면이다.

부성저항회로 100의 입출력단자 D에는 전압원 E_1 의 정극이 제어단자 G에는 전압원 E_2 의 정극이 각각 접속되어 있다.

전압원 E_1 의 부극과 전압원 E_2 의 부극과 부성저항회로 100의 입출력단자 S과가 공통으로 접속되어서 접지되어(즉, 전위 OV), 더욱 전압원 E_3 의 정극이 기준전위단자 V_{DD} 에, 부극이 기준전위단자 V_{SS} 및 접지단자에 각각 접속되어 있다.

전압원 E_1 의 전압을 V_{NDS} , 전압원 E_2 의 전압을 V_{NGS} , 전압원 E_3 의 전압을 V_{DD} (기준전위단자 V_{DD} 의 전위에서 기준전위단자 V_{SS} 의 전위를 공제한 것으로, 여기에는 기준전위단자 V_{SS} 의 전위가 OV임으로 기준전위단자 V_{DD} 의 전위와 동등하다.)로 한다.

역시 부성저항회로 100의 내부구성은 제1도의 것과 동일하다.

우선, 제8도를 참조하면서 V_{NGS} = OV인 때의 동작을 설명한다.

제8도는 제7도의 노드 X의 동작을 표시하는 동작 특성도이고, 종축이 제7도의 PMOS 12,13를 흐르는 전류 I_{BIAS} , 횡축이 노드 X의 전위 V_X 이다.

제8도 중의 곡선 C_{12} 은 PMOS 12의 전류전압 특성곡선, 곡선 C_{13a} 은 V_{NDS} = V_a 에서의 PMOS 13의 전류전압 특성곡선이다.

동일하게 곡선 C_{13B} 은 V_{NDS} = V_b 에서의 곡선 C_{13C} 은 V_{NDS} = V_C 에서의 PMOS 13의 전류전압 특성곡선이다. (단, $V_a < Vb < V c$로 한다.)

또, 제8도 중의 V_{TPa} 는 백 바이어스 효과를 가미한 PMOS 12,13의 스레숄드전압이다.

PMOS 13의 게이트전압 V_{GS13} 은 V_{GS13} = V_{DD} - V_{NDS} 로 된다.

그 때문에 전압 V_{NDS} 이 크게 되면, PMOS 13를 흐르는 전류가 작게되어 전압 V_{NDS} 의 각 전압치(V_a,V_b,V_c) 마다의 PMOS 13의 특성곡선 C_{13a} ,C_{13b} ,C_{13c} 은 제8도와 같이 된다.

따라서 V_{NDS} = V_a 에서의 노드 X의 동작점은 제8도중의 점 Q_A 이고, 이때 V_X = V_A 로 된다.

V_{NDS} = V_b 에서의 노드 X의 동작점은 제8도중의 점 Q_B 이고, 이때 V_X = V_B 로 된다.

V_{NDS} = V_C 에서의 노드 X의 동작점은 제8도중의 점 Q_C 이고, 이때 V_X = V_C 로 되어 V_A V_B V_C 로 된다.

제7도에 있어서는 노드 X의 전위 V_X 는 NMOS 11의 게이트、소스간 전압 V_{GS11} 임으로 전압 V_{NDS} 이 크게 되는데 따라서 전압 V_{GS11} 이 작게 되어 가는 것으로 된다.

제9도는 제7도의 V_{NGS} = OV에서의 부성저항회로 10의 정특성도이고, 종축이 전류 I_{NDS} , 횡축이 전압 V_{NDS} 이다.

제9도에 있어서, 실선의 곡선 C_{NR} 은 부성저항회로 10의 전류전압 특성곡선이다.

파선의 곡선 C_{11A} 은 $V_{GS11} = V_A$ (즉, $V_{NDS} = V_a$)인 때의 곡선 C_{11B} 은 $V_{GS11} = V_B$ (즉, $V_{NDS} = V_b$)인 때의 곡선 C_{11C} 는 $V_{GS11} = V_C$ (즉, $V_{NDS} = V_C$)인 때의 NMOS 11의 전류전압 특성곡선이다.

제9도에 표시함과 같이 전압 V_{NDS} 이 충분 작게 $V_{NDS} = V_a$ 인 때,

NMOS 11이 게이트·소스간 전압 V_{GS11} 은 충분 크게, 그의 동작점 P_a 부근에는 NMOS 11는 비포화상태에 있다.

그 때문에 전류 I_{NDS} 는 오로지 전압 V_{NDS} 에 의하여 정하고 전압 V_{NDS} 이 크게 됨에 따라 전류 I_{NDS} 가 증가한다.

다음에 전압 V_{NDS} 이 크게 되어 $V_{NDS} = V_b$ 로 되면 NMOS 11의 게이트·소스간 전압 V_{GS11} 은 작은 것으로 되어 그의 동작점 P_b 에 있어서 해당 NMOS 11가 포화상태로 들어가 전류 I_{NDS} 는 피크로 된다.

더욱더 전압 V_{NDS} 이 크게 되면 NMOS 11의 게이트·소스간 전압 V_{GS11} 은 보다 작게 됨으로 그의 동작점 P_C 의 가까이에는 NMOS 11가 깊은 포화상태로 된다.

이때 전류 I_{NDS} 는 오로지 NMOS 11의 게이트·소스 전압 V_{GS11} 에서 정하지만 이 V_{GS11} 는 전압 V_{NDS} 이 크게 되는데 따라서 작게 된다.

따라서 전압 V_{NDS} 이 크게 되는데 따라서 전류 I_{NDS} 가 감소하여 가고, 부성저항특성이 얻어진다.

더욱 전압 V_{NDS} 이 크게 되면 특성은 직선 $V_{NDS} = 0$에 접근하여 간다.

다음에 전압 V_{NGS} 이 변화한 경우의 동작을 제10도를 참조하면서 설명한다.

제10도는 제7도의 전압$_{NGS}$ 이 변화하였을 때의 해당 전압 V_{NGS} 을 파라미터로 한 부성저항회로 10의 정특성도이고, 종축이 전류 I_{NDS} 횡축이 전압 V_{NDS} 이다.

제10도에 있어서, 곡선 C_{NR1} 은 V_{NGS} < VTN에서의 곡선 CNR2$_{=V}$ TN(단, VTN: $_N$ MOS의 스레숄드전압)에서의 곡선 CNR3$_{은V}$ NGS$_{VTN}$ 에서의 회로의 전류전압 특성곡선이다.

예컨데, 전압 V_{NGS} 이 크게 되어 V_{NGS} 0으로 되면 제8도에 있어서 PMOS 12의 특성곡선 C_{12} 은 제6도에 있어서 우로 전압 V_{NGS} 분 만큼 시프트한다.

그 때문에 전압 V_{NDS} 의 각 전압치(V_a,V_b,V_c)에 대응하는 NMOS 11에 대응하는 게이트·소스간 전압 V_{GS11} 의 각 전압치(V_A,V_B,V_C)도 각각에서 큰 것으로 된다.

이 결과 회로를 흐르는 전류 I_{NDS} 는 전체로서 보다 크게 되어 그의 피크치도 큰 것으로 된다.

또, 전압 V_{NDS} 의 각 전압치에 대응하는 NMOS 11의 게이트·소스간 전압 V_{GS11} 이 각각 크게 됨으로 해당 NMOS 11의 포화의 시작할때의 전압 V_{NDS} 의 치는 보다 크게 된다.

즉 전류 I_{NDS} 가 피크로 될 때의 전압 V_{NDS} 의 치가 크게 된다.

따라서 전체의 특성으로서는 제10도에 표시함과 같은 것이 얻어진다.

이상과 같이 본 실시예에는 다음과 같은 이점이 있다.

(1) 본 실시예의 부성저항회로 10는 인핸스먼트형 NMOS 11 및 PMOS 12,13 만의 구성에도 부성저항특성이 얻어짐으로 제조코스트가 낮고 더구나 최저한 필요한 소자는 3개의 MOS트랜지스터와 적게, 구성도 단순하다.

더욱더 입출력단자 D와 S과의 사이에는 1개의 NMOS 11가 설치되어 있을 뿐임으로 종래와 같이 직열 접속된 2개의 MOS트랜지스터가 설치되어 있는 것과 비하여 보다 큰 전류구동능력이 얻어진다.

더구나 NMOS 11의 게이트의 바이어스 전압은 PMOS 12,13의 능력비를 적당히 선택하는 것으로 전류 I_{NDS} 와 독립으로 설계된다.

그 때문에 설계의 자유도가 높고, 전압 V_{NDS} 의 변화에 대한 전류 I_{NDS} 의 변화의 크기를 자유로이 정하는 것이 된다.

(2) 본 실시예의 부성저항회로에는 필요하다면 일부에 디프레션형 MOS트랜지스터를 사용하여도 좋다.

이렇게 하면 상기 (1)의 제조코스트의 저감이라는 효과는 손상되지만 입출력단자 D와 S간에 1개의 MOS트랜지스터가 설치되어 있을 뿐임으로 보다 큰 전류구동능력이 얻어진다.

(3) 본 실시예의 부성저항회로는 설계의 자유도가 크므로 필요에 응하여 디프레션형 MOS트랜지스터를 사용하여 종래의 것과 동일한 제조코스트로 종래에 없던 여러가지 특성을 실현되어 보다 넓은 응용분야에 사용하는 것도 가능하다.

예컨데 제7도에 있어서 PMOS 12를 디프레션형으로 하면 전압 V_{NGS} = OV에는 전류 I_{NDS} 가 차단되어 제10도에 있어서 각 특성곡선이 전압 V_{NGS} 의 낮은 곡선에 시프트한 바와같은 특성이 얻어진다.

말하자면 인핸스먼트형의 부성저항회로와도 용이하게 얻어진다.

또 전압 V_{NDS} 의 변화에 대하는 전류 I_{NDS} 의 변화의 크기도 자유로이 설계된다.

제2의 실시예

제11도는 본 발명의 제2의 실시예를 표시하는 부성저항회로의 회로도이고, 제1의 실시예를 표시하는 제1도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 부성저항회로에는 제1의 실시예의 PMOS 13의 소스와 기준 전위단자 V_{DD} 과의 사이에 스위치수단 14이 접속되어 있어 그것 이외의 구성은 제1의 실시예와 동일하다.

이 부성저항회로에는 스위치수단 14이 온상태이라면 회로가 동작상태로 되어 제1의 실시예와 동일하게 기준전위단자 D와 S과의 사이에 부성저항 특성이 얻어진다.

스위치수단 14이 오프상태인 때, 회로는 대기상태로 들어가 PMOS 12,13를 흐르는 바이어스 전류가 차단됨으로, 소비전력을 저감된다.

노드 X의 전위는 전압 V_{NGS} 에 관계없이, V_{TPa} 보다 낮게는 아니된다.

따라서 V_{TN} V_{TP} (단 V_{TP} : PMOS이 스레숄드 전압)로 있는 것과같이 통상의 제조 조건에서 제조되는 회로에는 V_{TPa} V_{TN} 로 되어 대기시에 있어서 NMOS 11가 온상태로 되어 있다.

이와같이 본 실시예의 부성저항회로에는 스위치수단 14을 설치하고 있음으로 대기시의 소비전력을 저감된다.

제3의 실시예

제12도는 본 발명의 제7의 실시예를 표시하는 부성저항회로의 회로도이고 제1의 실시예를 표시하는 제1도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 부성저항회로에는 제1의 실시예의 노드 X와 PMOS 13의 드레인과의 사이에 게이트가 단자 ∮에 접속된 제1의 스위치수단 (예컨데, PMOS)15을 접속하고 더욱더 해당 노드 X와 기준전위단자 V_{SS} 과의 사이에 게이트가 단자 ∮에 접속된 제2의 스위치수단 (예컨데, NMOS)16을 접속한 점이 제1의 실시예와 다르게 되어 있다.

다른 구성은 제1의 실시예와 동일하다.

이 부성저항회로에는 단자 ∮의 전위를 V_{DD} 라고 하면, PMOS 15가 오프상태, NMOS 16가 온상태로 되어 해당 PMOS 15의 오프상태에 의하여 PMOS 12,13를 흐르는 바이어스 전류가 차단되어 회로가 대기상태에 들어간다.

이때, NMOS 16가 오프상태로 되어 있음으로 노드 X는 V_{SS} 전위로 되어 NMOS 11가 오프상태로 된다.

그 때문에 대기시에는 기준 전위 단자 D와 S간을 흐르는 전류가 차단된다.

한편, 단자 ∮의 전위가 V_{SS} 로 되면, PMOS 15가 온상태, NMOS 16가 오프상태로 됨으로 제1의 실시예와 동일하게 기준전위단자 D와 S과의 사이에 부성저항 특성이 얻어진다.

이와같이 본 실시예에는 PMOS 15 및 NMOS 16을 설치하고 있음으로 대기시의 소비전력을 보다 저감된다.

제4의 실시예

제13도는 본 발명의 제4의 실시예를 표시하는 것으로 제1의 실시예의 부성저항회로 10를 사용한 슈미트 트리거회로의 회로도이다.

이 슈미트 트리거회로는 제1의 실시예의 부성저항회로 10와 PMOS 20과를 구비하고 있다.

부성저항회로 10는 그의 제1의 입출력단자 S가 기준전위단자 V_{SS} 에, 제어단자 G가 입력단자 IN에, 제2의 입출력단자 D가 출력단자 OUT 및 PMOS 20의 드레인에 각각 접속되어 있다.

PMOS 20는 그의 게이트가 입력단자 IN에, 소스가 기준전위단자 V_{DD} 에 각각 접속되어 있다.

다음에 제14도 및 제15도를 참조하면서, 제13도의 슈미트 트리거회로의 동작을 설명한다.

제14도는 제13도에 표시하는 슈미트 트리거회로의 동작을 설명하기 위한 출력단자 OUT에 있어서 동작특성도이다.

이 제14도의 횡축은 부성저항회로 10의 입출력단자 D와 S간을 흐르는 전류 I_{NDS} , 횡축은 입출력단자 D와 S간에 인가되는 전압 V_{NDS} 이다.

도면중의 곡선 C_{NR10} 은 입력단자 IN의 전위가 V_{SS} 와 V_{DD} 의 중간에 있을때의 부성저항회로 10의 특성곡선이다.

곡선 C_P 은 곡선 C_{NR10} 과 동 조건시의 PMOS 20의 특성곡선이다.

제14도에 표시함과 같이 입력단자 IN의 전위가 소정의 범위에 있을때, 복수의 동작점 R_1 ,R_2 ,R_3 이 존재하고 있다.

따라서 제13도의 회로는 슈미트 트리거로서 움직여, 제15도의 입출력전압 특성도에 표시함과 같은 히스테리시스 특성이 얻어진다.

제13도의 슈미트 트리거회로에는 입력단자 IN의 전위가 V_{DD} 로 되면 PMOS 20가 오프 상태로 된다.

그 때문에 부성저항회로 10의 입출력단자 D와 S간, 예컨데 부성저항회로 10내의 PMOS 12의 기판 전위를 특히 그의 소스와 접속하는 등에 의해 정상전류를 저감된다.

역시 이와같이 하여도 부성저항회로 10내의 PMOS 12 및 13에 일정한 바이어스 전류가 흐르지만, 이들의 PMOS 12, 13는 직접 출력을 구동하는 것은 아님으로 그의 능력을 짜서 해당 정상 전류를 저감하여도 동작속도에 큰 영향은 없고 전체로서 소비전력의 보다 적은 것이 얻어진다.

더욱더 이 제9도의 회로 구성에 있어서도 디프레션형 MOS트랜지스터는 필요없이 제조코스트의 낮은 슈미트 트리거회로가 얻어진다.

역시, 본 발명은 상기 실시예에 한정되지 않고 여러가지의 변형이 가능하다.

그의 변형예로서는 예컨데 다음과 같은 것이 있다.

(1) 제1 제4의 실시예에 있어서 PMOS에, NMOS를 PMOS에 V_{SS} 를 V_{DD} 에, V_{DD} 를 V_{SS} 에, 서로 바꿔 놓아서 구성하여도 상기 실시예와 동일한 작용, 효과가 얻어진다.

(2) 제1의 실시예로 설명한 바와같이 제2 제4의 실시예에 있어서 회로의 1부에 디프레션형 MOS트랜지스터를 사용하여 종래의 회로와 동일한 제조코스트로 종래에 없었던 것과같은 여러가지 특성을 실현하는 것도 가능하다.

제5의 실시예

제16도는 본 발명의 제5의 실시예를 표시하는 전류 차동형 센스회로의 회로도이다.

이 센스회로는 데이터선에 접속되는 제1의 입력단자 IN 및 제1의 출력단자 OUT를 가지는 제1의 회로부분 110과, 데이터선에 접속되는 제2의 입력단자 INB및 제2의 출력단자 OUTB를 가지고 해당 제1의 회로부분 110과 동일 구성의 제2의 회로부분 110은 제1의 입력단자 IN와 제1의 기준전위(예컨데 전원전압 V_{CC})과의 사이에 접속된 데이터선 부하 111를 가지고, 해당 입력단자 IN가 제1의 디프레션형 PMOS 112의 소스에 접속되어 그의 게이트가 제2의 입력단자 INB에 접속되어 있다.

PMOS 112의 드레인은 제1의 출력단자 OUT에 접속됨과 함께 제1의 저항수단 113을 통하여 제2의 기준전위(예컨데 GND)에 접속되어 있다.

제2의 회로부분 120은 제1의 회로부분 110과 동일하게 제2의 입력단자 INB와 전원전압 V_{CC} 과의 사이에 접속된 데이터선 부하 121를 가지고 해당 입력단자 INB가 제2의 디프레션형 PMOS 122의 소스에 접속되어 그의 게이트가 제1의 입력단자 IN에 접속되어 있다.

PMOS 122의 드레인은 제2의 출력단자 OUTB에 접속됨과 함께 제2의 저항수단 123을 통하여 GND에 접속되어 있다.

이 센스회로에는 2개의 PMOS 112, 122의 게이트와 소스가 서로 교차 접속되어 제1의 회로부분 110과 제2의 회로부분 120이 서로 소스 폴로우어로서 움직이도록 구성되어 있다.

다음에 동작을 설명하다.

우선, 입력단자 IN와 INB는 전원 전압 V_{CC} 가까이에 바이어스되어 있다.

예컨데 입력단자 IN에 흘러들은 바이어스전류 I_{IN} 가 증가하고, 입력단자 INB에 흘러들은 바이어스전류 I_{INB} 가 감소하면, 입력단자 IN의 전위 V_{IN} 가 약간 상승하고 입력단자 INB의 전위 V_{INB} 가 약간 저하한다.

그러면 PMOS 112를 흐르는 전류 I_D 는 증대하고 PMOS 122를 흐르는 전류 I_{DB} 가 감소하고 저항수단 113, 123의 전압강하에 의하여 출력단자 OUT, OUTB에 큰 전위차 V_{OUTdif} 가 얻어진다.

한편, 전류 I_{IN} 가 증가하는 분, 전류 I_D 도 증가함으로 데이터선 부하 111를 흐르는 전류 I_L 에는 큰 변화가 생기지 않는다.

또, 데이터선 부하 121를 흐르는 전류 I_{LB} 에 관하여도 동일하다.

따라서 입력단자 IN와 INB의 전위차 V_{INdif} 를 작게 억제하는 것이 된다.

다음에 본 실시예의 동작을 식을 사용하여 설명한다.

각 데이터선 부하 111,121의 저항치를 r로 하고, 각 저항수단 113,123의 저항치를 R로 한다.

또 동작시에 있어서, PMOS 112,122는 포화하고 있어, 그의 상호 컨덕턴스를 g_m 로 한다.

예컨데, 입력단자 IN와 INB에 흘려들은 전류차를 I_{INdif} ($=I_{IN}-I_{INB}$)라고 하면, 제1 및 제2의 회로부분 110,120의 대칭성에서 $I_{INdif}=0$인때, $V_{IN}=V_{INB}$, $I_D=I_{DB}$ 로 되어서 $V_{OUTdif}=0$으로 된다.

다음에 I_{INdif} 0인 미소 전류차가 생겼다고 한다.

이 때의 전류 I_{IN} 의 변화를 $\triangle I_{IN}$, 전류 I_{INB} 의 변화를 $\triangle I_{INB}$,전류 I_D 의 변화를 $\triangle I_D$, 전류 I_{DB} 의 변화를 $\triangle I_{DB}$, 전위 V_{IN} 의 변화를 $\triangle V_{IN}$, 전위 V_{INB} 의 변화를 $\triangle V_{INB}$ 라고 하면, 다음식 (1) (4)이 성립한다.

$$\triangle V_{IN} = -r(\triangle I_D - \triangle I_{IN}) \quad \text{.....(1)}$$

$$\triangle V_{INB} = -r(\triangle I_{DB} - \triangle I_{INB}) \quad \text{.....(2)}$$

$$\triangle I_D = g_m(\triangle V_{IN} - \triangle V_{INB}) \quad \text{.....(3)}$$

$$\triangle I_{DB} = g_m(\triangle V_{INB} - \triangle V_{IN}) \quad \text{.....(4)}$$

수학식 1

이것에 의해,

$$\triangle I_D - \triangle I_{DB} = \frac{1}{1+1/2\ rg_m}(\triangle V_{IN} - \triangle V_{INB}) \quad \text{.....(5)}$$

따라서, $2rg_m \gg 1$ 이라면,

$$\triangle I_D \fallingdotseq \triangle I_{IN} - \triangle I_{INB} \quad \text{.....(6)}$$

으로 된다. 또,

$$\triangle I_{IN} - \triangle I_{INB} = \frac{1}{2\ g_m}(\triangle I_D - \triangle I_{DB})$$

$$\fallingdotseq \frac{1}{2g_m} I_{INdif} \quad \text{.....(7)}$$

한편,

$V_{INdif} = \triangle V_{IN} - \triangle V_{INB}$ .....(8)

$I_{INdif} = \triangle I_{IN} - \triangle I_{INB}$ .....(9)

$V_{OUTdif} = R(\triangle I_D - \triangle I_{DB})$.....(10)

임으로, (6)식 및 (7)식에서 다음식 (11),(12)를 얻는다.

수학식 2

$$V_{INdif} = \frac{1}{2g_m} I_{INdif}$$ .....(11)

$V_{OUTdif} = R\, I_{INdif}$ .....(12)

따라서, 상호 컨덕턴스 g_m 및 저항치 R를 적어 정하면 입력단자 IN 및 INB의 미소전류차 I_{INdif} 를 검출하고, 출력단자 OUT 및 OUTB간에 있어서, 큰 출력전위차 V_{OUTdif} 를 얻음과 함께 해당 입력단자 IN 및 INB간의 전위차 V_{INdif} 를 작게 억제하는 것이 된다.

또, 입력단자 IN 및 INB간의 등가 임피던스는 1/2 g_m 로 되어 극히 작게 됨으로 예컨데 메모리회로에 있어서, 해당 입력단자 IN 및 INB에 큰 기생용량을 가지는 데이터선을 접속하여도 고속인 판독이 가능으로 된다.

더욱 (5)식에 주목하면 예컨데 r $g_m \rightarrow \infty$로 하여도 $\triangle I_D - \triangle I_{DB} < \triangle$IIN - $_{\triangle I}$ INB가 성 립하고, 발진하든지 혹은 래치 동작에 들어가는 것이 없는 동작의 안정성의 우수한 것이 얻어진다.

그 위에, 본 실시예의 센스회로에는, 제17도에 표시함과 같이 다소의 제조 흐트러짐이나 노이즈가 있어도 오동작의 두려움이 없는 것이 얻어진다.

제17도는 제16도에 표시하는 센스회로의 동작의 안정성을 판정하기 위한 제1 및 제2의 회로부분 110,120의 입출력전압 특성도이다.

제4도의 종축은 제1의 회로부분 110의 출력전위 V_{01} 및 제2의 회로부분 120의 입력전위 V_{I2} , 횡축은 제1의 회로부분 110의 입력전위 V_{I1} 및 제2의 회로부분 120의 출력전위 V_{02} 이다.

곡선 C_1 은 제1의 회로부분 110에 있어서 PMOS 112의 게이트를 입력으로 하고 소스를 출력으로 한 때의 입출력 특성곡선이다.

곡선 C_2 은 제2의 회로부분 120에 있어서 PMOS 122의 게이트를 입력으로 하고, 소스를 출력으로 하였을때의 입출력 특성곡선이다.

역시 입력단자 IN 및 INB는 동전위에 적의 바이어스되어 있다.

제17도에 표시함과 같이 곡선 C_1 및 C_2 는 1개소의 동작점 P에서 교차하고, 이 동작점 P을 중심으로 서로 떨어지는 형으로 된다.

그 때문에 곡선 C_1 및 C_2 이 다소 변화하여도 복수의 동작점이 생기는 두려움이 극히 작고, 제조 흐트러짐이나 노이즈에 대하여도 안정한 동작이 가능하다.

이와같이 본 실시예의 센스회로에는 제1의 회로부분 110과 제2의 회로부분 120이 서로 소스 폴로우어로서 움직임으로 동작의 안정성의 우수한 것이 얻어진다.

더구나 본 실시예의 센스회로에는 입력단자 IN, INB와 GND과의 사이에 저항수단 113,123과 포화상태의 1개의 디프레션형 PMOS 112, 122과를 직열로 설치하는 한 이라도, 센스동작이 가능하고, 그 위에 이 디프레션형 PMOS 112,122를 포화시키기 위한 드레인.소스 전압을 충분 작게 된다.

따라서 저전원 전압동작에 있어서 극히 우수한 센스회로가 얻어진다.

제6의 실시예

제18도는 본 발명의 제6의 실시예를 표시하는 메모리회로의 요부의 회로도이고 제5의 실시예를 표시하는 제16도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 메모리회로는 제16도의 센스회로와 유사한 센스회로 100를 구비하고 있다.

센스회로 100는 데이터선에 접속된 제1의 입력단자 IN 및 제1의 출력단자 OUT를 가지는 제1의 회로부분 110A과 데이터선에 접속된 제2의 입력단자 INB 및 제2의 출력단자 OUTB를 가지고 해당 제1의 회로부분 110A과 동일구성의 제2의 회로부분 120A과로 구성되어 있다.

제1의 회로부분 110A은 제1의 입력단자 IN와 전원 전압 V_{CC} 과의 사이에 접속된 데이터선 부하 111를 가지고 해당 입력단자 IN가 제1의 디프레션형 PMOS 112의 소스에 접속되어 있다.

PMOS 112의 게이트는 제2의 입력단자 INB에 접속되어 더욱 해당 PMOS 112의 드레인이 제1의 스위치수단(예컨데 PMOS)114을 통하여 제1의 출력단자 OUT에 접속되어 있다.

제2의 회로부분 120A은 제1의 회로부분 110A과 동일하게 제2의 출력단자 INB와 전원전압 V_{CC} 과의 사이에 접속된 데이터선 부하 121를 가지고 해당 출력단자 INB가 제2의 디프레션형 PMOS 122의 소스에 접속되어 있다.

PMOS 122의 게이트는 제1의 입력단자 IN에 접속되어 해당 PMOS 122의 드레인이 제2의 스위치수단(예컨데 PMOS) 124을 통하여 제2의 출력단자 OUTB에 접속되어 있다.

PMOS 124의 게이트는 PMOS 114의 게이트와 함께 단자 SEB에 공통 접속되어 있다.

제1, 제2의 출력단자 OUT,OUTB는 데이터버스 D,DB를 통하여 다른 센스회로의 제1, 제2의 출력단자 OUT,OUTB와 공통으로 접속되어 와이어드 논리가 구성되어 있다.

즉 복수의 센스회로 100가 한쌍의 공통의 데이터버스 D,DB에 접속되어 있어,상기 데이터버스 D,DB는 공통의 제1, 제2의 저항수단 131,132을 통하여 GND에 접속되어 있다.

다음에 동작을 설명한다.

데이터버스 D,DB에 공통으로 접속된 복수의 센스회로 100,…에 있어서 하나의 센스회로(예컨데 100)의 단자 SEB가 'L'레벨로 되면, 해당 센스회로 100내의 PMOS 114,124가 온상태로 되어 센스 동작을 개시한다.

이와같이 복수의 센스회로 100,…으로 저항수단 131,132을 공유하는 구성으로 한 회로에 있어서도 동작상태의 회로부분에 주목하면 입력단자 IN,INB와 GND과의 사이에 실질적으로 PMOS 112,122와 저항수단 131,132과가 직열 형태로 접속된 구성으로 되기때문에 제1의 실시예와 동일한 센스동작이 행하여진다.

본 실시예에는 종래의 회로와 다르게, 스위치수단인 PMOS 114,124가 특히 포화상태에 없어서도 각 제1, 제2의 입력단자 IN,INB간의 전위차는 억제된다.

그 때문에 동작의 안정성에 우수하여 저전원 전압동작에 있어서도 우수한 메모리회로가 얻어진다.

그 위에 단자 SEB가 'H'레벨로 되어, 비선택으로된 대기상태의 센스회로 100,…의 각 제1, 제2의 입력단자 IN,INB는 동작시의 전위에 가까운 전원전압 V_{CC} 으로 됨으로 대기상태에서 동작상태에의 신속한 천이가 가능하다.

제7의 실시예

제19도는 본 발명의 제7의 실시예를 표시하는 센스회로의 회로도이고 제5의 실시예를 표시하는 제16도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 센스회로는 제16도의 제1의 디프레션형 PMOS 112에 대체하여 제1의 부성저항회로 115가 설치된 제1의 회로부분 110B과 제1도의 제2의 디프레션형 PMOS 122에 대체하여 제2의 부성저항회로 125가 설치된 제2의 회로부분 120B과로 구성되어 있다.

제1의 부성저항회로 115는 제1, 제2의 입출력단자 TS,TD 및 제어단자 TG를 가지고, 해당 제1의 입출력단자 TS가 제1의 입력단자 IN에 접속됨과 함께 제1의 데이터선 부하 111를 통하여 전원전압 V_{CC} 에 접속되어 있다.

제2의 입출력단자 TD는 제1의 출력단자 OUT에 접속됨과 함께 제1의 저항수단 113을 통하여 GND에 접속되어 있다.

제어단자 TG는 제2의 회로부분 120B의 제2의 입력단자 INB에 접속되어 있다.

제2의 부성저항회로 125는 제1의 부성저항회로 115와 동일한 구성이고 제1, 제2의 입출력단자 TS,TD 및 제어단자 TG를 가지고 해당 제1의 입출력단자 TS가 제2의 입력단자 INB에 접속됨과 함께 데이터선 부하 121를 통하여 전원전압 V_{CC} 에 접속되어 있다.

제2의 입출력단자 TD는 제2의 출력단자 OUTB에 접속됨과 함께 제2의 저항수단 123을 통하여 GND에 접속되어 있다.

제어단자 TG는 제1의 회로부분 110B의 제1의 입력단자 IN에 접속되어 있다.

제1의 부성저항회로 115는 제1, 제2의 입출력단자 TS,TD간에 접속된 제1전도형의 제1의 MOS트랜지스터(예컨데 PMOS) 115a와 제1의 기준전위(예컨데 전원전압 V_{CC})와 제2의 기준전위(예컨데 GND)의 사이에 직열 접속된 제2전도형의 제2 및 제3의 MOS트랜지스터(예컨데 N채널 MOS트랜지스터, 이하, NMOS라 한다.) 115b,115c과로 구성되어 있다.

NMOS 115b의 게이트는 제어단자 TG에 접속되어 해당 NMOS 115b의 소스가 PMOS 115a의 게이트 및 NMOS 115c의 드레인에 접속되어 있다.

NMOS 115c의 게이트는 제2의 입출력단자 TD에 접속되어 있다.

제2의 부성저항회로 125는 제1의 부성저항회로 115와 동일하게 제1, 제2의 입출력단자 TS,TD간에 접속된 PMOS 125a를 가지고, 해당 PMOS 125a의 게이트가 NMOS 125b의 소스 및 NMOS 125c의 드레인에 접속되어 있다.

NMOS 125b의 드레인은 전원전압 V_{CC} 에, 게이트는 제어단자 TG에 각각 접속되어 있다.

NMOS 125c의 게이트는 제2의 입출력단자 TD에 소스는 GND에 각각 접속되어 있다.

다음에 동작을 설명한다.

본 실시예에 있어서도 제1, 제2의 입력단자 IN,INB는 전원전압 V_{CC} 가까이에 바이어스 되어 있다.

이때, 제1, 제2의 부성저항회로 115,125에 있어서 PMOS 115a,125a의 각 게이트는 NMOS 115b,125b의 움직임에 의해 적어도 제1, 제2의 입력단자 IN,INB의 전위에서 백바이어스 효과를 포함하는 NMOS의 스레숄드 전압 V_{TNa} 만큼 낮은 전위로 되어 있다.

일반으로 $V_{TNa} \gg |V_{TP}|$ 임으로, 각 PMOS 115a,125a는 상시 온상태로 되어 있다.

예컨데 제2의 입력단자 INB의 전위가 저하하면 제1의 부성저항회로 115에 있어서 PMOS 115a의 게이트전위가 저하하고 해당 부성저항회로 115의 제1,제2의 입출력단자 TS,TD간을 흐르는 전류가 증가한다.

결국, 제1 및 제2의 부성저항회로 115,125는 의사적인 디프레션형 PMOS와 같이 동작함으로, 본 실시예의 센스회로는 제5의 실시예와 동일한 센스동작을 행한다.

더욱 본 실시예에는 제1, 제2의 부성저항회로 115,125를 사용하고 있음으로 제20도에 표시함과 같이 제5 및 제6의 실시예보다도 게인의 높은 것이 얻어진다.

제20도는 제19도의 동작예를 표시하는 제1의 출력단자 OUT의 동작 특성도이다.

제20도의 종축은 제1의 저항수단 113을 흐르는 전류 I_D, 횡축은 제1의 출력단자 OUT의 전위 V_{OUT} 이다.

곡선 l는 제1의 저항수단 113으로서 예컨데 게이트와 드레인을 접속한 NMOS를 사용하였을 때의 특성곡선이다.

곡선 C_1 은 제2의 입력단자 INB의 전위 V_{INB} 가 $V_{INB} = V_0$ 인 때의 제1의 부성저항회로 115의 특성곡선이다.

곡선 C_2 은 전위 V_{INB} 가 $V_{INB} = V_0 - \triangle V$로 변화한 때의 제1의 부성저항회로 115의 특성곡선이다.

역시 제20도에는 제1의 입력단자 IN의 전위 V_{IN} 는 일정으로 한다.

제20도에 표시함과 같이 $V_{INB} = V_0$에서의 제1의 출력단자 OUT의 동작점은 곡선 l와 곡선 C_1 의 교점 P_1으로 되어, 이때 $I_D = I_1$으로 된다.

$V_{INB} = V_0 - \triangle V$에서의 동작점은 곡선 l과 곡선 C_2 의 교점 P_2로 되어, 이때 $I_D = I_2$로 된다.

한편 $V_{INB} = V_0$에서의 디프레션형 PMOS의 특성곡선은 파선의 곡선 C_{1a} 으로 되어 그의 동작점 P_{1a} 에는 $I_D = I_{1a}$ 로 된다.

$V_{INB} = V_0 - \triangle V$에서의 디프레션형 PMOS의 특성은 곡선 C_{2a} 로 되어 그의 동작점 P_{2a} 에서 $I_D = I_{2a}$ 로 된다.

제20도에 표시함과 같이 $I_2 - I_1 I_{2a} - I_{1a}$ 이고, 입력단자 IN,INB에 있어서 동일한 전위변화에 대한 전류변화는 제1도 및 제5도의 디프레션형 PMOS 112,122 보다도 본 실시예의 부성저항회로 115,125를 사용한 쪽이 크다.

그 때문에 상기 (1)식 (12)식에 있어서 부성저항회로 115,125를 사용한 경우의 쪽이 보다 상호 컨덕턴스 g_m 가 크게 되어 회로 전체로서 보다 게인의 높은 것이 얻어진다.

본 실시예에 있어서도 제1, 제2의 부성저항회로 115,125의 제1의 입출력단자 TS와 제어단자 TG가 교차 접속된 구성으로 되어있음으로 제1의 회로부분 110B과 제2의 회로부분 120B이 서로 소스 폴로우어로서 동작한다.

그 때문에 회로 전체의 게인이 높게 되었어도 그의 루프 이득이 1을 넘는것은 없고 동작의 안정한 것이 얻어진다.

이런 것은 (5)식에 있어서 $g_m \rightarrow \infty$로 하여도, $\triangle I_D - \triangle I_{DB} < \triangle IIN - \triangle I$ INB가 성 립하는 것에서도 분명하다.

더욱 본 실시예의 센스회로에는 디프레션형 MOS트랜지스터를 사용하지 않고 구성됨으로 제조코스트를 작게 된다.

본 실시예에 있어서는 제1, 제2의 부성저항회로 115,125에 있어서 PMOS 115a,125a는 포함하고 있는 것이 필요하다.

그 때문에 제1, 제2의 입력단자 IN,INB는 적어도 $V_{TP}+V_R$(단 VR: 저항수단 113,123의 전압강하분) 이상의 전위에 바이어스할 필요가 있다.

그러나 이 경우에도 종래의 것($V_R+V_{TP}+V_{TPa}$)보다 낮고 좋게, 저전원 전압동작에 우수한 것이 얻어진다.

제8의 실시예

제21도는 본 발명의 제8의 실시예를 표시하는 센스회로의 회로도이고, 제7의 실시예를 표시하는 제19도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 센스회로에는 제19도의 제1의 회로부분 110B과 다른 구성의 제1의 회로부분 110C과 제19도의 제2의 회로부분 120B과 다른 구성으로 또한 제1의 회로부분 110C과 동일한 제2의 회로부분 120C과 로 구성되어 있다.

제1의 회로부분 110C은 제6도의 데이터선 부하 111에 대체한 부하용의 PMOS 111-1와 제6도의 제1의 부성저항회로 115와 다른 구성의 제1의 부성저항회로 115-1와 제19도와 동일한 제1의 저항수단 113과로 구성되어 있다.

동일하게 제2의 회로부분 120C은 제19도의 제2의 데이터선 부하 121에 대체한 부하용의 PMOS 121-1와 제19도의 제2의 부성저항회로 125와 다른 구성의 제2의 부성저항회로 125-1와, 제19도와 동일한 제2의 저항수단 123과로 구성되어 있다.

제1의 부성저항회로 115-1는 제19도의 제1의 부성저항회로 115와 동일한 PMOS 115a 및 NMOS 115b,115c로 구성되어 있지만, PMOS 115a의 게이트가 단자 TX에 꺼내져 있는 것이 제6도와 다르다.

동일하게 제2의 부성저항회로 125-1는 제6도의 제2의 부성저항회로 125와 동일하게 PMOS 125a 및 NMOS 125b, 125c로 구성되어 있지만, PMOS 125a의 게이트가 단자 TX에 꺼내져 있는 것이 제19도와 다르다.

또 제1의 부성저항회로 115-1의 단자 TX는 PMOS 121-1의 게이트에 접속되어 더욱 제2의 부성저항회로 125-1의 단자 TX가 PMOS 111-1의 게이트에 접속되어 있다.

본 실시예에는 다음과 같은 이점이 있다.

제1의 부성저항회로 115-1의 단자 TX에는 제2의 입력단자 INB의 전위가 시프트다운되어, 또한 증폭되어 얻어진다.

그 때문에 제2의 입력단자 INB에 접속된 PMOS 121-1의 게이트전위는 해당 입력단자 INB의 전위저하와 함께 저하하여 가는 것으로 되어, 해당 PMOS 121-1를 흐르는 전류가 증가하여 간다.

이와같이 입력단자 INB에 접속된 부하용의 PMOS 121-1의 게이트에 해당 입력단자 INB의 레벨시프트된 전위가 가하는 구성으로 한 것으로 해당 부하용의 PMOS 121-1는 그의 비포화영역의 범위가 외관상 확장된 바와같이 동작하고 특성의 직선성이 개선된다.

다른 부하용의 PMOS 111-1에 관하여도 동일하다.

따라서 다이내믹??레인지의 넓은 센스회로가 얻어진다.

제9의 실시예

제22도는 본 발명의 제9의 실시예를 표시하는 센스회로의 회로도이고, 제7의 실시예를 표시하는 제19도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 센스회로는 제19도의 제1의 회로부분 110B과 유사한 구성의 제1의 회로부분 110D과 해당 제1의 회로부분 110D과 동일구성의 제2의 회로부분 120D과로 구성되어 있다.

제1의 회로부분 110D에는 제6도의 제1의 부성저항회로 115에 대체하여 구성의 다른 제1의 부성저항회로 115-2가 설치되어 더욱 해당 제1의 부성저항회로 115-2의 제2의 입출력단자 TD와 제1의 출력단자 OUT과의 사이에 스위치수단(예컨데 PMOS) 114이 설치되어 있는 점이 제19도와 다르다.

제1의 부성저항회로 115-2는 제19도와 동일하게 PMOS 115a, 및 NMOS 115b,115c로 구성되어 있지만, 해당 NMOS 115b의 드레인이 단자 TY에 꺼내어져 있다.

제1의 부성저항회로 115-2의 제2의 입출력단자 TD는 PMOS 114의 소스에 접속되어 그의 드레인이 제1의 출력단자 OUT에 접속됨과 함께 저항수단 113을 통하여 GND에 접속되어 있다.

제2의 회로부분 120D은 제1의 회로 부분 110D과 동일하게 전원전압 V_{CC} 과 제2의 입력단자 INB과의 사이에 접속된 데이터선 부하 121와 해당 입력단자 INB에 제1의 입출력단자 TS가 접속된 제2의 부성저항회로 125-2와 해당 부성저항회로 125-2의 제2의 입출력단자 TD와 제2의 출력단자 OUTB과의 사이에 접속된 PMOS 124와 해당 출력단자 OUTB와 GND과의 사이에 접속된 저항수단 123과로 구성되어 있다.

제2의 부성저항회로 125-2는 제19도와 동일하게 PMOS 125a 및 NMOS 125b,125c로 구성되어 해당 NMOS 125b의 드레인이 단자 TY에 꺼내어져 있다.

각 PMOS 114,124의 게이트는 단자 SEB에 공통 접속되어 있다.

또 제1,제2의 부성저항회로 115-2,125-2의 각 단자 TY는 PMOS 133의 드레인에 공통 접속되어 해당 PMOS 133의 게이트가 단자 SEB에 소스가 전원전압 V_{CC} 에 각각 접속되어 있다.

이와같이 단자 SEB로 제어되는 PMOS 114,124와 PMOS 133과를 설치함으로 대기시의 소비전력을 저감된다.

즉 단자 SEB가 'L'레벨인 때, PMOS 133 및 PMOS 114,124가 모두 온상태로 되어 제7의 실시예인 제19도와 동일한 센스동작이 행하여 진다.

또 이 센스동작에 있어서, PMOS 114,124는 포화하고 있을 필요가 없고, 종래의 것보다 저전원 전압동작에 유리하다.

단자 SEB가 'H'레벨인때 회로는 대기상태로 되어 PMOS 133 및 PMOS 114,124가 오프 상태로 된다.

그 때문에 제1,제2의 부성저항회로 115-2,125-2를 흐르는 전류는 모두 컷되어, 소비전력의 저감이 도모된다.

이때, 제1,제2의 입력단자 IN,INB는 전원전압 V_{CC} 으로 된다.

따라서 동작시의 바이어스 전위과의 차가 작고, 입력단자 IN,INB에 큰 용량의 기생하는 데이터선이 접속되어 있어도 대기상태에서 동작상태에의 천이시간이 작게 하여도 된다.

역시, 본 발명은 상기 실시예에 한정되지 않고 여러가지 변형이 가능하다.

그의 변형예로서는 예컨데 다음과 같은 것이 있다.

(a) 제6의 실시예를 표시하는 제18도에 있어서,

각 센스회로 100,…의 제1,제2의 출력단자 OUT,OUTB를 데이터 베이스 D,DB에 접속하지 않고 해당 데이터 버스D,DB에 공통 접속된 저항수단 131,132을 각 센스회로 100,…마다에 설치하여, 그의 각 센스회로 100,…내에 설치된 PMOS 114,124를 대기시의 소비전력저감을 위해 스위치수단으로서 사용하여도 좋다.

(b) 제9의 실시예를 표시하는 제22도에 있어서,

PMOS 114,124를 센스회로의 선택수단으로서 사용하고 제1, 제2의 출력단자 OUT,OUTB를 복수의 센스회로끼리 공통으로 접속하고 저항수단 113,123을 상기 복수의 센스회로에 공통으로 다만 1조 접속하고 메모리회로의 판독회로를 구성하여도 좋다.

(c) 제1의 실시예의 제1도, 제7의 실시예의 제19도 및 제8의 실시예의 제21도의 각 도면에 있어서, 저항수단 113,123은 저항소자와 스위치수단을 포함하는 것으로 있어도 좋다.

예컨데 제23도에 표시함과 같은 저항수단은 센스회로의 출력단자에 접속되는 제1의 단자 RA와 제1의 단자에 드레인과 게이트가 접속되어 저항소자로서 움직이는 제1의 NMOS 200와 해당 제1의 NMOS 200의 소스에 드레인이 접속되어 스위치로서 움직이는 제2의 NMOS 201와 해당 제2의 NMOS 201의 소스와 접속되어 기준전위(예컨데 GND)에 접속되는 제2의 단자 RB와 해당 제2의 NMOS 201의 게이트와 접속되는 제3의 단자 RC와를 구비한 것도 좋다.

이렇게 하는 것으로 상기 스위치수단을 온,오프하여 대기시의 소비전류를 저감된다.

(d) 제5 제9의 실시예에 있어서,

NMOS를 PMOS에, PMOS를 NMOS에, V_{CC} 를 GND에, GND를 V_{CC} 에 치환하여도 상기 실시예와 동일한 작용효과가 얻어진다.

제10의 실시예

제24도는 본 발명의 제10의 실시예를 표시하는 센스회로의 회로도이다.

이 센스회로에는 입력단자 IN가 노드 N11에 접속되어 해당 노드 N11와 제1의 전위 공급단자(예컨데 Vcc)과의 사이에 데이터선 부하회로 1100가 접속되어 있다.

노드 N11와 제2의 전위공급단자(예컨데 GND)과의 사이에는 전류 전압 변환회로 1200가 접속되어 있다.

전류전압변환회로 1200는 PMOS 1201 및 저항수단 1210의 직열회로로 구성되어 있다.

PMOS 1201는 소스가 노드 N11에, 게이트가 노드 N12에 드레인이 저항수단 1210의 일단 및 출력단자 OUT에 각각 접속되어 있다.

저항수단 1210의 다른단은 GND에 접속되어 있다.

노드 N11,N12에는 반전앰프 1300의 입력노드 A_{in} 및 출력노드 A_{ou} 가 각각 접속되어 있다.

반전앰프 1300은 디프레션형의 PMOS 1301 및 저항수단 1310의 직열회로로 구성되어 있다.

PMOS 1301는 소스가 Vcc에, 게이트가 입력노드 A_{in} 에 드레인이 저항수단 1310의 일단 및 출력노드 A_{out} 에 각각 접속되어 있다.

저항수단 1310의 다른단은 GND에 접속되어 있다.

다음에 동작을 설명한다.

입력단자 IN는 Vcc에 가까운 소정의 레벨에 바이어스되어 있다.

데이터선 부하회로 1100에서 입력단자 IN에 일정한 바이어스전류 I_1 가 흐르고 있다. (I_1 =0으로 있어도 좋다.)

또 데이터선 부하회로 1100에서 전류전압변환회로 1200에도 일정한 바이어스전류 I_2가 흐르고 있다.

이 상태에서 PMOS 1201는 포화상태로 되도록 설계되어 있다.

예컨데 입력단자 IN에서 흘러나가는 전류 I_1가 $\triangle I_1$만큼 증가하였다고 한다.

그러면 데이터선 부하회로 1100를 흐르는 전류가 감소하고 입력단자 IN(즉, 노드 N11)의 레벨이 약간 저하한다.

이것이 반전앰프 1300에 의하여 증폭되어 노드 N12의 레벨이 상승한다.

그 때문에 PMOS 1201의 소스전위가 저하하고 그의 게이트전위가 상승함으로 해당 게이트, 드레인간 전압이 작게되어 컨덕턴스가 작게된다.

PMOS 1201는 포화하고 있음으로 그의 컨덕턴스가 크게 변화하고 전류전압변환회로 1200를 흐르는 전류 I_2가 $\triangle I_2$($\triangle I_1$)만큼 감소한다.

이 결과 출력단자 OUT의 전위는 $\triangle V = -\triangle I_2 \cdot r_{11}$ (단 r_{11} : 저항수단 1210의 저항치)만큼 변화함으로 이 저항치 r_{11}를 적의 정하여 소망의 출력전압진폭을 얻는 것이 된다.

한편, 데이터선 부하회로 1100를 흐르는 전류 I_L에 관하여는 전류 I_1가 증대한분, 전류 I_2가 감소함으로 큰 변화가 없다.

따라서 입력전자 IN의 전위는 거의 일정하게 억제된다.

이와같이 입력단자 IN의 전압직폭을 억제하면서 입력전류신호에 대응한 큰 전압진폭의 출력신호를 얻는것이 된다.

본 실시예에는 다음과 같은 이점이 있다.

(a) 입력단자 IN와 GND과의 사이에 전류전압변환회로 1200가 설치되어 있음으로 메모리회로등에 있어서 해당 입력단자 IN에 데이터선을 접속하여 사용하는 경우, 해당 데이터선에 접속되는 각 스위치수단과 전류전압변한회로 1200과가 병열로 접속되는 것으로 되어 양자에 충분한 바이어스 전압을 인가 된다.

따라서 전원전압을 낮게하여도 동작속도 및 동작마진의 점에서 우수하게 있는 즉 저전원 전압동작에 훌륭하게 되어 있다.

(b) 반전앰프 1300에 있어서 그의 입력노드 A_{in}와 접속된 MOS트랜지스터를 디프레션형의 것으로 한 것으로 해당 반전앰프 1300가 컷오프 한것없이 입력단자 IN의 바이어스전위를 Vcc에 충분 가까이 하는 것이 된다.

따라서 전류전압변환회로 1200에는 거의 Vcc가득찰때까지 바이어스전압을 인가되어 더욱 저전원 전압동작에 우수한 것이 얻어진다.

(c) 전류전압변환회로 1200를 제어하는 반전앰프 1300의 입력노드 A_{in}의 신호를 센스회로의 입력단자 IN에서 직접 얻고 있음으로 동작의 안정성에 훌륭하게 되어 있다.

이하 이 점을 상술한다.

예컨데 제24도에 있어서 데이터선 부하회로 1100와 전류전압변환회로 1200을 일괄하여 회로1로 하고 또 반전앰프 1300를 회로2로 한다.

회로2에 대하는 회로1의 입력은 노드 N12이고, 출력은 노드 N11이다.

한편 회로1에 대한 회로2의 입력은 노드 N11이고 출력이 노드 N12 이다.

즉 회로1와 회로2의 입력과 출력은 서로 교차 접속되어 있다.

여기에 회로1에 주목하면 회로1의 출력(노드 N11)은 그의 입력(노드 N12)에 대하여 소스 폴로우어로 되어 있다.

결국 회로1는 회로2에 대하여 소스 폴로우어로서 움직임으로 회로1의 입력과 출력은 역상으로 되지않고 증폭율이 1보다 작다.

따라서 정귀환이 걸리는 것이 없고 래치로서 유지상태에 들어오든지 혹은 발진하든지 하는 염려가 없는 안정한 것이 얻어진다.

또 출력전압진폭을 크게하기 위하여는 저항수단 1210의 치를 큰 것으로 하면 좋다.

센스회로 전체의 게인을 올리기 위하여 반전앰프 1300의 게인을 올리든지 혹은 전류전압변환회로 1200내의 PMOS 1201의 게이트의 바이어스전위를 적의 정하여 해당 PMOS 1201의 포화를 깊게하는 등의 조정을 행하면 좋다.

이와같이 출력전압진폭의 크기와 회로전체의 게인을 독립으로 조정됨으로 소망의 특성을 용이하게 얻는것이 된다.

제11의 실시예

제25도는 제24도에 표시하는 제10의 실시예의 센스회로를 보다 구체화한 회로도이고 제24도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 센스회로에는 제24도의 데이터선 부하회로 1100가 게이트가 GND에 접속된 PMOS 1101로 구성되어 더욱 전류 전압변환회로 1200내의 저항수단 1210이 게이트와 드레인이 접속된 NMOS 1211로 구성되어 더욱 반전앰프 1300내의 저항수단 1310이 게이트와 드레인이 접속된 NMOS 1311로 구성되어 있다.

다른 구성은 제24도와 동일하다.

본 실시예에는 다음과 같은 이점을 가지고 있다.

(1) 반전앰프 1300내의 저항수단이 게이트와 드레인을 접속한 NMOS 1311로 구성되어 있음으로 해당 반전앰프 1300의 출력노드 A_{out} 의 전압진폭이 제한된다.

그 때문에 회로전체의 게인은 작게 되지만 다이내믹 레인지를 넓게 하는것이 된다.

그 이외의 구성은 제10의 실시예와 기본적으로 동일 함으로 제10의 실시예와 동일하게 저전원 전압동작에 우수하고 동작의 안정성에 훌륭하다는 이점이 있다.

(2) 본 실시예에는 제10의 실시예와 동일하게 출력전압진폭의 크기와 회로전체의 게인을 독립으로 조정된다.

여기에 동작의 안정성에 관하여 제26도를 참조 하면서 구체적으로설명한다.

우선 제25도에 있어서, 데이터선 부하회로 1100와 전류전압변환회로 1200과를 일괄하여 회로1로 하고 그의 입력을 노드 N12로 하고 출력을 노드 N11로 한다.

또 반전앰프 1300를 회로2로 한다.

그러면 회로1과 회로2는 그의 입력과 출력과가 서로 교차접속되어 있다.

제26도는 이와같은 구성의 회로의 안정성을 판정하기 위한 입출력특성도이다.

제26도의 횡축은 회로1의 입력 전위 V_{I1} 및 회로2의 출력전위 V_{O2} 이고 종축이 회로1의 출력전위 V_{O1} 및 회로2의 입력전위 V_{I2} 이다.

또 곡선 C_1 은 회로1의 입출력 특성곡선, 곡선 C_2 는 회로2의 입출력 특성곡선이다.

제10의 실시예와 동일하게 회로1는 회로2에 대하여 소스 폴로우어로서 움직인다.

그 때문에 특성 곡선 C_1 은 입력전위 V_{I1} 가 상승하면 출력전위 V_{O2} 도 상승하는 형상으로 된다.

회로2는 반전앰프 1300임으로 그의 특성곡선 C_2 은 입력전위 V_{I2} 가 상승하면 출력전위 V_{O2} 가 강하하는 형상으로 된다.

따라서 특성곡선 C_1 과 C_2 은 하나의 동작점 P로 교차한다.

이와같은 동작점 P이 1점 밖에 존재하지 않음으로 극히 안정한 회로가 얻어진다.

제12의 실시예

제27도는 제10의 실시예를 표시하는 제24도의 센스회로를 구체화한 제12의 실시예를 표시하는 센스회로의 회로도이고 제24도 및 제25도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 센스회로는 제25도의 센스회로의 게인을 향상시킨 것이고, 제25도의 센스회로와 동일한 데이터선 부하용의 NMOS 1101와 전류전압변환회로 1200과를 구비하여 더욱 반전앰프 1300와 구성의 다른 반전앰프 1300A가 설치되어 있다.

반전앰프 1300A는 디프레션형 PMOS 1301 및 NMOS 1311의 직열회로로 구성되어 있다.

PMOS 1301는 소스가 Vcc에 게이트가 입력노드 A_{in} 에 드레인이 출력노드 A_{out} 에 각각 접속되어 있다.

NMOS 1311는 드레인이 출력노드 A_{out} 에 게이트가 입력노드 A_{in} 에 소스가 GND에 각각 접속되어 있다.

다른 구성은 제25도와 동일하다.

본 실시예에는 NMOS 1311의 게이트를 반전앰프 1300A의 입력노드 A_{in} 에 접속하였음으로 해당 반전앰프 1300A의 게인을 크게 된다.

따라서 회로 전체로서는 다이내믹 레인지가 약간 좁게되지만 회로의 게인을 향상된다.

또 동작은 기본적으로는 제10 및 제11의 실시예와 동일함으로 그것들과 동일한 이점이 얻어진다.

제13도의 실시예

제28도는 본 발명의 제13의 실시예를 표시하는 회로의 회로도이고제10 제12의 실시예를 표시하는 제24도, 제25도, 및 제27도 중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 센스회로에는 제25도 및 제27도의 데이터선 부하회로 1100와 구성의 다른 데이터선 부하회로 1100A와 제25도와 동일한 전류전압변환회로 1200 및 반전앰프 1300와를 구비하고 있다.

데이터선 부하회로 1100A는 노드 N11에 접속된 입력노드 L_{in} 와 Vcc과의 사이에 접속된 PMOS 1101와 입력노드가 입력노드 L_{in} 에 접속되어 출력이 노드 N21를 통하여 PMOS 1101의 게이트에 접속된 레벨시프터 1102과로 구성되어 있다.

다른 구성은 제10 제12의 실시예와 동일하기 때문에 센스회로로서의 기본적인 동작이 동일하다.

따라서 동일부분의 구성 및 기본적인 동작의 설명은 생략하고 이하 주로 데이터선 부하회로 1100A의 특성에 관하여 술한다.

제29도는 제28도의 데이터선 부하회로 1100A의 부하곡선을 표시하는 특성도이다.

제29도의 횡축은 입력노드 L_{in} 의 전위 V_{LIN} , 종축은 데이터선 부하회로 1100A내의 PMOS 1101를 흐르는 전류 I_L 이다.

실선의 곡선 1_I 은 데이터선 부하회로 1100A의 부하곡선이다.

파선의 곡선 1_2 및 1_3 은 설명을 위해 가하여진 것으로 곡선 1_2 는 PMOS 1101만을 부하로 하고 그의 게이트 전위 V_G 를 $V_G = Vcc - V_{shf}$ 로한 부하곡선이다.

곡선 1_3 는 PMOS 1101이 만을 부하라고 하여 그의 게이트전위 V_G 를 $V_G = OV$로한 부하곡선이다.

전압 V_{SHF} 은 레벨시프터 1102에 의한 시프터전압이고, $|V_{SHF}| \geq |V_{TP}|$ 로 설계된다.

예컨데 $V_{LIN} = Vcc$이라고 하면 이 전위가 레벨시프터 1102에 의하여 전압 V_{SHF} 만큼 시프터다운되어 노드 N21를 통하여 PMOS 1101의 게이트에 출력된다.

따라서 PMOS 1101의 게이트 전위 V_G 는 $V_G = Vcc - V_{SHF}$ 로 된다.

전위 V_{LIN} 가 저하하여 가면 게이트전위 V_G 도 저하하여 감으로 PMOS 1101를 흐르는 전류 I_L 가 증가하여 간다.

더욱, 전위 V_{LIN} 가 저하하여 $V_{LIN} < VSHF_{로 되}$ 면 $VG = O_V$ 로 되어 전위 $VLIN_{에 의}$ 존하지 않고 일정하게 됨으로 전류 IL가 일정하게 된다.

그 때문에 부하곡선 1_1 은 전위 V_{LIN} 가 Vcc에 가까운 영역에는 곡선 1_2 에 있어서 비포화 영역에서의 접속을 연장함과 같은 특성을 표시하고 전위 V_{LIN} 가 저하하여 곡선 1_3 에 가까워지면 포화함과 같은 형을 표시한다.

이와같은 데이터선 부하회로 1100A 전체로서는 외관상 비포화 영역이 확장된 MOS트랜지스터와 같이 행동한다.

여기에서 곡선 1_3 은 종래의 데이터선 부하회로의 특성에 상등하는 것을 생각하면, 본 실시예의 데이터선 부하회로 1100A에는 특성의 포화가 시작하는 전류치를 동등하게 하였을때 종래의 것에서 그의 등가저항치를 크게 되는 것으로 된다.

즉 입력노드 L_{in} 의 전압진폭의 최대 허용치를 동등하게 설계하였을 때, 종래의 것에서 미소한 전류신호를 확실하게 센스되는 것으로 된다.

이것에 대하여 데이터선 부하회로의 등가저항치를 동등하게 하면 본 실시예의 것은 종래의것 보다도 그의 특성의 포화가 시작하는 전류치를 크게 된다.

이상과같이 본 실시예에는 다음과 같은 이점을 가지고 있다.

(i) 데이터선 부하회로 1100A가 PMOS 1101 및 레벨시프터 1102로 구성되어 있음으로 부하특성의 직선성이 개선되어 종래에서 다이내믹 레인지의 넓은 센스회로가 얻어진다.

또 레벨시프터 1102의 움직임에 의해 입력단자 IN의 전위가 Vcc로 있어도 부하용의 PMOS 1101가 컷오프하지 않음으로 해당 입력단자 IN의 바이어스전위를 충분 Vcc에 가까운 것으로 된다.

따라서 다이내믹 레인지를 넓게하여도 저전원 전압동작에 우수하다고 하는 이점은 손상되지 않는다.

(ii) 본 실시예의 센스회로는 제10의 실시예의 데이터선 부하회로 1100에 대체하여 구성의 다른 데이터선 부하회로 1100A를 설치하고 있어, 다른 구성은 동일하다.

따라서 제10의 실시예와 동일하게 저전원 전압동작에 우수하여 동작의 안정성에 우수하여 또한 소망의 특성이 용이하게 얻어진다는 이점을 가지고 있다.

(iii) 본 실시예의 데이터선 부하회로 1100A의 용도는 센스회로만이 아니라 보다 직선성의 개선된 전류전압특성을 필요로 하는 여러가지 회로의 부하수단에 사용하여도 유효하다.

제14의 실시예

제30도는 본 발명의 제14의 실시예를 표시하는 센스회로의 회로도이고 제10 제13의 실시예를 표시하는 제24도, 제25도, 제27도 및 제28도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 센스회로는 제28도와 동일한 데이터선 부하용의 PMOS 1101와 제24도와 동일한 전류전압 변환회로 1200와 증폭회로 1400과로 구성되어 있다.

데이터선 부하용의 PMOS 1101는 입력단자 IN와 Vcc과의 사이에 직열 접속되어 해당 입력단자 IN와 GND과의 사이에 전류전압 변환회로 1200가 접속 되어 있다.

전류전압 변환회로 1200는 제24도와 동일하게 PMOS 1201와 저항수단 1210과의 직열회로로 구성되어 그의 양자의 접속점이 출력단자 OUT에 접속되어 있다.

증폭회로 1400는 입력단자 IN에 노드 N31를 통하여 접속된 입력 노드 A_{OUT1} 와 PMOS 1101의 게이트에 노드 N33를 통하여 접속된 제2의 출력노드 A_{OUT2} 와를 가지고 있다.

이 증폭회로 1400는 제28도의 레벨시프터 1102와 반전앰프 1300과를 하나의 회로로 실현한 것으로 입력노드 A_{in} 에 게이트가 접속된 디프레션형의 PMOS 1401와 해당입력노드 A_{in} 에 게이트가 접속된 NMOS 1402와 NMOS 1411,1412에서 되는 커런트 미러회로 1410와로 구성되어 있다.

PMOS 1401는 소스가 Vcc에 드레인이 커런트 미러회로 1410의 전류 입력노드 I_{in} 에 각각 접속되어 있다.

NMOS 1402는 드레인이 Vcc에 소스가 커런트 미러회로 1410의 전류출력노드 I_{OUT} 및 제2의 출력노드 A_{OUT2} 에 각각 접속되어 있다.

커런트 미러회로 1410는 그것을 구성하는 NMOS 1411,1412의 각 소스가 GND에 접속되어 그의 각 게이트가 제1의 출력노드 A_{OUT1} 에 접속되어 있다.

NMS 1411의 드레인 및 게이트는 전류입력노드 I_{in} 에 접속되어 있다.

NMOS 1412의 드레인은 전류출력 노드 I_{OUT} 에 접속되어 있다.

다음에 (1)증폭회로 1400의 동작과 (2)입력노드 A_{in} 의 전위와 제1의 출력노드 A_{OUT2} 의 전위과의 관계와 (3)센스 회로 전체의 동작과 본 실시예의 이점을 설명한다.

(1) 증폭회로 1400의 동작

입력노드 A_{in} 와 출력노드 A_{OUT1} 과의 사이에는 PMOS 1401 및 NMOS 1411에서 되는 반전앰프가 접속되어 있어 이 부분은 제25도의 반전앰프 1300와 동일의 구성이다.

따라서 출력노드 A_{OUT1} 에는 입력노드 A_{in} (즉 입력단자 IN)의 전압신호가 반전증폭하여 출력된다.

(2) 입력노드 A_{in} 의 전위와 제2의 출력 노드 A_{OUT2} 의 전위과의 관계

제31도는 제30도의 증폭회로 1400의 출력노드 A_{OUT2} 의 동작을 설명하기 위한 동작특성도이다.

이 도면의 종축은 전류, 횡축은 전압이다.

예컨데 NMOS 1411과 1412의 능력은 동등한 것으로 한다.

제31도에 있어서 곡선 C_{NA} 은 횡축을 출력노드 A_{OUT2} 의 전위, 종축은NMOS 1402를 흐르는 전류의 크기로 하고 입력노드 A_{in} 의 전위를 Va로 한때의 해당 NMOS 1402의 전류전압 특성곡선이다.

제31도에 표시함과 같이 출력노드 A_{OUT2} 의 전위가 $Va - V_{TNN}$ 보다 낮게되면 전류가 흐르기 시작한다.

또 곡선 C_{Nb} 는 입력노드 A_{in} 의 전위를 V_b로 하였을 때의 NMOS 1402의 전류전압 특성곡선이고 종축과 횡축의 정의는 곡선 C_{Na} 의 것과 동일하다.

이 경우 출력노드 A_{OUT2} 의 전위가 $V_b - V_{TNN}$ 보다 낮게 되면 전류가 흐르기 시작한다.

곡선 1_a 및 1_b는 횡축을 출력노드 A_{OUT2} 의 전위라하고 종축을 NMOS 1412를 흐르는 전류의 크기로 하였을때의 해당 NMOS 1412의 전류 전압 특성곡선이다.

곡선 1_a은 입력노드 A_{in} 의 전위가 V_a인 때의 것으로서 곡선 1_b은 입력노드 A_{in} 의 전위가 V_b인 때의 것이다.

곡선 C_b는 횡축을 입력노드 A_{in} 의 전위라하여 종축을 PMOS 1401를 흐르는 전류로 하였을때의 해당 PMOS 1401의 전류 전압 특성곡선이다.

예컨데 입력노드 A_{in} 의 전위가 V_a인때 PMOS 1401를 흐르는 전류를 I_a라고 하면 이 전류 I_a는 NMOS 1411에도 흐른다.

NMOS 1411 및 1412는 커런트 미러회로 1410를 구성하고 있음으로 NMOS 1412에 있어서도 전류 I_a가 흐르는 것으로 된다.

그 때문에 NMOS 1412의 특성곡선 1a과 NMOS 1402의 특성곡선 C_{Na} 과는 전류치가 I_a로 되는 점 P_3에서 교차한다.

이 점 P_a이 입력노드 A_{in} 의 전위가 V_a인 때의 출력노드 A_{OUT2} 의 전위로 된다.

동일하게 입력노드 A_{in} 의 전위가 V_b인때, PMOS 1401를 흐르는 전류를 I_b로 하면, 이때 NMOS 1412를 흐르는 전류도 I_b로 되어 해당 NMOS 1412의 특성곡선 1_b과 NMOS 1402의 특성곡선 C_{Nb} 과는 전류치가 I_b로 되는 점 P_b에서 교차한다.

이 점 P_b이 입력노드 A_{in} 이 전위가 V_b인 때의 출력노드 A_{OUT2} 의 동작점이고, 그의 전압치 V_{OUTb} 가 출력노드 A_{OUT2} 의 전위로 된다.

이와같이 본 실시예에 있어서 증폭회로 1400에는 입력전압신호가 레벨시프터되는 것만이 아니라 입력전압진폭 Va-Vb이 증폭되어 V_{outa} - V_{outb} (Va-Vb)되는 것은 큰 전압진폭이 얻어진다.

역시 이와같이 입력전압진폭이 증폭되는 조건은 NMOS 112가 포화하고 있는 것이고, 입력노드 A_{in} 의 전위가 Vcc에 충분 가까운 것이 필요하다.

그러나 이것은 본 실시예의 센스회로이 사용조건 바로 그것으로서 동작을 제약하는 것은 아니다.

다음에 종래의 레벨시프터에 의한 출력전압진폭과 본 실시예의 것과를 비교한다.

예컨데 NMOS 1412를 전류 I_a를 흐르는 정 전류원으로 되도록 구성한다.

입력노드 A_{in} 의 전위가 V_b인 때의 출력노드 A_{out2} 의 동작점은 P_{bb} 로 되어 전위는 V_{outbb} 로 됨으로 출력전압진폭을 V_{outa} - V_{outbb} 로 되어 본 실시예의 것보다 작다.

즉 본 실시예의 증폭회로 1400에 있어서는 동일한 입력전압진폭의 신호에 대하여 종래의 것보다 큰 출력전압진폭을 가지는 레벨시프터신호가 얻어진다.

(3) 센스회로 전체의 동작과 본 실시예의 이점

증폭회로 1400의 제1의 출력노드 A_{out1} 에는 입력신호 IN의 전압신호의 반전증폭된 전압출력신호가 얻어져 이것이 전류전압 변환회로 1200내의 PMOS 1201의 게이트를 구동한다.

한편 증폭회로 1400의 움직임에 의해 입력단자 IN의 전압신호가 레벨시프터되어 또한 증폭된 레벨시프터신호가 얻어져 이것에 의해 데이터선 부하용의 PMOS 1101의 게이트가 제어된다.

그 때문에 센스회로 전체의 동작은 기본적으로는 제13의 실시예를 표시하는 제28도의 것과 동일하고 저전원 전압동작에 우수하여 동작의 안정성에 훌륭함과 함께 다이내믹 레인지의 넓은 센스회로가 얻어진다.

더욱더 본 실시예에는 종래의 것보다 크게 증폭된 레벨시프터 출력이 얻어짐으로 제13의 실시예를 표시하는 제28도에 있어서의 것보다 더욱 데이터선 부하의 특성이 개선된 다이내믹 레인지의 보다 넓은 것이 얻어진다.

그 위에 본 실시예에는 하나의 증폭회로 1400에 의해 입력전압 신호의 반전증폭출력과 레벨시프터출력과가 얻어짐으로 반전앰프를 따로 설치하는 것에 의해 센스회로의 소자수를 적게된다.

또 본 실시예의 증폭회로 1400의 용도는 센스회로에서의 사용에 한정되지 않고 증폭된 레벨시프터출력을 필요로 하는 여러가지 분야, 예컨데 인터페이스 회로등에 있어서 레벨시프터로서 사용하여 효과가 있다.

제15의 실시예

제32도는 본 발명의 제15의 실시예를 표시하는 센스회로의 회로도이고 제10의 실시예를 표시하는 제24도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 센스회로에는 제24도와 동일한 데이터선 부하회로 1100 및 전류전압 변환회로 1200와 제24도와 다른 구성의 반전앰프 1300B과로 구성되어 있다.

반전앰프 1300B는 입력단자 IN에 접속된 입력노드 A_{in} 와 PMOS 1201의 게이트에 접속된 출력노드 A_{OUT} 과를 가지고 부성저항회로 1320와 저항수단 1310과로 구성되어 있다.

부성저항회로 1320는 제어단자 G 및 제1, 제2의 입출력단자 S,D를 가지고 해당 제어단자 G가 입력노드 A_{IN} 에 제1의 입출력단자 S가 Vcc에 해당 제2의 입출력단자 D가 저항수단 1310의 한편의 단자 및 출력노드 A_{out} 에 각각 접속되어 있다.

저항수단 1310의 다른편의 단자는 GND에 접속되어 있다.

부성저항회로 1320는 제1과 제2의 입출력단자 S,D간에 접속된 PMOS 1321와 Vcc와 GND간에 직열로 접속된 NMOS 1322,1323과로 구성되어있다.

PMOS 1321는 소스가 제1의 입출력단자 S에 게이트가 노드 N40에 드레인이 제2의 입출력단자 D에 각각 접속되어 있다.

PMOS 1322는 드레인이 Vcc에 게이트가 제어단자 G에 소스가 노드 N40에 게이트가 제2의 입출력단자 D에 소스가 GND에 각각 접속되어 있다.

역시 다른 부분에 관하여는 제10의 실시예를 표시하는 제24도와 동일하다.

다음에 본 실시예의 센스회로의 동작을 제33도 제36도를 참조하면서 설명한다.

우선 반전앰프 1300B의 동작을 제33도를 참조하면서 설명한다.

제33도는 반전앰프 1300B의 출력노드 A_{out} 에 있어서 동작 특성도이다.

이 도면의 종축은 부성저항회로 1320의 제1과 제2의 입출력단자 S,D간을 흐르는 전류와 저항수단 1310을 흐르는 전류이고 횡축은 출력노드 A_{out} 의 전위이다.

제33도에 있어서, 곡선 NR_a 은 입력노드 A_{in} 의 전위를 V_a 로 하였을 때의 부성저항회로 1320의 제1과 제2의 입출력단자 S,D간의 전류전압 특성곡선이다.

곡선 NR_b 은 입력노드 A_{in} 의 전위를 V_b 로 하였을때의 부성저항회로 1320의 전류전압 특성곡선이다.

이들 어느 곡선 $NR_{a??}$ NR_b 도 출력노드 A_{out} 의 전위가 저하하는데 따라 전류가 한번 증가하고 그 후 어느점에서 감소하기 시작하는 형으로 된다.

제33도의 곡선 1_R 은 저항수단 1310으로 하여 예컨데 게이트와 드레인의 접속된 NMOS를 사용하였을 때의 해당 저항수단 1310의 전류 전압 특성곡선이다.

입력노드 A_{in} 의 전위가 V_a 인 때의 회로의 동작 점은 곡선 NR_a 과 곡선 1_R 과의 교점 P_a 로 되어 그 때의 전압치 V_{outb} 가 출력노드 V_{out} 의 전위로 된다.

즉 입력전압 진폭 $V_a - V_b$ 에 대한 출력전압진폭 $V_{outa} - V_{outb}$ 이 얻어진다.

다음에 본 실시예의 반전앰프 1300B의 게인과 제10의 실시예를 표시하는 제24도의 것과를 비교한다.

예컨데 제32도의 부성저항회로 1320를 디프레션형 PMOS에 대체한 경우 그의 전류전압특성은 제33도의 파선으로 표시한 곡선 C_{aa} 및 C_{bb} 와 같이 된다.

그 결과 입력노드 A_{in} 의 전위가 V_a 인 때의 회로의 동작점은 P_{aa} 로 되어 입력노드 A_{in} 의 전위가 V_b 인때의 회로의 동작점이 P_{bb} 로 된다.

그 때문에 출력전압진폭은 $V_{aa} - V_{bb}$ ($< Va - V_b$)로 되어 부성저항회로 1320를 사용하는 것보다 작게 된다.

이와같이 본 실시예에는 반전앰프 1300B를 부성저항회로 1320와 저항수단 1310과로 구성하였음으로 보다 게인의 높은 반전앰프가 얻어진다.

또 부성저항회로 1320의 노드 N40에는 제어단자 G의 전위에서 적어도 스레숄드 전압 V_{TNN} 분만큼 낮은 전위가 얻어진다.

그 때문에 입력단자 IN가 Vcc전위로 있어도 부성저항회로 1320는 컷오프하지 않고 디프레션형 PMOS를 사용한 것과 동일하게 다이내믹 레인지의 넓은 것이 얻어진다.

따라서 예컨데 디프레션형 MOS트랜지스터를 얻기위하여 이온집어넣는 공정을 행하는 없이 입력단자 IN의 전위를 Vcc가까이에 바이어스된다.

따라서 저전원 전압동작에 우수한 센스회로가 얻어진다.

다음에 이와같은 반전앰프 1300B의 동작의 안정성을 제34도를 참조하면서 설명한다.

제34도는 제32도의 반전앰프 1300B의 동작의 안정성을 설명하기 위한 회로도이고, 제32도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

여기에 NMOS 1322와 NMOS 1323을 일괄하여 회로1로하고, 해당 회로1의 입력을 노드 N42, 해당회로1의 출력을 노드 N40이라 한다.

역시 노드 N41는 적절한 전위에 바이어스되어 있는 것으로 한다.

또 PMOS 1321와 저항수단 1310을 일괄하여 회로2라고 하고 그의 입력을 노드 N40, 출력을 노드 N42로 한다.

역시 저항수단 1310은 게이트와 드레인의 접속된 NMOS로 구성되어 있다고 한다.

제34도에서 명백함과 같이 회로1과 회로2는 그의 입력과 출력이 서로 교차 접속되어 있다.

제35도는 이와 같은 회로의 동작의 안정성을 판정하기 위한 회로1 및 회로2의 입출력 특성도이다.

제35도의 종축은 회로1의 출력전위 V_{01} 와 회로2의 입력전위 V_{I1} 이고, 횡축은 회로1의 입력전위 V_{I1} 와 회로2의 출력전위 V_{O2} 이다.

곡선 C_1 은 회로1의 입출력 특성곡선, 곡선 C_2 은 회로2의 입출력 특성곡선이다.

회로1에 있어서는 입력(노드 N42)의 전위가 저하하는데 따라 출력(노드 N40)의 전위가 상승하고 해당 입력전위가 V_{TN} 로 되면 출력전위는 $Vcc - V_{TNN}$ 에 이르어 일정으로 된다.

한편, 회로2에 있어서는 그의 입력(노드 N40)의 전위가 상승하는데 따라 출력(노드 N42)의 전위가 저하하고 해당 입력전위가 $Vcc - |V_{TP}|$ 로 되면 출력전위가 V_{TN} 에 이르러 일정으로 된다.

따라서 각 특성곡선 C_1, C_2 는 제35도에 표시함과 같이 하나의 동작점 P로 교차한다.

여기에 회로1의 출력(노드N40)이 $Vcc - V_{TNN}$ 로되는 영역에 주목한다.

이때 NMOS 1322에는 큰 백 바이어스가 걸려 있음으로 V_{TNN} V_{TN} 로 된다.

따라서 V_{TN} ｜V_{TP}｜로 되는 모양인 제조조건을 정하면 V_{TNN} ｜V_{TP}｜로 됨으로 입출력 특성곡선이 복수점에서 교차하는 것은 없다.

이렇게한 제조조건은 일반의 CMOS집적회로의 제조조건으로서 극히 보통의 것이다.

따라서 본 실시예에는 하등 특수한 제조공정을 요하는 것 없이 게인의 높은 반전앰프 1300B가 얻어진다.

다음에 본 실시예에 있어서 센스회로 전체의 동작과 종래예에 대한 본 실시예의 이점을 설명한다.

본 실시예의 센스회로에는 제10의 실시예를 표시하는 제24도의 반전앰프 1300에 대체하여 구성의 다른 반전앰프 1300B를 설치하고 있어 다른 구성은 제24도와 동일하다.

더구나 반전앰프 1300B는 그의 입력노드 A_{IN} 가 Vcc가까이에 바이어스 되어도 컷오프하지 않는다.

따라서 제10의 실시예와 동일하게 저전원전압 동작에 우수하여 동작의 안정성에 우수한 센스회로가 얻어진다.

그 위에 출력진폭의 크기와 회로전체의 게인을 독립으로 조정가능한 센스회로가 얻어진다.

더욱 본 실시예에는 이들의 이점에 가하여 다음과 같은 이점이 얻어진다.

즉 반전앰프 1300B를 부성저항회로 1320와 저항수단 1310으로 구성하였음으로 제10의 실시예의 것보다도 게인의 큰 센스회로가 얻어진다.

그 위에 특히 디프레션형 MOS트랜지스터를 필요로 하지 않음으로 제조공정의 적은 센스회로가 얻어진다.

제16의 실시예

제36도는 본 발명의 제16의 실시예를 표시하는 센스회로의 회로도이고 제14의 실시예를 표시하는 제30도중의 요소와 공통의 요소에는 공통의 부호가 붙여져 있다.

이 센스회로에는 제30도의 센스회로에 있어서 증폭회로 1400에 대체하여 그것과 구성의 다른 증폭회로 1400A가 설치되어 있는 점만이 다르게 되어 있다.

증폭회로 1400A는 제어단자 G, 제1,제2의 입출력단자 S,D 및 출력단자 X를 가지는 부성저항회로 1420와 저항수단용의 NMOS 1430과로 구성되어 있다.

부성저항회로 1420의 제어단자 G는 증폭회로 1400A의 입력노드 A_{in} 에 출력단자 X는 해당 증폭회로 1400A의 제2의 출력노드 A_{OUT2} 에 각각 접속되어 있다.

부성저항회로 1420의 제1의 입출력단자 S는 Vcc에 접속되어 있다.

제2의 입출력단자 D는 NMOS 1430의 게이트 및 드레인과 증폭회로 1400A의 제1의 출력노드 A_{out} 과에 접속되어 있다.

NMOS 430의 소스는 GND에 접속되어 있다.

이 부성저항회로 1420는 제15의 실시예를 표시하는 제32도중의 부성저항회로 1320와 동일하게 PMOS 1421 및 NMOS 1422,1423로 구성되어 해당 PMOS 1421의 게이트가 출력단자 X와 접속되어 있는 점만이 제32도와 다르다.

다음에 증폭회로 1400A의 동작을 설명한다.

우선 입력노드 A_{in} 와 제1의 출력노드 A_{out1} 의 관계에만이 주목하면 이 부분은 제15의 실시예를 표시하는 제32도의 반전앰프 1300B와 동일한 구성때문에 해당 반전앰프 1300B와 동일하게 동작한다.

즉, 제1의 출력 노드 A_{out1} 에 있어서는 입력노드 A_{in} 의 입력전압의 변화가 반전 증폭되어서 얻어진다.

다음에 입력노드 A_{in} 에 대한 제2의 출력노드 A_{out} 의 관계에 주목하여 회로의 동작을 설명한다.

이 동작설명을 위하여 제5의 실시예를 표시하는 제30도에 있어서 디프레션형 PMOS 1401를 제37도의 변형 회로에 표시함과 같이 부성저항회로 1440에 옮겨놓은 회로를 생각한다.

부성저항회로 1440는 제15의 실시예를 표시하는 제32도 중의 부성저항회로 1320와 동일한 회로구성이고 제어단자 G 및 제1,제2 입출력단자 S,D를 가지고 PMOS 1441 및 NMOS 1442,1443으로 구성되어 있다.

우선 부성저항회로 1440와 NMOS 1411과에서 되는 부분에 주목하면이것은 제32도의 반전앰프 1300B와 동일 구성이다.

따라서 제2의 입출력단자 D에는 입력노드 A_{in} 의 전압변화가 크게 반전 증폭되어서 얻어진다.

제32도에 설명한 바와같이 이 반전앰프 부분의 게인은 디프레션형 PMOS를 사용하는 것보다 크게 된다.

이 제2의 입출력단자 D가 NMOS 1412의 게이트를 제어하고 있는 것에서 제37도의 회로는 디프레션형 PMOS를 사용하여 구성된 제30도의 증폭회로 1400에서 큰 전압진폭의 레벨시프터출력을 얻는 것이 가능으로 된다.

여기에 제37도에 있어서 NMOS 1442의 능력(예컨데 일정한 게이트 전압과 드레인.소스간 전압에 의하여 흐르는 드레인전류로 정의되는 능력)과 NMOS 1402의 능력과를 동등하게 함과 함께 NMOS 1443의 능력과 NMOS 1412의 능력과를 동등하게 하면 PMOS 1441의 게이트전위와 제2의 출력노드 A_{out2} 의 전위가 항상 동등하게 된다.

이와같이 하여 보다 간략화된 등가회로가 얻어진다.

즉 제37도의 PMOS 1441의 게이트와 제2의 출력노드 A_{out2} 를 쇼트함과 함께 NMOS 1442와 NMOS 1402과를 하나의 NMOS 1442A에 옮겨 놓아 더욱 NMOS 1443와 NMOS 1412를 하나의 NMOS 1443A에 옮겨놓으면 제38도에 표시함과 같은 등가회로가 얻어진다.

이 제38도의 회로는 본 실시예에 있어서 증폭회로 밖에는 안되고 제36도의 증폭회로 1400A의 것과 동일하다.

이상과같이 본 실시예에는 다음과 같은 이점을 가지고 있다.

(a) 본 실시예의 증폭회로 1400A 에는 제30도의 증폭회로 1400에서 게인의 큰 반전증폭출력과 증폭된 레벨시프터출력과를 얻는것이 된다.

더욱 입력단자 IN에 부성저항회로 1420를 접속하고 있음으로 해당 입력단자 IN를 Vcc가까이까지 바이어스하여도 회로가 컷오프하는 것이 없다.

따라서 제14의 실시예를 표시하는 제30도와 동일하게 저전원 전압동작에 우수하여 동작의 안정성에 우수하여 또한 넓은 다이내믹 레인지가 얻어진다.

더구나 디프레션형 MOS트랜지스터를 사용할 필요가 없는 센스회로가 얻어진다.

(b) 본 실시예에는 부성저항회로 1420를 구성하는 PMOS 1421의 게이트에서 레벨시프터출력을 얻고 있음으로 소자수의 적은 센스회로를 얻는것이 된다.

이런 것은 본 실시예의 제36도의 증폭회로 1400A와 제37도 및 제38도의 회로와를 비교하면 분명하다.

(c) 본 실시예의 증폭회로 1400A의 용도는 센스회로에 한정되지 않고 여러가지 분야에 있어서 레벨시프터 혹은 반전 앰프로서 사용하여 효과가 있다.

변형예

역시 본 발명은 상기 실시예에 한정되지 않고 여러가지 변형이 가능하다.

그의 변형예로서는 예컨데 다음과 같은 것이 있다.

(i)상기 실시예에 있어서 NMOS 를 PMOS에, PMOS를 NMOS에, Vcc를 GND에, GND를 Vcc에 옮겨놓아도 상기 실시예와 동일한 효과를 가지는 회로가 얻어진다.

(ii) 동작시에 정상적으로 전류의 흐르는 전류경로(예컨데 전류전압 변환회로 1200,…)중에 스위치수단을 직열형태로 삽입하면 대기시의 소비전력을 저감된다.

(iii) 동작시의 정상적인 전류경로(예컨데 전류전압 변환회로 1200,…)와 전위공급단자 Vcc과의 사이에 제1의 스위치수단을 직열형태로 삽입하고 해당 전류경로와 전위공급단자 GND과의 사이에 제2의 스위치수단을 직열형태에 삽입하고 상기 제1의 스위치수단과 제2의 스위치과의 사이의 접속점에 제3의 스위치수단을 설치하여 이 제3의 스위치수단에 소정의 전위를 공급하는 전위공급수단을 설치하여도 좋다.

이와같이 하면 대기시의 소비전력을 저감됨과 함께 대기시에 소망의 접속점을 사전에 소정의 전위에 프리차지 하는데 대한 것에서 빨리 대기상태에서 동작상태에 옮겨지는 센스회로가 얻어진다.

또 상기 제1의 스위치수단은 예컨데 데이터선 부하의 트랜지스터를 겸하여도 좋다.

발명의 효과

이상 상세히 설명한 바와같이 제1, 제5 및 제6의 발명에 의하면, 제1과 제2의 회로부분이 서로 소스 폴로우어회로로서 움직이기 때문에 래치동작에 들어오든지 혹은 발진하든지 하는 두려움이 없는 동작의 안정성에 우수한 것이 얻어진다.

더구나 입력단자와 기준전위과의 사이에 포화상태에 있는 1개의 디프레션형 MOS트랜지스터와 저항수단과를 직열접속한 구성만으로도 미소한 입력전류차를 검출하여 큰 전위차 출력을 얻는 센스동작이 가능하다.

그 위에 입력전위차를 작게 억제하는 것이 됨으로 저전원 전압동작에 우수하다.

더욱 적은 소자수로 회로를 구성된다.

제2의 발명에 의하면, 제1과 제2의 회로부분이 서로 소스폴로우어회로로서 동작하기 때문에 동작의 안정성에 우수하여 저전원 전압동작에 있어서도 우수한 메모리회로가 얻어진다.

더욱 제1, 제2의 스위치수단을 설치하였음으로, 대기상태에서 동작상태에의 신속한 천이가 가능으로 된다.

제3 및 제4의 발명에 의하면 제1, 제2의 부성저항회로를 설치함으로 제1과 제2의 회로부분이 서로 소스 폴로우어 회로로서 동작하고 제1의 발명과 거의 동일하게 미소한 입력전류차를 검출하여 큰 전위차 출력을 얻는 것이 되어 더욱 입력전위차를 작게 억제하는 것이 된다.

더구나 종래의 것과 비하여 동작의 안정성에 우수하여 저전원 전압동작에 우수한 센스회로가 얻어진다.

또, 제1, 제2의 부성저항회로는 디프레션형 MOS트랜지스터로 구성한 것에 비하여 제조코스트가 작고 게인의 큰 센스 회로를 구성된다.

제7 및 제8의 발명에 의하면, 제1, 제2의 부성저항회로를 설치함으로 제1과 제2의 회로부분이 서로 소스 폴로우어 회로로서 동작하고 제8 및 제9의 발명과 동일하게 동작의 안정성이 우수하여 저전원 전압동작에 우수하여 제조코스트가 작고 게인의 큰 메모리회로를 얻는 것이 된다.

더구나 제1, 제2의 스위치수단을 설치함으로 대기상태에서 동작 상태에 신속하게 천이 가능하다.

(57) 청구의 범위

청구항 1.

청구항1는 삭제 되었습니다.

청구항 2.

제 1 및 제 2 입력단자와 제 1 및 제 2 출력단자를 갖는 복수의 센스회로를 지닌 판독회로를 구비하고, 상기 판독회로에서 판독된 데이터를 제 1 및 제 2 데이터 버스로 출력하는 메모리 회로에 있어서,

상기 각 센스회로의 제 1 및 제 2 출력단자는 상기 제 1 및 제 2 데이터 버스에 각각 공통으로 접속되어 와이어드 논리가 구성되고,

상기 제 1 데이터 버스가 제 1 저항수단을 통해 기준전위에 접속되고, 상기 제 2 데이터 버스가 제 2 저항수단을 통해 상기 기준전위에 접속되며,

상기 각 센스회로는,

소스가 상기 제 1 입력단자에, 게이트가 상기 제 2 입력단자에 각각 접속된 제 1 디플리션형 MOS 트랜지스터와,

소스가 상기 제 2 입력단자에, 게이트가 상기 제 1 입력단자에 각각 접속된 제 2 디플리션형 MOS 트랜지스터와,

상기 제 1 디플리션형 MOS 트랜지스터의 드레인과 상기 제 1 출력단자 사이에 직렬접속된 제 1 스위치수단과,

상기 제 2 디플리션형 MOS트랜지스터의 드레인과 상기 제 2 출력단자 사이에 직렬접속된 제 2 스위치수단을 구비한 것을 특징으로 하는 메모리회로.

청구항 3.

청구항3는 삭제 되었습니다.

청구항 4.

청구항4는 삭제 되었습니다.

청구항 5.

청구항5는 삭제 되었습니다.

청구항 6.

청구항6는 삭제 되었습니다.

청구항 7.

제 1 및 제 2 입력단자와 제 1 및 제 2 출력단자를 갖는 복수의 센스회로를 지닌 판독회로를 구비하고, 상기 판독회로에서 판독된 데이터를 제 1 및 제 2 데이터 버스로 출력하는 메모리회로에 있어서,

상기 각 센스회로의 제 1 및 제 2 출력단자는 상기 제 1 및 제 2 데이터 버스에 각각 공통으로 접속되어 와이어드 논리가 구성되고,

상기 제 1 데이터 버스가 제 1 저항수단을 통해 기준전위에 접속되고, 상기 제 2 데이터 버스가 제 2 저항수단을 통해 상기 기준전위에 접속되며,

상기 각 센스회로는,

제 1 및 제 2 입출력 단자 중의 제 1 입출력 단자가 상기 제 1 입력단자에, 제어단자가 상기 제 2 입력단자에 각각 접속된 제 1 부성저항회로와,

제 1 및 제 2 입출력 단자 중의 제 1 입출력 단자가 상기 제 2 입력단자에, 제어단자가 상기 제 1 입력단자에 각각 접속된 제 2 부성저항회로와,

상기 제 1 부성저항회로의 제 2 입출력 단자와 상기 제 1 출력단자 사이에 직렬접속된 제 1 스위치수단과,

상기 제 2 부성저항회로의 제 2 입출력단자와 상기 제 2 출력단자 사이에 직렬접속된 제 2 스위치수단을 구비한 것을 특징으로 하는 메모리회로.

청구항 8.

제 7항에 있어서,

상기 제 1 및 제 2 부성저항회로는,

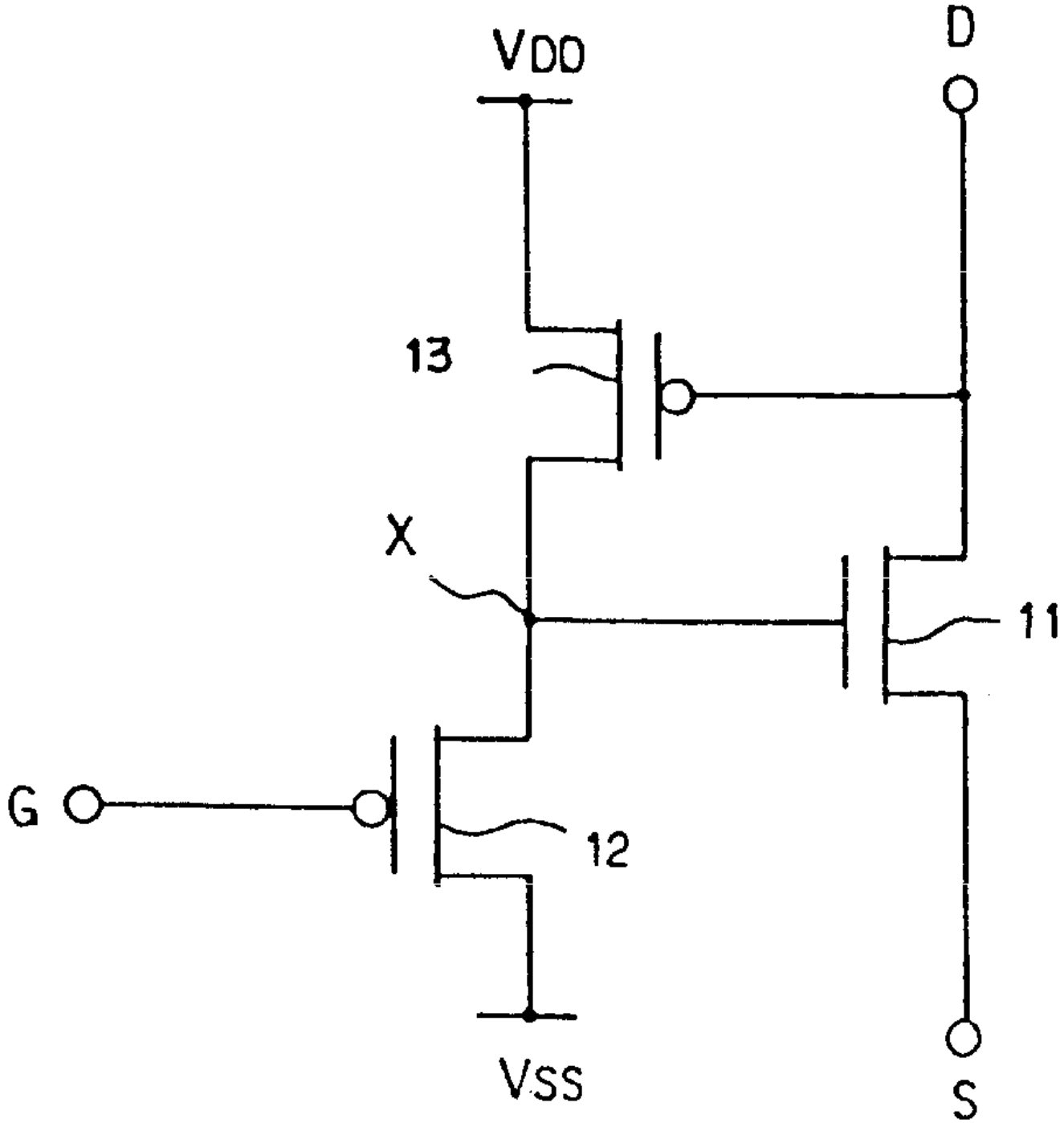
상기 제 1과 제 2 입출력 단자 사이에 접속된 제 1 전도형의 제 1 MOS 트랜지스터와,

드레인이 제 1 기준전위에, 게이트가 상기 제어단자에, 소스가 상기 제 1 MOS 트랜지스터의 게이트에 각각 접속된 제 2 전도형의 제 2 MOS 트랜지스터와,

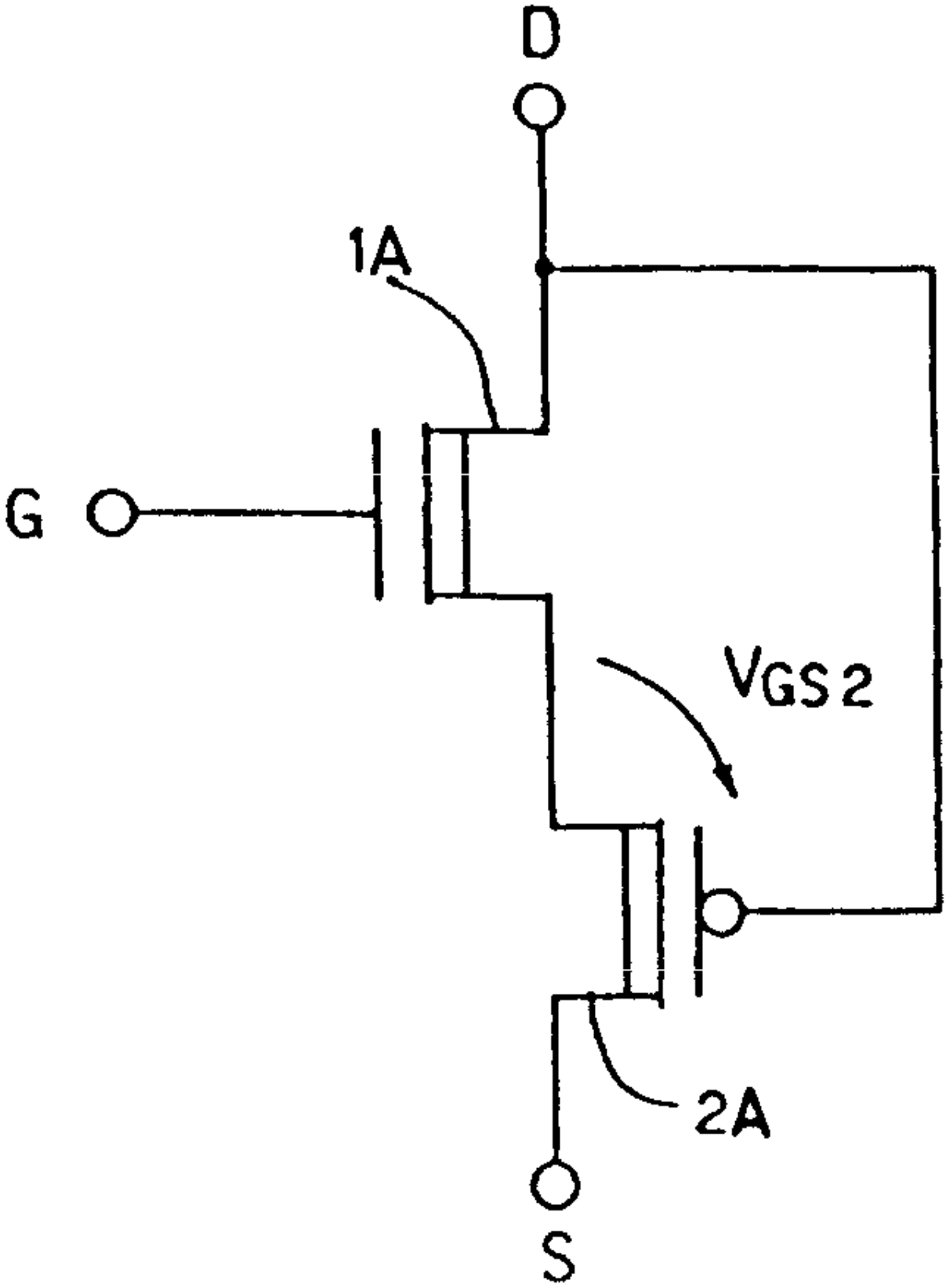
드레인이 상기 제 2 MOS 트랜지스터의 소스에, 게이트가 상기 제 2 입출력 단자에, 소스가 제 2 기준전위에 각각 접속된 제 2 전도형의 제 3 MOS 트랜지스터로 각각 구성된 것을 특징으로 하는 메모리회로.

도면

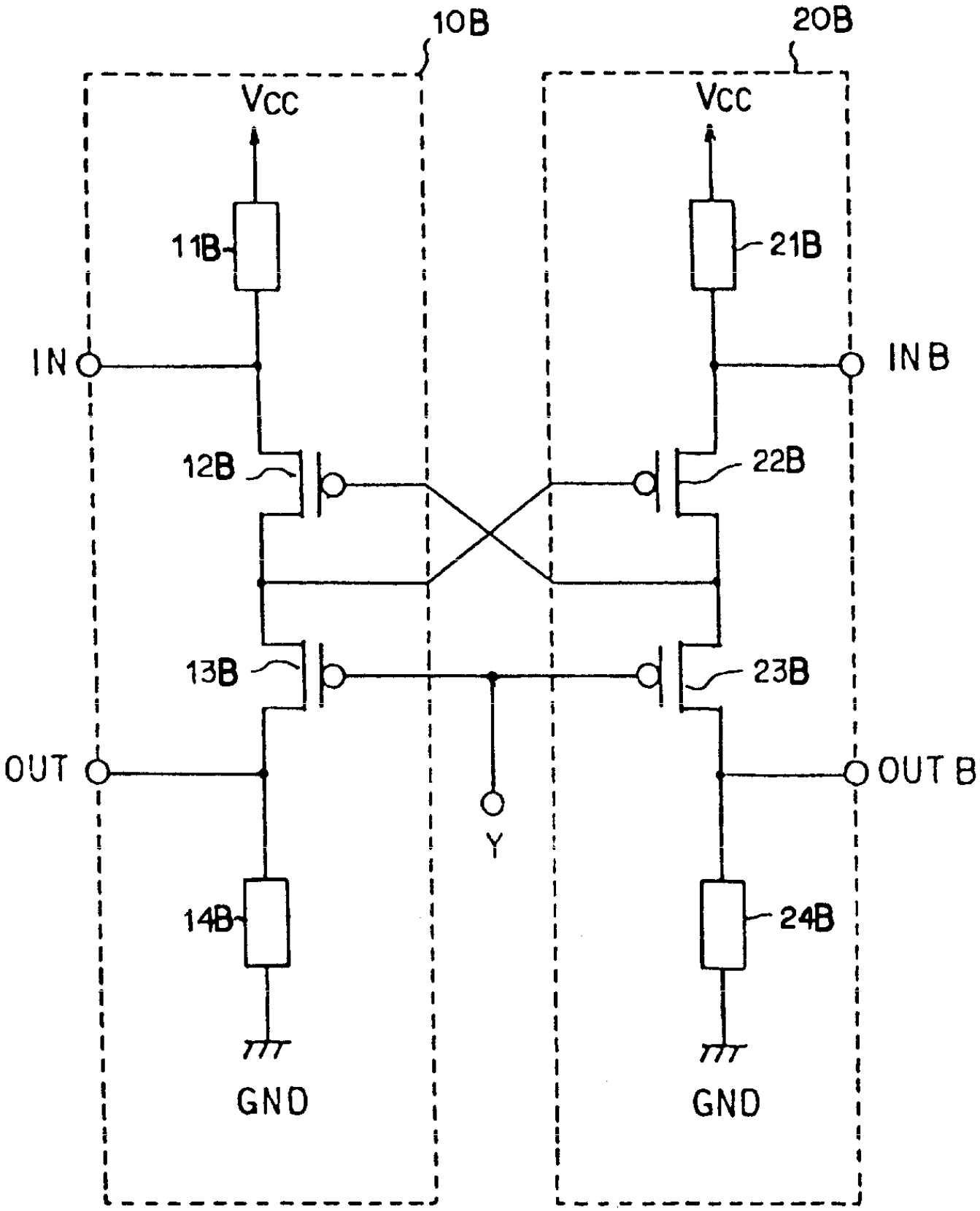
도면 1



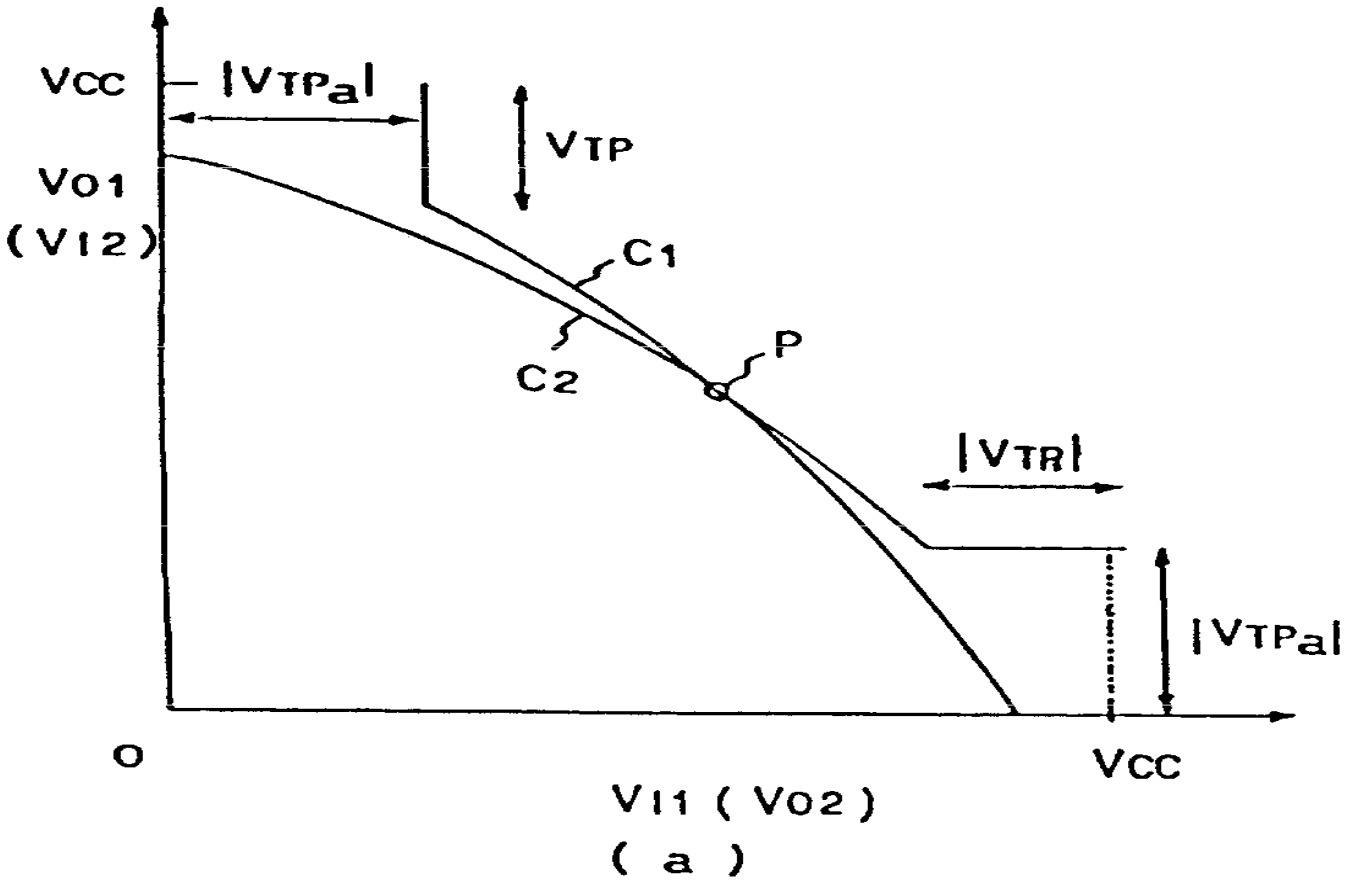
도면 2

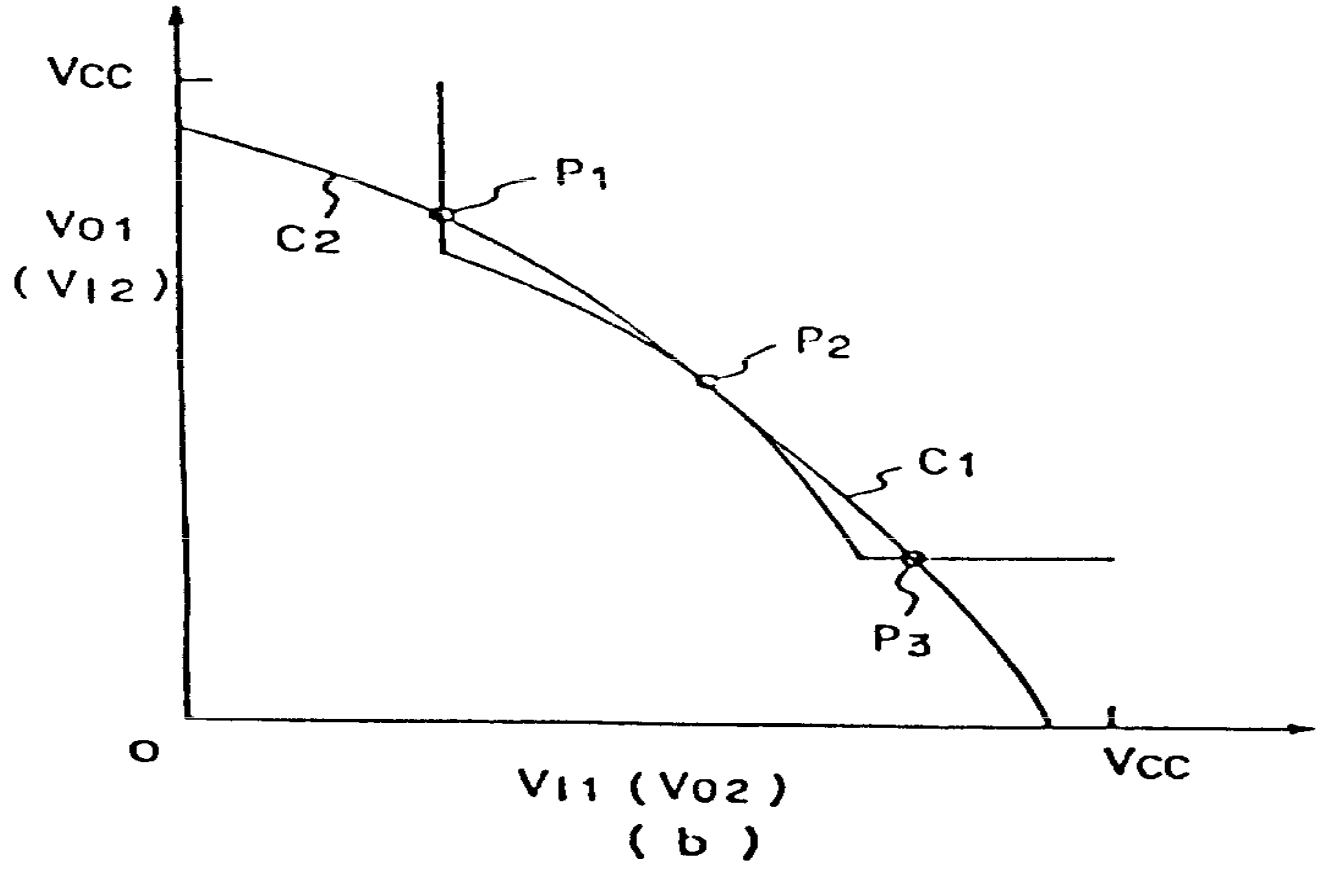


도면 3

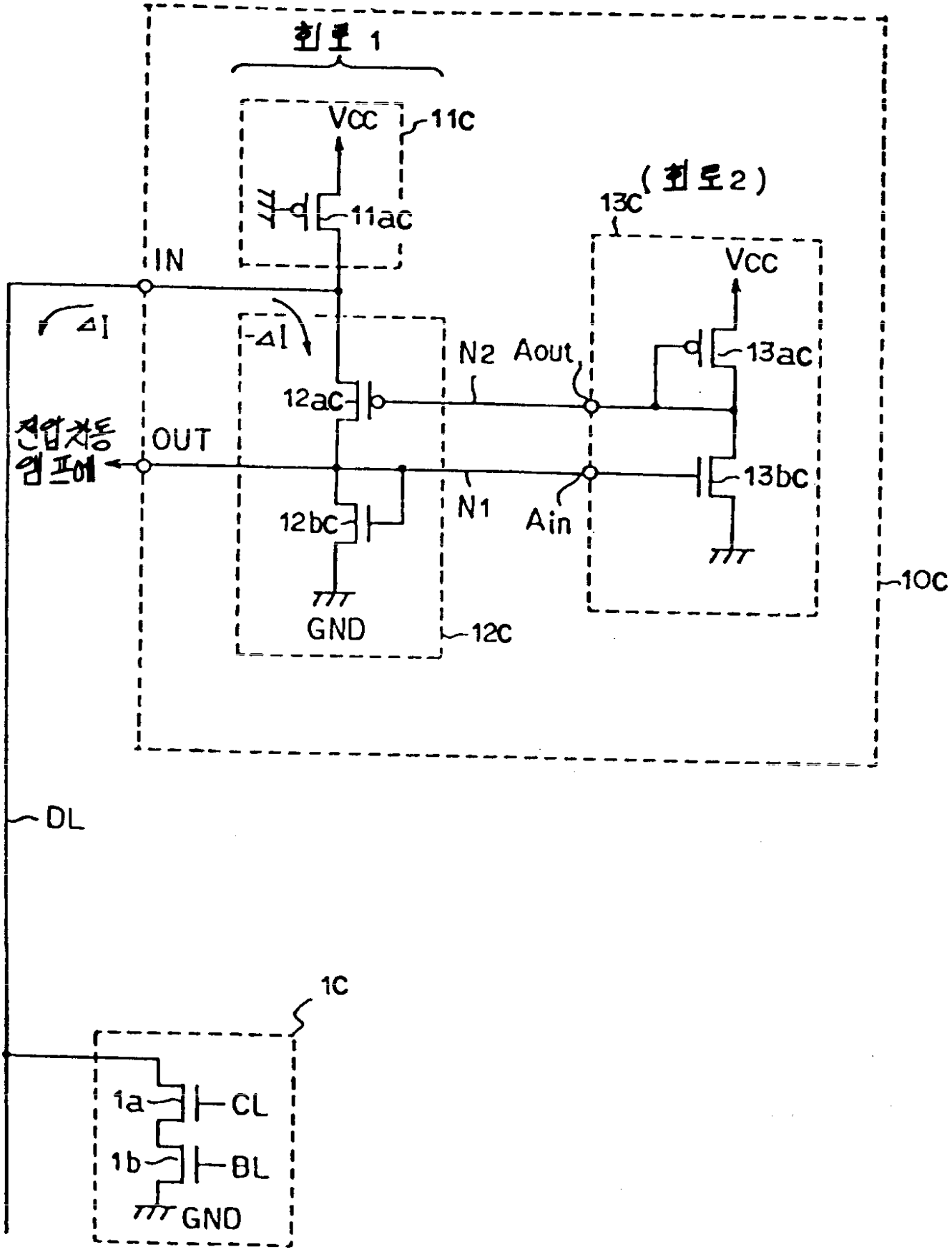

10B
20B
Vcc
Vcc
11B
21B
IN
INB
12B
22B
13B
23B
OUT
OUTB
Y
14B
24B
GND
GND

도면 4

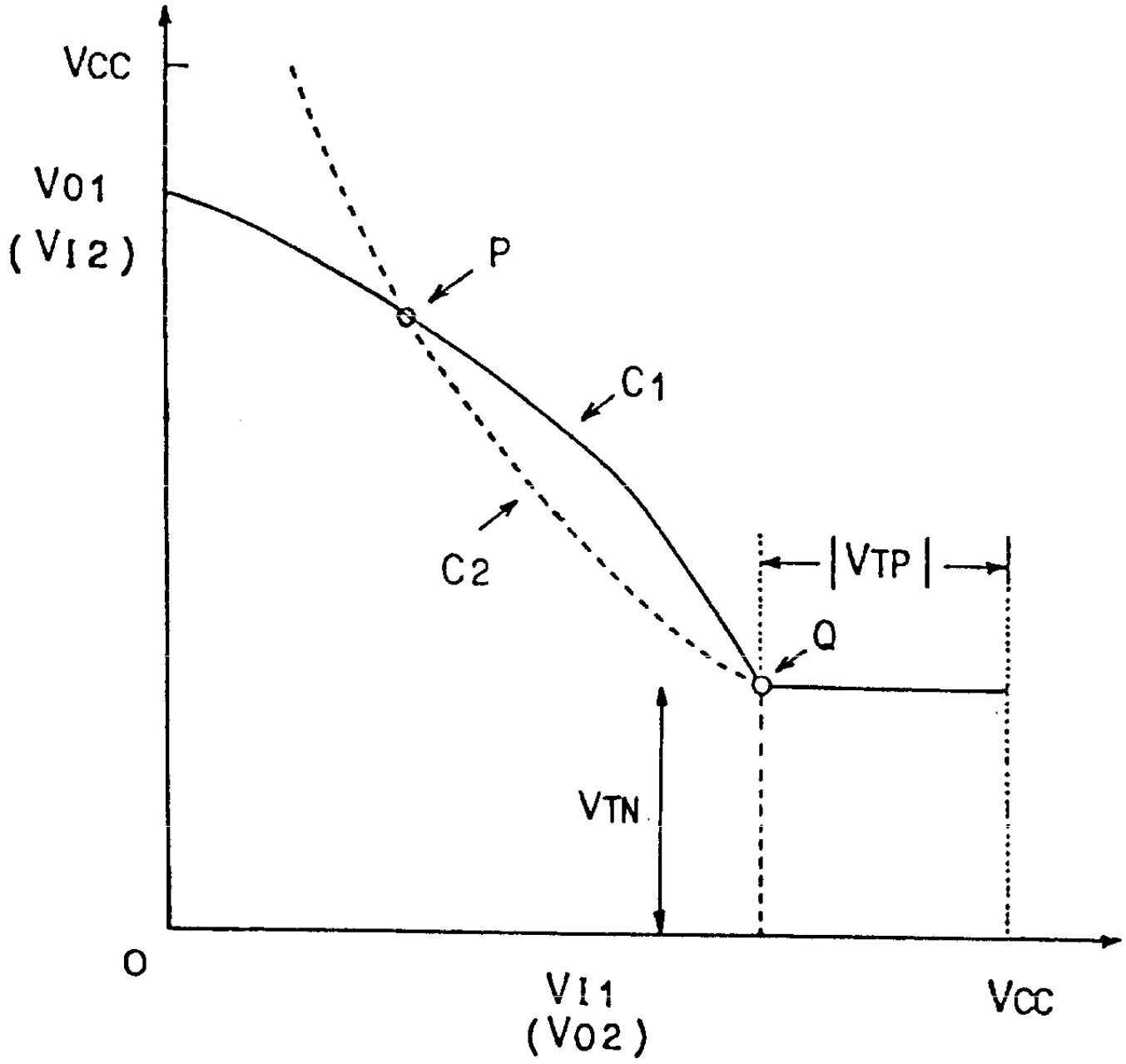

Vcc
|VTPa|
VTP
Vo1
(Vi2)
C1
C2
P
|VTR|
|VTPa|
o
Vcc
Vi1 (Vo2)
(a)


Vcc
P1
Vo1
(Vi2)
C2
P2
C1
P3
o
Vcc
Vi1 (Vo2)
(b)

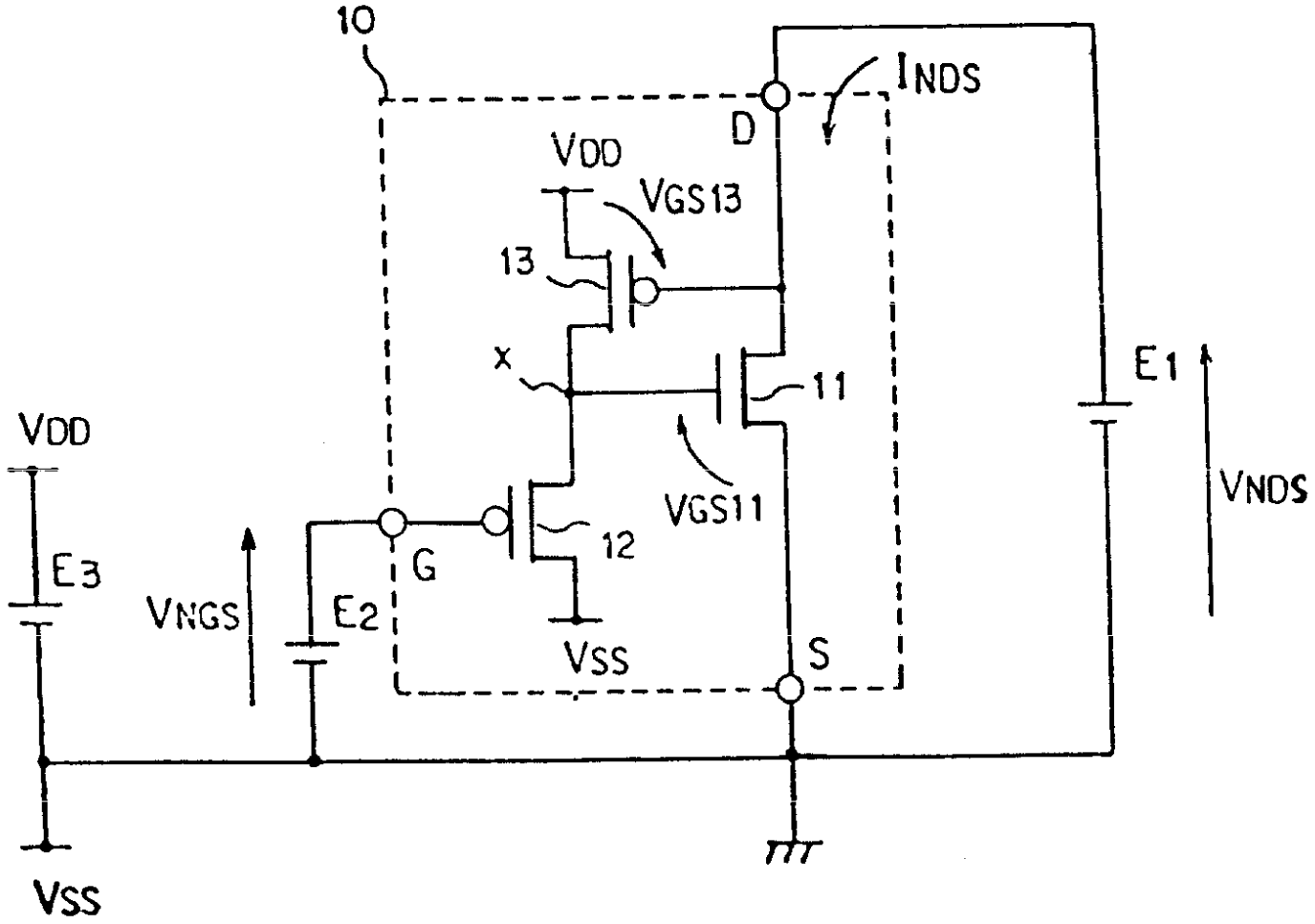
도면 5


회로 1
Vcc
11c
11ac
IN
ΔI
-ΔI
12ac
N2
Aout
(회로2)
13c
Vcc
13ac
전압차동
앰프에
OUT
13bc
12bc
N1
Ain
GND
12c
10c
DL
1c
1a
CL
1b
BL
GND

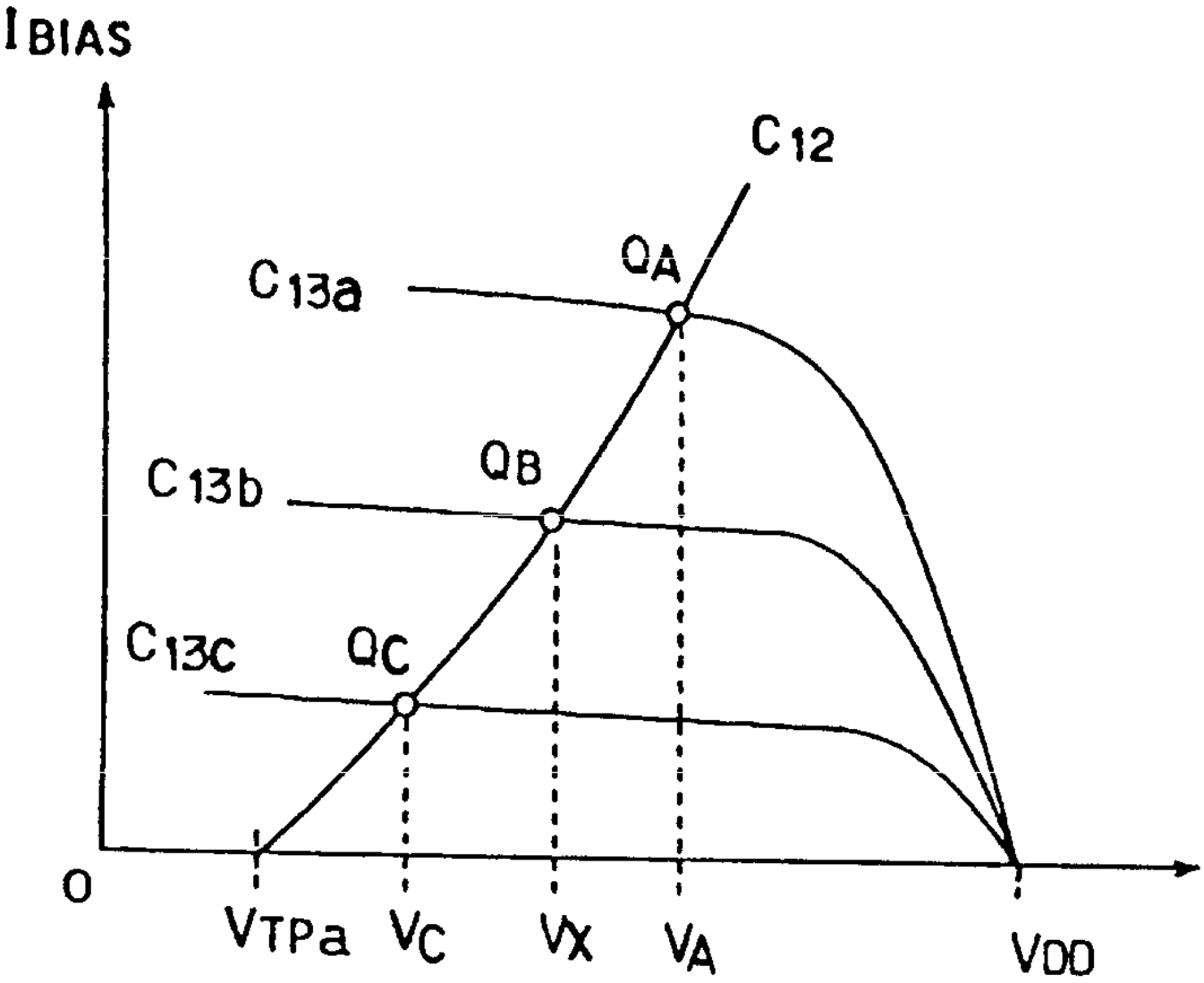
도면 6



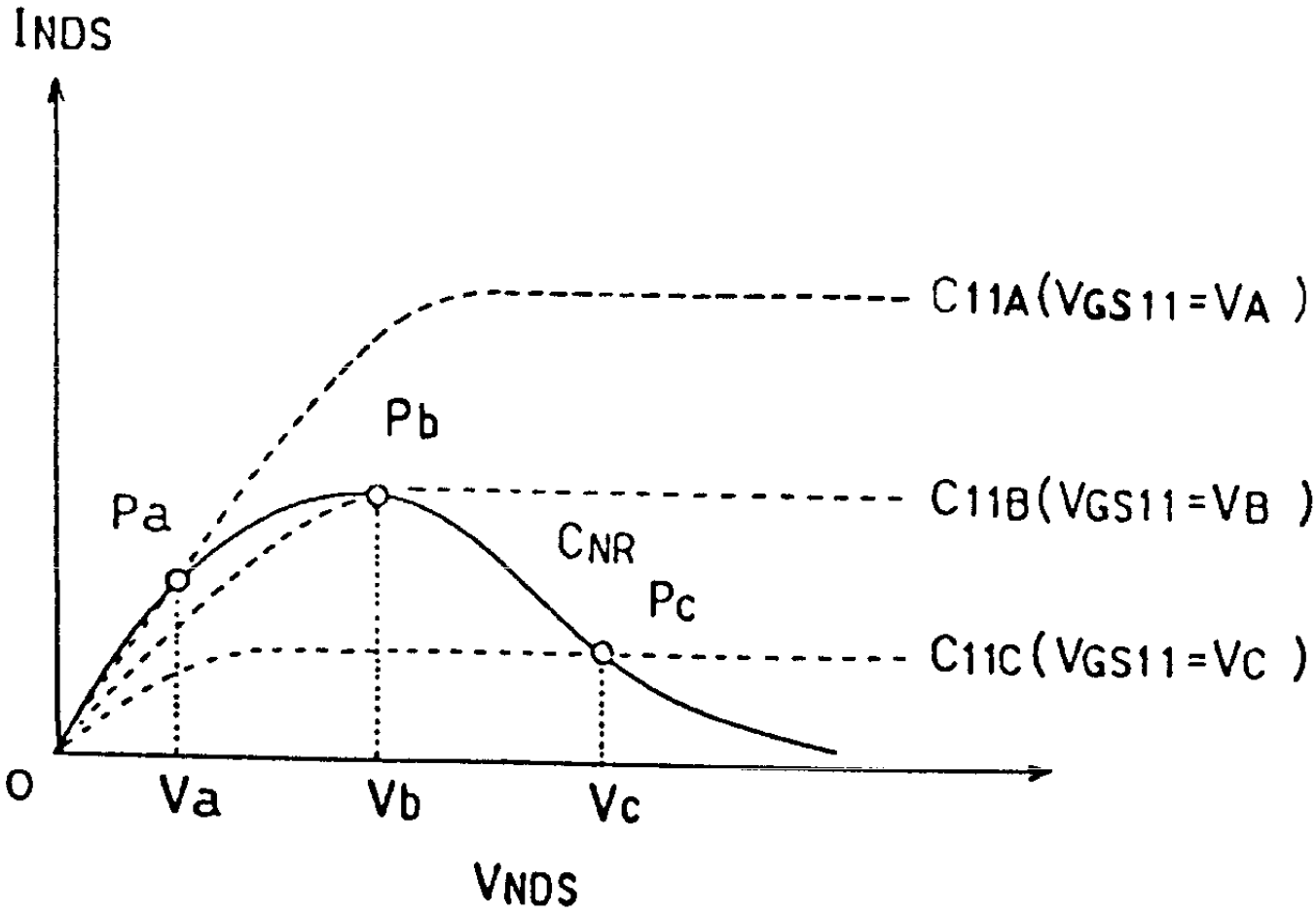
도면 7


10
INDS
D
VDD
VGS13
13
x
11
E1
VNDS
VDD
E3
VNGS
E2
G
12
VGS11
VSS
S
VSS

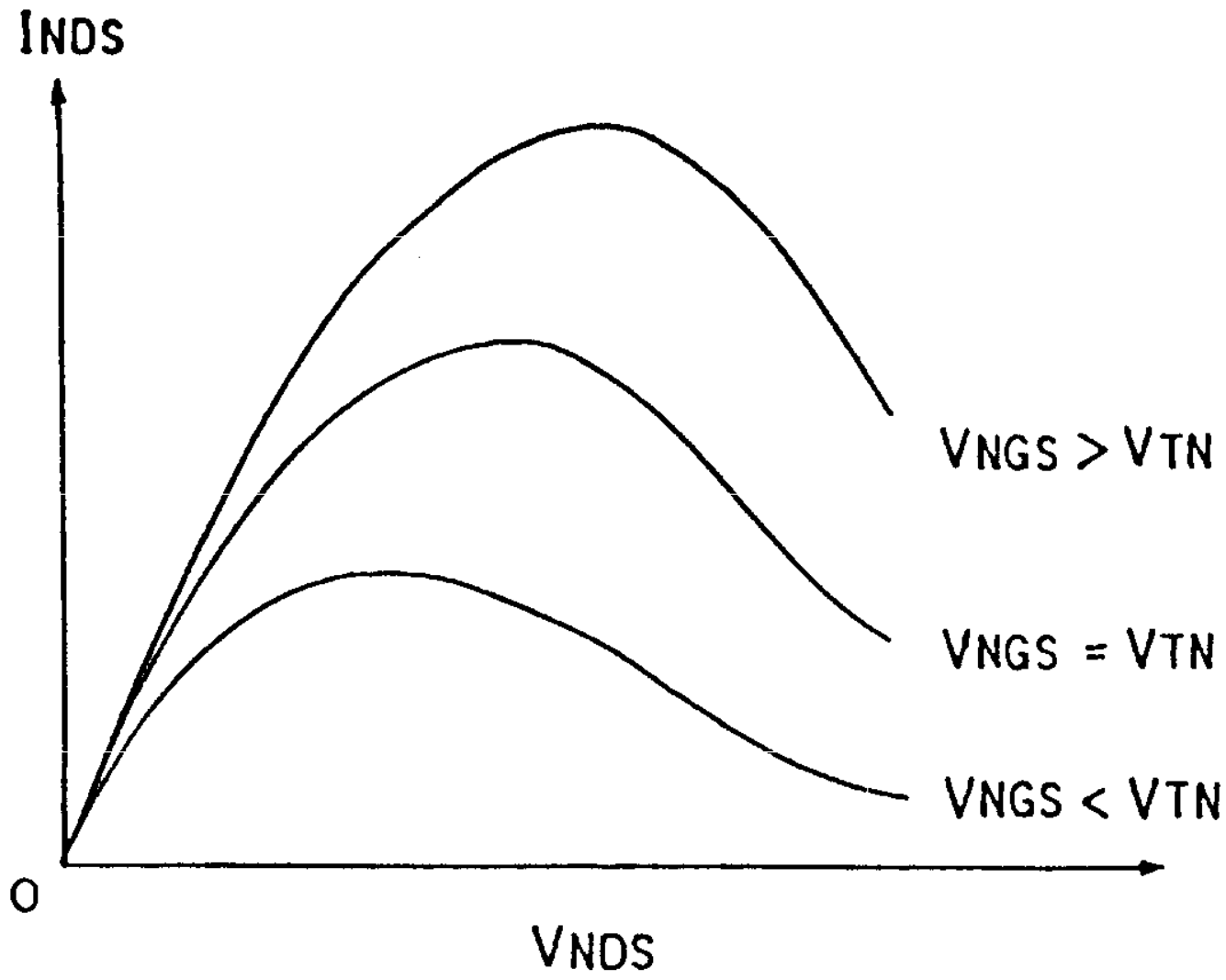
도면 8



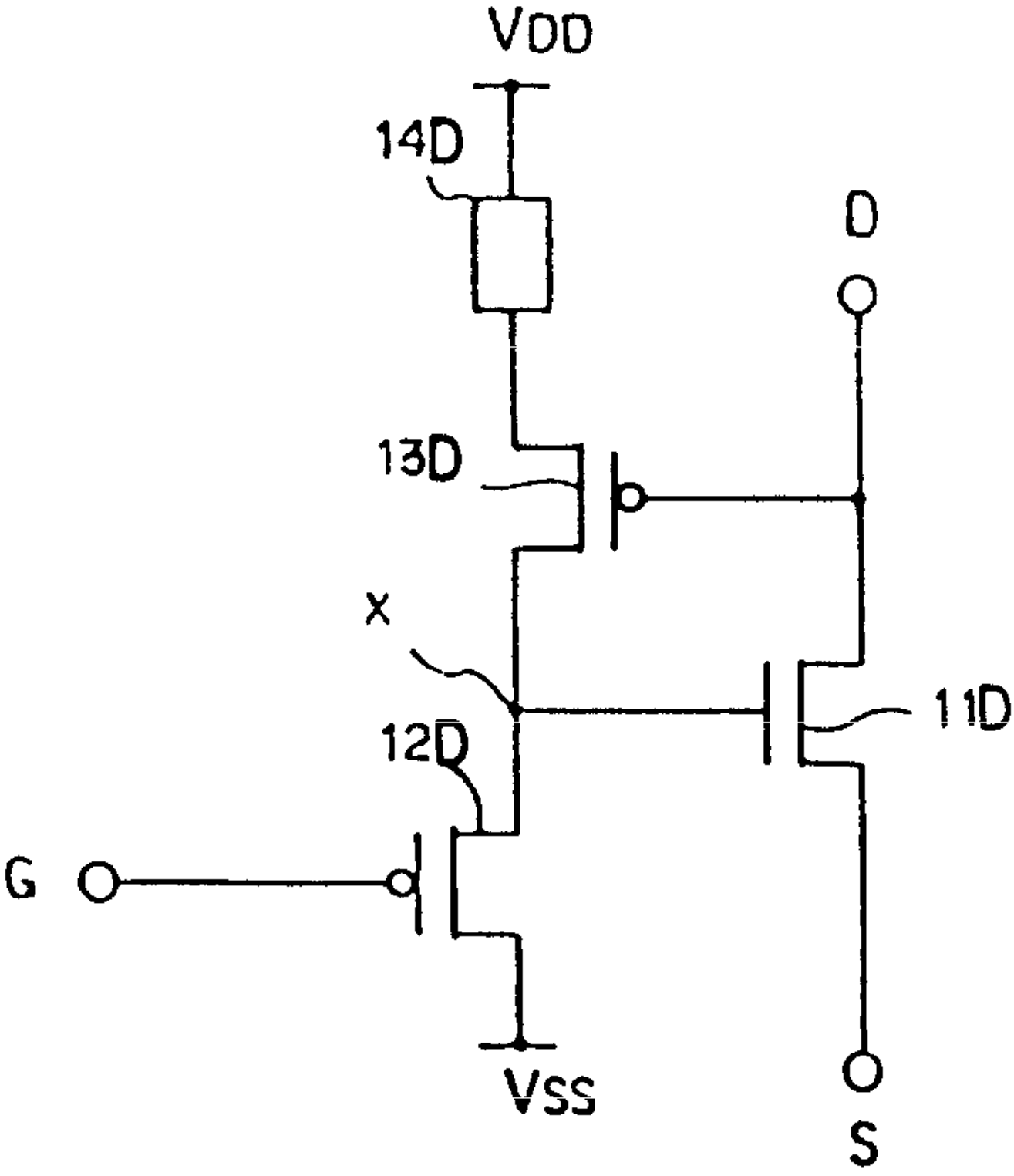
도면 9


INDS
C11A(VGS11=VA)
Pb
C11B(VGS11=VB)
Pa
CNR
Pc
C11C(VGS11=VC)
O
Va
Vb
Vc
VNDS

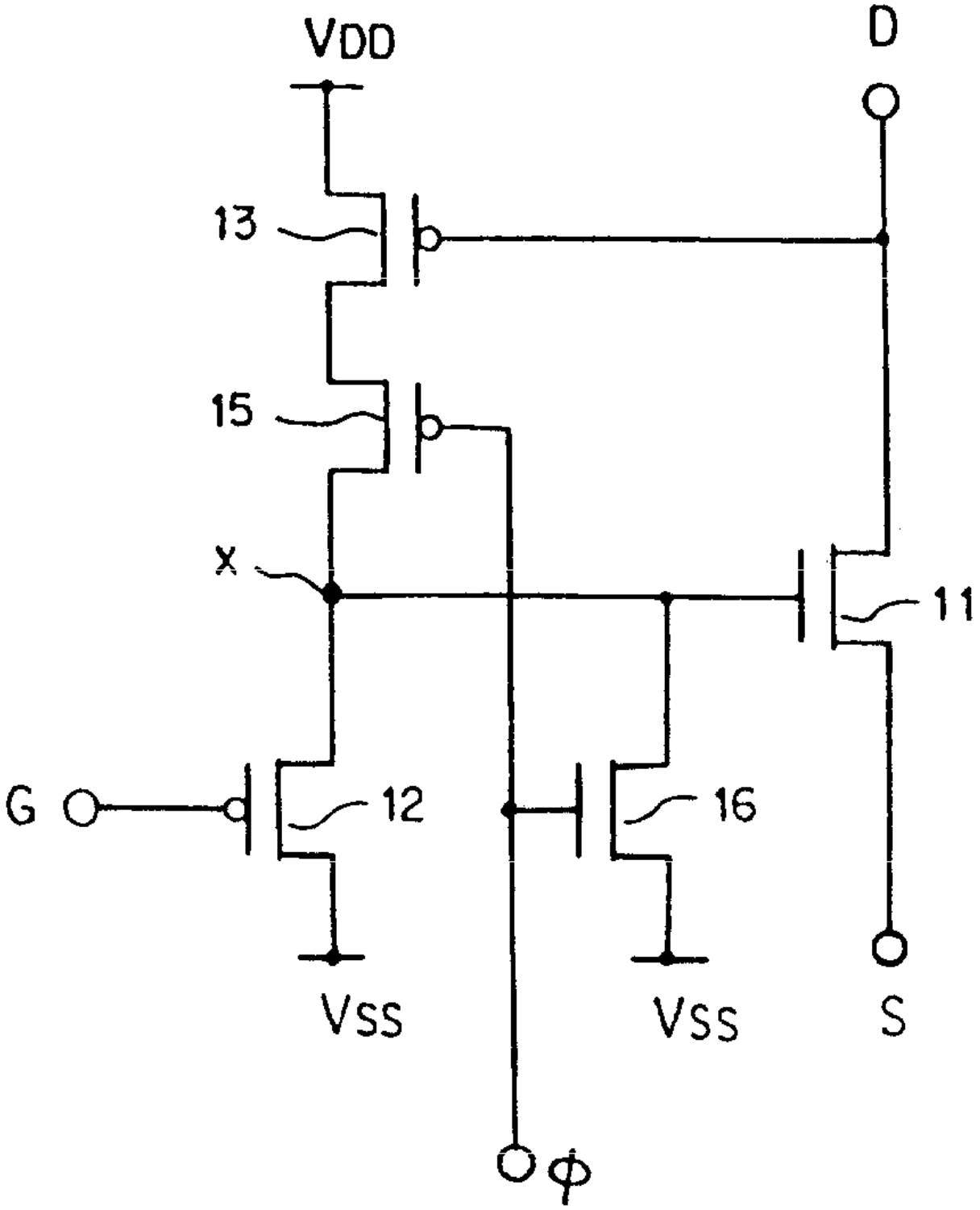
도면 10



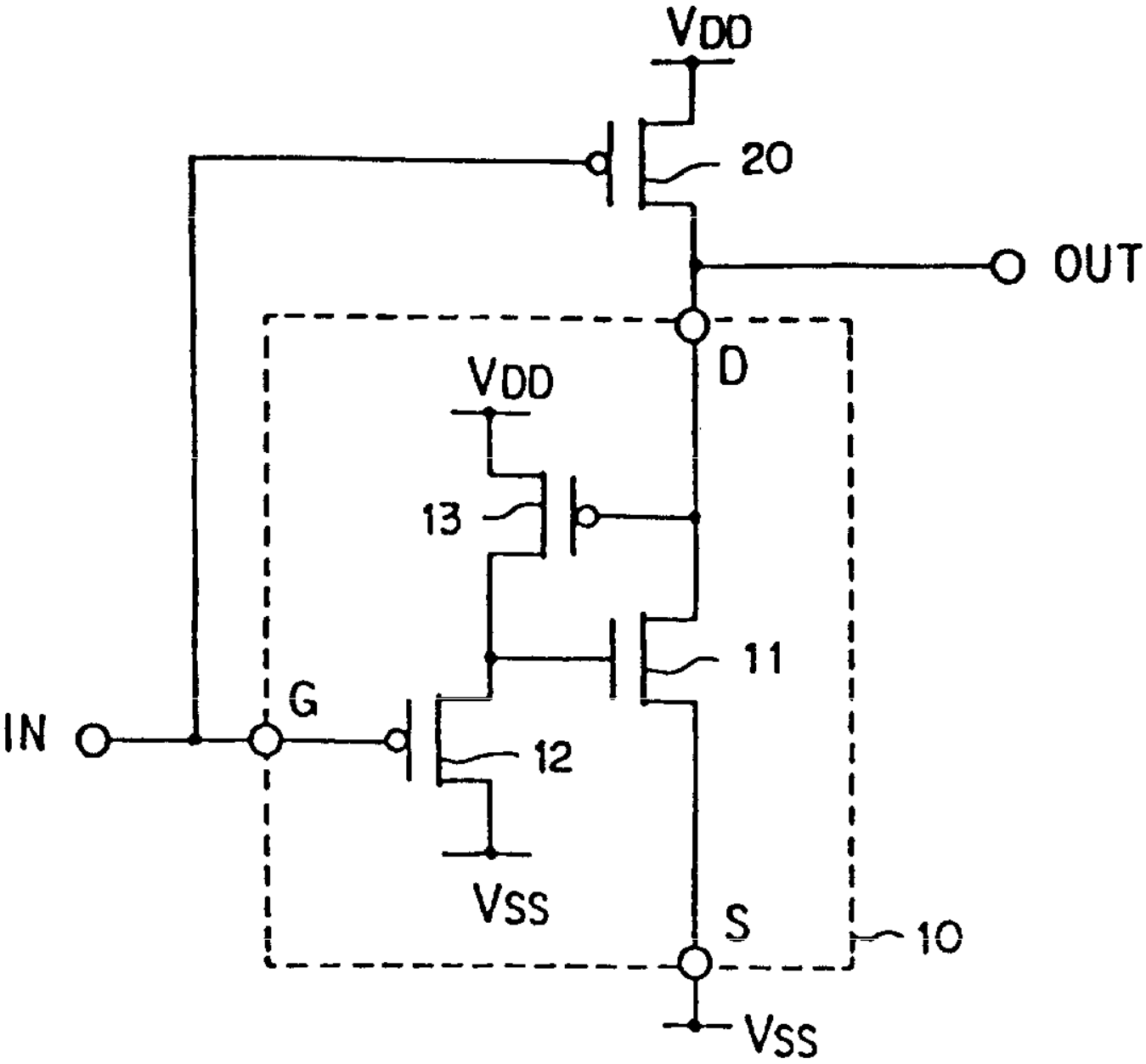
도면 11



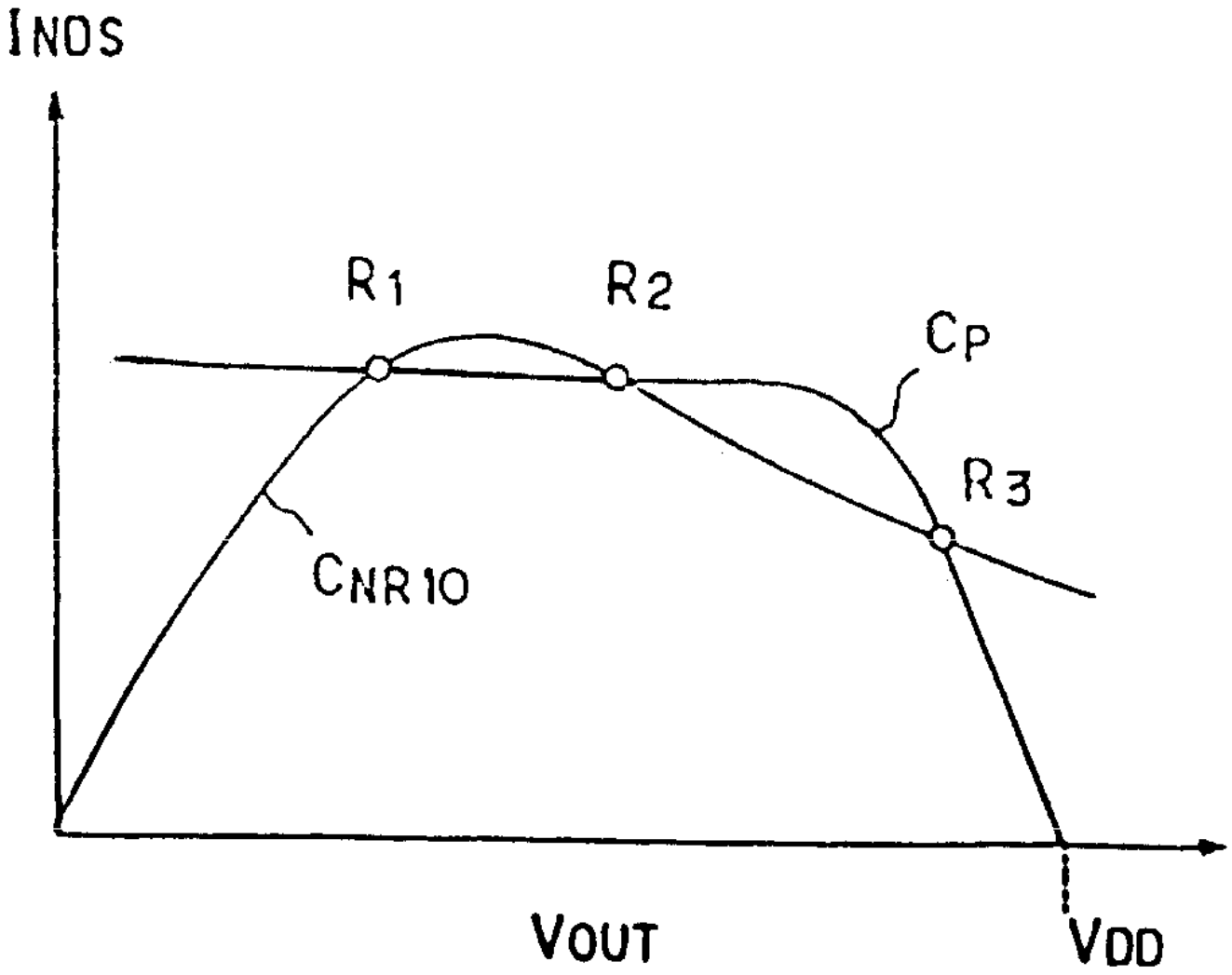
도면 12



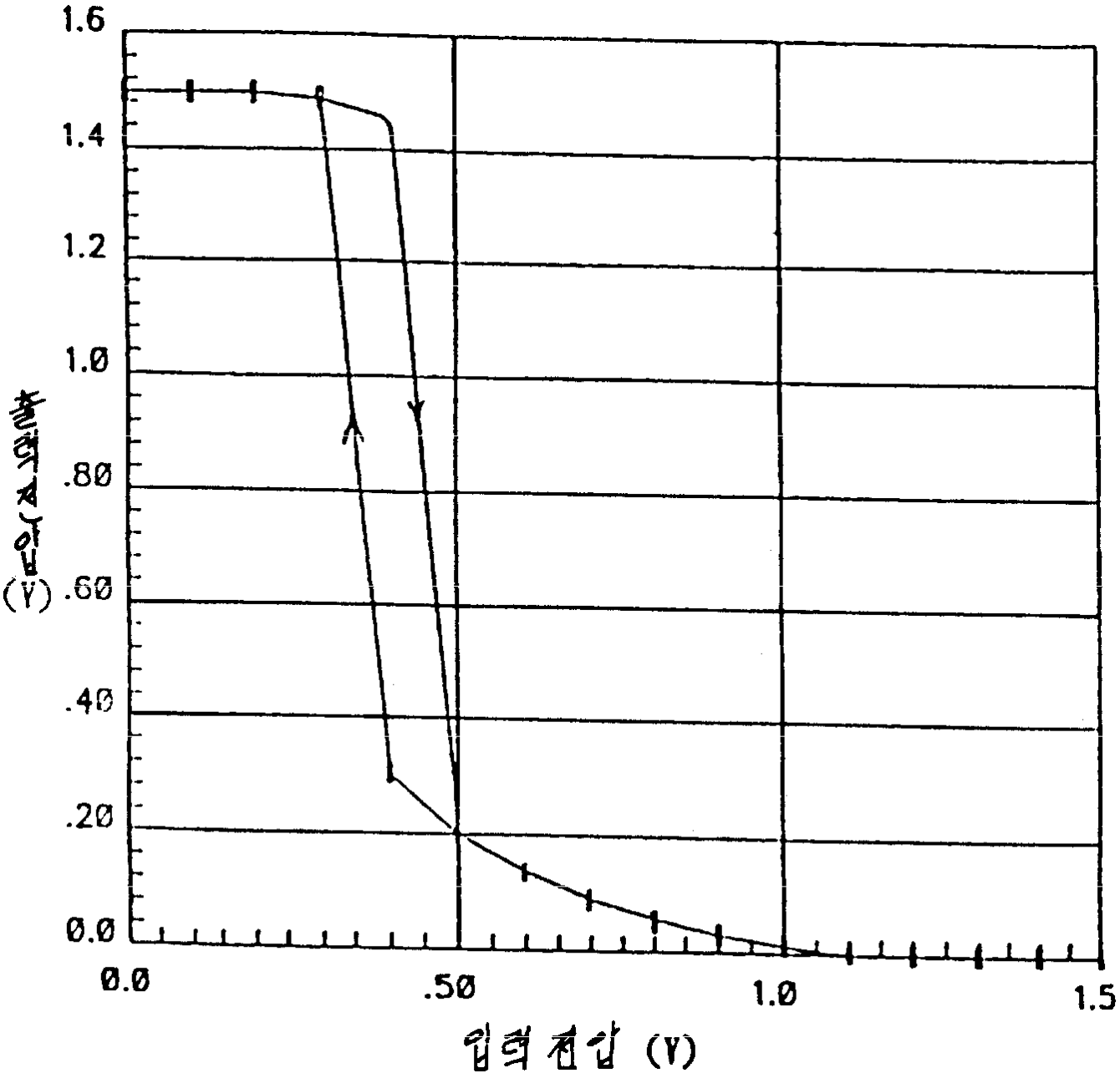
도면 13



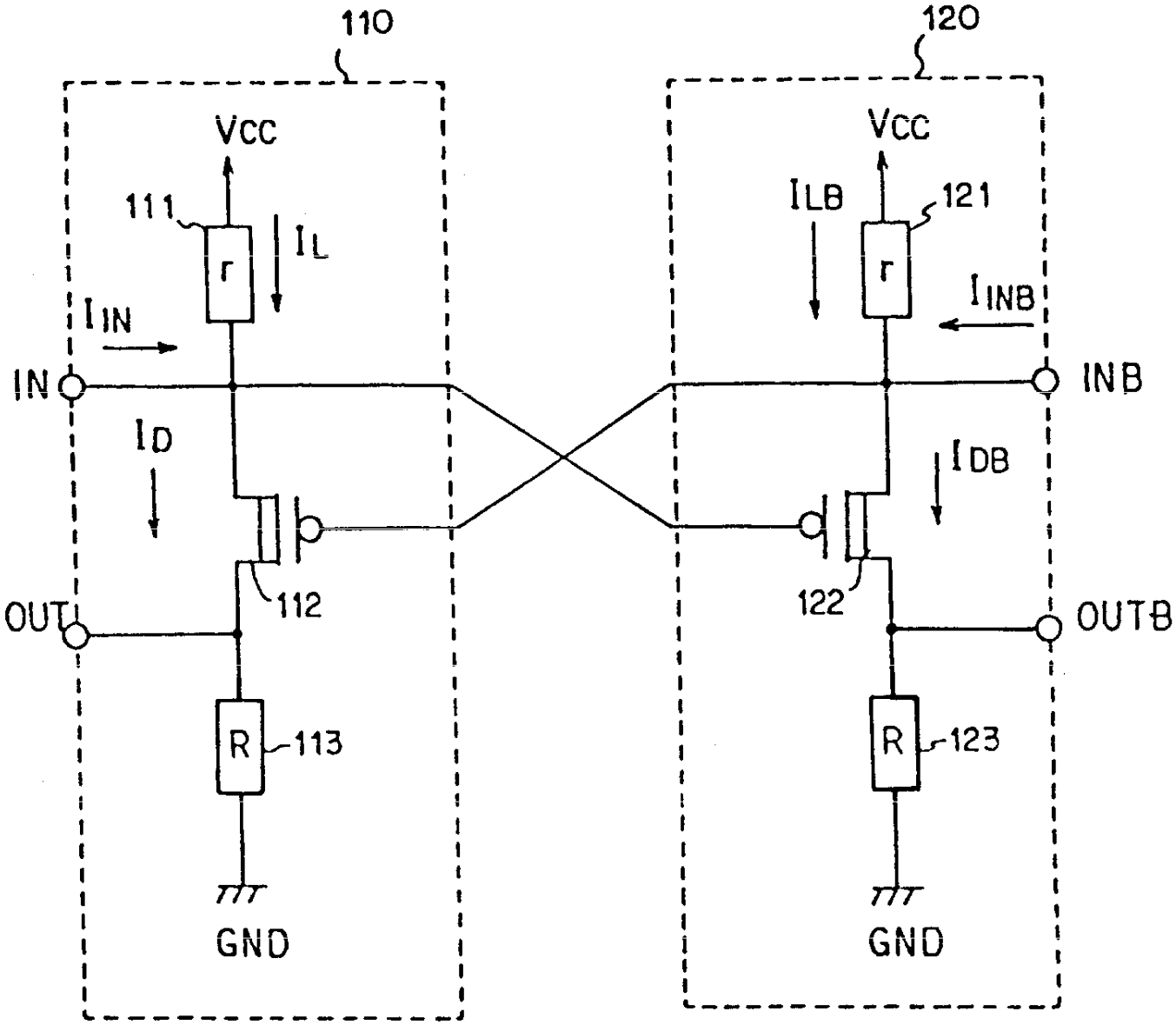
도면 14



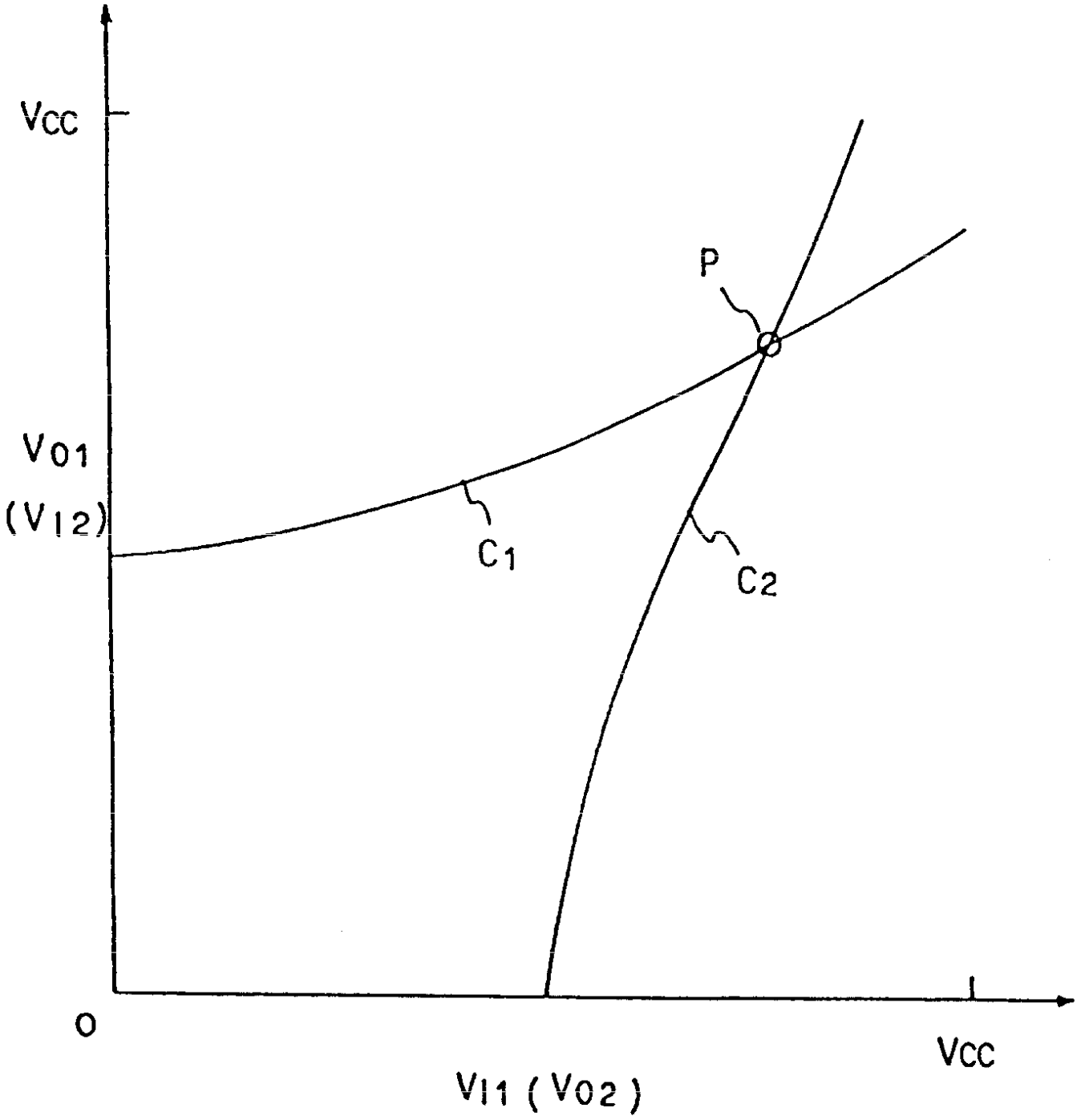
도면 15



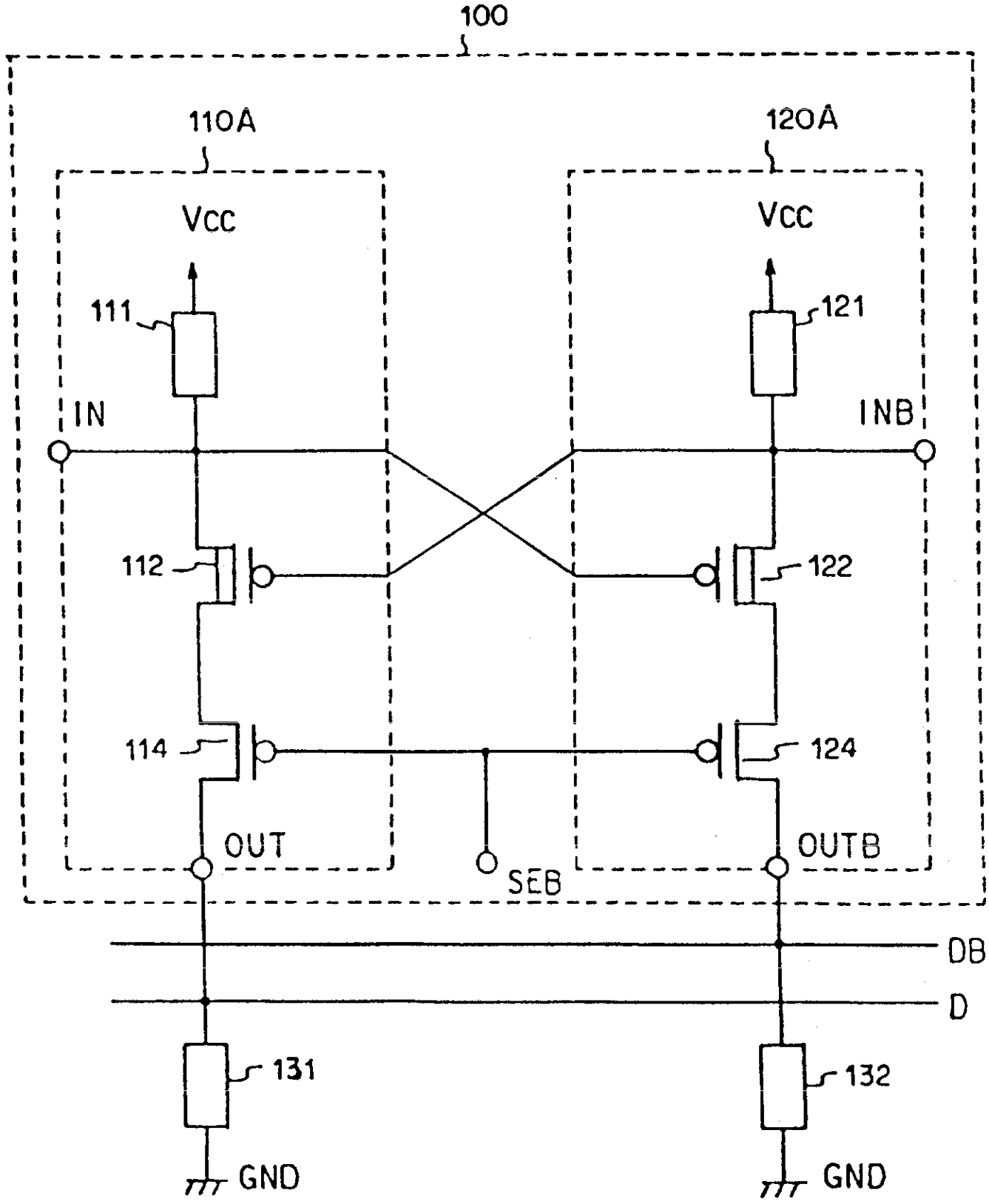
도면 16


110
120
VCC
VCC
111
121
r
r
IL
ILB
IIN
IINB
IN
INB
ID
IDB
112
122
OUT
OUTB
R
113
R
123
GND
GND

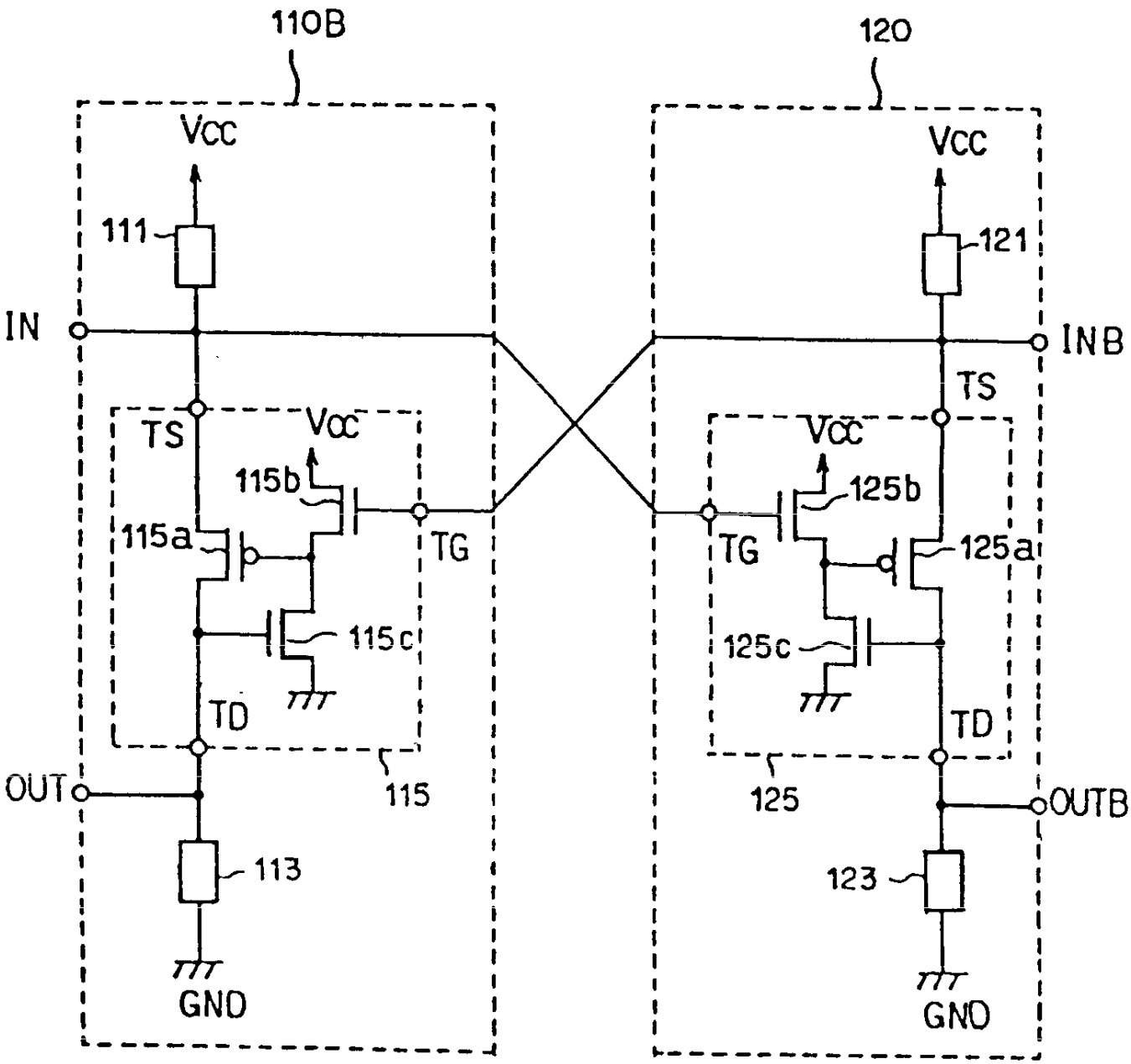
도면 17



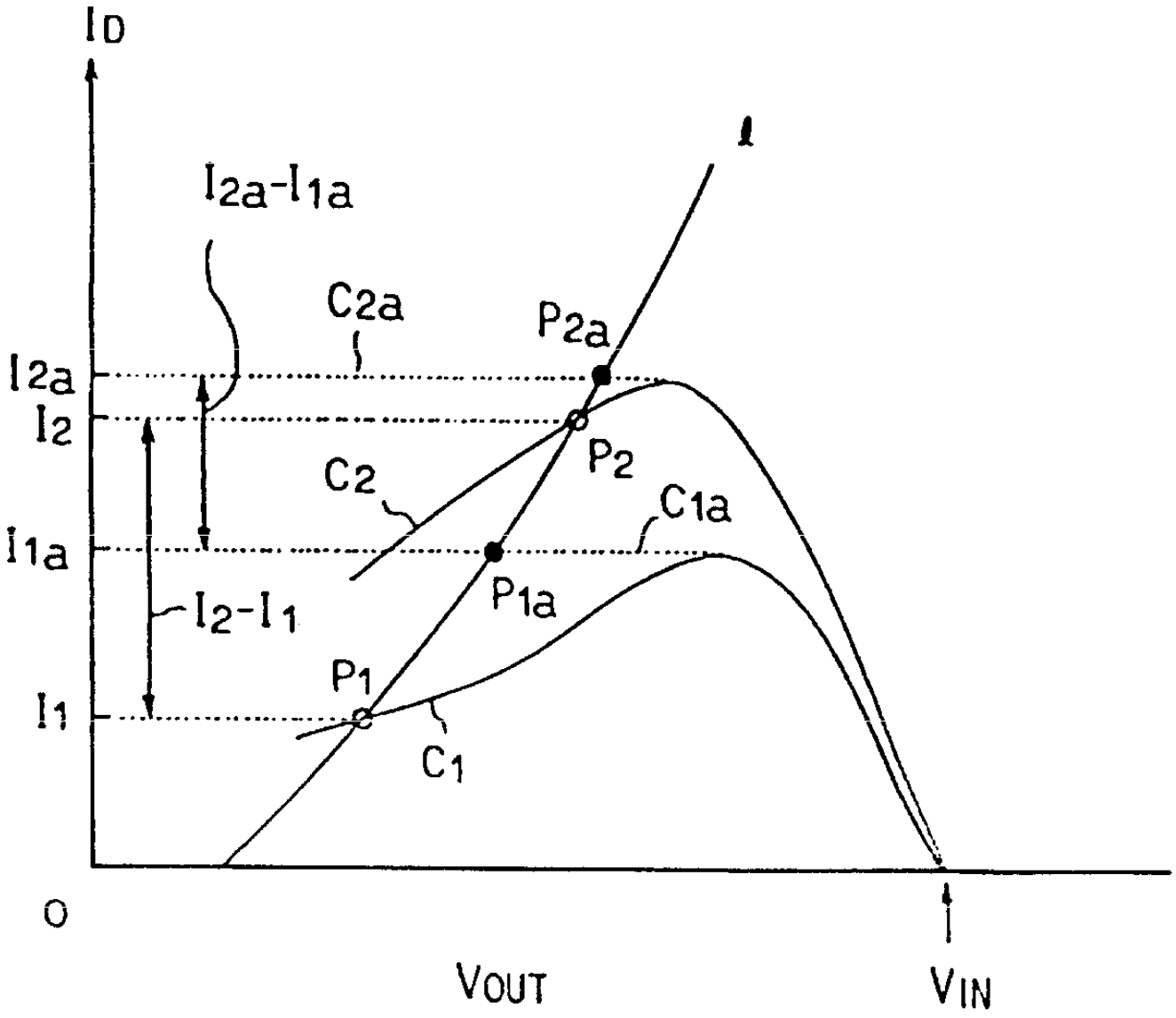
도면 18


100
110A
120A
Vcc
Vcc
111
121
IN
INB
112
122
114
124
OUT
SEB
OUTB
DB
D
131
132
GND
GND

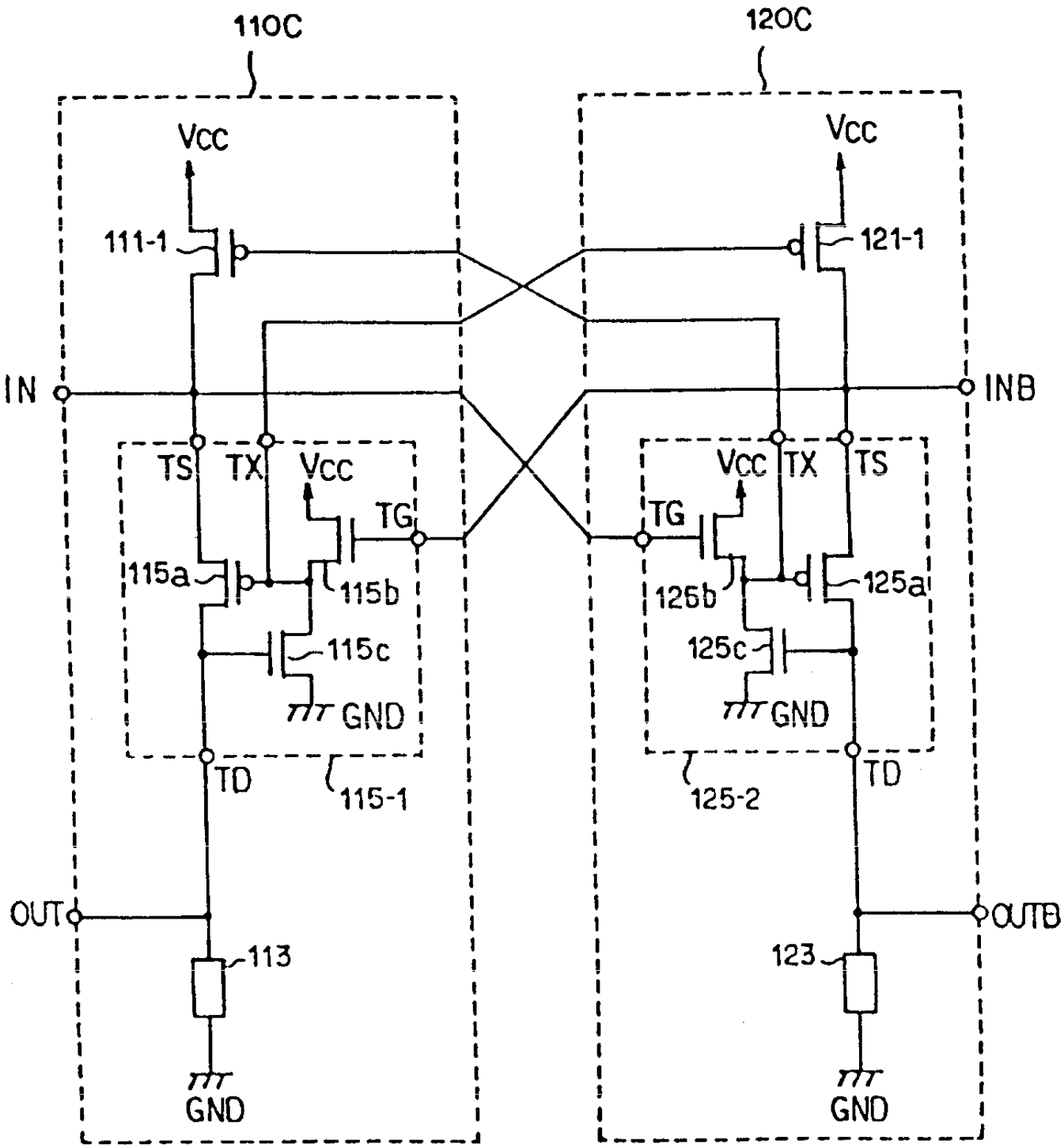
도면 19


110B
120
Vcc
Vcc
111
121
IN
INB
TS
TS
Vcc
Vcc
115b
125b
115a
125a
TG
TG
115c
125c
TD
TD
115
125
OUT
OUTB
113
123
GND
GND

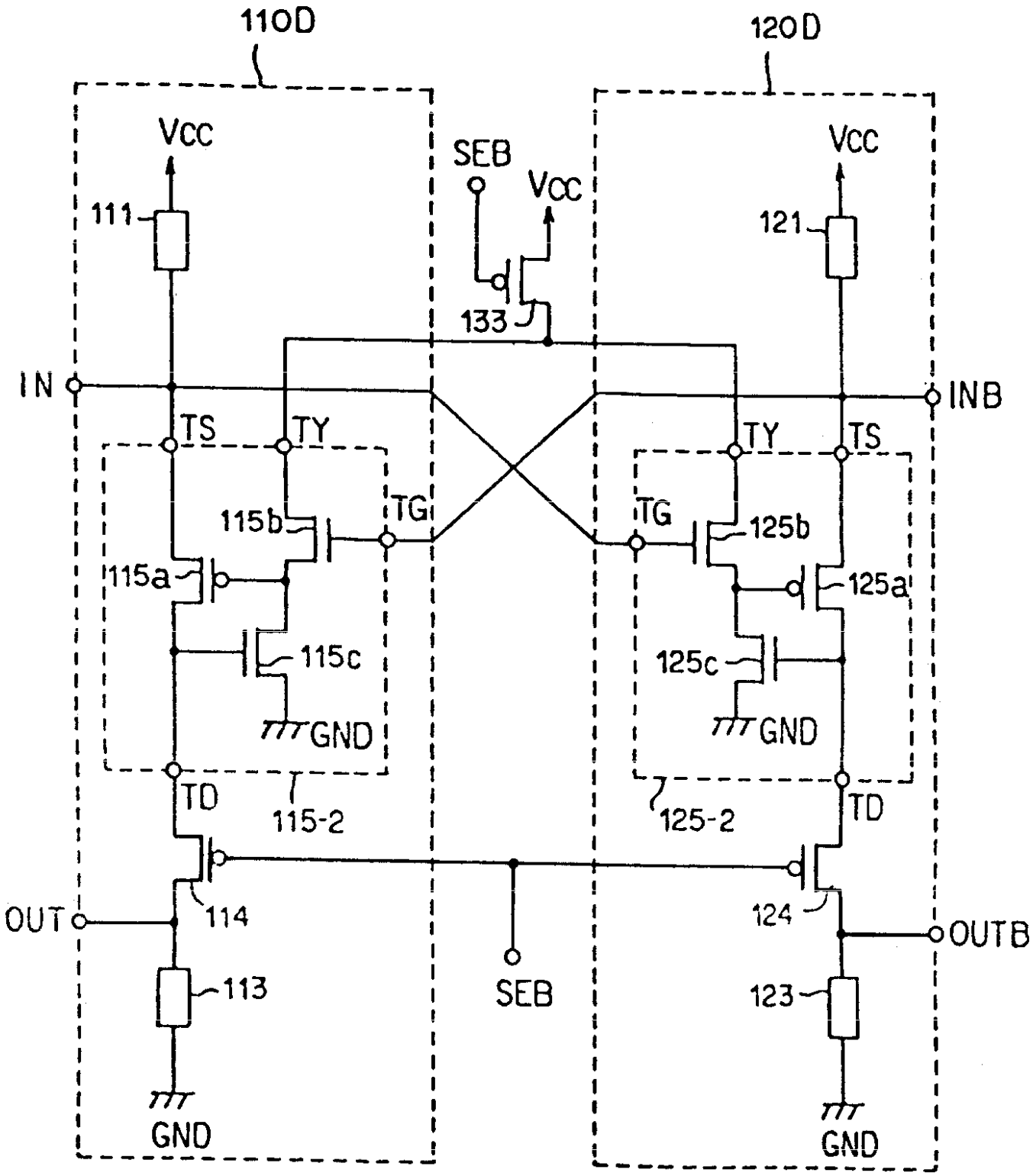
도면 20


ID
I2a-I1a
C2a
P2a
I2a
I2
P2
C2
C1a
I1a
P1a
I2-I1
P1
I1
C1
O
VOUT
VIN

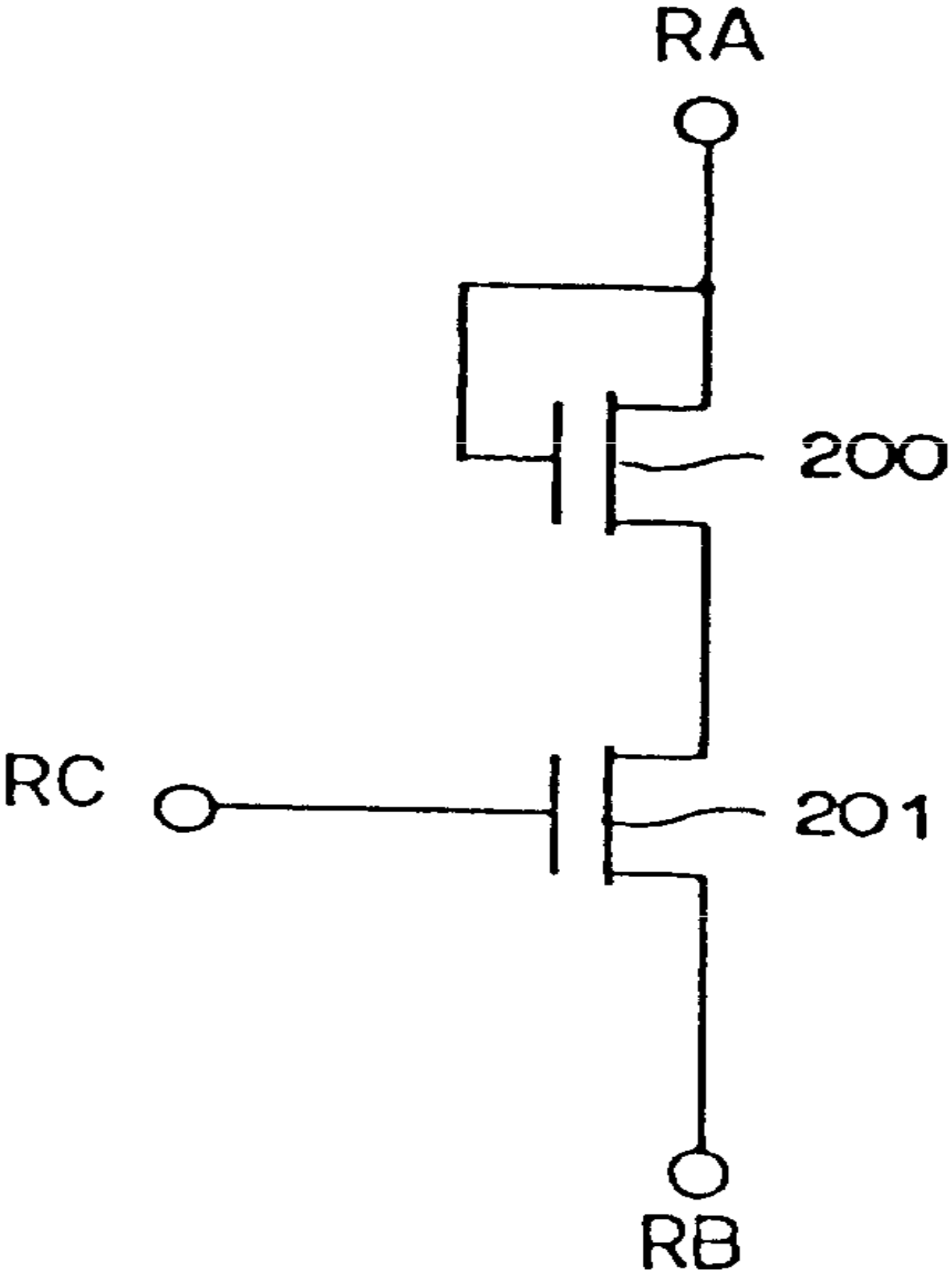
도면 21


110C
120C
Vcc
111-1
121-1
IN
INB
TS
TX
Vcc
TG
115a
115b
115c
GND
TD
115-1
125-2
125a
125b
125c
OUT
OUTB
113
123

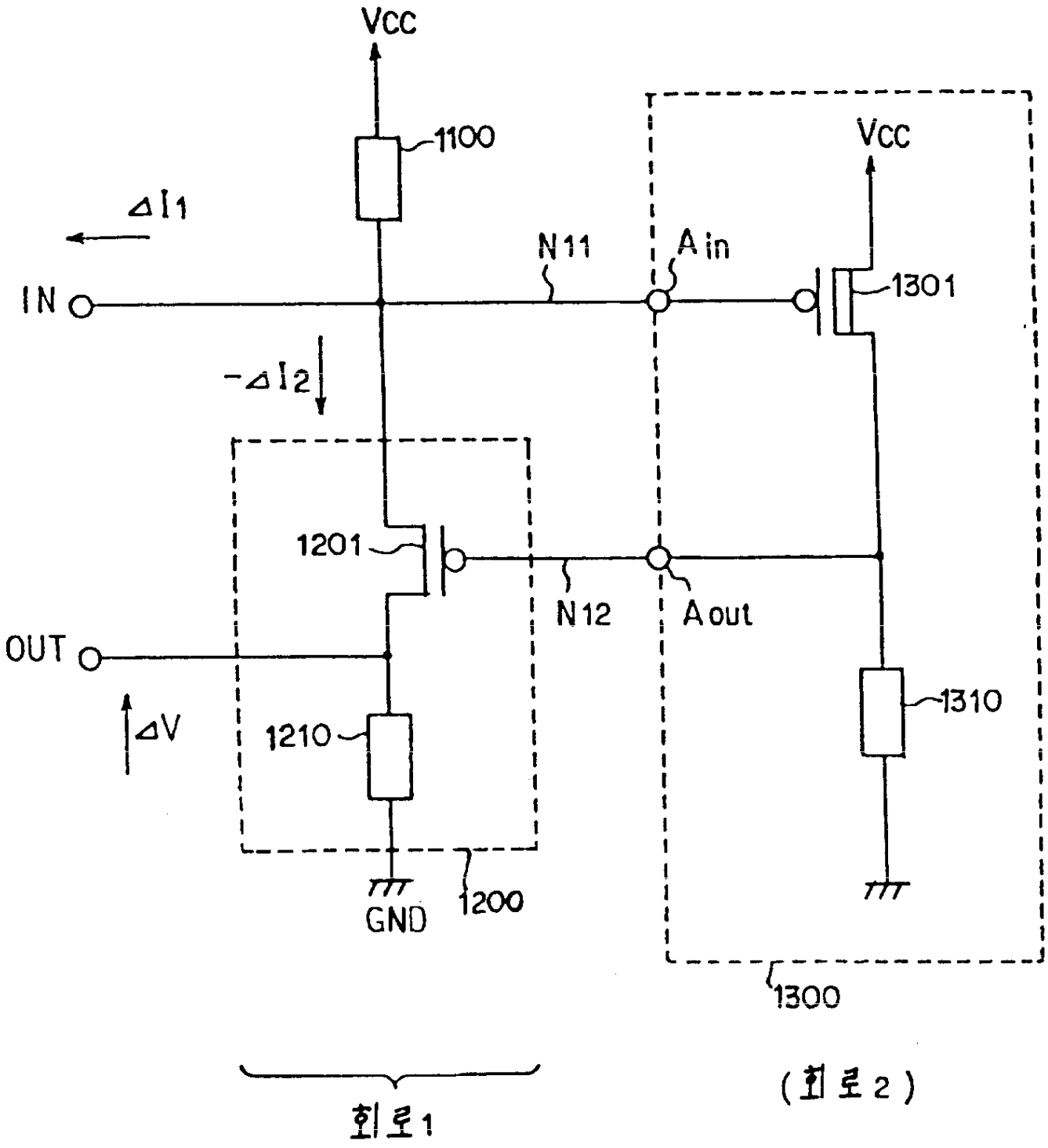
도면 22


110D
120D
Vcc
SEB
Vcc
Vcc
111
121
133
IN
INB
TS
TY
TY
TS
TG
TG
115b
125b
115a
125a
115c
125c
GND
GND
TD
TD
115-2
125-2
OUT
114
124
OUTB
SEB
113
123
GND
GND

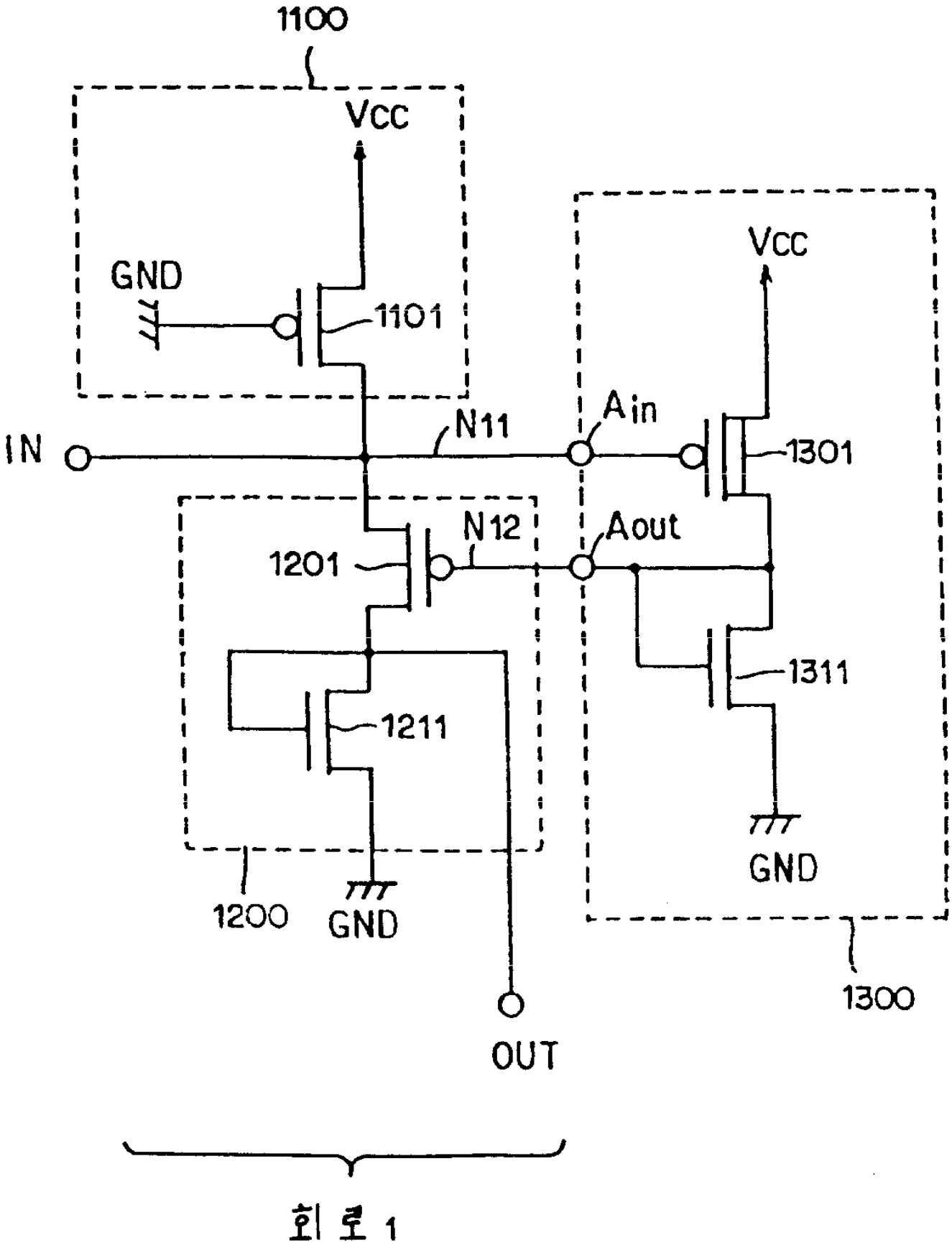
도면 23



도면 24

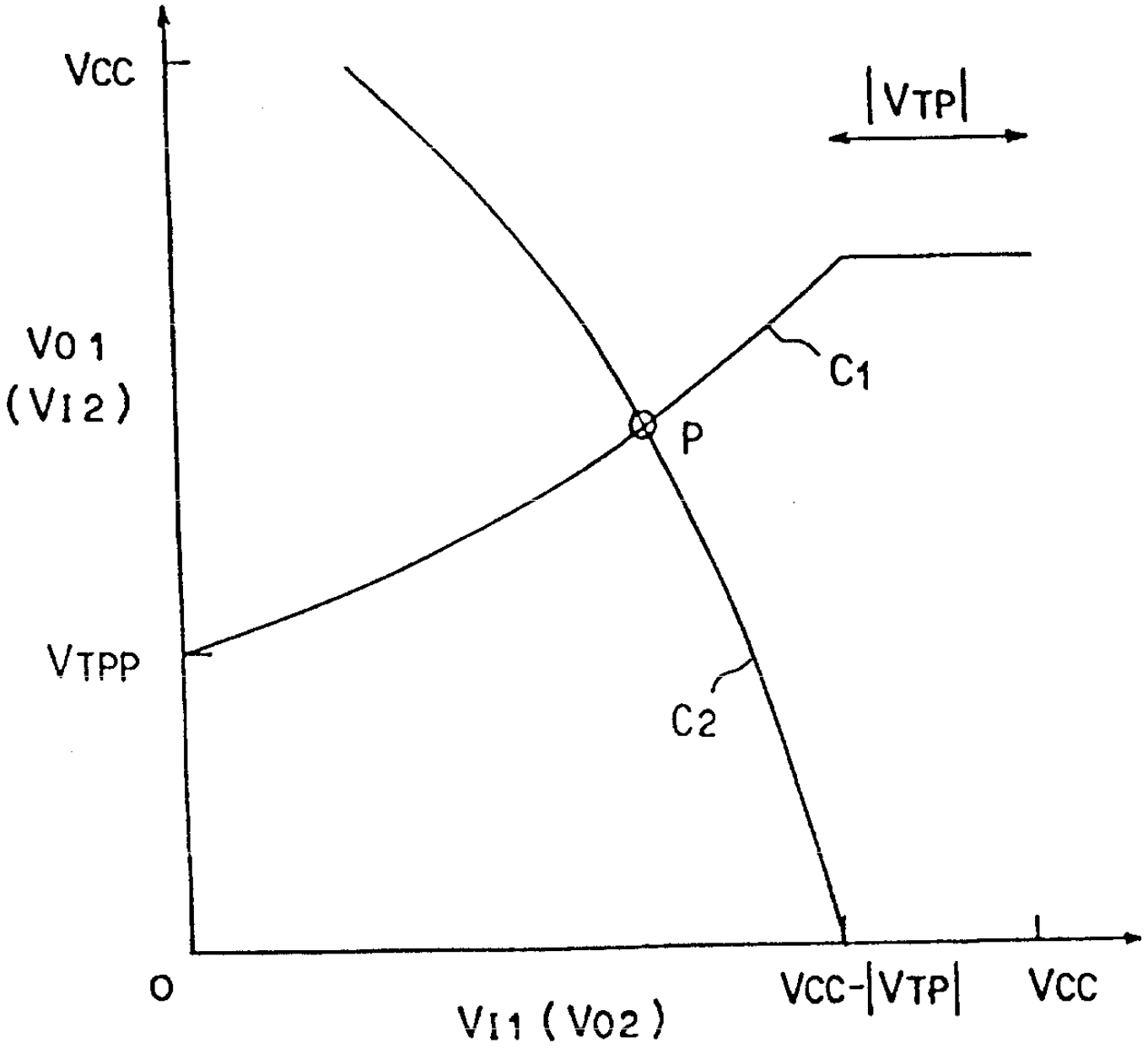

Vcc
1100
ΔI1
N11
Ain
Vcc
IN
1301
-ΔI2
1201
N12
Aout
OUT
1310
ΔV
1210
GND
1200
1300
회로1
(회로2)

도면 25

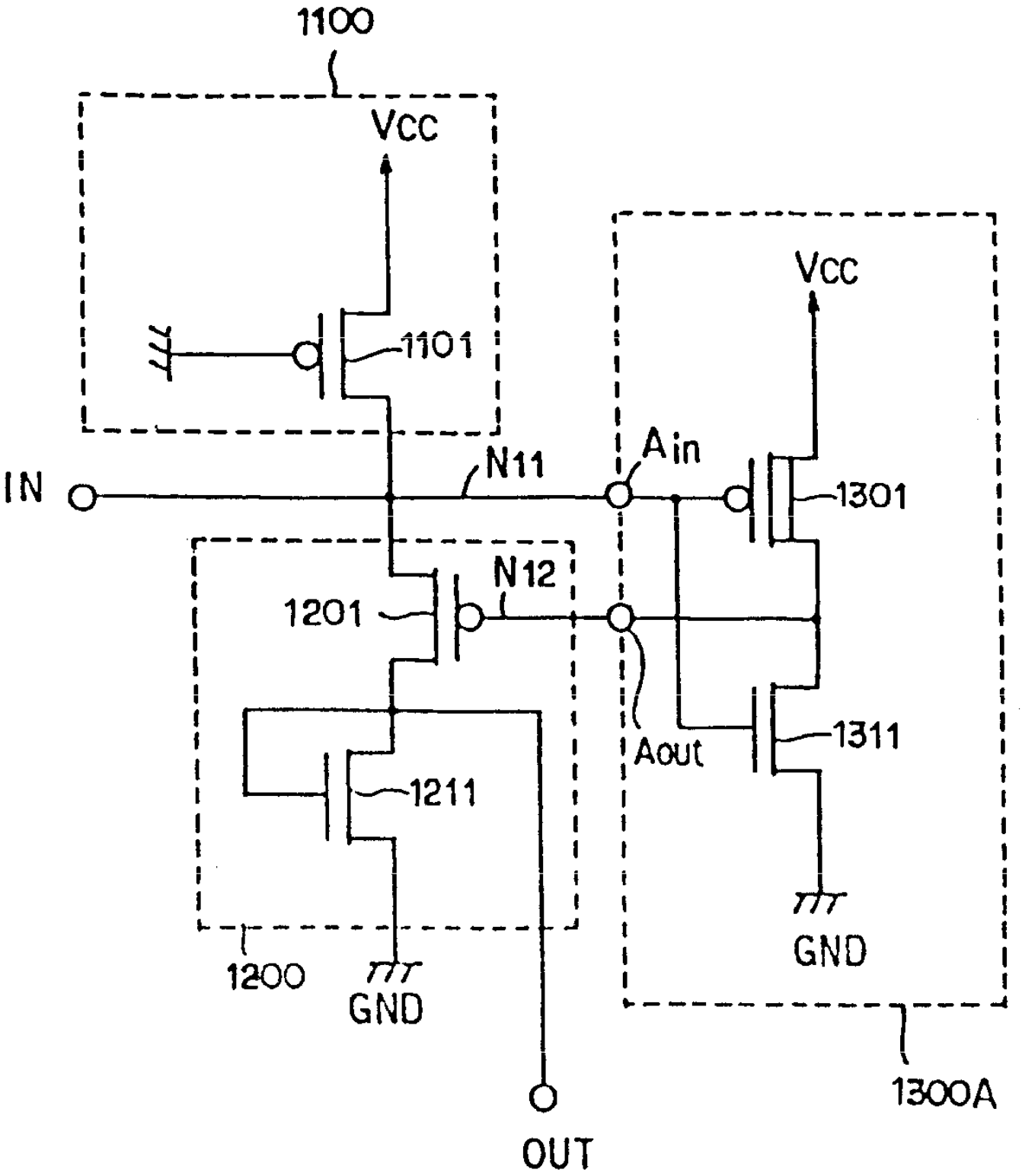

1100
Vcc
GND
1101
IN
N11
Ain
Vcc
1301
N12
Aout
1201
1311
1211
GND
1200
GND
1300
OUT

회로 1

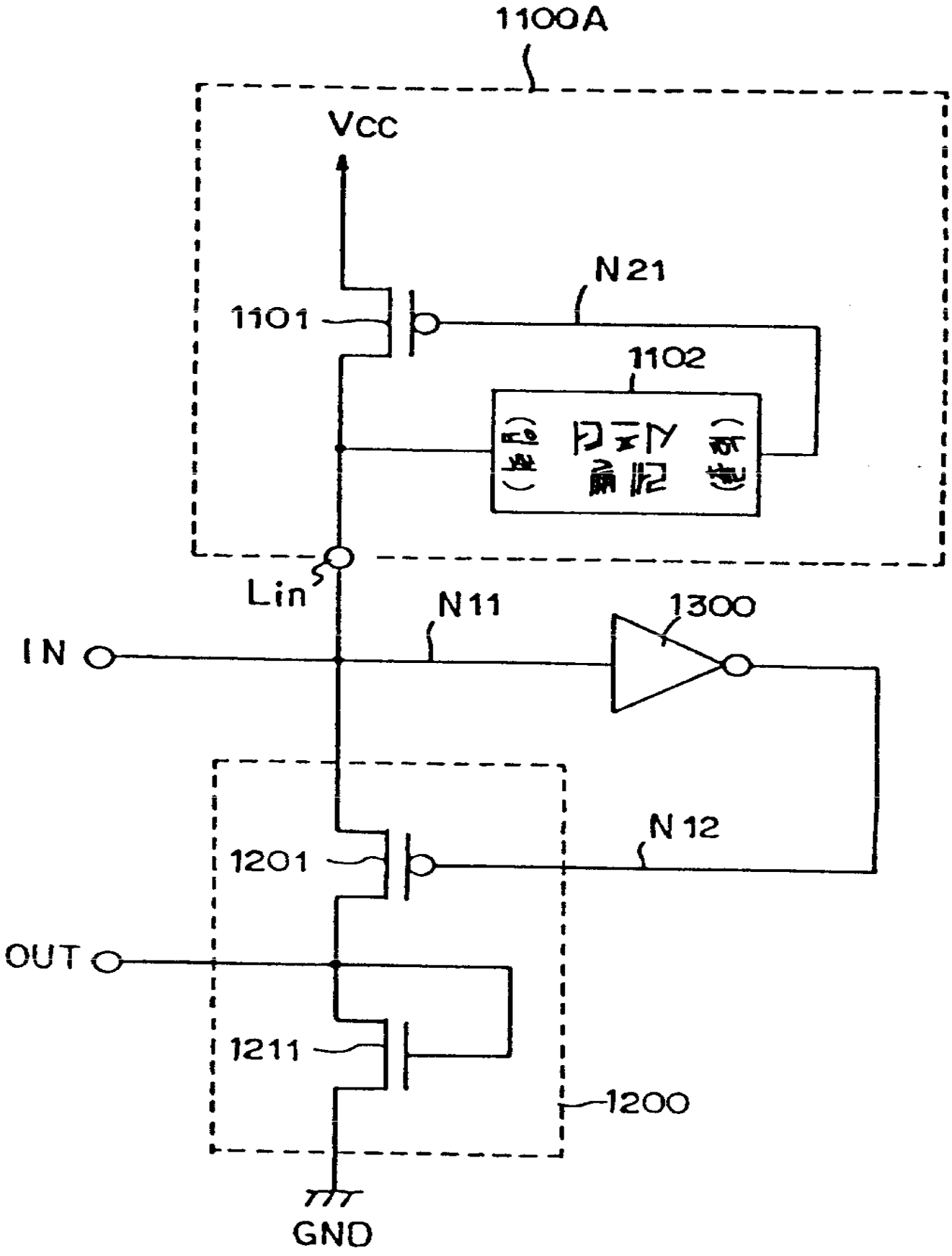
도면 26



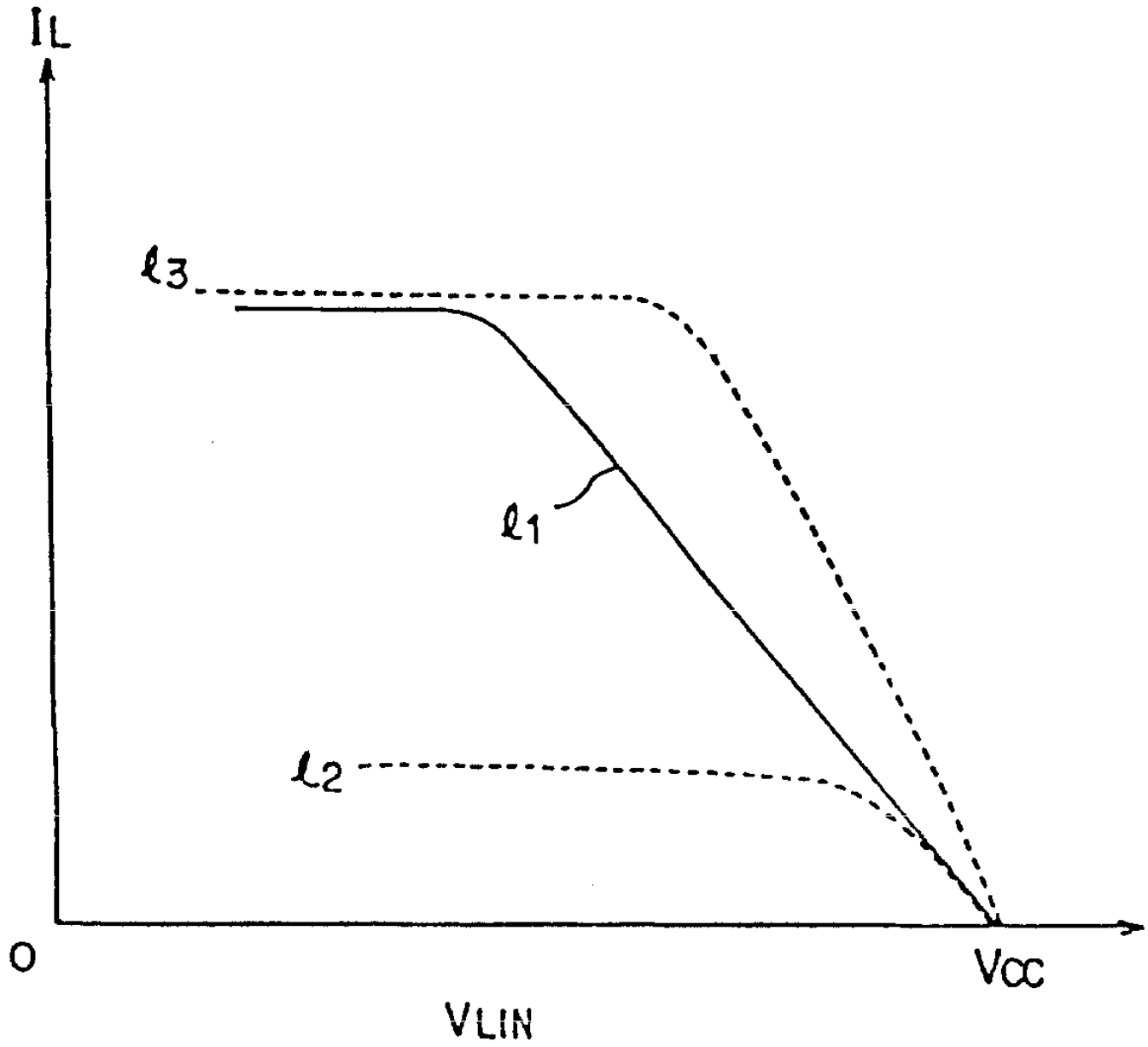
도면 27


1100
Vcc
1101
IN
N11
Ain
Vcc
1301
N12
1201
1211
Aout
1311
GND
1200
GND
1300A
OUT

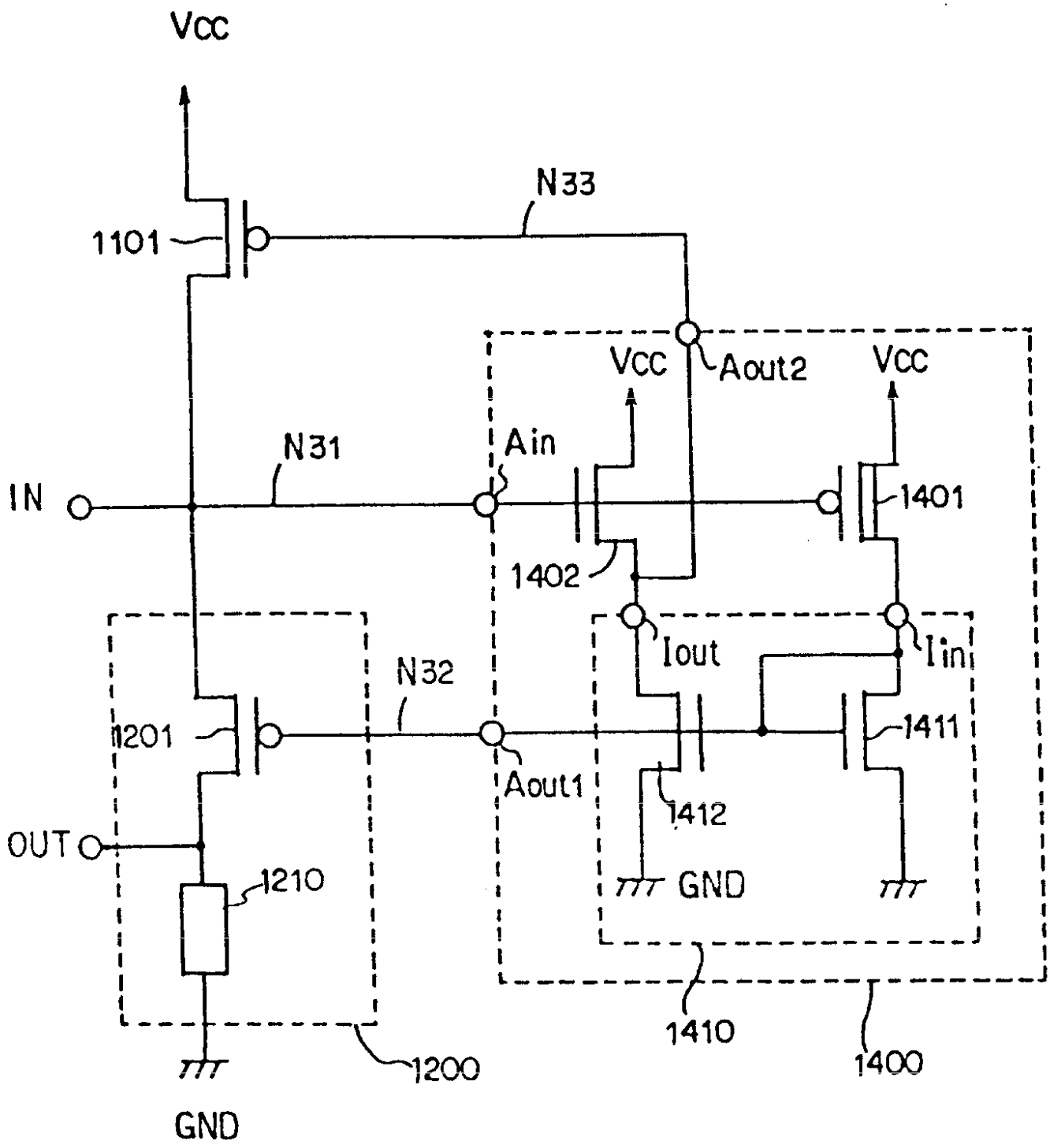
도면 28


1100A
Vcc
N21
1101
1102
Lin
N11
1300
IN
N12
1201
OUT
1211
1200
GND

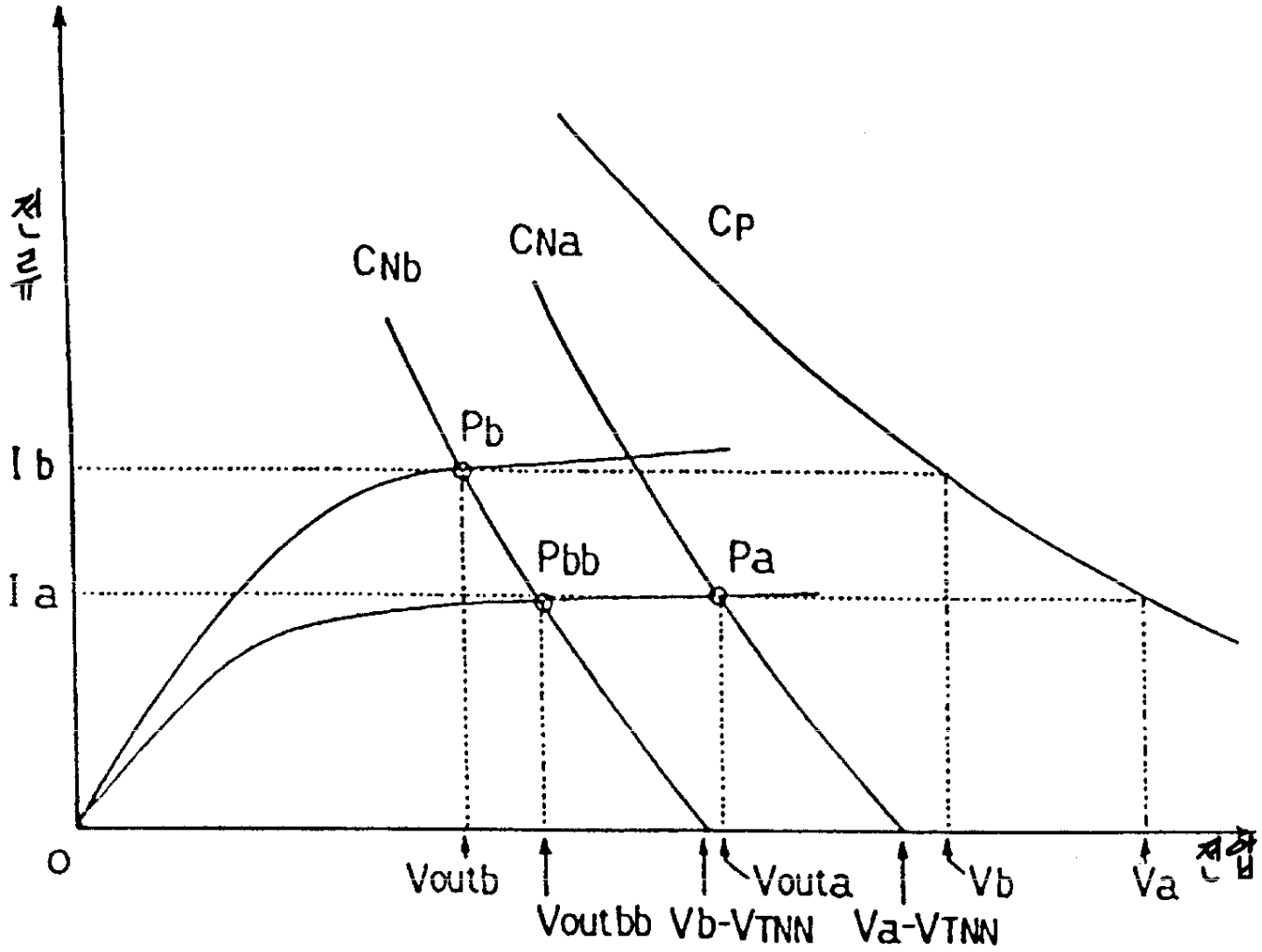
도면 29



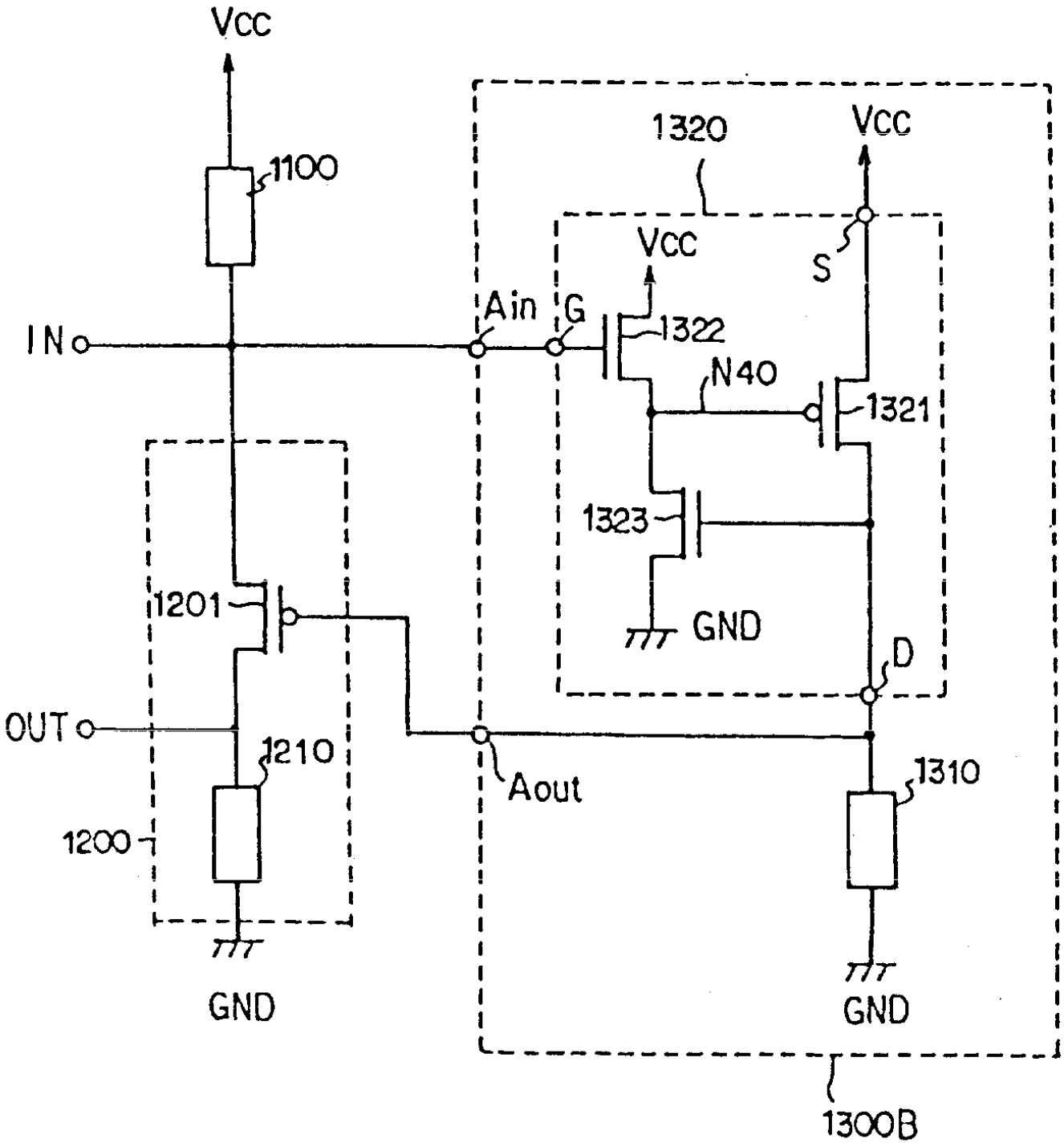
도면 30


Vcc
N33
1101
Vcc
Aout2
Vcc
N31
Ain
IN
1401
1402
Iout
Iin
N32
1201
1411
Aout1
1412
OUT
1210
GND
GND
1410
1400
1200

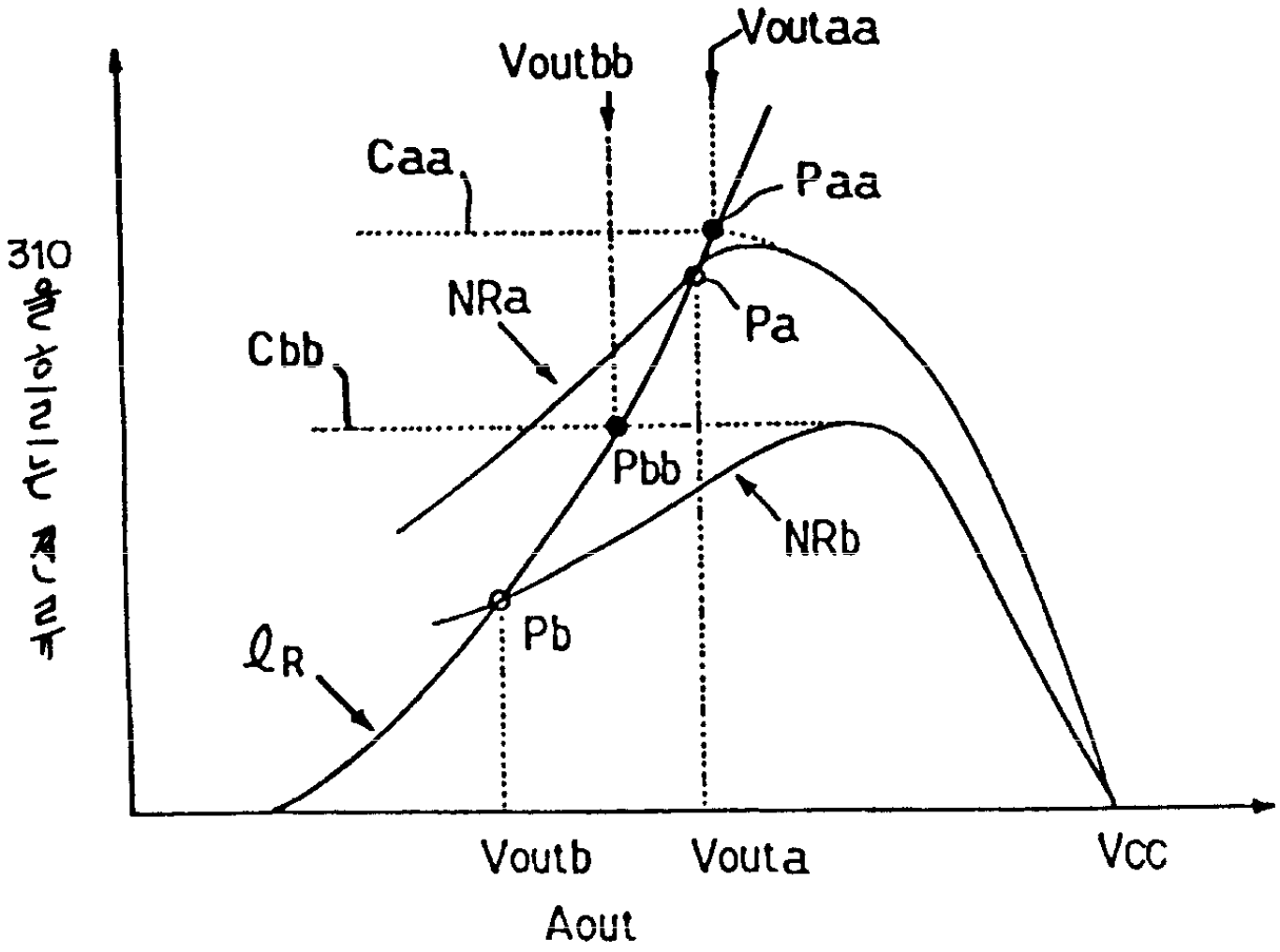
도면 31


전류
CNb
CNa
CP
Pb
Pbb
Pa
Ib
Ia
O
Voutb
Voutbb
Vb-VTNN
Vouta
Va-VTNN
Vb
Va
전압

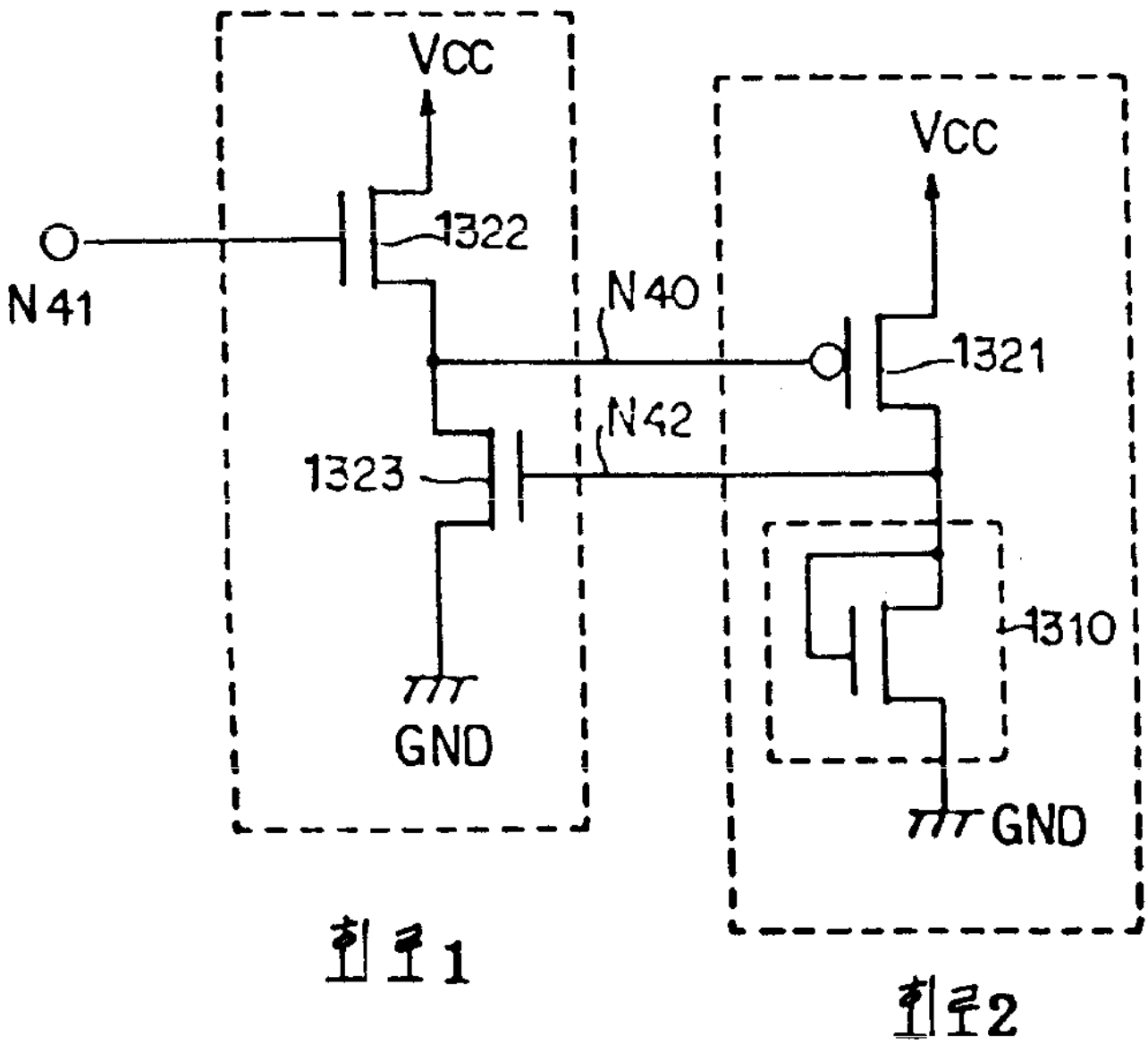
도면 32


Vcc
1100
IN
Ain
G
Vcc
1322
1320
Vcc
S
N40
1321
1323
GND
D
1201
OUT
1210
1200
Aout
1310
GND
GND
1300B

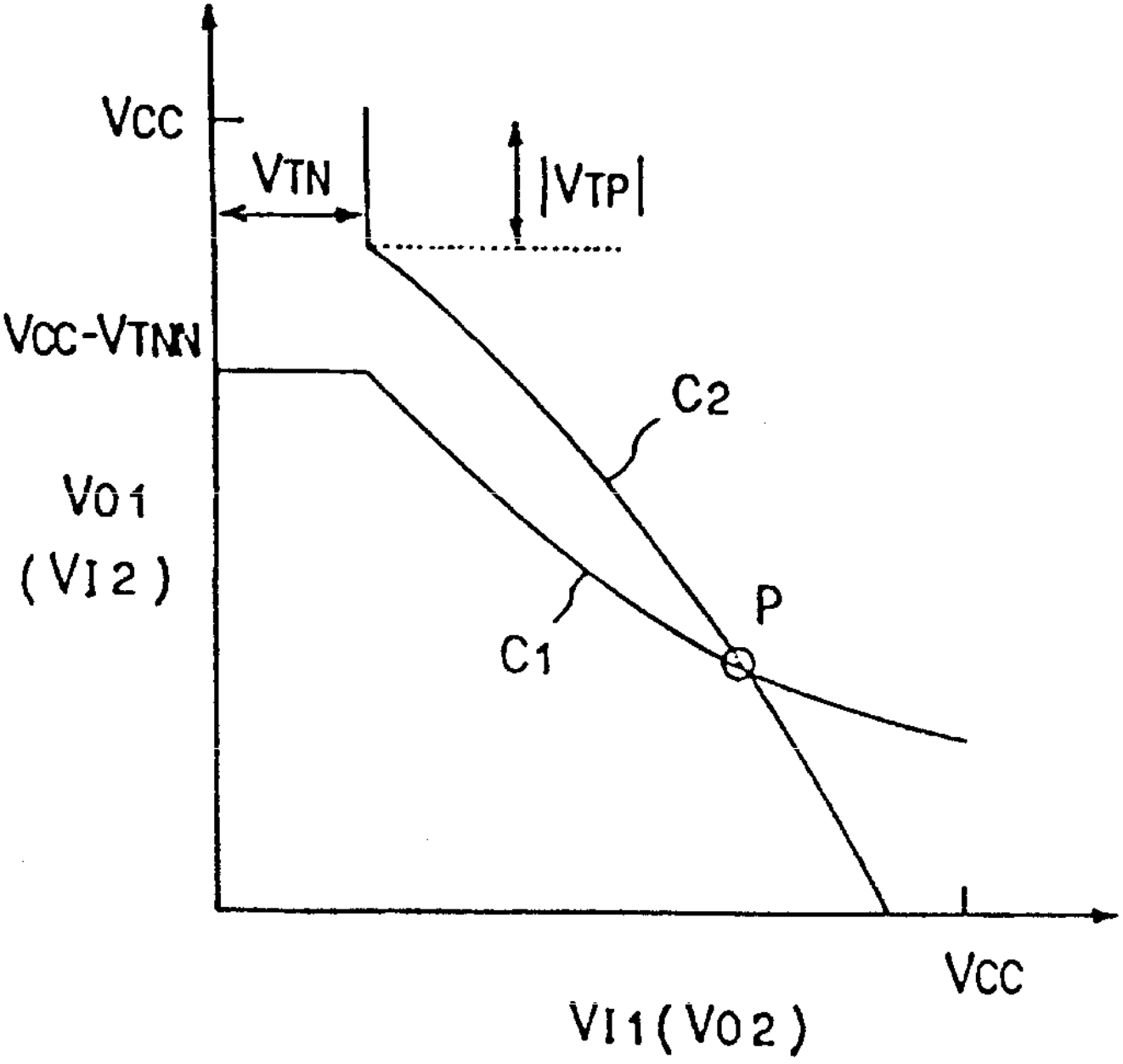
도면 33


Voutaa
Voutbb
Caa
Paa
310
NRa
Pa
Cbb
Pbb
NRb
Pb
Voutb
Vouta
Vcc
Aout

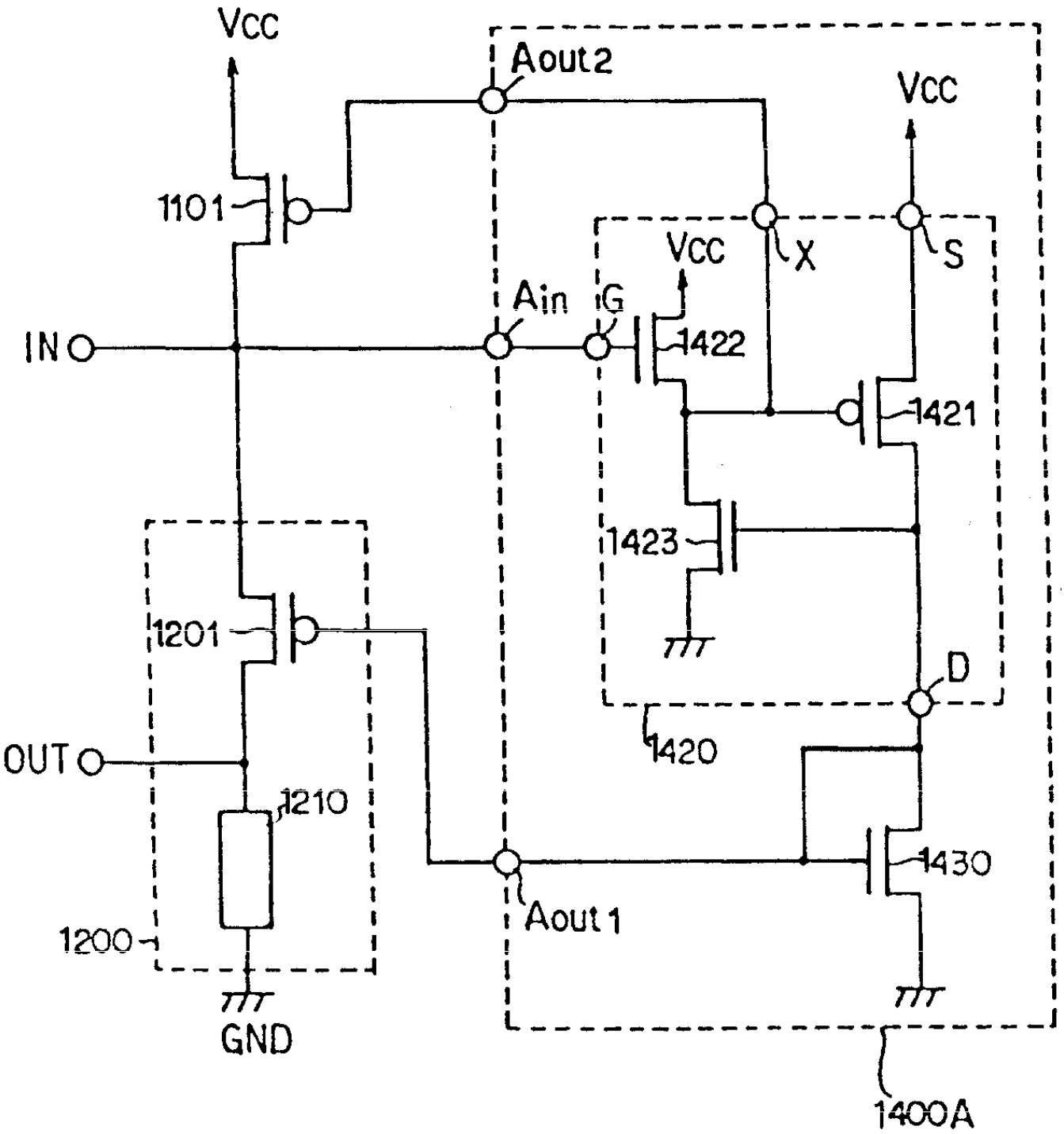
도면 34



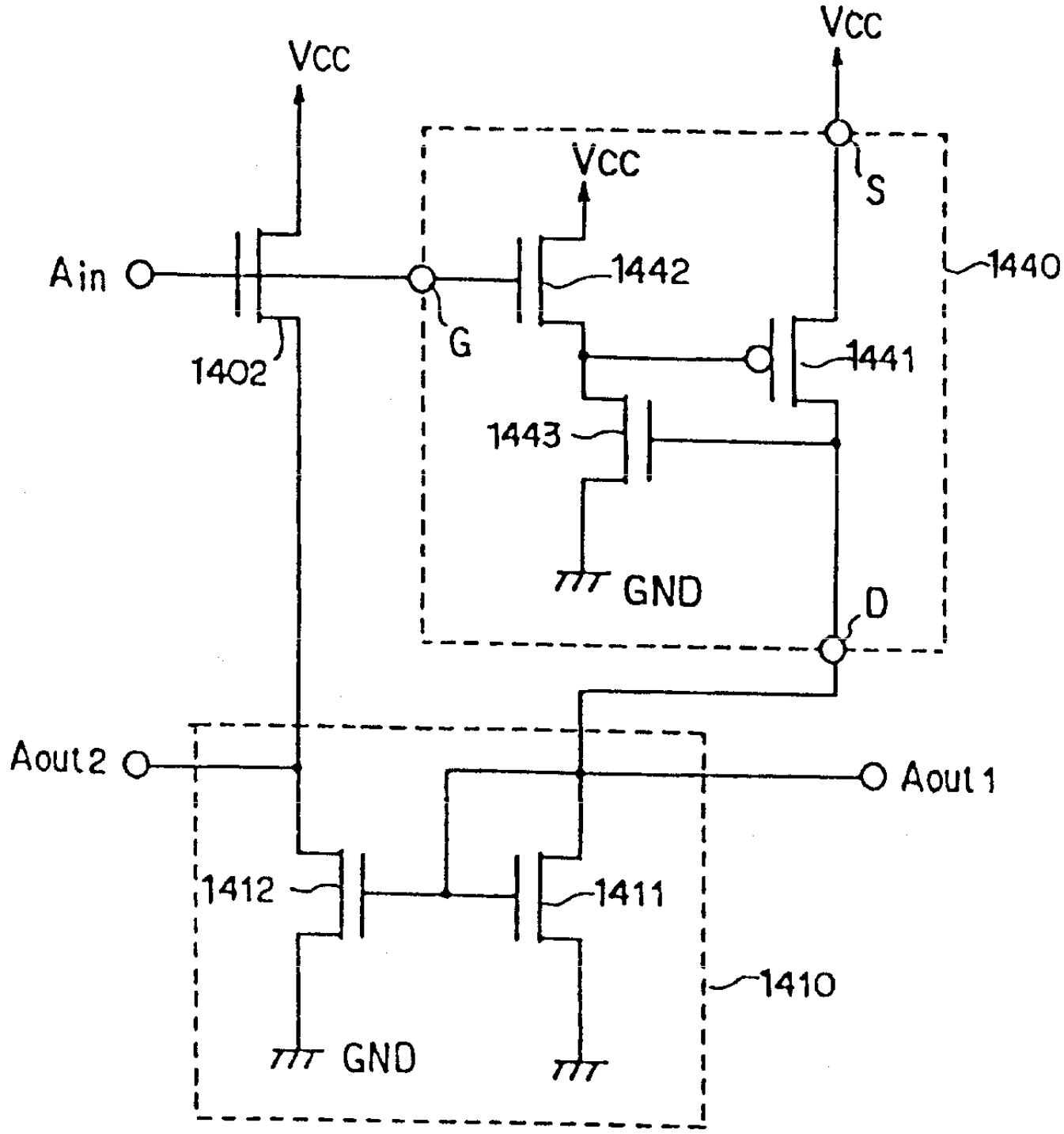
도면 35



도면 36


Vcc
Aout2
Vcc
1101
Vcc
X
S
Ain
G
IN
1422
1421
1423
1201
D
OUT
1420
1210
1430
Aout1
1200
GND
1400A

도면 37


Vcc
Vcc
Vcc
S
Ain
1442
1440
G
1402
1441
1443
GND
D
Aout2
Aout1
1412
1411
1410
GND

도면 38