

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 18 年 12 月 21 日 (2006.12.21)

【公表番号】特表 2002-529876 (P2002-529876A)

【公表日】平成 14 年 9 月 10 日 (2002.9.10)

【出願番号】特願 2000-580214 (P2000-580214)

【国際特許分類】

G 1 1 C 11/22 (2006.01)

【 F I 】

G 1 1 C 11/22 5 0 1 J

【手続補正書】

【提出日】平成 18 年 10 月 25 日 (2006.10.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 5

【補正方法】変更

【補正の内容】

【請求項 5】 強誘電体メモリ素子 (6 , 7 6 , 2 1 2 , 2 1 4) からなるメモリ・セル (1 7 , 7 0 , 2 1 0) と、ビット・ライン (7 9 , 2 2 0 , 2 2 2) と、ワード・ライン (8 6 , 2 2 1) と、プレート・ライン (8 5 , 2 2 4) と、プリチャージ信号ライン (1 5 , 1 1 5 , 2 5 5) と、ワード・ラインに接続され、ワード・ライン上のワード信号に応答してビット・ライン及び強誘電体メモリ素子を電氣的に接続し、ワード信号が終了したときにビット・ライン及び強誘電体メモリ素子を電氣的に切断する第 1 スイッチ (1 3 , 1 4 , 7 8 , 2 0 2 , 2 1 4) と、電流ソース/シンク (1 1 , 1 1 2 , 2 6 1 , 2 6 2) と、プリチャージ信号ラインに接続され、プリチャージ信号ライン上のプリチャージ信号に応答してビット・ライン及び電流ソース/シンクを電氣的に接続し、プリチャージ信号が終了したときにビット・ライン及び電流ソース/シンクを電氣的に切断する第 2 スイッチ (1 0 , 1 1 0 , 2 5 2 , 2 5 3) とからなる強誘電体集積回路メモリ (1 8 , 4 3 6) において、該メモリは、単一の読み取りサイクルの間に、プリチャージ信号、次いでワード信号を供給し、その後読み取りサイクルが完了する時点の前にプリチャージ信号を終了させる信号発生器 (1 2 , 4 8 0) を備えていることを特徴とする強誘電体集積回路メモリ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】請求項 8

【補正方法】変更

【補正の内容】

【請求項 8】 請求項 5 記載の強誘電体集積回路メモリにおいて、第 1 及び第 2 スイッチは、各々ゲート (1 9 , 1 0 8 , 2 1 6 , 2 1 8 , 2 5 8 , 2 5 9) を有する第 1 及び第 2 トランジスタ (7 8 , 1 1 0 , 2 0 2 , 2 0 3 , 2 5 2 , 2 5 3) で構成され、ワード・ラインは第 1 トランジスタのゲートに接続され、プリチャージ・ラインは第 2 トランジスタのゲートに接続されていることを特徴とする強誘電体集積回路メモリ。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】請求項 9

【補正方法】変更

【補正の内容】

【請求項 9】 請求項 8 記載の強誘電体集積回路メモリにおいて、更に、ワード信号 (

WORD) 及びプリチャージ信号 (2) がメモリの電源電圧よりも高く昇圧されるよう構成されていることを特徴とする強誘電体集積回路メモリ。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】請求項 1 2

【補正方法】変更

【補正の内容】

【請求項 1 2】 強誘電体メモリ素子 (6 , 7 6 , 2 1 2 , 2 1 4) からなるメモリ・セル (1 7 , 7 0 , 2 1 0) と、センス・アンプと、前記強誘電体メモリ素子及び前記センス・アンプに電氣的に接続されている又は接続可能な検知ライン (8 , 7 9 , 2 0 , 2 2 2) とからなる強誘電体集積回路メモリ (1 8 , 4 3 6) において、該メモリは、前記センス・アンプに関連せず、前記検知ラインに電氣的に接続可能な電流ソース/シンクであって、前記検知ラインが前記強誘電体メモリ素子に電氣的に接続されている間、読み取りサイクルの一部の間に前記検知ラインから電荷を除去する電流ソース/シンク (1 1 , 1 1 2 , 2 6 1 , 2 6 2) を備えていることを特徴とする強誘電体集積回路メモリ。