

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5292374号
(P5292374)

(45) 発行日 平成25年9月18日(2013.9.18)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl.

H01L 33/38 (2010.01)
H01L 29/41 (2006.01)

F 1

H01L 33/00 210
H01L 29/44 P

請求項の数 5 (全 21 頁)

(21) 出願番号 特願2010-199345 (P2010-199345)
 (22) 出願日 平成22年9月6日 (2010.9.6)
 (65) 公開番号 特開2012-59791 (P2012-59791A)
 (43) 公開日 平成24年3月22日 (2012.3.22)
 審査請求日 平成23年9月19日 (2011.9.19)

前置審査

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 浅川 鋼児
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 藤本 明
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 (72) 発明者 北川 良太
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】半導体発光素子及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1導電形の第1半導体層と、第2導電形の第2半導体層と、前記第1半導体層と前記第2半導体層との間に設けられた発光層と、を有する構造体と、

前記第2半導体層の前記第1半導体層とは反対側に設けられた第1電極層であって、前記第1半導体層から前記第2半導体層に向かう方向に沿った厚さが10ナノメートル以上、200ナノメートル以下である金属部と、前記方向に沿って前記金属部を貫通し、円相当直径が10ナノメートル以上、1マイクロメートル以下であって前記発光層で発生する光の中心波長の1/2以下である複数の第1開口部と、前記方向に沿って前記金属部を貫通し、円相当直径が1マイクロメートルを超える、30マイクロメートル以下である第2開口部と、を有し、前記第2半導体層と導通する第1電極層であって、前記第1電極層の全体の面積に対する前記第2開口部の面積が、5%以上50%以下である前記第1電極層と

10

、前記第1半導体層と導通する第2電極層と、
 を備えたことを特徴とする半導体発光素子。

ここで、前記円相当直径 = $2 \times (\text{前記方向にみた前記開口部の面積} / \pi)^{1/2}$ である

【請求項 2】

前記発光層から放出される光の波長に対する前記金属部の材料の反射率は、70パーセント以上であることを特徴とする請求項1記載の半導体発光素子。

20

【請求項 3】

前記金属部は、金及び銀の少なくともいずれかを含むことを特徴とする請求項 1 または 2 に記載の半導体発光素子。

【請求項 4】

第 1 導電形の第 1 半導体層と、第 2 導電形の第 2 半導体層と、前記第 1 半導体層と前記第 2 半導体層との間に設けられた発光層と、を有する構造体の前記第 2 半導体層の上に、金属層を形成する工程と、

前記金属層の上にレジスト膜を形成する工程と、

前記レジスト膜に電子線または光を照射し、現像し、複数の第 1 レジスト開口部及び第 2 レジスト開口部を有するレジスト層を形成する工程と、

10

前記レジスト層をマスクとして前記金属層をエッチングし、前記第 1 半導体層から前記第 2 半導体層に向かう方向に沿った厚さが 10 ナノメートル以上、200 ナノメートル以下である金属部と、複数の第 1 レジスト開口部に対応し円相当直径が 10 ナノメートル以上 1 マイクロメートル以下であって前記発光層で発生する光の中心波長の 1 / 2 以下の複数の第 1 開口部と、前記第 2 レジスト開口部に対応し前記円相当直径が 1 マイクロメートル超え 30 マイクロメートル以下の第 2 開口部と、を有する電極層であって、前記電極層の全体の面積に対する前記第 2 開口部の面積が、5 % 以上 50 % 以下である前記電極層を形成する工程と、

を備えたことを特徴とする半導体発光素子の製造方法。

ここで、前記円相当直径 = $2 \times (\text{前記方向にみた前記開口部の面積} / \pi)^{1/2}$ である

20

【請求項 5】

第 1 導電形の第 1 半導体層と、第 2 導電形の第 2 半導体層と、前記第 1 半導体層と前記第 2 半導体層との間に設けられた発光層と、を有する構造体の前記第 2 半導体層の上に、金属層を形成する工程と、

前記金属層の上にレジスト膜を形成する工程と、

前記レジスト膜に凸部を有するスタンパの前記凸部を押し付けて、前記レジスト膜に複数の第 1 レジスト凹部と、第 2 レジスト凹部と、を有するレジスト層を形成する工程と、

前記レジスト層をマスクとして前記金属層をエッチングし、前記第 1 半導体層から前記第 2 半導体層に向かう方向に沿った厚さが 10 ナノメートル以上、200 ナノメートル以下である金属部と、前記複数の第 1 レジスト凹部に対応し円相当直径が 10 ナノメートル以上 1 マイクロメートル以下であって前記発光層で発生する光の中心波長の 1 / 2 以下の複数の第 1 開口部と、前記第 2 レジスト凹部に対応し前記円相当直径が 1 マイクロメートル超え 30 マイクロメートル以下の第 2 開口部と、を有する電極層であって、前記電極層の全体の面積に対する前記第 2 開口部の面積が、5 % 以上 50 % 以下である前記電極層を形成する工程と、

30

を備えたことを特徴とする半導体発光素子の製造方法。

ここで、前記円相当直径 = $2 \times (\text{前記方向にみた前記開口部の面積} / \pi)^{1/2}$ である

。

【発明の詳細な説明】

40

【技術分野】**【0001】**

本発明の実施形態は、半導体発光素子及びその製造方法に関する。

【背景技術】**【0002】**

半導体発光素子は、半導体層の表面にオーミック接触した電極を具備している。半導体発光素子は、この電極に電流を流すことによって発光させている。ここで、照明装置などでは比較的大きな発光素子が望まれる。そこで、パッド電極から半導体層表面に沿って伸びた細線電極を追加した半導体発光素子が考えられている。また、発光表面全面に金属電極を施し、その金属電極にナノメートル (nm) スケールの超微細な開口を形成した半導

50

体発光素子も考えられている。しかしながら、半導体発光素子において、さらなる高輝度化が求められている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-231689号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の実施形態は、高輝度化を図ることができる半導体発光素子及びその製造方法を提供する。 10

【課題を解決するための手段】

【0005】

実施形態に係る半導体発光素子は、構造体と、第1電極層と、第2電極層と、を備える。

構造体は、第1導電形の第1半導体層と、第2導電形の第2半導体層と、前記第1半導体層と前記第2半導体層との間に設けられた発光層と、を有する。

第1電極層は、金属部と、複数の第1開口部と、第2開口部と、を有する。

第1電極層は、前記第2半導体層の前記第1半導体層とは反対側に設けられる。

金属部は、前記第1半導体層から前記第2半導体層に向かう方向に沿った厚さが10ナノメートル(nm)以上、200nm以下である。 20

複数の第1開口部は、前記方向に沿って前記金属部を貫通し、円相当直径が10nm以上、1マイクロメートル(μm)以下であって発光層で発生する光の中心波長の1/2以下である。

第2開口部は、前記方向に沿って前記金属部を貫通し、円相当直径が1μmを超え、30μm以下である。

第1電極層は、前記第2半導体層と導通し、第2電極層は、前記第1半導体層と導通する。

第1電極層の全体の面積に対する第2開口部の面積は、5%以上50%以下である。

ここで、前記円相当直径 = $2 \times (\text{前記方向にみた前記開口部の面積} / \pi)^{1/2}$ である 30

【0006】

また、実施形態に係る半導体発光素子の製造方法は、第1導電形の第1半導体層と、第2導電形の第2半導体層と、前記第1半導体層と前記第2半導体層との間に設けられた発光層と、を有する構造体の前記第2半導体層の上に、金属層を形成する工程と、前記金属層の上にレジスト膜を形成する工程と、前記レジスト膜に電子線を照射し、現像し、複数の第1レジスト開口部及び第2レジスト開口部を有するレジスト層を形成する工程と、前記レジスト層をマスクとして前記金属層をエッチングし、前記第1半導体層から前記第2半導体層に向かう方向に沿った厚さが10ナノメートル以上、200ナノメートル以下である金属部と、複数の第1レジスト開口部に対応し円相当直径が10nm以上1μm以下であって発光層で発生する光の中心波長の1/2以下の複数の第1開口部と、前記第2レジスト開口部に対応し前記円相当直径が1μmを超え30μm以下の第2開口部と、を有する電極層であって、前記電極層の全体の面積に対する前記第2開口部の面積が、5%以上50%以下である前記電極層を形成する工程と、を備える。 40

ここで、前記円相当直径 = $2 \times (\text{前記方向にみた前記開口部の面積} / \pi)^{1/2}$ である。

【0007】

また、実施形態に係る他の半導体発光素子の製造方法は、第1導電形の第1半導体層と、第2導電形の第2半導体層と、前記第1半導体層と前記第2半導体層との間に設けられた発光層と、を有する構造体の前記第2半導体層の上に、金属層を形成する工程と、前記 50

金属層の上にレジスト膜を形成する工程と、前記レジスト膜に、凸部を有するスタンパの前記凸部を押し付けて、前記レジスト膜に複数の第1レジスト凹部と、第2レジスト凹部と、を有するレジスト層を形成する工程と、前記レジスト層をマスクとして前記金属層をエッチングし、前記第1半導体層から前記第2半導体層に向かう方向に沿った厚さが10ナノメートル以上、200ナノメートル以下である金属部と、前記複数の第1レジスト開口部に対応し円相当直径が10nm以上1μm以下であって発光層で発生する光の中心波長の1/2以下の複数の第1開口部と、前記第2レジスト開口部に対応し前記円相当直径が1μmを超え30μm以下の第2開口部と、を有する電極層であって、前記電極層の全体の面積に対する前記第2開口部の面積が、5%以上50%以下である前記電極層を形成する工程と、を備える。

10

ここで、前記円相当直径 = $2 \times (\text{前記方向にみた前記開口部の面積} / \pi)^{1/2}$ である。
。

【図面の簡単な説明】

【0008】

【図1】半導体発光素子を示す模式的斜視図である。

【図2】開口形状を示す模式的平面図である。

【図3】半導体発光素子の製造方法を示す模式的断面図である。

【図4】半導体発光素子の製造方法を示す模式的断面図である。

【図5】半導体発光素子の製造方法を示す模式的断面図である。

20

【図6】半導体発光素子の製造方法を示す模式的断面図である。

【図7】半導体発光素子の特性例を示すグラフ図である。

【図8】半導体発光素子の変形例を示す模式的断面図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態を図に基づき説明する。

なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比係数などは、必ずしも現実のものと同一とは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比係数が異なって表される場合もある。

また、本願明細書と各図において、既出の図に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

30

また、以下の説明では、一例として、第1導電形をn形、第2導電形をp形とした具体例を挙げる。

【0010】

(第1の実施形態)

図1は、第1の実施形態に係る半導体発光素子の構成を例示する模式的斜視図である。

第1の実施形態に係る半導体発光素子110は、構造体100、第1電極層20、第2電極層30、を備える。

【0011】

構造体100は、第1導電形の第1半導体層51と、第2導電形の第2半導体層52と、第1半導体層51と第2半導体層53との間に設けられた発光層53と、を有する。

40

【0012】

第1半導体層51は、例えばn形のInAlPによるクラッド層512を含む。クラッド層512は、例えばn形GaAsの基板511の上に形成される。実施形態では、便宜上、基板511は第1半導体層51に含まれるものとする。

【0013】

第2半導体層52は、例えばp形のInAlPによるクラッド層521を含む。また、クラッド層521の上には、例えばp形のInGaAlPによる電流拡散層522が設けられ、その上には、コンタクト層523が設けられている。実施形態では、便宜上、電流拡散層522及びコンタクト層523は第2半導体層52に含まれるものとする。

50

【0014】

発光層53は、第1半導体層51と、第2半導体層52と、の間に設けられる。半導体発光素子110では、例えば、第1半導体層51のクラッド層512、発光層53、及び、第2半導体層52のクラッド層521によってヘテロ構造が構成される。

【0015】

第1電極層20は、第2半導体層52の第1半導体層51とは反対側に設けられる。第1電極層20には、例えば後述するようにAu及びAg、並びに若干の不純物が添加されたAu及びAgが用いられる。

なお、実施形態では、説明の便宜上、構造体100の第2半導体層52の側を表面側または上側、構造体100の第1半導体層51の側を裏面側または下側とする。また、第1半導体層51から第2半導体層52に向かう方向に沿った積層方法をZ方向とする。10

【0016】

第1電極層20は、金属部23と、複数の第1開口部21と、第2開口部22と、を有する。複数の第1開口部21は、Z方向に沿って金属部23を貫通する。第2開口部22は、Z方向に沿って金属部23を貫通する。複数の第1開口部21のそれぞれの円相当直径は、10nm以上、1μm以下である。第2開口部22の円相当直径は、1μmを超える、30μm以下である。

【0017】

ここで、円相当直径は、次の式で定義される。

$$\text{円相当直径} = 2 \times (\text{面積} / \pi)^{1/2}$$

ここで、面積は、第1開口部21、または、第2開口部22の、Z方向からみたときの面積である。20

【0018】

第1開口部21及び第2開口部22は、必ずしも円形とは限らない。したがって、実施形態では、上記の円相当直径の定義を用いて第1開口部21及び第2開口部22を特定する。第1開口部21の円相当直径は、第2開口部22の円相当直径よりも小さい。また、第1開口部21は複数個設けられているのに対し、第2開口部22は少なくとも1個設けられていればよい。

【0019】

第2電極層30は、第1半導体層51と導通している。この例では、第2電極層30は、構造体100の裏面側に設けられている。第2電極層30には、例えばAuが用いられる。30

【0020】

このような半導体発光素子110では、第1電極層20の形成された面が、主たる発光面として利用される。すなわち、第1電極層20と第2電極層30との間に所定の電圧を印加することで、発光層53から所定の中心波長を有する光が放出される。この光は、主として第1電極層20の正面20aから外部に放出される。

【0021】

第1の実施形態に係る半導体発光素子110では、第1電極層20に複数の第1開口部21と、第2開口部22と、が設けられているため、例えば10nm以上1μm以下の程度の大きさの超微細な第1開口部21を含む第1電極層20による発光層53への電流の拡がりを保ったまま、例えば1μmを超え30μm以下の程度の大きさの第2開口部22から効率良く光を外部に放出できるようになる。すなわち、半導体発光素子110によれば、発光層53での発光効率の向上、第1電極層20からの放出光の輝度の向上を図ることが可能となる。40

【0022】

半導体発光素子110の具体的な一例を説明する。

半導体発光素子110は、例えばn形GaAsの基板511を備え、この基板511の上に、例えばn形のInAlPによるクラッド層512と、InGaNによる発光層53と、p形のInAlPによるクラッド層521と、を含むヘテロ構造が形成される。50

【0023】

発光層53は、例えば障壁層および井戸層が交互に繰り返し設けられたMQW (Multiple Quantum Well) 構成であってもよい。また、発光層53は、井戸層を挟む障壁層の組みが1組み設けられたSQW (Single Quantum Well) 構成を含むものであってもよい。

【0024】

そして、この発光層53の上に、例えばp形のInGaAlPによる電流拡散層522が形成されている。さらに電流拡散層522には、炭素等のドーピングがされていてもよい。これにより、電流拡散層522の抵抗値が下がり、第1電極層20とのオーム接続をとりやすくなる。なお、これらの半導体の層構成は一例であり、実施形態はこれに限定されない。

10

【0025】

電流拡散層522の上には、例えばGaAsによるコンタクト層523が形成され、コンタクト層523を介して第1電極層20が形成される。

ここで、コンタクト層523には、例えばGaAs及びGaPを用いることができる。ただし、実施形態はこれに限らず、コンタクト層523に用いられる材料は、例えば、コンタクト層523に隣接する電流拡散層522の材料、及び、第1電極層20に用いられる材料に基づいて適切に選択される。

【0026】

第1電極層20には、p側の電極として、例えばAu/Au-Znが用いられる。第1電極層20には、この金属部23をZ方向に沿って貫通する複数の第1開口部21と、金属部23をZ方向に沿って貫通する第2開口部22と、が設けられている。第1開口部21及び第2開口部22のそれぞれの大きさ及び配置は、規則的であっても、不規則的であってもよい。

20

【0027】

図2は、第1開口部及び第2開口部の開口形状の一例を示す模式的平面図である。

図2では、第1開口部及び第2開口部におけるそれぞれ1つの開口形状を例示している。

【0028】

図2(a)に例示した開口形状は、略円形である。また、図2(b)に例示した開口形状は、略楕円形である。また、図2(c)に例示した開口形状は、2つの略円形が繋がった形状である。2つの略円形の大きさは、異なっていても、同じでもよい。また、図2(d)に例示した開口形状は、3つ以上の略円形が繋がった形状である。3つ以上の略円形の大きさは、異なっていても、同じでもよい。

30

なお、これらの開口形状は一例であって、これらに限定されない。また、開口形状は、種々の形状が組み合わされていてもよい。

以下の説明では、第1開口部21及び第2開口部22の開口形状として略円形の場合を例とする。

【0029】

第1半導体層51である基板の裏面側には、例えばAuからなるn側の第2電極層30が形成されている。第2電極層30は、第1半導体層51と導通している。

40

そして、実施形態に係る半導体発光素子110において、発光層53から放出された光は、電流拡散層である第2半導体層52の第1電極層20が設けられた全面から外部に放出される。

【0030】

このような半導体発光素子110は、種々の機器に用いられる。昨今では、画像表示装置や照明装置に半導体発光素子110を用いることが検討されている。このような半導体発光素子110は、基本的に半導体層の両面に電極が設けられ、電極間に電流を流すことによって発光させるものである。

【0031】

一般的な半導体発光素子においては、半導体層の表面の一部に設けられたパッド電極に

50

電流を流すことによって、そのパッド電極の周辺から発光する。

【0032】

半導体発光素子において、発光領域を大きくするために、例えば、パッド部分の電極から半導体層表面に沿って伸びた細線電極を追加して、発光部分の面積を広くする工夫がなされている。しかしながら、細線電極を多くすると、電極構造が複雑化する。

【0033】

一方、半導体発光素子の電流に対する輝度の特性は、ある電流値でピークを持ち、それ以上の電流を流しても輝度は低下する。

【0034】

輝度が低下する原因の一つは、半導体発光素子の内部に多くの電流を流したことにより熱が発生し、十分に放熱できないことである。そのため、半導体発光素子の高輝度化を実現するために、半導体発光素子の冷却（放熱）が十分に行われる。

10

【0035】

実施形態に係る半導体発光素子110では、第1電極層20に、金属部23を貫通する複数のnmスケールの第1開口部21を備えている。このような第1開口部21を有する第1電極層20は、金属で構成されるため、一般的の電流拡散層を構成する半導体やITO（Indium Tin Oxide）などの酸化物透明電極と比較して、導電率が1桁から2桁以上高く、また熱伝導性も高い。このため半導体発光素子110として組み上げた際に、ITOを用いた場合に比べて順方向電圧（Vf）が低くなる。この結果、発光層53において一部だけに電流が集中する、電流集中が緩和される。よって、発光層53の全体がより均一に発光するとともに、輝度が向上する。

20

【0036】

一方、金属の層が光放出面になっているため、発光層53から外部に放出しようとする光の一部が第1電極層20によって内部に反射される場合もある。この光の反射を低減するため、第1電極層20の一部に例えば1μmを超え30μm以下の程度の大きさの第2開口部22を設ける。これによって、より電流を均一に流し、光放出面の全体を光らせることができる。

【0037】

ただし、例えば1μmを超え30μm以下の程度の大きさの第2開口部22を設けると、その下部の半導体層には電流が流れ難くなる。下部の半導体層のドーピング濃度等にも依存するが、あまり大きな第2開口部22や、数多くの第2開口部22を設けると、第1電極層20の電気抵抗値が大きくなり、順方向電圧の上昇を招く。

30

【0038】

そこで、実施形態に係る半導体発光素子110では、（1）第1電極層20における第1開口部21の円相当直径が、10nm以上、1μm以下であること、（2）第1電極層20における第2開口部22の円相当直径が、1μmを超え、30μm以下であること、を第1電極層20の条件としている。また、より好ましい条件は、（3）第1電極層20の厚さが、10nm以上、200nm以下であること、である。

【0039】

上記（1）の条件の理由を以下に示す。

40

すなわち、半導体発光素子110では、比較的大きな第1電極層20を設けることで高い放熱性を得て、半導体発光素子110の温度上昇を抑制している。また、第1電極層20に設けられた第1開口部21及び第2開口部22の大きさ（例えば、円相当直径）を調整することによっても、半導体発光素子110の温度上昇を抑制している。すなわち半導体発光素子110の順方向の電圧を低下させることによって直列抵抗を低下させ、発熱自体を減少させることができる。

【0040】

このような効果を実現するためには、第1開口部21及び第2開口部22を有する第1電極層20から第2半導体層52に対して全面に均一に電流を流すことができるといい。第2半導体層52に均一に電流を流すためには第1開口部21及び第2開口部22の大

50

きさ、並びに、第1開口部21及び第2開口部22の中心間隔はある程度限定される。

【0041】

電流を流す半導体層のドーピング濃度等にも依存するが、シミュレーション等の計算で得られる電流の流れる範囲は、第1電極層20の端から約 $5\text{ }\mu\text{m}$ までの範囲であり、十分な導電性を有し、順方向電流の上昇が起こらないのは $1\text{ }\mu\text{m}$ 以下である。すなわち、開口部の直径がそれ以上であると電流が流れない範囲が生じて、直列抵抗を下げることができず、順方向電圧を下げる事ができない。そのため、第1開口部21の平均開口部直径の上限は $1\text{ }\mu\text{m}$ 以下である。

【0042】

発光層53から発生する光の波長より十分小さい開口部を第1電極層20に設けることによって、第1電極層20は、金属でありながら光透過型電極として機能することがある。これは、開口部に阻害されない連続した金属部位の直線距離が該光の波長より十分短いことにより、第1電極層20に光が照射した際に光の電場により誘起される自由電子の運動が阻害され、該当波長の光と反応できなくなり、金属が透明となる点である。

10

【0043】

金属反射を記述するドルーデの理論において、対象となる物質は照射される光の波長に対して十分に大きく、均一な構造であることが仮定されている。物質にプラズマ周波数よりも低い周波数の光が照射された際、物質内の自由電子の運動について述べると、光のもつ電場により物質内の電子の分極が生じる。この分極は光の電場を打ち消す方向に誘起される。この誘起された電子の分極により、光の電場が遮蔽されることで、光は物質を透過することができず、いわゆるプラズマ反射が生じる。ここで、もし電子の分極を誘起される物質が、光の波長よりも十分に小さいとすると、電子の運動は幾何学的な構造により制限され、光の電場を遮蔽することができなくなるものと考えられる。これは、構造的には開口部の直径を、該当する光の波長よりも十分小さくすることにより実現できる。

20

【0044】

このため、第1電極層20における光透過率（発光層53で発生した光の外部への透過率）が、開口率（第1電極層20の面積に対する開口部の面積）を上回る効果を得るためにには、円相当直径を、発光層53で発生する光の中心波長の $1/2$ 以下程度が望ましい。例えば、可視光の場合には、第1開口部21の円相当直径は、 300 nm 以下がよい。

【0045】

30

一方、第1開口部21の円相当直径の下限に関しては、抵抗値の観点からは制約は無いものの、製造の容易性から 10 nm 以上、好ましくは 30 nm 以上あるとよい。

【0046】

上記(2)の条件の理由を以下に示す。

すなわち、上述のように、実施形態に係る半導体発光素子110では、電気的特性及び熱特性に関して、通常の半導体発光素子に比べて大幅な向上が見られる。特に、半導体発光素子110では、大電流投入領域でのピーク輝度で、大幅な性能向上が得られる。そして、上記(2)の条件を満たす第2開口部22を設けることで、低電流領域での輝度の向上を図ることができる。

【0047】

40

第2開口部22は、導電性及び熱伝導性について、第1開口部21ほど寄与しない。このため、第1開口部21を持つ第1電極層20の一部に第2開口部22を設け、第1電極層20の光透過性を向上させる。

【0048】

ここで、第2開口部22の数が少ない場合は、半導体発光素子110の全体として導電性や電熱性の低下はほとんど確認されず、かつ光の透過率は第2開口部22の数に比例して向上する。よって、半導体発光素子110の光放出面に、第2開口部22を1箇所以上設けることで、透過率向上効果を発揮できる。

【0049】

なお、実際に低電流領域での輝度が向上するのは、第1開口部21を持つ第1電極層2

50

0の全体の面積に対し、第2開口部22の面積が5%以上ある場合である。第2開口部22の数をあまり多く設けると、順方向電流の低下を招く。このため、第1開口部21を持つ第1電極層20の全体の面積に対し、第2開口部22の面積は50%以下とすることが望ましい。

【0050】

上記(3)の条件の理由を以下に示す。

すなわち、第1電極層20の金属部23の材料となる金属には、例えば、Ag、Auをベース金属とすることが好ましい。これにより、吸収損失が抑制できる。さらに、金属部23の材料となる金属には、Al、Zn、Zr、Si、Ge、Pt、Rh、Ni、Pd、Cu、Sn、C、Mg、Cr、Te、Se、Tiから選択された少なくとも1つの材料または合金であることが好ましい。これにより、オーミック性、密着性、耐熱性が向上する。金属部23の材料となる金属には、十分な導電性および熱伝導性を有しているものを用いることが望ましい。ただし、実施形態はこれに限定されず、任意の金属を用いることができる。

【0051】

なお、例えば、第1電極層20の金属部23(第1開口部21及び第2開口部22が設けられていない部分)の任意の2点間は、少なくともパッド電極などの電流供給源から切れ目無く連続している。これは、通電性を確保し抵抗値を低く保つためである。

なお、複数の電流供給源が設けられている場合には、各電流供給源のそれぞれに対応して第1電極層20の金属部23が連続していればよい。

【0052】

また、金属部23は、連続していることが望ましい。これにより、半導体発光素子110において、光の放出の均一性が高まる。また、第1電極層20のシート抵抗は、10/以下であることが好ましく、5/以下であることがより好ましい。シート抵抗が小さいほど、半導体発光素子110の発熱は少ない。また、均一な発光、輝度の向上が顕著になる。

【0053】

また、半導体層上に金属電極を形成させるためには、半導体層上に金属層を形成させる。

【0054】

例えば、赤色発光素子の場合の電極形性方法は、GaAs、GaP等の化合物半導体層へAu/Au-Zn(ドーパント、p層の場合)の積層構造を形成した後、熱処理を行うことにより金属・半導体層界面へZnのドーピングを行い、オーミック接触をさせてよい。

【0055】

実施形態に係る半導体発光素子110においても、同様にして金属層を形成させ、さらに後述する方法によって第1開口部21及び第2開口部22を形成させることによって第1電極層20を形成している。ここで、第1電極層20の厚さが薄すぎるとドーパントの量が少くなり、ドーピングが不十分となる。その結果、十分なオーミック接触が得られず、抵抗値の上昇を招く可能性がある。

【0056】

実験により調べた結果、第1電極層20の厚さは10nm以上であると、十分なオーミック接触が実現できることが分かった。さらに、第1電極層20の厚さが30nm以上であると、オーミック性がさらに向上する。一方、第1電極層20の厚さが厚いほど抵抗値は下がる。発光層53で発生した光の透過率を確保する点から、第1電極層20の厚さは、好ましくは200nm以下であり、より好ましくは50nm以下である。

【0057】

ここで、第1電極層20においては、発光層53から放出される波長の光に対する金属材料のバルク状態での反射率(バルク反射率)が70%以上である。これは、金属反射の際に反射率が低いと光が熱に変わり損失が生じるためである。第1電極層20で、光とし

10

20

30

40

50

て反射された光は、発光層 3 2 の下部に反射層（図示せず）などを施すことで再利用可能となり、再び取り出すことができる。これにより、発光層 5 3 から放出された光が、第 1 電極層 2 0 を透過することになる。

【 0 0 5 8 】

実施形態に係る半導体発光素子 1 1 0 のように、上記（1）～（2）の条件を満たし、好ましくは上記（3）の条件を満たすことで、発光層 5 3 での発光効率の向上、第 1 電極層 2 0 からの放出光の輝度の向上を図ることが可能となる。

【 0 0 5 9 】

（第 2 の実施形態）

次に、第 2 の実施形態を説明する。第 2 の実施形態は、半導体発光素子の製造方法である。10

【 0 0 6 0 】

第 2 の実施形態に係る半導体発光素子の製造方法には、例えば以下の（A）～（D）の方法が挙げられる。

【 0 0 6 1 】

（A）電子線描画を利用する方法

開口部を有する第 1 電極層を形成させる方法のもうひとつは、電子線描画による方法である。この方法を利用した第 2 の実施形態に係る半導体発光素子の製造方法は、次の工程を備える。

すなわち、当該製造方法は、第 1 導電形の第 1 半導体層と、第 2 導電形の第 2 半導体層と、当該第 1 半導体層と当該第 2 半導体層との間に設けられた発光層と、を有する構造体の当該第 2 半導体層の上に、金属層を形成する工程（a 1）と、当該金属層の上にレジスト膜を形成する工程（a 2）と、当該レジスト膜に電子線を照射し、現像し、複数の第 1 レジスト開口部及び第 2 レジスト開口部を有するレジスト層を形成する工程（a 3）と、当該レジスト層をマスクとして当該金属層をエッチングし、複数の第 1 開口部と、第 2 開口部と、を有する第 1 電極層を形成する工程（a 4）と、を備える。20

【 0 0 6 2 】

そして、実施形態では、当該第 1 電極層を形成する工程（a 4）において、当該複数の第 1 開口部のそれぞれの円相当直径を、10 nm 以上、1 μm 以下に形成し、当該第 1 電極層における当該第 2 開口部の円相当直径を、1 μm を超え、30 μm 以下に形成する。30

【 0 0 6 3 】

具体的には、例えば以下のようにして半導体発光素子を製造する。

図 3 は、電子線描画を利用する方法の工程例を示す模式的断面図である。

先ず、図 3（a）に表したように、第 1 半導体層 5 1 上に発光層 5 3 を形成し、その上に第 2 半導体層 5 2 を形成する。また、第 1 半導体層 5 1 に第 2 電極層 3 0 を形成する。

次いで、第 2 半導体層 5 2 の上に金属層 2 0 A を形成する。その後、金属層 2 0 A と第 2 半導体層 5 2 とを十分にオーミック接触させるため、所定時間のアニールを行う。そして、金属層 2 0 A の上に電子線用のレジスト膜 2 0 0 A の層を形成する。

【 0 0 6 4 】

次いで、図 3（b）に表したように、パターンジェネレータを装備した電子線露光装置で、レジスト膜 2 0 0 A に、第 1 開口部 2 1 に対応した第 1 レジスト開口部 2 1 1 を形成する。さらに、レジスト膜 2 0 0 A に、第 2 開口部 2 2 に対応した第 2 レジスト開口部 2 1 2 を形成する。40

ここで、第 1 電極層 2 0 における第 2 開口部 2 2 は、数 μm 程度の大きさがあり、エキシマレーザーや水銀灯の輝線を利用した光リソグラフィでも十分に形成可能である。化学增幅型レジストに用いられるトリフェニルスルホニウム塩やジフェニルヨードニウム塩など多数の光酸発生剤が電子線と光との両方に感光する。このため、電子線描画で第 1 開口部 2 1 に対応した露光を行い、その後、紫外線露光で第 2 開口部 2 2 に対応した露光を行って、同じレジストで両方に対応したパターンを作成することもできる。

【 0 0 6 5 】

次いで、第1レジスト開口部202a及び第2レジスト開口部202bが形成された電子線用のレジスト層200をマスクにしてイオンミリングを行い、金属層20Aをエッチングする。これにより、第1レジスト開口部202aに対応した金属層20Aに第1開口部21が形成され、第2レジスト開口部202bに対応した金属層20Aに第2開口部22が形成される(図3(c))。金属層20Aは、第1開口部21及び第2開口部22が形成され、第1電極層20になる。金属層20Aのエッチング後、レジスト膜200は除去される。

【0066】

最後に、図3(d)に表したように、パッド電極202を形成して半導体発光素子110を完成させる。

10

【0067】

(B) スタンパを利用する方法

第2の実施形態に係る半導体発光素子の製造方法の別のひとつは、スタンパを利用するものである。その方法は、次の工程を備える。

すなわち、当該製造方法は、第1導電形の第1半導体層と、第2導電形の第2半導体層と、当該第1半導体層と当該第2半導体層との間に設けられた発光層と、を有する構造体の当該第2半導体層の上に、金属層を形成する工程(b1)と、当該金属層の上にレジスト膜を形成する工程(b2)と、レジスト膜に、凸部を有するスタンパの凸部を押し付けて、当該レジスト膜に複数の第1レジスト凹部及び第2レジスト凹部を有するレジスト層を形成する工程(b3)と、当該レジスト層をマスクとして当該金属層をエッチングし、複数の第1レジスト凹部に対応した複数の第1開口部と、第2レジスト凹部に対応した第2開口部と、を有する第1電極層を形成する工程(b4)と、を備える。

20

【0068】

そして、実施形態では、当該第1電極層を形成する工程(b4)において、当該複数の第1開口部のそれぞれの円相当直径を、10nm以上、1μm以下に形成し、当該第1電極層における当該第2開口部の円相当直径を、1μmを超え、30μm以下に形成する。

【0069】

具体的には、例えば以下のようにして半導体発光素子を得ることができる。

図4は、スタンパを利用する方法の工程例を示す模式的断面図である。

先ず、図4(a)に表したように、第1半導体層51上に発光層53を形成し、その上に第2半導体層52を形成する。また、第1半導体層51に第2電極層30を形成する。

30

次いで、第2半導体層52の上に金属層20Aを形成する。その後、金属層20Aと第2半導体層52とを十分にオーミック接触させるため、所定時間のアニールを行う。そして、金属層20Aの上にレジスト膜801Aの層を形成する。

【0070】

次いで、図4(b)に表したように、第1凸部802a及び第2凸部802bを有するスタンパ802を用意する。

例えば、スタンパ802の第1凸部802a及び第2凸部802bが設けられた転写面において、複数の第1凸部802aが設けられ、複数の第1凸部802aは不連続である。

40

スタンパ802は、例えば石英上に電子線リソグラフィにて所望の構造を形成させることにより製造することができる。なお、スタンパ802の材料及びスタンパ802の微細凹凸構造の形成手法はこれに限定されない。例えば、スタンパ802を後述するブロックコポリマー(ブロック共重合体)の自己組織化や、微粒子マスクを用いた方法により形成することも可能である。

【0071】

次に、必要に応じてレジスト膜801Aを所定温度に加熱した状態で、図4(b)に表したように、スタンパ802の凸形状がある側をレジスト膜801Aに押し付けるインプリントを行う。インプリント後、レジスト膜801Aを室温まで冷却して硬化させ、スタンパ802をリリースする。これにより、第1凸部802a及び第2凸部802bにそれ

50

それ対応した凹部を有するレジストパターン 801B が形成される(図4(c))。

【0072】

次いで、図4(d)に表したように、レジストパターン 801B を、エッチングする。これにより、レジスト層の凹部の底が除去され、金属層 20A が露出する(図4(d))。金属層 20A が露出した部分は、第1レジスト開口部 811 及び第2レジスト開口部 812 となる。

【0073】

次いで、第1レジスト開口部 811 及び第2レジスト開口部 812 が形成されたレジスト層 801 をマスクにしてイオンミリングを行い、金属層 20A をエッチングする。これにより、第1レジスト開口部 811 に対応した金属層 20A に第1開口部 21 が形成され、第2レジスト開口部 812 に対応した金属層 20A に第2開口部 22 が形成される(図4(e))。金属層 20A は、第1開口部 21 及び第2開口部 22 が形成され、第1電極層 20 になる。金属層 20A のエッチング後、レジスト層 801 は除去される。

【0074】

最後に、図4(f)に表したように、パッド電極 202 を形成して、半導体発光素子 110 を完成させる。

【0075】

なお、スタンパを利用する方法は、上記のような熱による成形に限定されるものではなく、光の照射によってレジストを硬化させる成形や、PDMA(ポリジメチルアクリルアミド)やPDMDS(ポリジメチルシロキサン)等の柔軟性を備えたスタンパを用いる成形など、種々の技術を用いることができる。

【0076】

(C) ブロックコポリマーの自己組織化を利用する方法

第2の実施形態に係る半導体発光素子の製造方法のひとつは、ブロックコポリマーの自己組織化による相分離を利用するものである。その方法は、次の工程を備える。

すなわち、当該製造方法は、第1導電形の第1半導体層と、第2導電形の第2半導体層と、当該第1半導体層と当該第2半導体層との間に設けられた発光層と、を有する構造体の当該第2半導体層の上に、金属層を形成する工程(c1)と、当該金属層の少なくとも一部の表面にブロックコポリマーを含む組成物を塗布し、当該ブロックコポリマーを相分離させてミクロドメインパターンを生成する工程(c2)と、当該ミクロドメインパターンをマスクとして当該金属層をエッチングして、複数の第1開口部と、第2開口部と、を有する第1電極層を形成する工程(c3)と、を備える。

【0077】

そして、実施形態では、当該第1電極層を形成する工程(c3)において、当該複数の第1開口部のそれぞれの円相当直径を、10nm以上、1マイクロメートル(μm)以下に形成し、当該第1電極層における当該第2開口部の円相当直径を、1μmを超え、30μm以下に形成する。

【0078】

具体的には、例えば以下のようにして半導体発光素子を得ることができる。

図5は、ブロックコポリマーの自己組織化を利用する方法の工程例を示す模式的断面図である。

先ず、図5(a)に表したように、第1半導体層 51 上に発光層 53 を形成し、その上に第2半導体層 52 を形成する。また、第1半導体層 51 に第2電極層 30 を形成する。

次いで、第2半導体層 52 の上にコンタクト層 14 を形成し、その上に金属層 20A を形成する。その後、金属層 20A と第2半導体層 52 とを十分にオーミック接触させるため、所定時間のアニールを行う。そして、金属層 20A の上に、例えばシリコン酸化膜 701A を形成する。

【0079】

次に、図5(b)に表したように、シリコン酸化膜 701A 上に、2種類のポリマーのブロックを有するブロックコポリマーを溶剤に溶かした液をスピンドル法で塗布する。

10

20

30

40

50

その後、プリベークして溶剤を除去し、ブロックコポリマー膜 703A を形成する。そして、その膜をアニールし、2種類のポリマーの相分離を行い、1種類のポリマーによるミクロドメインパターン 703 を形成する(図 5(c))。

【0080】

次いで、ミクロドメインパターン 703 を例えれば RIE (Reactive Ion Etching) 装置によってエッチングする。このとき、2種類のポリマーのエッチング速度差により、エッチング速度の速いポリマーによるホールパターンが形成される。

【0081】

次いで、ポリマーによるホールパターンをマスクにして、例えば RIE 装置によりシリコン酸化膜 701A をエッチングし、酸化膜ホールパターン 701B を形成する(図 5(d))。これにより、酸化膜ホールパターン 701B には、第 1 開口部 21 に対応した第 1 開口パターン 711 が形成される。

10

【0082】

次に、酸化膜ホールパターン 701B 上にレジスト膜を塗布する。そして、例えば、平行露光機を用いてレジストを露光し、現像して、第 2 開口部 21 に対応した開口を有するレジストパターンを形成する。その後、このレジストパターンをマスクとして、酸化膜ホールパターン 701B をエッチングする。これにより、図 5(e) に表したように、酸化膜ホールパターン 701B には、第 2 開口部 22 に対応した第 2 開口パターン 712 が形成される。

20

【0083】

次いで、酸化膜ホールパターン 701B をマスクにしてイオンミリングを行い、金属層 20A をエッチングする。これにより、第 1 開口パターン 711 に対応した金属層 20A に第 1 開口部 21 が形成され、第 2 開口パターン 712 に対応した金属層 20A に第 2 開口部 22 が形成される(図 5(f))。金属層 20A は、第 1 開口部 21 及び第 2 開口部 22 が形成され、第 1 電極層 20 になる。金属層 20A のエッチング後、酸化膜ホールパターン 701B は除去される。

【0084】

最後に、図 5(g) に表したように、パッド電極 202 を形成して、半導体発光素子 110 を完成させる。

【0085】

30

(D) 微粒子のマスクを利用する方法

第 2 の実施形態に係る半導体発光素子の製造方法のさらに別のひとつは、シリカ等の微粒子の単分子層をマスクとして利用するものである。その方法は、次の工程を備える。

すなわち、当該製造方法は、第 1 導電形の第 1 半導体層と、第 2 導電形の第 2 半導体層と、当該第 1 半導体層と当該第 2 半導体層との間に設けられた発光層と、を有する構造体の当該第 2 半導体層の上に、金属層を形成する工程(d1)と、当該金属層の上にレジスト膜を形成する工程(d2)と、当該レジスト膜の表面に微粒子の単粒子層を形成させる工程(d3)と、当該単粒子層をマスクとして当該レジスト膜をエッチングし、開口部を有するレジスト層を形成する工程(d4)と、当該レジスト層の開口部に無機物質を充填して逆パターンマスクを形成する工程(d5)と、当該逆パターンマスクをマスクとして当該金属層をエッチングし、複数の第 1 開口部と、第 2 開口部と、を有する第 1 電極層を形成する工程(d6)と、を備える。

40

【0086】

そして、実施形態では、当該第 1 電極層を形成する工程(d6)において、当該複数の第 1 開口部のそれぞれの円相当直径を、10nm 以上、1マイクロメートル(μm)以下に形成し、当該第 1 電極層における当該第 2 開口部の円相当直径を、1μm を超え、30μm 以下に形成する。

【0087】

具体的には、例えば以下のようにして半導体発光素子を得ることができる。

図 6 は、微粒子のマスクを利用する方法の工程例を示す模式的断面図である。

50

先ず、図6(a)に表したように、第1半導体層51上に発光層53を形成し、その上に第2半導体層52を形成する。また、第1半導体層51に第2電極層30を形成する。

次いで、第2半導体層52の上にコンタクト層14を形成し、その上に金属層20Aを形成する。その後、金属層20Aと第2半導体層52とを十分にオーミック接触させるため、所定時間のアニールを行う。そして、金属層20Aの上にレジスト膜601Aの層を形成する。

【0088】

次いで、例えば乳酸エチル中に微粒子を分散させた液に、モノマーを加えて分散液を作成する。その分散液を上記のレジスト膜601A上へ滴下し、スピンドルコートする。スピンドルコート後、溶媒を除去し、アニールする。これにより、規則配列した微粒子602Aの単分子層を形成する。
10

【0089】

次いで、図6(b)に表したように、配列された微粒子602Aの層をRIE装置によってエッティングし、微粒子の粒径を縮小化させる。縮小化された微粒子602Bの間には隙間が生じる。

【0090】

次いで、図6(c)に表したように微粒子602Bの層をマスクとして、レジスト膜601Aをエッティングし、レジストピラーパターン601を形成する。

【0091】

次に、図6(d)に表したように、例えば有機SOG組成物をレジストピラーパターン601上へ滴下し、スピンドルコートする。スピンドルコート後、溶媒を完全に除去し、アニールを行う。有機SOG組成物の硬化後、レジストピラーパターン601はSOG層603Aによって埋め込まれる状態になる。SOG層603Aの表面は、平坦化されている。
20

【0092】

次いで、図6(e)に表したように、SOG層603Aをエッチバックして、レジストピラーパターン601を露出させる。次いで、エッティングによってレジストピラー601を完全に除去する。レジストパターン601を除去した後は、図6(f)に表したように、SOGのホールパターン603Bが形成される。このホールパターン603Bの開口は、第1開口部21に対応した第1開口パターン611である。

【0093】

次に、SOGのホールパターン603B上にレジスト膜を塗布する。そして、例えば、平行露光機を用いてレジスト膜を露光し、現像して、第2開口部22に対応した開口を有するレジストパターンを形成する。その後、このレジストパターンをマスクとして、SOGのホールパターン603Bをエッティングする。これにより、第2開口部22に対応した第2開口パターン612がSOGのホールパターン603Bに形成される。
30

【0094】

次いで、SOGのホールパターン603Bをマスクにしてイオンミリングを用いて、金属層20Aをエッティングする。これにより、第1開口パターン611に対応した金属層20Aに第1開口部21が形成され、第2開口パターン612に対応した金属層20Aに第2開口部22が形成される(図6(g))。金属層20Aは、第1開口部21及び第2開口部22が形成され、第1電極層20になる。金属層20Aのエッティング後、SOGのホールパターン603Bは除去する。
40

【0095】

最後に、図6(h)に表したように、パッド電極202を形成させて半導体発光素子110を完成させる。

【0096】

なお、上記(A)～(D)の各製造方法は一例であり、これらに限定されるものではない。

【0097】

次に、実施例の説明を行う。なお、以下の実施例で示される材料、数値、製造条件等は
50

一例であり、本発明はこれに限定されるものではない。

【0098】

(実施例1)

実施例1では、上記(A)の電子線描画を利用した方法に準じて半導体発光素子111を製造する。

【0099】

先ず、n形GaAsの基板511の上に、n形InAlPのクラッド層512、InGaPの発光層53、p形InAlPのクラッド層521などを含むヘテロ構造を形成する。その上に、p形InGaAlPの4元元素を含む電流拡散層522をエピタキシャル成長させる。

10

【0100】

次いで、p形GaAsのコンタクト層523に、Au(10nm)/Au-Zn(3%) (30nm)からなる金属層20Aを蒸着法により形成する。その後、窒素雰囲気下で450、30分間アニールを行い、金属層20Aとコンタクト層523とのオーミック接触を得る。

【0101】

次いで、Au/Au-Zn層の上に電子線用レジスト(フジフィルム株式会社製：商品名FEP-301)の層を300nmの厚さで形成する。そして、パターンジェネレータを装備した50kVの加速電圧を持つ電子線露光装置で開口径100nm、150nmの間隔を有するホールパターン(第1レジスト開口部202a)を電子線用レジストに形成する。

20

さらに、直径3μm、間隔6μmのホールパターンの重ねうちを行い、ホールパターン(第2レジスト開口部202b)を形成する。なお、第2レジスト開口部202bは、寸法が大きいため、光リソグラフィで行ってもかまわない。

【0102】

次いで、イオンミリング装置を用いて、加速電圧500ボルト(V)、イオン電流40ミリアンペア(mA)の条件で90秒間、Au/Au-Zn層のエッチングを行って開口部を形成する。これにより、第1開口部21及び第2開口部22を有する第1電極層20が形成される。

【0103】

30

Au/Au-Zn層のエッチング後、電子線用レジストを除去するため、酸素アッシングを行う。最後にパッド電極202を形成させて半導体発光素子111を完成させる。

【0104】

(実施例2)

実施例2では、上記(C)のblock copolymerの自己組織化を利用した方法に準じて半導体半導体発光素子112を製造する。

【0105】

先ず、実施例1と同様に、n形GaAsの基板511の上に、n形InAlPのクラッド層512、InGaPの発光層53、p形InAlPのクラッド層521などを含むヘテロ構造を形成する。その上に、p形InGaAlPの4元元素を含む電流拡散層522をエピタキシャル成長させる。

40

【0106】

次いで、p形GaAsのコンタクト層523に、Au(10nm)/Au-Zn(3%) (30nm)からなる金属層20Aを蒸着法により形成する。その後、窒素雰囲気下で450、30分間アニールを行い、金属層20Aとコンタクト層523とのオーミック接触を得る。次に、シリコン酸化膜をCVDにより50nmの厚さで形成する。

【0107】

block copolymerには、ポリスチレン(PS)-ポリメチルメタクリレート(PMMMA)のblock copolymer(PS-b-PMMMA)が用いられる。block copolymerの分子量(Mn)は、920kg/molであり、PSとPMMMAとの組成比は、80mo

50

1 : 20 mol である。なお、PS - b - PMMA 以外でも、例えば特許 3940546 号明細書に示したブロックコポリマーを使ってミクロドメインパターンを作成してもよい。そして、PS - b - PMMA は、プロピレングリコールモノメチルエーテルアセテート (PGMEA) に溶解され、ブロックコポリマーレジストになる。

【0108】

次に、ブロックコポリマーレジストを、シリコン酸化膜上にスピンドルコートし、無酸化オーブン中で 230 °でアニールを行う。これにより、ピッチが直径が 120 nm の PMMA 球状ドメインがブロックコポリマー中に形成される。PS - b - PMMA ブロックコポリマーの膜厚は PMMA 球状ドメインが 1 層になるように調整する。

【0109】

PMMA は RIE に対して耐性がない。したがって、酸素 RIE によって、ブロックコポリマーレジストは選択的に削られる。これにより、PMMA ドメインの部分を除去する。そして、メッシュ状に残った PS をマスクにして CF₄ と Ar との混合ガスを用いて RIE したのち、酸素でアッシングする。これによって、第 1 開口部 21 に対応した第 1 開口パターン 711 を有する酸化膜マスク (酸化膜ホールパターン 701B) が形成される。

【0110】

さらに、この酸化膜マスクの上に、g 線レジストを塗布する。ここで、すでに酸化膜マスクには第 1 開口パターン 711 が設けられていること、及びその後に形成する開口パターンが大きいことから、g 線レジストには厚膜用レジストを使用することが望ましい。なお、他のフォトレジストを用いてもかまわない。

【0111】

次に、例えば平行露光機を用い、マスクを介して、露光、現像を行い、g 線レジストに第 2 開口部 22 に対応したホールパターンを形成する。その後、CF₄ の RIE を行い、酸化膜マスクをパターニングする。これにより、第 1 開口パターン 711 を備えた酸化膜マスクに、第 2 開口パターン 712 が形成される。すなわち、例えば 10 nm 以上 1 μm 以下の程度の大きさの第 1 開口パターン 711 と、例えば 1 μm を超え 30 μm 以下の程度の大きさの第 2 開口パターン 712 と、が混在した酸化膜マスクが得られる。

【0112】

次いで、酸化膜マスクを介して、Au / Au - Zn 層をアルゴンでミリングを行う。これにより、複数の第 1 開口部 21 と、第 2 開口部 22 と、を備えた金属製の光透過性薄膜電極 (第 1 電極層 20) が形成される。

【0113】

Au / Au - Zn 層のエッティング後、酸化膜マスクを除去する。最後に、パッド電極 202 を形成させて半導体発光素子 112 を完成させる。

【0114】

(比較例)

比較のため、p 形 GaAs コンタクト層の上に円形のパッド電極のみを形成した半導体発光素子 191 を形成する (比較例 1)。

また、第 1 開口部 21 のみを作成し、第 2 開口部 22 を作成しない半導体発光素子 192 も作成する (比較例 2)。

【0115】

半導体発光素子 111、112、191 及び 192 は、ダイシングによってそれぞれ 300 μm 角になっている。半導体発光素子 111、112、191 及び 192 の特性の比較は、ペアチップ状態で行う。

【0116】

図 7 は、実施例及び比較例の特性の一例を示すグラフ図である。

同図において、横軸は電流、縦軸は出力である。

【0117】

開口部 (第 1 開口部 21 及び第 2 開口部 22) を有していない半導体発光素子 191 に

10

20

30

40

50

対して、開口部（第1開口部21または/及び第2開口部22）を有している半導体発光素子111、112及び192では、低電圧の領域において、同じ電流値に対する電圧値が低下することが分かる。

【0118】

しかし、電流が増加して、電流値 I_2 を超えると、半導体発光素子191では出力の低下が発生している。これにより、輝度が大きく低下することになる。

【0119】

これに対し、半導体発光素子111、112及び192では、電流値 I_2 を超えて電流値 I_3 に至っても、出力の低下は発生していない。

これは、第2半導体層52の上の全面に第1電極層20が設けられていることで、半導体発光素子111、112及び192の放熱性が向上したことによるものである。 10

【0120】

ここで、半導体発光素子192では、電流値 I_3 での出力は最も高いものの、低電流領域での出力低下が最も大きい。例えば、電流値 I_1 において、半導体発光素子192の出力は、半導体発光素子191の出力の半分程度である。

【0121】

これに対し、実施例1及び2の半導体発光素子111及び112では、低電流領域において半導体発光素子191の出力と同程度の出力を保っている。

さらに、高電流領域では、半導体発光素子192と同程度の出力を保っている。 20

【0122】

以上のことから、半導体発光素子111及び112では、低電流領域から高電流領域まで、非常に良好な発光特性を示すことが分かった。なお、このような発光特性は、1mm角のような大きなチップ構造、すなわち第1電極層20の外形面積が1mm²以上の場合であって、大電流を流した場合に有利である。

第1電極層20の面積にも依存するが、一般に100mA以上の電流量において、半導体発光素子111及び112による効果が顕著となる。

【0123】

(変形例)

図8は、変形例に係る半導体発光素子を例示する模式的断面図である。 30

本変形例に係る半導体発光素子120においては、構造体100の材料として窒化物半導体が用いられている。

【0124】

すなわち、半導体発光素子120は、例えばサファイア基板である成長用基板10の上に、例えばGaNバッファ層51a、Siがドープされたn形GaN層51b、InGaN/GaNのMQW(Multi Quantum Well)構造を有する発光層53、Mgがドープされたp形Al_{0.2}Ga_{0.8}N層52a及びMgがドープされたp形GaN層52bが、例えばエピタキシャル成長によって形成されている。

【0125】

なお、本変形例に係る半導体発光素子120では、便宜上、第1半導体層51に、GaNバッファ層51a及びn形GaN層51bが含まれ、第2半導体層52に、p形Al_{0.2}Ga_{0.8}N層52a及びp形GaN層52bが含まれるものとする。 40

【0126】

p形GaN層52bの上には、第1開口部21及び第2開口部22を有する第1電極層20が設けられている。また、p形GaN層52b、p形Al_{0.2}Ga_{0.8}N層52a及び発光層53の一部がエッチングされ、n形GaN層51bの露出した部分に、第2電極層30が設けられている。

【0127】

このような半導体発光素子120のように、構造体100の材料には、窒化物半導体を用いてよい。さらに、第2電極層30は、第1半導体層51の裏面側に設けられたものに限定されず、第1半導体層51の表面側に設けられていてよい。 50

本変形例に係る半導体発光素子 120においても、半導体発光素子 110と同様に、第1電極層 20による発光層 53への電流の拡がりを保ったまま、効率良く光を外部に放出することができるようになる。

【0128】

なお、上記に実施形態を説明したが、本発明はこれらの例に限定されるものではない。例えば、積層体 100の裏面側や表面側に設けられる第2電極層 30について、第1電極層 20と同様な複数の第1開口部 21や、第2開口部 22を設けてもよい。また、第1の導電形をn形、第2の導電形をp形として説明したが、第1の導電形をp形、第2の導電形をn形としても実施可能である。

【0129】

以上説明したように、実施形態に係る半導体発光素子およびその製造方法によれば、第1開口部 21及び第2開口部 22を有する第1電極層 20によって、半導体層への均一な電流の拡がりを保ったまま、光の放出効率（光取り出し効率）を向上することが可能となる。

【0130】

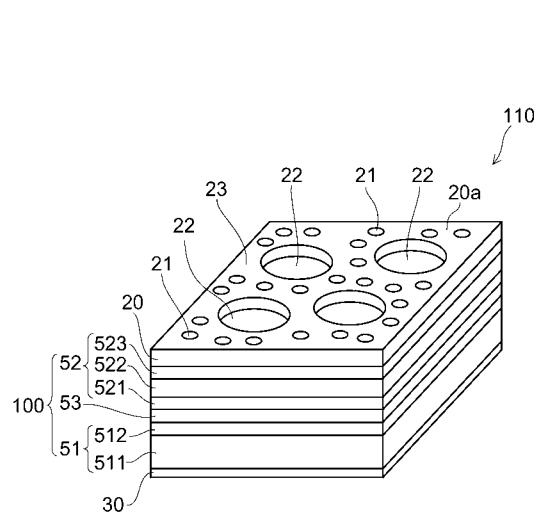
本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

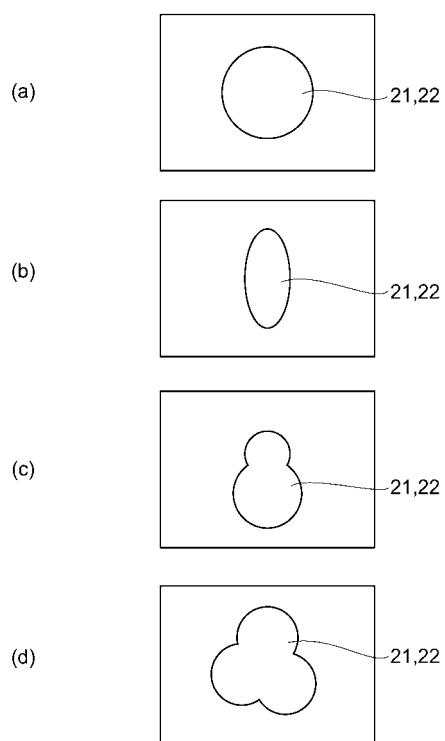
【0131】

10...成長用基板、20...第1電極層、21...第1開口部、22...第2開口部、23...金属部、30...第2電極層、51...第1半導体層、52...第2半導体層、53...発光層、100...構造体、110...半導体発光素子

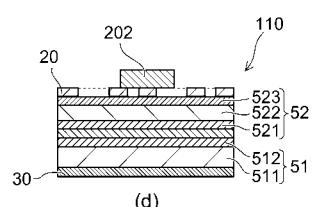
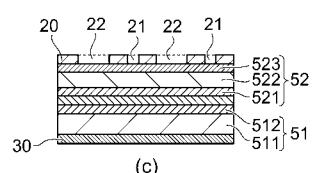
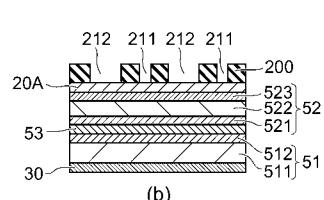
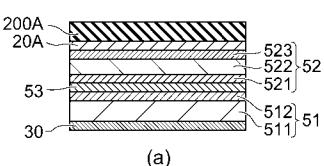
【図1】



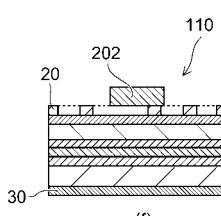
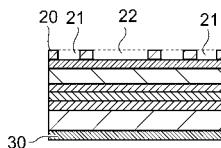
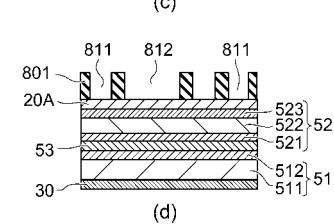
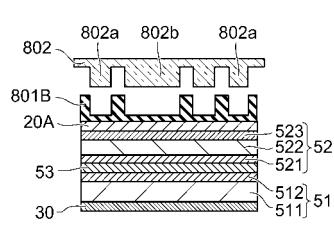
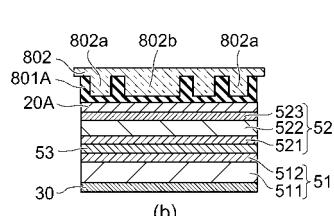
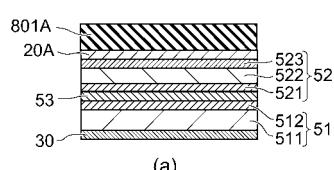
【図2】



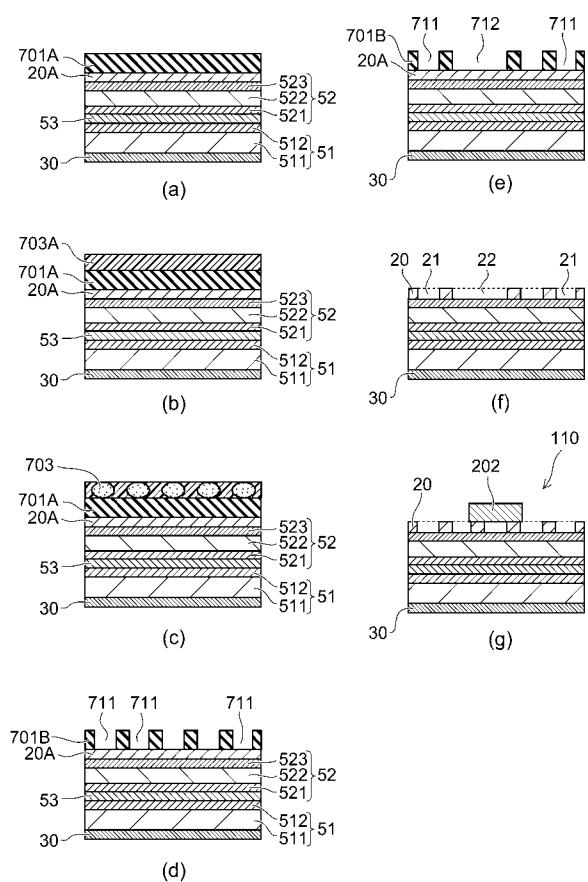
【図3】



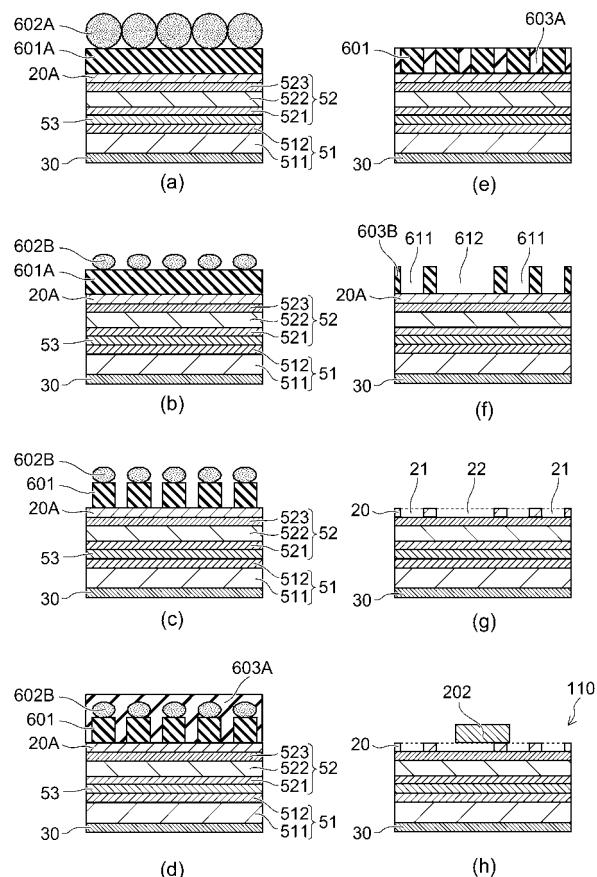
【図4】



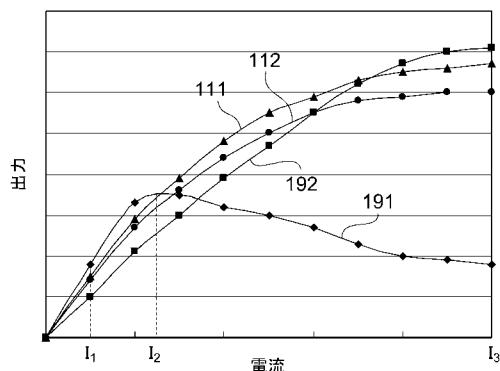
【図5】



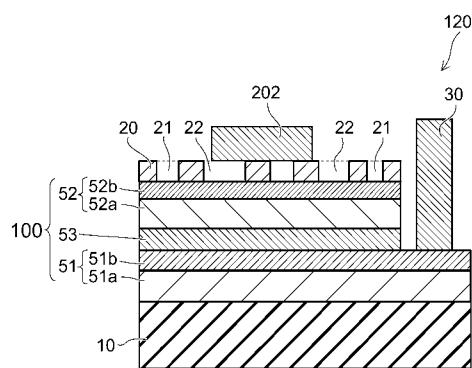
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 鎌倉 孝信
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72)発明者 布谷 伸仁
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72)発明者 堤 栄史
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72)発明者 小川 雅章
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 小林 謙仁

(56)参考文献 特開2009-231689(JP,A)
特開2004-055646(JP,A)
特開2003-318441(JP,A)
特開2009-130027(JP,A)
特開2007-123446(JP,A)
特開2009-199990(JP,A)
特開2009-076361(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 33/00 - 33/64