



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월06일  
(11) 등록번호 10-1357906  
(24) 등록일자 2014년01월24일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/027* (2006.01)

(21) 출원번호 10-2008-7020330

(22) 출원일자(국제) 2007년01월09일  
심사청구일자 2012년01월09일

(85) 번역문제출일자 2008년08월20일

(65) 공개번호 10-2008-0107379

(43) 공개일자 2008년12월10일

(86) 국제출원번호 PCT/US2007/060257

(87) 국제공개번호 WO 2007/100929  
국제공개일자 2007년09월07일

(30) 우선권주장

11/360,925 2006년02월23일 미국(US)

## (56) 선행기술조사문헌

JP06350042 A\*

JP2003502862 A\*

US6911660 A

US6190980 A

(73) 특허권자  
**프리스케일 세미컨덕터, 임크.**  
미합중국 텍사스 (우편번호 78735) 오스틴 월리암  
캐논 드라이브 웨스트 6501

(72) 발명자  
**트래비스, 에드워드 오.**  
미국 78731 텍사스주 오스틴 에비 레인 4506  
**шу로프, 메홀 디.**  
미국 78749 텍사스주 오스틴 살콘 클리프 드라이  
브 5916  
(뒷면에 계속)

(74) 대리인  
**밴마기, 앤더슨**

(74) 대리인  
    백만기 양영주

### 전체 청구항 수 : 총 5 항

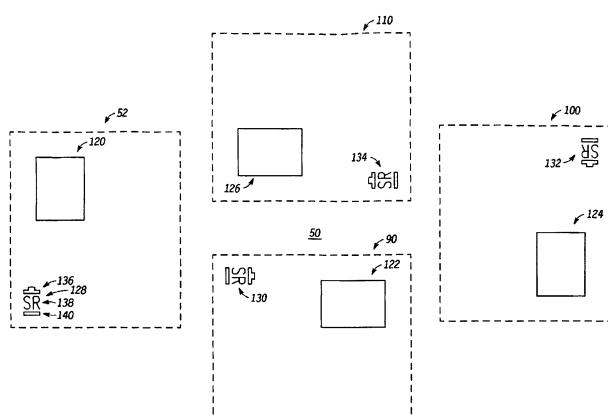
심사관 : 계원호

(54) 밝명의 명칭 집적회로 제조시 방향성을 표시하는 방법 및 장치

(57) 요약

집적 회로(10)는 집적 회로의 일부로서 집적 회로의 시작적으로 구분할 수 없는 특징의 방향성을 표시하도록 형성된 시작적으로 구분 가능한 표시기(128, 130, 132 또는 134)를 포함한다.

대 표 도 = 도4



(72) 발명자

스멜트저, 도널드 이.

미국 78729 텍사스주 오스틴 베어 트랩 레인 12414

스미스, 트라씨 엘.

미국 78636 텍사스주 존슨 씨티 세닉 드라이브 339

## 특허청구의 범위

### 청구항 1

집적 회로로서,

상기 집적 회로의 일부로서 형성되어 상기 집적 회로의 시각적으로 구별할 수 없는 특징의 방향성을 표시하는 시각적으로 구분가능한 표시기(visually discernable indicator)

를 포함하는 집적 회로.

### 청구항 2

집적 회로로서,

상기 집적 회로의 일부로서 형성되어 상기 집적 회로의 시각적으로 구별할 수 없는 특징의 방향성을 표시하는 시각적으로 구분가능한 표시기;

소스 및 드레인을 포함하는 제1 소자 - 상기 제1 소자의 상기 소스는 제1 임플란트(implant)를 포함함 - ; 및

소스 및 드레인을 포함하는 제2 소자 - 상기 제2 소자의 상기 소스는 제2 임플란트를 포함함 -

를 포함하고,

상기 제1 임플란트를 형성하는데 이용된 제1 임플란트 방향은 상기 제2 임플란트를 형성하는데 이용된 제2 임플란트 방향과 상이한 집적 회로.

### 청구항 3

적어도 하나의 임플란트를 이용하여 형성되는 집적 회로로서,

시각적 검사를 통해 상기 적어도 하나의 임플란트의 방향을 표시하는 시각적으로 구분가능한 표시기

를 포함하는 집적 회로.

### 청구항 4

적어도 하나의 임플란트를 이용하여 형성되는 집적 회로로서,

시각적 검사를 통해 상기 적어도 하나의 임플란트의 방향을 표시하는 시각적으로 구분가능한 표시기

를 포함하고,

상기 적어도 하나의 임플란트는 소스 영역을 위한 헤일로(halo) 임플란트를 포함하는 집적 회로.

### 청구항 5

집적 회로로서,

소스 헤일로 임플란트의 임플란트 방향을 표시하는 적어도 하나의 표시기; 및

소스 영역 및 드레인 영역을 구비하는 비대칭적으로 도핑된 소자 - 상기 소스 영역은 소스 헤일로 임플란트 영역을 포함함 -

를 포함하고,

상기 비대칭적으로 도핑된 소자의 상기 소스 헤일로 임플란트 영역은 상기 드레인 영역에 인접한 영역보다 높은 도편트 농도를 가지며, 상기 드레인 영역에 인접한 영역은 상기 소스 헤일로 임플란트 영역과 동일한 전도성 타입(conductivity type)을 갖는 집적 회로.

### 청구항 6

삭제

### 청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

## 명세서

### 기술분야

[0001] 본 발명은 집적회로의 제조에 관한 것으로, 특히, 집적회로 제조시의 공정에 대하여 집적회로 레이아웃의 방향성을 표시하는 방법 및 장치에 관한 것이다.

### 배경기술

[0002] 소자의 성능을 향상시키기 위해 비대칭 헤일로 임플란트(asymmetric halo implants)를 수행하는 것이 바람직하

다. SRAM 컴포넌트 또는 마이크로프로세서 코어와 같은 다양한 지적 재산권 블록들(intellectual property(IP) blocks)이 있을 때, 만일 존재한다면, 비대칭 헤일로 임플란트가 정확한 방향에서 또는 각 IP 블록에서 정확한 위치의 방위에서 수행되도록 IP 블록들의 정확한 방위의 검증이 필요할 수 있다. 전형적으로, 이러한 검증은 데이터 설계 및 마스크 설계 간의 설계 데이터 플로우 중의 각 단계를 체크함으로써 이루어진다. 이 검증 과정은 느리고 어려운 공정이며, 이는 사이클 시간을 증가시킨다. 게다가, 현재의 제조 공정 동안 방위를 검증할 수 없다.

[0003] 기존의 구조는 (크리스마스 트리 또는 선인장의 형태일 수 있는) 정렬 키 및 임계 치수 측정용 막대(critical dimension (CD) bar)와 같은 마스크 및 접적 회로에 출현했다. 그러나, 이들 기존의 구조는 치수와 오버레이 제어용도로 사용된다.

[0004] 그러므로, 제조 공정 동안 방위를 증명할 필요가 있다. 게다가, IP 블록의 정확한 방위를 증명할 때 사이클 시간을 향상시키는 것이 바람직하다.

### 실시 예

[0014] 도 1은 본 발명의 일 실시예에 따른 표시기(190)를 포함하는 접적 회로(10)의 단면도를 예시한다. 접적 회로(10)는 모두 반도체 기판(12) 상에서 형성되는 임플란트 방향이 A인 소자(14) 및 임플란트 방향이 B인 소자(16) 및 표시기(indicator)(190)를 포함한다. 일 실시예에서, 임플란트 방향 A는 제1 임플란트 방향을 가질 수 있으며 임플란트 방향 B는 제2 임플란트 방향을 가질 수 있다. 반도체 기판(12)은 반도체 물질 또는 갈륨 비소, 실리콘 게르마늄, 실리콘-온-절연체 (silicon-on-insulator: SOI)(예컨대, 완전 공핍된(fully depleted) SOI(FDSOI)), 실리콘, 단결정 실리콘 등과 같은 물질들의 조합, 및 이들의 조합일 수 있다.

[0015] 일 실시예에서, 소자(14)는 NMOS 소자이고 소자(16)는 PMOS 소자이거나, 이와 반대이기도 하다. 또 다른 실시 예에서, 소자(14 및 16)는 모두가 다른 비대칭 임플란트 방향을 갖는 NMOS이거나 PMOS일 수 있다. 소자(14)는 통상의 프로세싱 및 물질들을 이용하여 형성될 수 있는 게이트 절연체(22), 게이트 전극(24), 스페이서(26), 소스 영역(18), 및 드레인 영역(20)을 포함한다. 바람직한 실시예에서, 게이트 절연체(22)는 이산화 실리콘, 고유전체 상수(hi-k) 유전체, 절연층, 또는 이들의 조합을 포함한다. 게이트 전극은 폴리실리콘과 같은 어떤 적합한 물질, 금속 또는 이들의 조합일 수 있다. 스페이서(26)는 질화실리콘과 같은 어떤 절연 물질일 수 있다.

[0016] 일 실시예에서, 소스 영역(18) 및 드레인 영역(20)은 각기 연장 영역을 포함한다. 제1 헤일로 임플란트 영역(30) 또는 포켓 임플란트 영역(30)은 소스 영역(18)의 근방에 형성되며 드레인 영역(20)의 근방에 형성되지 않는다. 헤일로 임플란트 영역(30)은 소스 영역을 한정하기 위해 소스 영역의 근방에 형성하는 것이 바람직한 한편, 소스 영역으로부터 드레인 영역으로 전자가 이동할 때 전자의 감속을 방지하여 소자의 속도가 감속되는 것을 방지하기 위하여 헤일로 임플란트 영역을 드레인 영역의 근방에 형성하지 않는 것은 바람직하다. 제1 헤일로 임플란트 영역(30)은 소스 영역(18)의 도핑 형태와 반대이며 게이트 절연체(22)의 하부에 배치되는 반도체 기판(12)의 영역과 동일한 전도도를 갖는다. 일 실시예에서, 소자(14), 소자(16), 또는 둘 다 비대칭적으로 도핑된 소자들이다. 비대칭적으로 도핑된 소자에 있어서, 영역(31)은 헤일로 임플란트 영역(30)과 동일한 전도도 형태를 갖는 드레인 영역(20)에 인접한 영역이지만, 헤일로 임플란트 영역(30)은 영역(31)보다 높은 도편트 농도를 갖는다.

[0017] 제1 헤일로 임플란트 영역(30)을 형성하기 위하여, 화살표(28)로 표시된 바와 같이, 비대칭 임플란트가 수행된다. 비대칭 임플란트는 소스 영역(18) 및 드레인 영역(20)을 형성하기 전에 수행된다. 비대칭 임플란트는 웨이퍼와 수직인 축에 대해 소정의 각도에서 이루어진다. 일 실시예에서 이 각도는 대략 20-50 도 사이이다.

[0018] 임플란트 방향이 B인 소자(16)는 소자(14)에서의 유사한 영역들과 마찬가지로 통상의 프로세싱 및 물질을 이용하여 형성될 수 있는, 게이트 절연체(36), 게이트 전극(38), 스페이서(40), 소스 영역(340), 및 드레인 영역(32)을 포함한다. 일 실시예에서, 소스 영역(34) 및 드레인 영역(32)은 각기 확장 영역을 포함한다. 제2 헤일로 임플란트 영역(44) 또는 포켓 임플란트 영역(44)은 소자(14)와 마찬가지로 소스 영역(34)의 근방에 형성되며 드레인 영역(32)의 근방에 형성되지 않는다. 소자(14)와 소자(16)의 차이는 제1 헤일로 임플란트 영역(30)과 제2 헤일로 임플란트 영역(44)을 형성하기 위하여 두 가지의 다른 비대칭 헤일로 임플란트가 형성된다는 것이다. 상이한 비대칭 헤일로 임플란트 영역들은 임플란트 방향들을 갖는다. 화살표(28)로 표시된 제1 헤일로 임플란트는 방향 A(제1 방향)로 되어 있고 화살표(42)로 표시된 제2 헤일로 임플란트는 방향 B(제2 방향)로 되어 있다. 제2 헤일로 임플란트는 또한 웨이퍼에 수직하는 축에 대하여 소정의 각도에서 이루어진다. 일 실시예에서, 이 각도는 웨이퍼에 수직한 것에 대하여 대략 20-50도 사이이다. 일 실시예에서, 방향 A 및 B는 서

로간에 90도의 각도를 이룬다. 일 실시예에서, 방향 A 및 B는 도 2의 설명 이후 더욱 잘 이해되는 바와 같이, 트랜지스터의 상이한 측(즉, 우측 또는 좌측)에 있다는 점에서 서로 상이하다.

[0019] 그래서, 일 실시예에서, 접적 회로(10)는 소스 영역(18), 드레인 영역(20), 및 소스 헤일로 임플란트 영역(30)과 같은 제1 임플란트를 포함하는 제1 소자를 포함한다. 또한, 접적 회로(10)는 소스 영역(34), 드레인 영역(32), 및 소스 헤일로 임플란트 영역(44)과 같은 제2 임플란트를 포함하는 제2 소자를 포함한다. 제1 임플란트 방향은 제1 소스 헤일로 임플란트를 형성하는데 사용될 수 있으며, 제1 임플란트 방향과 상이한 제2 임플란트 방향은 제2 소스 헤일로 임플란트를 형성하는데 사용될 수 있다.

[0020] 일 실시예에서, 표시기(190)는 추가 설명 이후 더욱 잘 이해되는 바와 같이, 제1 방향 표시기, 기능 표시기, 및 제2 방향 표시기를 포함하는 마스크 또는 다수의 마스크들을 이용하여 형성된다. 일 실시예에서, 이후 설명되는 바와 같이, 제1 방향 표시기 및 기능 표시기는 임플란트 마스크 상에 있고 그래서 임플란트 영역(200 및 202)은 틸트 헤일로 임플란트(42) 동안 형성되며, 제2 방향 표시기는 게이트 전극 마스크 상에 형성되며, 일 실시예에서, 게이트 전극 공정 동안 소자(204 및 206)로서 형성된다. 그러므로, 이 실시예에서, 임플란트 영역(200 및 202)은 소자(204 및 206)와 대략 동일한 두께를 갖는다. 유전체 층(191)은 게이트 절연체(22 및 36)를 형성할 때 형성될 수 있다. 후속 처리 동안 스페이서가 게이트 전극(예컨대, 게이트 전극(24 및 38)의 주변에 형성될 때, 스페이서(208)는 소자(204 및 206)의 주변에 형성된다.

[0021] 도 2는 IP 블록(52, 90, 100, 및 110)을 갖는 설계 레이아웃을 도시한다. 각 IP 블록은 상이한 방향들을 갖는 네 개의 소자를 포함한다. 일 실시예에서, IP 블록은 NMOS 소자만을 도시하는데, 이것은 이들이 모두 한 층에서 예시되기 때문이다. 다른 실시예에서, IP 블록들은 PMOS 소자만을 도시한다. IP 블록(52)은 임플란트 방향 A를 갖는 소자(54), 임플란트 방향 B를 갖는 소자(56), 임플란트 방향 C를 갖는 소자(58), 및 방향 D를 갖는 소자(60)를 포함한다. 방향 A-D는 모두 상이하다.

[0022] 임플란트 방향 A를 갖는 소자(54)는 소스 영역(62), 드레인 영역(61), 및 게이트 전극(64)을 포함한다. 점선(66)은 소스 마커를 나타낸다. 소스 마커(66)의 두 개의 긴 에지들 중, 하나의 긴 에지는 게이트 전극(64)의 에지의 일부분과 일치하며, 다른 긴 에지는 소스 영역(62)으로 연장한다. 소스 마커(66)는 이를 이해하는 사람에게 사용되며 게이트 전극(64)의 어느 쪽이 소스 영역인지를 알기 위하여 마스크 레이아웃에 접근한다. 마찬가지로, 임플란트 방향 A를 갖는 소자(92, 102, 및 112)는 임플란트 방향 A를 갖는 소자(54)와 동일한 특징들을 갖는다. 그러나, 예시된 실시예에서, 소자(54, 92, 102, 및 112)는 서로에 대하여 선회된다. 서로에 대한 선회는 이들 소자 블록이 레이아웃의 상이한 영역에 배치될 때 발생할 수 있다. 다른 실시예에서, 소자(54, 92, 102, 및 112)는 서로에 대하여 모두 선회하지는 않는다. 이 실시예에서, N 소자에 대해서는 네 개의 마스크가 필요하였을 것이며 모든 IP 블록(52, 90, 100, 및 110)의 모든 P 소자에 대해서는 네 개의 마스크가 필요하였을 것이다. 또 다른 실시예에서, 소자(54, 92, 102, 및 112)의 일부는 서로에 대하여 선회하지만 다른 소자는 서로에 대하여 선회하지 않는다.

[0023] 임플란트 방향 B를 갖는 소자(56)는 소자(54)의 특징부와 모두 유사한, 소스 영역(68), 드레인 영역(70), 게이트 전극(72), 및 소스 마커(74)를 포함한다. 마찬가지로, 임플란트 방향 B를 갖는 소자(94, 104, 및 114)는 임플란트 방향 B를 갖는 소자(56)와 동일한 특징부를 갖는다. 그러나, 예시된 바와 같이, 소자(56, 94, 104, 및 114)는 서로에 대하여 선회한다.

[0024] 임플란트 방향 C(제3 방향)를 갖는 소자(58)는, 소자(54 및 56)의 특징부와 모두 유사한, 소스 영역(76), 드레인 영역(78), 게이트 전극(80), 및 소스 마커(82)를 포함한다. 마찬가지로, 임플란트 방향 C를 갖는 소자(96, 106, 및 116)는 임플란트 방향 C를 갖는 소자(58)와 동일한 특징부를 갖는다. 그러나, 예시된 바와 같이, 소자(58, 96, 106, 및 116)는 서로에 대하여 선회한다.

[0025] 임플란트 방향 D(제4 방향)를 갖는 소자(60)는, 소자(54, 56, 및 58)의 특징부와 모두 유사한, 소스 영역(86), 드레인 영역(84), 게이트 전극(80), 및 소스 마커(88)를 포함한다. 마찬가지로, 임플란트 방향 D를 갖는 소자(98, 108, 및 118)는 임플란트 방향 D를 갖는 소자(60)와 동일한 특징부를 갖는다. 그러나, 예시된 바와 같이, 소자(60, 98, 108, 및 118)는 서로에 대하여 선회한다.

[0026] 소자(54 및 56)는 도 1을 참조하여 설명된 바와 같이 임플란트 방향에 의해 형성된 비대칭 헤일로 임플란트가 소스 영역에 형성될 것이기 때문에 상이한 임플란트 방향을 가지며, 비록 게이트 전극(64 및 72)이 같은 방향으로 놓여 있을지라도 소자(54 및 56)의 소스 영역은 각기 게이트 전극(64 및 72)의 마주하는 측에 있다. 다시 말해서, 소자(54 및 56)의 헤일로 영역을 형성하기 위하여 각도 임플란트는 두 가지의 상이한 방향으로 이루어

질 것이다.

[0027] 임플란트 방향에 의해 형성된 헤일로 임플란트가 도 1을 참조하여 설명한 바와 같이 소스 영역에 형성될 것이기 때문에, 소자(58)는 소자(54, 56 및 60)와 상이한 임플란트 방향을 가지며, 비록 게이트 전극(64 및 72)이 같은 방향으로 놓여 있을지라도 소자(54 및 56)의 소스 영역은 각기 게이트 전극(64 및 72)의 반대 측에 있다. 다시 말해서, 소자(54)의 헤일로 영역을 형성하기 위하여, 소자(54)의 각도 임플란트는 소자(56)의 각도 임플란트와 상이한 방향에 있을 것이다. 그래서, 두 가지의 상이한 마스크를 이용하여 두 가지 상이한 각도 임플란트 공정이 사용될 것이다. 방향 A-D를 갖는 소자를 모두 형성하기 위하여, 네 개의 마스크가 사용될 수 있다.

[0028] 도 1에서 설명한 바와 같이 헤일로 영역들이 하부에 형성되는 소스 영역들은 둘다 평행하지 않고 게이트 전극과 서로 동일한 측에 있지 않기 때문에, 상이한 임플란트 방향(즉, 임플란트 방향 A-D)를 갖는 소자들은 상이한 임플란트 방향을 갖는다. 예를 들어, 게이트 전극(64 및 72)이 서로 평행하기 때문에, 임플란트 방향 A를 갖는 소자(예컨대, 소자(54)) 및 임플란트 방향 B를 갖는 소자(예컨대, 소자(56))의 경우, 소스 영역이 서로 평행할지라도, 소스 영역은 게이트 전극(64 및 72)의 동일한 측에 존재하지 않는다. 그래서, 소자(54 및 56)의 헤일로 임플란트 영역을 형성하기 위하여 두 가지의 상이한 각도 임플란트 공정이 두 가지의 상이한 마스크를 이용하여 사용될 것이다.

[0029] 마찬가지로, 임플란트 방향 C를 갖는 소자(예컨대, 소자(58))는 임플란트 방향 D를 갖는 소자(예컨대 소자(60))와 평행한 소스 영역을 가지고 있는데, 이것은 게이트 전극(80)이 소자 양측에서 사용되기 때문에, 소스 영역은 게이트 전극(80)의 동일한 측에 존재하지 않는다. 그래서, 소자(58 및 60)의 헤일로 임플란트 영역을 형성하기 위해서는 두 가지의 상이한 각도의 임플란트 공정이 두 개의 상이한 마스크를 이용하여 사용될 것이다.

[0030] 또한, 각 IP 블록(52)에서 네 개의 모든 소자들에 대하여 상이한 임플란트 마스크가 사용되어야 한다. 소자(54) 또는 (56)의 게이트 전극은 소자(58) 또는 (60)의 게이트 전극과 평행하지 않기 때문에 소자(54 또는 56), 및 소자(58 및 60)의 헤일로 임플란트를 형성하는데는 동일한 마스크가 사용될 수 없다. 그러므로, 소자(54, 56, 58, 및 60)의 헤일로 임플란트 영역을 형성하기 위해서는 총 네 개의 상이한 마스크 및 임플란트 공정이 사용되어야 한다. 마찬가지로, 각 IP 블록마다. 상이한 마스크가 사용되어야 한다.

[0031] 도 2에 도시된 실시예에서, IP 블록(52)은 우측으로 90도 선회하여 IP 블록(90)을 형성하므로, IP 블록(90)은 우측으로 90도 선회하여 IP 블록(100)을 형성하며, 그런 다음 IP 블록(100)은 우측으로 90도 선회하여 IP 블록(110)을 형성한다. 일 실시예에서, 이것은 반도체 웨이퍼 상의 실제 면적 또는 공간을 절감하려고 시도되어 왔다. IP 블록(52)은 동일한 소자들을 포함하기 때문에, 각각의 동일 소자는 동일한 임플란트 방향으로 라벨표시된다. 따라서, 예를 들어, 소자들(54, 92, 102, 및 112)이 서로에 대하여 선회하였을지라도 소자들(54, 92, 102, 및 112)은 모두 임플란트 방향 A를 갖는 소자들이다.

[0032] 도 2에서의 실시예에서 도시된 바와 같이, IP 블록(52, 90, 100, 및 110)은 서로에 대하여 선회한다. 다른 실시예에서(도시되지 않음), IP 블록은 서로에 대하여 뒤집어질(flip) 수 있다. 예를 들어, 만일 IP 블록(52)이 뒤집어지면, 한 IP 블록에서 소자(54)는 소자(56)의 좌측에 놓여 있을 수 있으며, 뒤집어진 IP 블록에서 소자(54)는 소자(56)의 우측에 놓여 있을 수 있다. IP 블록이 서로에 대하여 뒤집어지는 실시예에서, 사용된 표시기는 뒤집힘을 검출하여야 하지만, IP 블록이 서로에 대하여 선회한 때에 표시기는 그 선회를 검출하여야 한다. 그래서, 만일 IP 블록이 뒤집히기도 하고 선회도 하면, 선회와 뒤집힘을 검출하는 표시기가 바람직할 수 있다.

[0033] 도 2의 레이아웃 데이터로부터, 마스크가 생성된다. 각각의 임플란트를 위한 마스크는 생성된 마스크들 중의 일부이다. 이를 NMOS 소자를 위해서는 네 번의 상이한 임플란트 공정이 필요하기 때문에, 네 개의 마스크가 필요하다. (만일 PMOS 소자 또한 네개의 상이한 임플란트 방향을 가진다면 그에 따라 네 번의 추가적인 임플란트 공정이 필요하여, 결국 총 여덟 번의 임플란트 공정과 마스크가 필요하다. 일 실시예에서, 게이트 전극이 수직 및 수평의 양쪽이 아니라 수직 또는 수평으로 이어지도록 게이트 전극의 방향을 제한하도록 설계 룰(design rule)이 생성될 수 있다. 이 실시예에서, NMOS 및 PMOS 소자에 대해 단지 네 번의 임플란트 공정과 네 개의 마스크가 필요하도록 임플란트 공정 및 마스크의 개수는 절반으로 줄어든다.) 마스크 레이아웃들 중 하나가 도 3에 예시된다.

[0034] 도 3에 도시된 마스크 레이아웃은 방향 A를 갖는 소자의 마스크 레이아웃이다. 마스크는 소자(54, 92, 102, 및 112)에 대해 각기 개구(120, 122, 124, 및 126)를 갖는다. 도 3에 도시된 마스크 레이아웃을 보면, 어느 방향으로 임플란트가 수행될지를 판단하는 아무런 정보도 없다. 도 2에 도시된 레이아웃 데이터에서, 소스 마커는 임플란트 방향이 어디인지를 판단하는데 사용될 수 있다. 그러므로, 도 3에 도시된 마스크의 임플란트 방향이

어느 방향인지를 체크하고 모니터하는 방법이 필요하다.

[0035] 마스크를 검사할 때 또는 마스크를 조사할 때 임플란트 방향 각도가 결정될 수 있도록 도 3의 마스크에 표시기가 추가될 수 있다. 일 실시예에서, 검사 또는 조사는 시각적으로 사람의 눈으로 이루어진다. 다른 실시예에서, 검사 또는 조사는 (광학 또는 전자) 현미경 기반 계측 도구 또는 컴퓨터를 통해 이루어진다. 표시기는 둘 이상의 층을 정렬하는데 사용되지 않으며, 이러한 정렬은 종래 기술의 포토리소그래픽 정렬 부호를 이용한다. 그 대신에, 표시기는 동일한 층 내에서 방위 또는 정렬을 결정한다. 일 실시예에서, 표시기는 방위 또는 방향을 인코드한다. 표시기가 어떻게 선회 또는 뒤집히는지에 관계없이 방위가 검출되게 하는 방식으로 비대칭이라면 어떤 형태나 부호라도 사용될 수 있다. 그러므로, 표시기는 모든 방향에서 대칭이 아니지만, 적어도 한 방향에서 대칭일 수 있고 또는 모든 방향에서 비대칭일 수 있다. 일 실시예에서, 표시기는 방향 A, B, C, 또는 D에 대하여 비대칭이다.

[0036] 도 4에 도시된 바와 같이, 표시기가 추가된다. 일 실시예에서, 표시기(128)는 제1 방향 표시기(136), 기능 표시기(138), 및 제2 방향 표시기(140)를 포함한다. 도 4에 도시된 실시예에서 제1 방향 표시기(136)는 모자(hat) 형태이고, 기능 표시기(138)는 소스를 표시하기 위해 "SR"과 같은 문자를 포함하며, 제2 방향 표시기(140)는 라인을 포함하며, 이 라인은 표시기 방향을 확인하기 위하여 설계 를 체킹 텍(design rule checking deck)을 이용하여 레이아웃을 체크할 때, 크기를 키우기 위해 사용될 수 있다.

[0037] 비록 모자의 형태로 도시될지라도, 제1 방향 표시기(136)는 어떤 적합한 형태라도 가능할 수 있다. 제1 방향 표시기(136)는 제조시의 조작자와 같은 사람이 비대칭 임플란트가 일어날 방향을 결정할 수 있게 해준다. 도 4에 예시된 실시예에서, 모자의 상단부(즉, 모자의 반대 부분 보다 좁은 모자의 부분)는 임플란트의 방향을 지시한다. 그러므로, 도 4에서, 표시기(136)는 위를 지시하고, 표시기(130)는 우측을 지시하고, 표시기(132)는 아래를 지시하며, 표시기(134)는 좌측을 지시한다. 각각의 표시기(136, 130, 132, 및 134)는 동일한 비대칭 임플란트 공정 동안 상이한 방향으로 지시하고 있기 때문에, 블록(52, 90, 100, 및 110)이 정확하게 정렬되지 않은 것으로 쉽게 결정된다. 만일, 이를 블록들이 정확하게 정렬되면, 표시기(136, 130, 132, 및 134)는 모두 같은 방향으로 지시할 것이다. 따라서, 제1 방향 표시기(136)를 모두가 같은 방향을 지시하도록 네 개의 블록(52, 90, 100, 및 110) 중 세 개는 선회되어야 한다. 일 실시예에서, 제1 방향 표시기(136)는 설계 레이아웃, 임플란트 마스크에 배치되며, 임플란트 공정 동안 웨이퍼에 임플란트된다. 일 실시예에서, 제1 방향 표시기(136)는 마스크(예컨대, 임플란트 마스크) 상에서만 존재한다.

[0038] 일 실시예에서(도시되지 않음), 만일 제1 방향 표시기(136) 용도로 모자가 사용되면, 방향 A를 위해서는 도 4에 도시된 바와 같이 그려지며 방향 B를 위한 표시기는 도 4에 도시된 모자에 대해서는 뒤집힌 것을 제외하고는 동일할 수 있다. 다시 말해서, 모자의 상단부는 방향 A를 위한 기능 표시기(138)로부터 가장 멀리 떨어져 있을 수 있으며 모자의 상단부는 방향 B를 위한 기능 표시기(138)에 아주 가까울 수 있거나 그 반대일 수 있다.

[0039] 기능 표시기(138)는 표시되는 것이 무엇인가에 관한 표시기이다. 도 4에 도시된 실시예에서, "SR"은 "소스"를 표시하는데 사용된다. 다른 실시예에서, "SRC"는 소스를 표시하는데 사용될 수 있다. 그러나, "SR"은 "SRC"보다 더 바람직할 수 있는데, 이는 "SR"은 표시기(136)가 정사각형이 되고 기판에서 더 좁은 공간을 차지하기 때문이다. 게다가, 어떤 다른 적합한 문자, 문자 조합, 부호 등이나 이들의 조합이 기능 표시기(138)로서 사용될 수 있다. 일 실시예에서, 기능 표시기는 임플란트 마스크 및 게이트 전극 마스크 상에서 설계 레이아웃 내에 형성되며, 게이트 전극 형성 동안 웨이퍼 상에서 임플란트로서 형성된다. 따라서, 기능 표시기(138)는 폴리실리콘, 금속 등이나 이들의 조합일 수 있는 게이트 전극과 동일한 물질일 수 있다. 비록 제1 방향 표시기(136) 및 기능 표시기(138)의 임플란트된 영역이 사람의 육안으로 시각적으로 쉽게 눈에 띄지 않을 수 있을지라도, 이를 표시기는 현미경(예컨대, 주사전자 현미경(SEM))을 사용하는 것과 같이 다른 수단에 의해 검출될 수 있다.

[0040] 앞에서 설명된 바와 같이, 제2 방향 표시기(140)는 설계 를 위반사항을 체크하는데 사용될 수 있으며, 어떤 적합한 방법이라도 그러한 설계 를 위반사항을 체크하는 용도로 사용될 수 있다. 일 실시예에서, 제2 방향 표시기(140)의 일측 에지는 제1 기설정 거리만큼 확장되는데, 이 거리는, 일 실시예에서, 제2 방향 표시기(140)의 확장된 에지 및 제1 방향 표시기(136)의 가장 먼 에지로부터의 거리와 동일하다. 확장 이후, 제1 방향 표시기(136), 기능 표시기(138), 및 확장된 제2 방향 표시기(140)에 의해 커버된 면적이 계측된다. 이 면적이 소정값 일 때만 설계 를 위반하지 않은 것이며, 이 경우는 제2 방향 표시기(140)가 확장되어서 확장된 제2 방향 표시기가 제1 방향 표시기(136) 및 기능 표시기(138)를 커버할 때 발생한다. 이러한 접근법을 사용하기 위하여, 제2 방향 표시기(140)의 정확한 에지가 필요로 하는 거리만큼 확장될 때, 확장된 제2 방향 표시기가 기능 표시기

(138)를 모두 커버하고 총 면적이 확장된 형태에 따라 결정되도록 형태 기능 표시기(138) 및 제2 방향 표시기(140)는 동일한 마스크 층에 있어야 한다. 이러한 접근법은 설계 룰을 체크할 때 표시기의 방향이 결정되게 해줄 수 있다. 설계 룰 체크를 위해 어떤 통상적이거나 적합한 소프트웨어라도 사용될 수 있다. 예를 들어, 다음과 같은 설계 룰 체킹 소프트웨어, 즉, 캘리포니아, 산 호세에 본부를 둔 Cadence Systems에서 시판된 Assura<sup>TM</sup>; 오리건주, 월슨빌에 본부를 둔 Mentor Graphics<sup>®</sup>에서 시판된 Calibre<sup>®</sup>; 또는 캘리포니아, 마운틴뷰에 본부를 둔 Synopsys<sup>®</sup>에서 시판된 Hercules<sup>TM</sup>가 사용될 수 있다.

[0041] 일 실시예에서, 제2 방향 표시기(140)는 게이트 전극 마스크 상에서, 그리고 게이트 전극 형성 동안 웨이퍼 상의 설계 레이아웃 내에 형성된다. 그래서, 제2 방향 표시기(140)는 게이트 전극과 동일한 물질일 수 있다. 만일 기능 표시기(138) 및 제2 방향 표시기(140)가 게이트 전극과 동일한 물질로 형성된다면, 이들 표시기들은, 예를 들어, 제조 설비에서 운영자에 의해 시작적으로 쉽게 검출될 수 있다. 일 실시예에서, 제2 방향 표시기(140)는 마스크 상에서만 형성된다.

[0042] 도 4에 도시된 표시기들은 기능 표시기(138) 또는 제1 방향 표시기(140)가 IP 블록(52, 90, 110 및 100)마다 동일한 방향으로 면하고 있지 않기 때문에 적절하게 정렬되지 않는다. 그래서, IP 블록(52, 90, 110, 및 100) 중 적어도 하나는 모든 기능 표시기(138)가 동일한 방향으로 면하고 있거나 모든 제1 방향 표시기(140)가 동일 방향으로 면하고 있을 때까지 선회될 필요가 있다.

[0043] 도 5에서, 표시기들이 적절하게 정렬되어서 동일한 방향을 갖는 각 소자 (예컨대, 모두 방향 A를 갖는 소자 등)에 대하여 임플란트가 정확한 방향에서 이루어질 것이다. 표시기들은 적절히 정렬되어 있기 때문에, IP 블록(52, 90, 100, 및 110) 및 개구(120, 122, 124 및 136)는 적절하게 정렬된다. 기능 표시기(138) 및 제1 방향 표시기(140)들 모두가 각 IP 블록(52, 90, 100, 및 110)마다 동일한 방향으로 방위되어 있기 때문에 표시기들은 적절하게 정렬된다. 표시기가 적절하게 정렬될 때, 상이한 방향(예컨대, 방향 A, B, C, 및 D)을 갖는 소자들은 서로에 대하여 선회될 수 또는 선회되지 않을 수 있지만, 동일한 방향을 갖는 소자(예컨대, 모두 방향 A를 갖는 소자 또는 모두 방향 B를 갖는 소자 등)는 각기 동일한 방향을 갖는 다른 소자에 대하여 선회하지 않는다(예컨대, 소자(53, 92, 102 및 112)는 서로에 대하여 선회하지 않는다).

[0044] 도 6-8은 사용될 수 있는 다른 표시기들의 몇 가지 예를 도시한다. 그러나, 기능 표시기(138) 및 제1 방향 표시기(136) 또는 제2 방향 표시기(140), 또는 이들 둘 다를 포함하는 어떤 적합한 표시기라도 사용될 수 있다. 일부 실시예에서, 상이한 형태의 표시기들(예컨대, 제1 방향 표시기(136) 및 제2 방향 표시기(140))이 또 다른 형태의 표시기 또는 전체 표시기와 동일할 수 있거나 또 다른 형태의 표시기 또는 전체 표시기의 일부일 수 있다. 또한, 상이한 형태의 표시기들 중 하나 (예컨대, 제2 방향 표시기)로서 작용할 수 있는 표시기의 가능한 특징부가 하나 보다 많을 수 있다. 예를 들어, 도 5에 도시된 표시기는 두 개의 가능한 제2 방향 표시기들을 포함하며 제1 방향 표시기(136)는 기능 표시기(138)와 동일하다. 도 6에 도시된 표시기는 도 4에 도시된 제1 표시기(136)와 거의 유사한 모자 형태이다. 그래서, 도 6에 도시된 표시기는 스탠드 얼론 표시기 일 수 있고 또는 다른 표시기와 조합될 수 있다. 유사하게, 모자의 바닥부분(예컨대, 모자의 가장 긴 직선 에지)은 제2 기능 표시기(138)일 수 있는데, 이것은, 예를 들어, 전체 형상일 필요가 없고 또한 어떤 형상의 에지일 수 있기 때문이다. 도 6 및 도 8에 도시된 것과 같이 일방향으로 대칭인 표시기들은 선회를 검출하는데 유용하다. 도 7에 도시된 표시기와 같은 표시기들은 모든 방향에서 비대칭이며 소자 레이아웃의 선회 및 뒤집어짐을 표시하는데 유용하다.

[0045] 도 7은 한 방향으로 지시하는 손가락과 다른 방향으로 엄지 손가락(150)을 갖는 손 형상의 가능한 표시기의 또 다른 예를 예시한다. 표시기 전체는 기능 표시기(138)일 수 있다. 그래서, (도시된 제스처 또는 또 다른 제스처를 취한)손 전체는 비대칭 임플란트 방향을 표시하는데 사용될 수 있다. 만일 손이 도 6에 도시된 제스처를 취한다면, 지시하는 손가락은 제1 표시기(136)일 수 있다. 엄지손가락은 대략 45도 각도를 가지고 있고, 이는 웨이퍼 상에서 정확하게 형성하기가 어렵기 때문에, 엄지 손가락은 빼는 것이 바람직할 수 있다. 제2 방향 표시기(140)로서 커프(cuff)(또는 커프의 일부분(예컨대, 에지))가 사용될 수 있고 또는 커프 링크 또는 베튼을 표시할 수 있는 커프 상의 정사각형 (또는 그의 일부분)이, 존재한다면, 제2 방향 표시기로서도 사용될 수 있다.

[0046] 도 8은 화살표 형상인 가능한 표시기의 또 다른 예를 도시한다. 도시된 화살표는 대략 45도 각도를 가지고, 그래서 바람직하지 않을 수 있다. 원한다면, 45도 각도가 없는 화살표가 대신 사용될 수 있다. 도 8에 도시된 전체 표시기는 기능 표시기(138)일 수 있으며 상부의 삼각형 부분은 제1 표시기(136)일 수 있다. 하단의 사각

형 부분(또는 그의 일부분)은 제2 방향 표시기(140)로서 사용될 수 있다.

[0047] 비록 도면에 도시된 표시기들이 지면에 대해 수직(또는 적어도 지면에 대하여 90도의 배수 또는 0도)일지라도, 표시기들은 틸트될 수 있다. 예를 들어, 도 8의 화살표는 17도와 같은 소정 각도만큼 틸트될 수 있다. 그러나, 이는 형성할 때 웨이퍼 상에서 추가적인 공간을 차지할 것이고 표시기의 에지가 모날 수 있으므로 이를 형성하기가 더욱 어렵기 때문에 바람직하지 않다.

[0048] 도 9는 도면들에 도시된 바와 같이 집적회로 제조시에 표시기를 구현하는 플로우차트를 예시한다. 플로우는 300에서 시작되며, 단계(302)에서 레이아웃 방향이 선택되고 하나 이상의 방향 표시기가 배치된다. 그런 다음, 단계(304)에서, 도 2-4에 도시된 바와 같은 IP 블록(예컨대, IP 블록(52, 90, 100 및 110))이 설계 레이아웃 내에서 조합된다. IP 블록을 조합한 후, 단계(306)에서 설계 레이아웃의 설계 를 체크를 시작한다. 앞에서 설명한 바와 같이 임의의 적합한 소프트웨어로 수행될 수 있는 설계 를 체크 동안, 판단 단계(308)에서 방향 표시기(들)이 모두 동일한 방향을 표시하는지를 알아보기 위하여 검사된다. 일 실시예에서, 표시기(들)가 정확한 방향을 지시하고 있는지를 알아보기 위하여 검사된다. 앞에서 설명한 바와 같이, 이것은 제2 방향 표시기(140)를 확장시키고 확장된 제2 방향 표시기(140) 및 전체 표시기 자체의 면적을 판단하는 것과 같은 어떤 적합한 방법을 이용하여 판단될 수 있다. 만일 이 면적이 소정의 면적과 같으면, 표시기는 정확한 방향을 지시하고 있는 것이다. 만일 각 표시기마다 이 면적이 모두 같다면, 표시기들은 모두 동일한 방향을 지시하고 있는 것이다. 판단 단계(308)의 결과가 no라면, 단계(310)에서 적어도 하나의 IP 블록이 선회되고 방향 표시기(들) 모두가 동일한 방향을 표시하는지를 알아보기 위해 판단 단계(308)를 반복한다. 일단 방향 표시기(들) 모두 동일 방향을 표시하면, 단계(312)에서 설계 레이아웃의 설계 를 체크가 종료된다. 비록 설명하지 않을지라도, 설계 를 체크 동안 다른 판단 및 단계가 수행될 수 있다.

[0049] 설계 를 체크를 완료한 후, 단계(314)에서, 마스크 플로어플래닝이 시작된다. 마스크 플로어플래닝 동안, 단계(316)에서 다수의 설계 레이아웃과 스크라이브 그리드(scribe grids)를 이용하여 레티클 필드(reticle field)가 형성된다. 각각의 설계 레이아웃은 다이(die)가 될 것이기 때문에, 스크라이브 그리드는 다수의 설계 레이아웃 사이에 배치된다. 레티클 필드를 형성한 후, 판단 단계(318)에서 다수의 설계 레이아웃 및 스크라이브 그리드의 방위 표시기(들)가 같은 방향을 표시하는지를 판단한다. 일 실시예에서, 설계 를 체크와 관련하여 설명된 바와 같은 어떤 적합한 방법을 이용하여 제2 방향 표시기(140)를 검사함으로써 방위가 결정된다.

[0050] 만일 방위 표시기들이 같은 방위를 표시하지 않으면, 단계(320)에서, 다수의 설계 를 레이아웃 또는 스크라이브 그리드들 중 적어도 하나가 선회된다. 그 다음, 다수의 설계 레이아웃 및 스크라이브 그리드의 방위 표시기(들)가 같은 방향을 표시하는지를 판단하기 위하여 판단 단계(318)가 반복된다.

[0051] 일단 방위 표시기들이 같은 방위를 표시한다면, 단계(322)에서 마스크 플로어플래닝이 완료된다. 당업자라면 마스크 플로어플래닝 동안 추가 단계가 수행될 수 있음을 기술하지 않더라도 인식한다.

[0052] 마스크 플로어플래닝을 완료한 후, 단계(324)에서, 통상의 프로세싱을 이용하는 마스크 플로어플래닝을 이용하여 마스크가 제조된다. 일단 마스크가 제조되면, 단계(326)에서, IC(집적 회로) 제조가 시작되어 IC를 형성한다. IC 제조 동안, 단계(328)에서, 방위 표시기들의 방향성에 근거하여 임플란트 방향이 결정된다. 일 실시예에서, 제1 방향 표시기(136)가 사용된다. 그 다음, 단계(330)에서, 방위 표시기에 의해 결정된 바와 같은 임플란트 방향을 이용하여 임플란트가 수행된다. 그 다음, 단계(332)에서 IC 제조가 완료되어 IC가 형성된다. 당업자라면 단계(328) 및 (330) 이후와 그 이전에 당업자가 알고 있는 추가 단계가 수행되어 IC를 형성하는 것을 인식한다. IC를 형성한 후, 단계(334)에서 IC는 분리되고 본 프로세스는 단계(336)에서 종료된다.

[0053] 바람직한 실시예에서, 표시기는 비대칭 임플란트를 표시하는데 사용된다. 그러나, 원한다면, 표시기는 기판의 결정 격자 방위를 표시하는 것과 같은 다른 기능용도로 사용될 수 있다. 때로는 이중 방위 기판이 사용된다. 예를 들어, 기판은 한 영역에서 P 채널 소자에 유용한 <110> 격자를 갖는 반도체 물질과 다른 영역에서 N 채널 소자에 유용한 <100> 격자를 갖는 반도체 물질을 가질 수 있다. 이 실시예에서, 표시기는 액티브 층을 패턴하는데 사용된 마스크 상에서 형성될 수 있다. 더욱이, 전술한 어떤 표시기라도 사용될 수 있다. 그러나, 도 4에 도시된 표시기의 변형은 "SR"을 "DS", "SO", "SB"로 대체하는 것 또는 이중 기판 방위(dual substrate orientation; DSO)를 표시하는데 바람직할 수 있는 모든 다른 문자나 부호로 대체하는 것이 바람직할 수 있다.

[0054] 지금까지 집적 회로 제조 공정에서 표시기를 이용하는 방법이 제공되었음을 인식하여야 한다. 집적 회로의 일부로서 형성될 수 있는 시각적으로 구분가능한 표시기가 설명된다. 시각적으로 구분가능한 표시기는 시각적인 검사, 결정 격자 방위 등, 및 이들의 조합을 통하여 임플란트 방향을 표시하는 것과 같이, 집적 회로의 시각적

으로 구분할 수 없는 특징의 방향성을 표시한다. 그래서, 일 실시예에서, 텔트 각도 임플란트와 같은 방향성에 의존적인 공정은 시각적으로 구분할 수 없는 특징의 방향성을 결정하는 제1 표시기를 이용하여 수행된다. 일 실시예에서, 표시기는 집적회로의 제조 동안 시각적으로 구분할 수 없는 특징을 구분하는데 사용된다. 일 실시예에서, 시각적으로 구분가능한 표시기는 집적회로의 디자인 동안 사용된 제1 부분 및 집적 회로의 제조 동안 사용된 제2 부분을 포함한다. 제1 부분은 설계 를 검증 동안 사용될 수 있다. 제2 부분은 기능 표시기 및 방향 표시기를 포함할 수 있다.

[0055] 표시기(들)는 도 4에 도시된 바와 같은 IP 블록 내에 존재할 수 있고 또는 스크라이브 라인(scribe lines)에서 와 같이 설계 레이아웃, 마스크, 또는 웨이퍼 내 어느 곳에서라도 배치될 수 있다. 표시기는 시각적으로 물리적인 검증을 통해 운영자에 의해 육안으로 인식될 수 있다. 표시기는 방위 정보를 포함하며 웨이퍼 및 마스크 상에서 볼 수 있다. 또한, 표시기는 단일 층에서 볼 수 있다. 표시기는 설계 를 체크에 사용될 수 있다. 더 육이, 표시기는 제조 환경에서 조작자 또는 기술자와 같은 작업자에게 쉽게 이해될 수 있다. 더불어, 표시기는 사이를 타임을 개선하며 설계 레이아웃과 마스크 간의 디자인 데이터 플로우에서 각 단계를 체크하는 필요를 제거함으로써 복잡도를 줄여준다.

[0056] 본 발명을 구현하는 장치는 당업자에게 공지된 전자 부품 및 회로로 구성되기 때문에, 본 발명의 저변의 개념의 이해와 인식을 위하여 그리고 본 발명의 가르침에 방해되지 않고 혼란시키지 않도록 하기 위하여 전술한 바와 같이 필요한 것 이상의 범위로 회로의 상세가 설명되지 않을 것이다.

[0057] 전술한 명세서에서, 본 발명은 특정 실시예를 참조하여 설명되었다. 그러나, 당업자라면 아래의 특허청구범위에서 설명된 바와 같이 본 발명의 범주를 일탈함이 없이 다양한 변형과 변경이 이루어질 수 있음을 인식한다. 예를 들어, 어떤 적합한 표시기라도 사용될 수 있고, 표시기들은 도면에 도시된 실시예들로만 국한되지 않는다.

[0058] 따라서, 명세서 및 도면은 제한적인 의미라기보다 예시적인 것으로 간주되며, 그러한 모든 변경은 본 발명의 범주 내에 속하는 것으로 의도하고자 한다.

[0059] 비록 본 발명이 잠재적인 특정 전도도 형태 또는 극성에 대하여 설명되었을 지라도, 당업자라면 상기 잠재적인 전도도 형태 및 극성은 반대가 될 수 있음을 인식한다.

[0060] 또한, 본 명세서와 청구범위에서 "앞(front)", "뒤(back)", "상부(top)", "하부(bottom)", "위(over)", "아래(under)" 등과 같은 용어는 설명적인 목적으로 사용되며 반드시 불변의 상대적 위치를 설명하는데 반드시 필요한 것은 아니다. 그와 같이 사용된 용어는 본 명세서에서 설명된 본 발명의 실시예들이, 예를 들어, 본 명세서에서 예시되거나 달리 설명된 방위와 다른 방위에서 동작할 수 있도록 적절한 환경하에서 상호변경가능하다.

[0061] 특정 실시예에 대하여 이득, 다른 장점, 및 문제에 대한 해결책이 앞에서 설명되었다. 그러나, 어떤 이득, 장점, 또는 해결책을 유발할 수 있거나 또는 더욱 명백해지는 이득, 장점, 및 문제에 대한 해결책은 어떤 또는 모든 특허청구범위의 중요하거나 요구되거나 필수적인 특징이나 구성요소로서 해석되지는 않는다. 본 명세서에서 사용된 용어 "포함한다(comprises)", "포함하는(comprising)", 또는 이들의 어떤 다른 변형 용어는, 구성요소들의 리스트를 포함하는 프로세스, 방법, 물품, 또는 장치가 이를 구성요소만을 포함하는 것이 아니고 명백하게 나열하지 않은 다른 구성요소 또는 그러한 프로세스, 방법, 물품 또는 장치에 내재하는 다른 구성요소를 포함할 수 있도록, 비배타적인 포함을 망라하는 것으로 의도하고자 한다. 본 명세서에서 사용된 용어 "하나(a 또는 an)"는 하나 또는 하나보다 많은 것으로 규정된다.

[0062] 본 명세서에서 사용된 "다수의(plurality)"라는 용어는 둘 또는 둘보다 많은 것으로 규정된다. 본 명세서에서 사용된 용어 "또 다른(another)"은 적어도 제2 또는 그 이상으로서 규정된다.

[0063] 본 명세서에서 사용된 용어 "결합된(coupled)"은 비록 반드시 직접은 아니고 반드시 기계적인 것도 아니지만 연결된 것으로서 규정된다.

## 도면의 간단한 설명

[0005] 본 발명은 예를 들어 예시되며 동일한 참조부호가 유사한 구성요소를 나타내는 첨부 도면으로 국한되지 않는다.

[0006] 도 1은 본 발명의 일 실시예에 따른 비대칭 해일로(asymmetrical halo) 임플란트를 도시하는 일부의 집적 회로 및 표시기의 단면도를 도시한다.

[0007] 도 2는 표시기가 없는 설계 레이아웃의 부분을 도시한다.

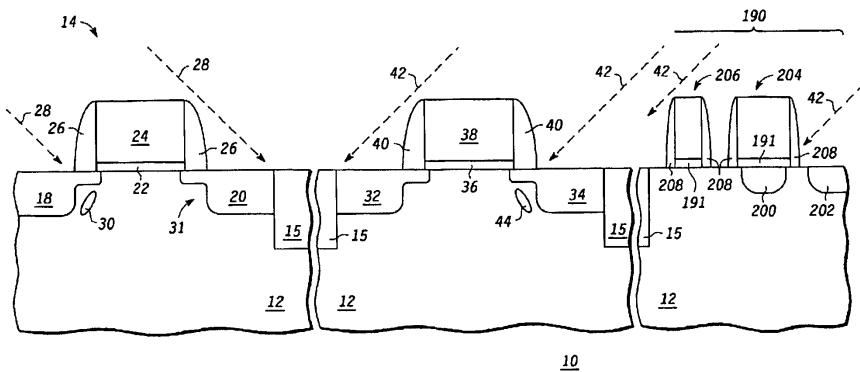
[0008] 도 3은 반도체 상에서 도 2의 마스크 데이터의 일부분을 형성하는데 사용될 수 있는 표시기 없는 마스크 레이아

웃을 도시한다.

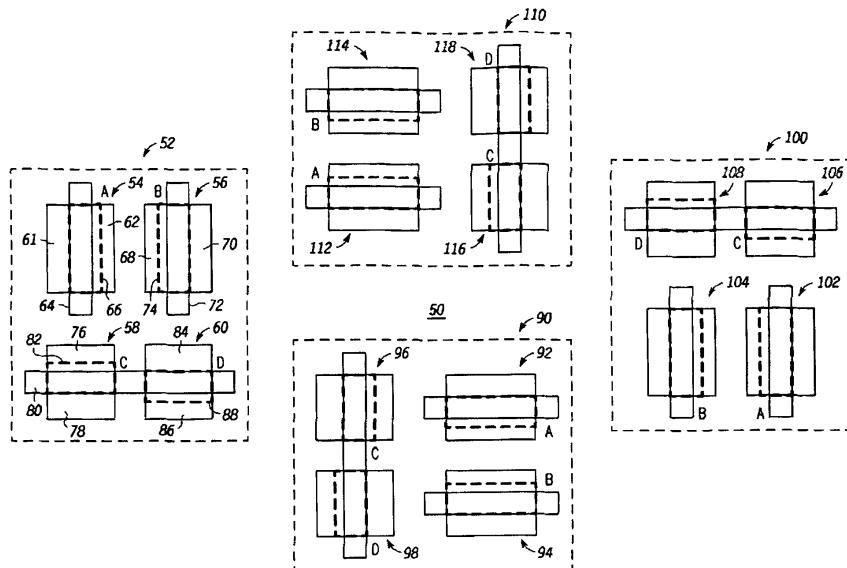
- [0009] 도 4는 바람직하지 않은 레이아웃을 도시하는 것으로, 본 발명의 일 실시예에 따른 표시기를 갖는 도 3의 마스크 레이아웃을 도시한다.
- [0010] 도 5는 바람직한 레이아웃을 도시하는 것으로, 본 발명의 실시예에 따른 표시기를 갖는 도 3의 변형된 마스크 레이아웃을 도시한다.
- [0011] 도 6-8은 본 발명의 다른 실시예에서 사용될 수 있는 표시기를 도시한다.
- [0012] 도 9는 본 발명의 실시예에 따라서 접적회로의 제조시 표시기를 이용하는 플로우차트를 도시한다.
- [0013] 당업자들은 도면에 도시된 구성요소들이 간략성과 명료성을 기하기 위해 예시된 것이며 반드시 축척대로 그려질 필요가 없음을 인식한다. 예를 들어, 도면에 도시된 구성요소들 중의 일부의 치수는 본 발명의 실시예의 이해를 돋기 위해 다른 구성요소들에 비해 강조될 수 있다.

## 도면

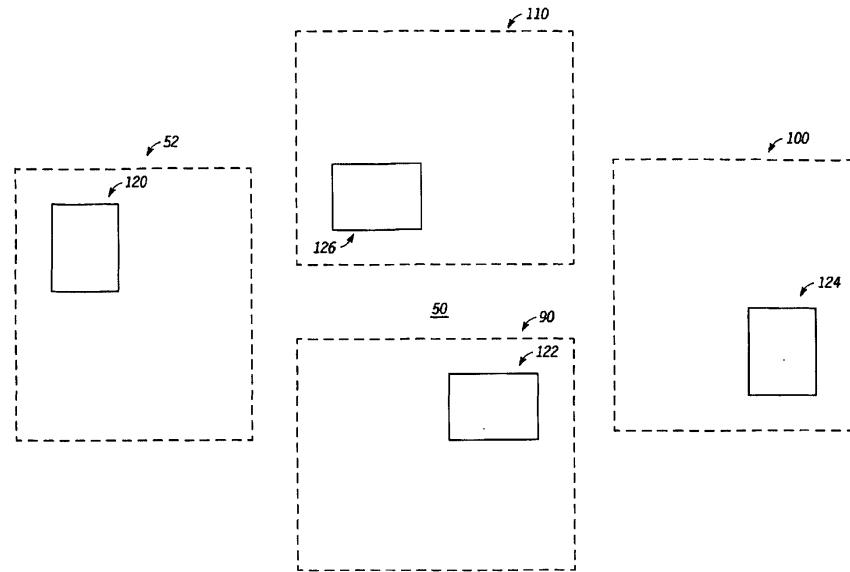
### 도면1



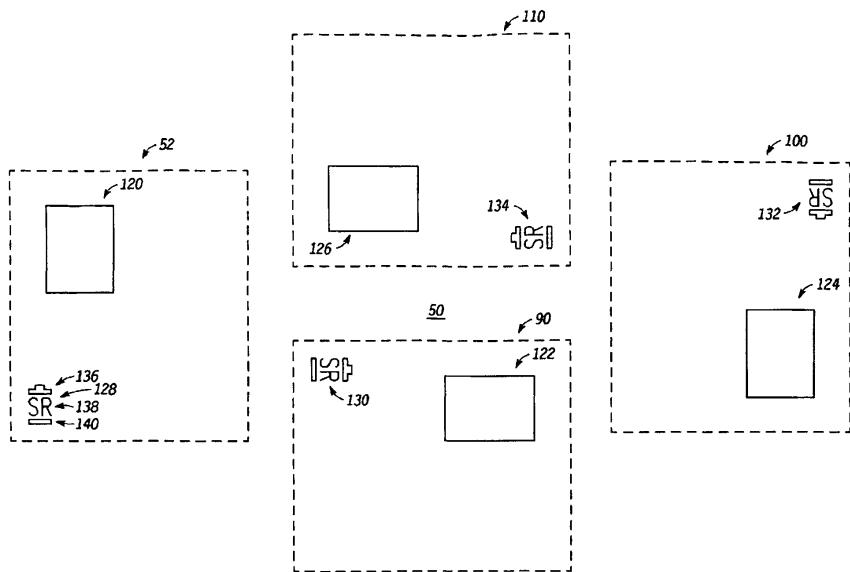
### 도면2



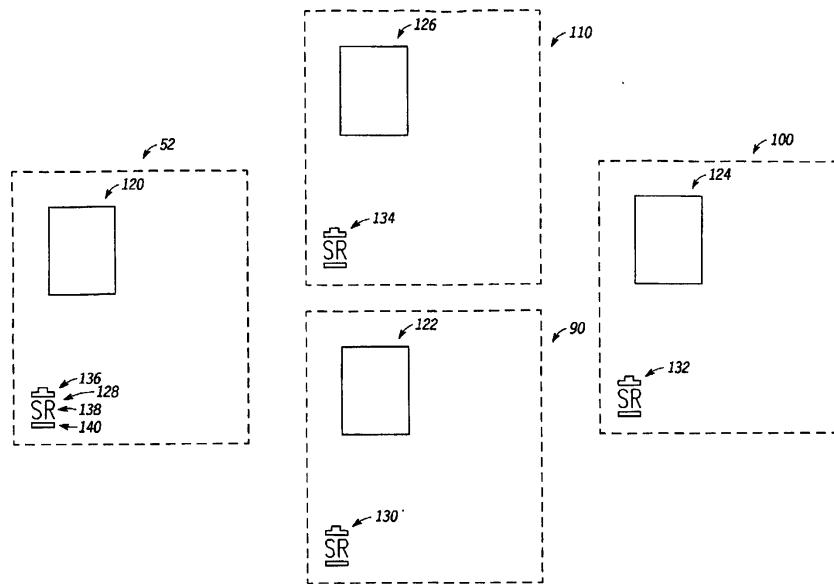
도면3



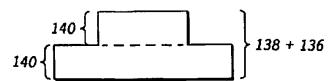
도면4



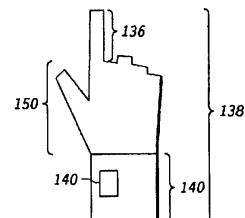
## 도면5



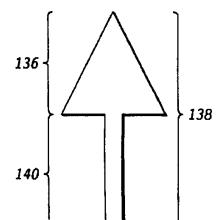
## 도면6



## 도면7



## 도면8



도면9

