



(12) 发明专利

(10) 授权公告号 CN 102983052 B

(45) 授权公告日 2015. 09. 02

(21) 申请号 201210326111. 2

CN 101339903 A, 2009. 01. 07, 全文.

(22) 申请日 2012. 09. 05

CN 1723549 A, 2006. 01. 18, 全文.

(30) 优先权数据

审查员 王新建

13/226, 087 2011. 09. 06 US

(73) 专利权人 朗姆研究公司

地址 美国加利福尼亚州

(72) 发明人 安妮·勒·古耶 杰弗里·R·林达

石川靖史 阳子·山口·亚当斯

(74) 专利代理机构 上海胜康律师事务所 31263

代理人 李献忠

(51) Int. Cl.

H01J 37/32(2006. 01)

H01L 21/306(2006. 01)

(56) 对比文件

US 2008/0067583 A1, 2008. 03. 20, 说明书第0069段、以及附图11-12.

US 2010/0297849 A1, 2010. 11. 25, 说明书第0005段、第0063段、第0069-0071段、以及附图8.

CN 101057320 A, 2007. 10. 17, 全文.

权利要求书1页 说明书6页 附图7页

(54) 发明名称

3D 闪存结构的蚀刻工艺

(57) 摘要

提供一种用于在等离子体处理腔室中在形成晶片上的堆叠的多个硅基双层上蚀刻特征的方法。使主蚀刻气体流入所述等离子体处理腔室中。使主蚀刻气体形成等离子体,同时提供第一压强。保持晶片温度低于20℃。当所述等离子体蚀刻穿所述多个硅基双层中的多个时,压强渐降到低于所述第一压强的第二压强。在所述多个双层中的第一多个被蚀刻后停止所述主蚀刻气体的流动。

1. 一种用于在等离子体处理腔室中在形成晶片上的堆叠的多个硅基双层上蚀刻特征的方法,所述方法包括:

使无氧的主蚀刻气体流入所述等离子体处理腔室中,其中,所述主蚀刻气体包括氢氟碳化合物和 NF_3 ;

使所述主蚀刻气体形成等离子体,同时提供介于 30 毫托到 60 毫托之间第一压强;

保持晶片温度低于 10°C ;

当等离子体蚀刻穿所述多个硅基双层中的多个时,使所述压强渐变到低于所述第一压强的第二压强;以及

在所述多个硅基双层中的第一多个蚀刻后停止所述主蚀刻气体的流动。

2. 如权利要求 1 所述的方法,其中,所述使所述主蚀刻气体形成等离子体包含提供感应耦合功率到放置在所述晶片的第一面上的上部功率源并提供偏置功率到在与所述晶片的所述第一面相反的所述晶片的第二面上的底电极,其中,所述偏置功率的频率介于 100 kHz 和 1 MHz 之间。

3. 如权利要求 1 所述的方法,其中,每个硅基双层包括多晶硅层和氧化硅层或者每个硅基双层包括氮化硅层和氧化硅层。

4. 如权利要求 1 所述的方法,其中,有至少 16 个双层,且其中所述第一多个有至少 12 个双层,且其中所述渐变在所述 12 个双层蚀刻中提供至少六个不同的压强。

5. 如权利要求 1 所述的方法,其中,所述蚀刻特征是深宽比为至少 20:1 的通孔。

6. 如权利要求 1 所述的方法,还包括在所述停止所述主蚀刻气体的流动后用于蚀刻剩余未蚀刻双层的过蚀刻,其中,所述过蚀刻包括:

使过蚀刻气体流入所述等离子体处理腔室中,所述过蚀刻气体比所述主蚀刻气体更具聚合性且包含 NF_3 ;

使所述过蚀刻气体形成等离子体;以及

停止所述过蚀刻气体的流动。

7. 如权利要求 6 所述的方法,其中,所述过蚀刻还包括相对所述主蚀刻提高所述晶片温度。

8. 如权利要求 7 所述的方法,其中,所述过蚀刻还包括相对所述主蚀刻降低所述压强。

9. 如权利要求 6 所述的方法,其中,所述过蚀刻气体进一步包括 CH_3F 和 CH_4 ,并且其中所述过蚀刻包括通过调节在所述过蚀刻气体中的 CH_3F 与 CH_4 的比来控制沉积的聚合物层的沉积质量。

3D 闪存结构的蚀刻工艺

技术领域

[0001] 本发明涉及半导体器件的形成。更具体地,本发明涉及三维闪存结构半导体器件的形成。

背景技术

[0002] 在半导体晶片工艺中有时需要高深宽比的通孔。例如,在三维闪存存储器件中,在多个双层堆叠中形成通孔。该器件的一个实例为东芝 BiCS(Bit Cost Scalable)。

发明内容

[0003] 为了实现上述需求并且依照本发明的目的,提供一种在等离子体处理腔室中在晶片上形成堆叠的多个硅基双层上蚀刻特征的方法。使主蚀刻气体流入该等离子体处理腔室中。使该主蚀刻气体形成等离子体,同时提供第一压强。保持晶片温度低于 20℃。当等离子体蚀刻穿所述多个硅基双层中的多个时,渐变(ramp)所述压强到低于所述第一压强的第二压强。在所述多个双层中的第一个多个蚀刻后停止所述主蚀刻气体的流动。

[0004] 在本发明的另一呈现形式中,提供一种用于在等离子体处理腔室中在晶片上形成堆叠的多个硅基双层上蚀刻特征的方法。使主蚀刻气体流入等离子体处理腔室,所述主蚀刻气体包括碳氟化合物和 NF_3 。使所述主蚀刻气体形成等离子体,同时提供在 30 毫托到 60 毫托之间的第一压强。保持晶片温度低于 10℃。当等离子体蚀刻穿所述多个硅基双层中的多个时,渐变所述压强到低于该第一压强的第二压强。在所述多个双层中的第一个多个蚀刻后停止所述主蚀刻气体的流动。

[0005] 下面在本发明的详细描述中并且结合下面的附图对本发明的这些以及其它特征进行更加详细的说明。

附图说明

[0006] 在附图的图中通过举例说明而非限制的方式阐释了本发明,其中相似的附图标记指代相似的元件,并且在附图中:

[0007] 图 1 为可用于本发明的实施例的高级流程图。

[0008] 图 2A-C 为按照本发明的实施例形成的存储器堆叠的截面示意图。

[0009] 图 3 为可用于实现本发明的等离子体处理腔室的示意图。

[0010] 图 4 为计算机系统的示意图,其中,所述计算机系统适于执行本发明实施例中使用的控制器。

[0011] 图 5 为在两种压强下蚀刻速率-蚀刻深度曲线图。

具体实施方式

[0012] 现在将参照如附图中图示出的几个优选实施例对本发明进行详细的说明。在下面的说明中,为了提供对本发明的全面理解,阐述了多个具体的细节。然而,本领域技术人员

显而易见的是,可不通过这些具体细节中的一些或全部来实现本发明。在其它实例中,为了避免不必要地混淆本发明,未对公知的工艺步骤和 / 或结构进行详细的说明。

[0013] 蚀刻高深宽比的孔需要侧壁保护以保证 CD 控制和避免弯曲的和底切的轮廓。但是,过量的聚合物会导致轮廓封口 (pinch off) 和蚀刻停止。在高深宽比时,由于视角狭窄导致反应物到达蚀刻表面的数量显著减少。离子更可能与蚀刻副产物或孔内蚀刻物或者孔的侧壁碰撞而失去其能量,使蚀刻速率减慢。这被称为深宽比影响蚀刻 (ASDE)。增加离子能量可以帮助保持离子的方向性且避免在侧壁上损失太多能量,但是却要损失掩膜选择比。提高 TCP 也提供更多的蚀刻剂物质、离子和中性物。但是增加 TCP 并不会系统地增加蚀刻速率,因为蚀刻速率受到扩散到孔中反应物的限制。

[0014] 为了利于理解,图 1 示出了可用于本发明的实施例的工艺的高级流程图,该工艺在硅基双层堆叠中形成高深宽比的通孔。使掩膜在晶片上的多个硅基双层堆叠的上方形成 (步骤 104)。主蚀刻处理通过使主蚀刻气体流入放置晶片的等离子体处理腔室开始进行 (步骤 112)。保持晶片温度低于 20℃ (步骤 116)。随着多个双层的一部分被蚀刻,渐降压强到小于第一压强的第二压强 (步骤 120)。主蚀刻气体停止流动 (步骤 124)。接着使过蚀刻气体流入到所述等离子体处理腔室进行过蚀刻处理 (步骤 128)。该过蚀刻气体比主蚀刻气体具聚合性。提高晶片温度 (步骤 132)。降低所述腔室的压强 (步骤 136)。由过蚀刻气体形成等离子体 (步骤 140),该等离子体完成对所述多个双层的蚀刻。停止过蚀刻气体 (步骤 144)。

[0015] 示例

[0016] 在实施本发明的实例中,在形成晶片衬底上的堆叠的多个硅基双层中蚀刻形成高深宽比的通孔。每个双层优选厚度为 20-40 纳米。在所述多个双层上形成掩膜 (步骤 104)。图 2A 所示的是掩膜 204 形成在制成晶片 212 上的存储器堆叠 208 的多个双层上的剖面示意图。在该实施例中,所述多个双层的每个双层是通过将氧化硅 (SiO) 层 216 置于多晶硅层 220 下形成。在该实施例中,掩膜 204 是不定形碳。可在堆叠 208 和晶片 212 之间设置诸如蚀刻停止层等的一层或者多层,或者可将晶片 212 作为抵达 (landing) 层。可在存储堆叠 208 和掩膜 204 之间设置一层或者多层。

[0017] 晶片 212 可放置在处理工具中以实行后续步骤。图 3 示意性地示出了依照本发明的一个实施例可用于执行蚀刻硅晶片的工艺的等离子体处理系统 300 的示例。等离子体处理系统 300 包括等离子体反应器 302,等离子体反应器 302 中设有等离子体处理腔室 304。通过匹配网络 308 调谐的等离子体功率源 306 将功率供给至位于功率窗 312 附近的 TCP 线圈 310,通过提供电感耦合功率以在等离子体处理腔室 304 中形成等离子体 314。TCP 线圈 (上部功率源) 310 可配置为在处理腔室 304 内生成均匀扩散轮廓。例如, TCP 线圈 310 可被配置为在等离子体 314 中产生螺旋管形功率分布。设置功率窗 312 以将 TCP 线圈 310 与等离子体腔室 304 分离,同时容许能量从 TCP 线圈 310 传递至等离子体腔室 304。由匹配网络 318 调谐的晶片偏压功率源 316 向电极 320 提供功率以在由电极 320 支撑的晶片 322 上设定偏压。控制器 324 设定用于等离子体功率源 306 和晶片偏压功率源 316 的点。

[0018] 等离子体功率源 306 和晶片偏压功率源 316 可配置为运行于特定无线电频率,诸如例如 13.56MHz、27MHz、2MHz、400kHz、或它们的组合。为了获得期望的工艺性能,等离子体功率源 306 和晶片偏压功率源 316 可以适当地调整大小以供给一定范围的功率。例如,

在本发明的一个实施例中,等离子体功率源 306 可以供给范围从 300 瓦至 10000 瓦的功率,并且晶片偏压功率源 316 可以供给范围从 10 伏至 1000 伏的偏压。另外,TCP 线圈 310 和/或电极 320 可由两个以上的分线圈或分电极构成,这些分线圈或分电极可由单个功率源提供功率或由多个功率源提供功率。

[0019] 如图 3 所示,等离子体处理系统 300 还包括气体源/气体供给机构 330。气体源包括主蚀刻气体源 332、过蚀刻气体源 334 以及任选地额外气体源 336。所述主蚀刻气体源与所述过蚀刻气体源可以有某些相同的组分。在这种情况下,用提供主蚀刻气体和过蚀刻气体的多种组分的气体源代替单独的主蚀刻气体源和过蚀刻气体源,这将在下文描述。气体源 332、334 和 336 通过诸如喷头 340 等气体入口与处理腔室 304 流体连接。气体入口可以位于腔室 304 中的任意有利位置处,并且可具有任何用于灌入气体的形式。然而,优选的是,气体入口可配置为生成“可调的”气体灌入轮廓,这使得可对流到处理腔室 304 中的多个区的气体的各个流进行单独调节。处理气体和副产物经由压强控制阀 342 和泵 344 从腔室 304 移除,压强控制阀 342 和泵 344 还用于在等离子体处理腔室 304 内保持特定压强。气体源/气体供给机构 330 由控制器 324 控制。由 Lam Research Corporation 提供的 Kiyoo 系统可用于实现本发明的实施例。所述处理腔室优选带有 ACME(Yt 层)涂层的氧化铝涂层表面。

[0020] 图 4 是示出计算机系统 400 的高级框图,计算机系统 400 适于实现在本发明的实施例中使用的控制器 324。该计算机系统可以具有多种物理形式,范围从集成电路、印刷电路板和小型手持式装置到巨型超级计算机。计算机系统 400 包括一个或多个处理器 402,并且还还可包括电子显示装置 404 (用于显示图形、文本以及其它数据)、主存储器 406 (例如,随机存取存储器(RAM))、存储装置 408 (例如,硬盘驱动器)、可移除存储装置 410 (例如,光盘驱动器)、用户接口装置 412 (例如,键盘、触摸屏、键垫、鼠标或其它指针装置等),以及通信接口 414 (例如,无线网络接口)。通信接口 414 容许软件和数据经由链路在计算机系统 400 和外部装置之间传送。该系统还可以包括通信基础结构 416 (例如,通信总线、跨接杆或网络),上述装置/模块与通信基础结构 416 连接。

[0021] 经由通信接口 414 传送的信息可以为如电子的、电磁的、光的信号或者能够经由运载信号的通信链路通过通信接口 414 接收的其它信号等形式,并且可利用电线或电缆、光纤、电话线、蜂窝电话链路、无线电频率链路和/或其它通信信道实现。通过这种通信接口,可预期在执行上述方法步骤的过程中,一个或多个处理器 402 可接收来自网络的信息,或者可将信息输出到网络。此外,本发明的方法实施例可以在处理器上单独执行或者可以结合共享处理的部分的远程处理器在诸如因特网等网络上执行。

[0022] 术语“非暂态计算机可读介质”一般用于指代诸如主存储器、辅助存储器、可移除存储装置以及存储装置(例如,硬盘、快擦写存储器、磁盘驱动存储器、CD-ROM 以及其它形式的持久性存储器)等介质,而不应当解释为覆盖暂态主体,诸如载波或信号。计算机代码的示例包括机器码(例如,由编译器生成的),以及含有利用解释程序通过计算机执行的更高级代码的文件。计算机可读介质还可以为由计算机数据信号发送的计算机代码,该计算机数据信号以载波具体实现并且代表能够由处理器执行的指令序列。

[0023] 用主蚀刻将特征蚀刻到硅基双层。在该示例中,该特征是蚀刻到氧化硅和多晶硅双层中的通孔。主蚀刻气体从气体源 330 流入到等离子体处理腔室 304 中(步骤 108)。在

该示例中,主蚀刻气体流为 20-100sccm 的 CH_2F_2 、50-30sccm 的 N_2 和 1-200sccm 的 NF_3 。优选地,主蚀刻气体包括氟碳化合物气体和 NF_3 。更优选地,碳氟化合物气体为氢氟碳化合物。主蚀刻气体形成等离子体(步骤 112)。在该示例中,TCP 线圈 310 提供在 13.6MHz 的 1,000-2,000 瓦特的 RF 功率。底电极 320 提供在 400kHz 的 100-700 伏的偏压。设定腔室压强为 40 毫托。保持晶片温度低于 20°C (步骤 116)。在该示例中,晶片温度保持在 0°C。

[0024] 渐降压强(步骤 120)。在该示例中,渐降压强从 40 毫托到 10 毫托。对于 16 个双层堆叠,优选地,在压强渐降期间提供至少 4 个不同的压强。更优选地,在压强渐降期间提供至少 6 个不同的压强。最优选地,所述渐降是连续渐降。在该示例中,提供 40 毫托和 10 毫托的压强端点。在该渐降期间为了提供所述至少 6 个不同主蚀刻压强,提供在该端点间线性或者双曲线的渐变。停止主蚀刻气体的流动(步骤 124)。

[0025] 图 2B 是堆叠的剖面示意图,在使用单个主蚀刻步骤蚀刻多个双层后形成蚀刻特征 228。在该示例中,主蚀刻提供渐缩的轮廓,且蚀刻穿 16 个双层中的 12 个双层。在该示例中,用主蚀刻蚀刻穿几乎所有的双层,因为尽管产生的轮廓是渐缩的,但该主蚀刻提供了快速的蚀刻。不用主蚀刻蚀刻穿所有的双层的主要原因是蚀刻双层和蚀刻下伏层的选择比低。假如使用主蚀刻蚀刻所有的双层,那么低的选择比可导致下伏层受到蚀刻,其中所述下伏层为晶片 212。图 2B 显示一个蚀刻特征比其它的深。不用主蚀刻蚀刻所有的双层的另一个原因,在于主蚀刻不均匀的蚀刻,该不均匀的蚀刻不造成下伏层遭到蚀刻,该下伏层为晶片 212。

[0026] 在该示例中,用过蚀刻完成蚀刻特征。过蚀刻使不同于主蚀气体的过蚀刻气体流入到等离子体腔室中(步骤 128)。通常,该过蚀刻气体比主蚀刻气体更具聚合性。这通过提供更高浓度的碳组分实现。在该实例配方中,过蚀刻气体流包括 0-100sccm 的 CH_2F_2 、1-200sccm 的 NF_3 、0-100sccm 的 CH_3F 和 0-100sccm 的 CH_4 。

[0027] 提高晶片温度(步骤 132)。在该示例中,提高晶片温度到 20°C。降低腔室压强(步骤 136)。在该示例中,腔室的压强降低到 5 毫托。过蚀刻气体形成等离子体(步骤 140)。在该示例中,TCP 线圈 310 提供 1,000-2,000 瓦特的在 13.6MHz 的 RF 功率。底电极 320 提供在 400kHz 的 100-700 伏的偏压。使过蚀刻气体停止流动(步骤 144)。

[0028] 图 2C 是在过蚀刻完成后的堆叠的剖面示意图。用过蚀刻蚀刻穿剩余的双层以完成蚀刻特征,以抵达下伏层,该下伏层为晶片 212,并且不加宽蚀刻特征的顶部而加宽蚀刻特征渐缩的底部。这样提供了从上到下的更均匀的蚀刻轮廓。

[0029] 已发现,渐降压强减小了深宽比影响蚀刻,从而防止蚀刻停止,并且消除或减少了在蚀刻期间渐升偏压的需要,这防止了蚀刻掩膜选择比的减少。优选地,在蚀刻期间该偏压为恒定的。

[0030] 图 5 是试验中发现的 40 毫托和 10 毫托的纵轴为蚀刻速率对横轴为蚀刻深度的曲线图。结果表明了压强和深宽比对蚀刻速率的影响。在高压强和低深宽比时,孔的蚀刻速率快。已发现在高压强时,随着深宽比增高,蚀刻速率减慢,最终达到零。该实验发现在低压强和低深宽比时,蚀刻慢。随着深宽比增高,低压强蚀刻速率增加达到极限(saturate)。较低的压强增加了平均自由程。本发明利用较快的高压强低深宽比蚀刻速率和较快的低压强高深宽比蚀刻速率的优势,使用渐变消除深宽比影响蚀刻速率。

[0031] 压强渐降可以是连续函数,诸如线性渐变或者可以以步进式渐变实现。优选地,渐

变发生在大多数的主蚀刻期间。例如,如果蚀刻十二组双层,渐变优选发生在至少六组双层的蚀刻期间。如果渐变是步进式的,优选有至少与双层组数的一半相等的步进数。例如,如果蚀刻十二组双层,则在渐降过程中提供至少六个不同压强。优选地,主蚀刻的起始压强介于 30 到 60 毫托之间,其提供高的初始蚀刻速度。压强可渐降低至 2 毫托。

[0032] 尽管蚀刻特征可为沟槽或者通孔,由于本发明提供高深宽比的蚀刻,优选蚀刻特征为通孔。优选地,通孔的宽度不大于 80nm。更优选地,通孔的宽度介于 20 到 80nm 之间。再更优选地,通孔的宽度介于 45-60nm 之间。通孔深度优选大于 1.4 微米。优选通孔深度对通孔宽度的深宽比至少为 20:1。更优选地,深宽比至少为 35:1。

[0033] 尽管上述示例中有十六对双层,本发明其他本实施案可有大于十六的双层,诸如三十二或六十四对双层。

[0034] 优选地,在主蚀刻期间晶片温度不高于 20℃。更优选地,在主蚀刻期间晶片温度不高于 10℃。

[0035] NF_3 可蚀刻多晶硅和氧化硅两者。氟碳化合物形成聚合物,该氟碳化合物优选为 CH_2F_2 ,其自身会导致蚀刻停止。通过调节 $\text{NF}_3/\text{CH}_2\text{F}_2$ 气体比提供蚀刻对沉积的良好控制。用 CH_2F_2 提供用以蚀刻氧化硅的 CF_2 。已发现提供晶片温度不高于 20℃,且更优选不高于 10℃,通过增加附着系数致使更多的 CF_2 到达和形成在氧化硅上,其中 CF_2 参与氧化硅的蚀刻,从而增加了氧化硅的蚀刻速度。另外,增加了蚀刻选择比。虽然由于在表面形成的相同的聚合物导致多晶硅的蚀刻速率减少,但是蚀刻速率保持足够高可维持向下蚀刻通孔。优选 CH_2F_2 的气流速率介于 10sccm 和 100sccm 之间。优选 NF_3 的气流速率介于 20sccm 和 80sccm 之间。优选地, $\text{NF}_3/\text{CH}_2\text{F}_2$ 气流速率比介于 1:1 和 1:2 之间。

[0036] 优选地,主蚀刻期间提供的偏压介于频率 100kHz 和 1MHz 之间。更优选地,提供的偏压介于频率 300kHz 和 500kHz 之间。最优选地,提供的偏压频率约 400kHz。优选偏压保持在 500 伏到 700 伏之间。较低频率的偏压提供更高能量的离子,已发现较高能量的离子可通过限制通孔底部的 CD 减少改善主蚀刻工艺。在优选实施例中,偏压控制设置为电压模式,因而随着压强渐降,电压随着功率减小保持常量。如果偏压控制设置为功率模式,随着压强渐降偏置电压会减小,从而减慢蚀刻速率。

[0037] 优选地,主蚀刻在单蚀刻中蚀刻介于一半到全部之间的双层。更优选地,主蚀刻在单蚀刻中蚀刻介于八分之五到八分之七之间的全部双层。最优选地,主蚀刻在单蚀刻中蚀刻约四分之三的该双层。过蚀刻在单过蚀刻中蚀刻剩余的双层。

[0038] 过蚀刻还降低压强以改善蚀刻轮廓的底部的蚀刻。较低的压强增加了平均自由程,使得更多的蚀刻剂行进到轮廓的底部。当蚀刻过程中压强渐降的底端足够低,那么在本发明的实施例中,压强保持在较低的压强,但不在过蚀刻过程中进一步渐降。较低的压强还有助于避免在掩膜上沉积过多的聚合物,过多的聚合物会导致通孔封闭和造成蚀刻停止。

[0039] 在该示例的过蚀刻配方中,用 $\text{NF}_3/\text{CH}_3\text{F}$ 气体比控制蚀刻对沉积比和掩膜选择比。另外, CH_4 气体是保护掩膜和减少掩膜剖面(faceting)的钝化添加物。通过氟和碳的比例控制沉积的量。 $\text{CH}_3\text{F}/\text{CH}_4$ 的比作为控制从 CF_x 、 CH_x 类聚合物到含更多 C-C 类富碳聚合物的沉积质量的调节器,C-C 类富碳聚合物通常有更高的抗蚀刻性。优选地, $\text{NF}_3/\text{CH}_3\text{F}$ 的流率比为 3:1-1:3。

[0040] 在过蚀刻过程中,优选晶片温度为至少 20℃。较高温度减少聚合物沉积在蚀刻轮

廓的底部,以避免轮廓封口和蚀刻停止。不受理论的限制,过蚀刻化学组成更有聚合性,因为在过蚀刻化学组成中的聚合添加剂不像 CH_2F_2 在主蚀刻过程中蚀刻氧化硅那样用来蚀刻氧化硅。反而,过蚀刻更多地依赖氟来蚀刻。在过蚀刻中使用的聚合添加剂,相反地主要形成聚合物保护层以保护掩膜。由于在过蚀刻过程中,深宽比高,聚合物并未到达蚀刻特征的底部。因此在蚀刻轮廓的顶部比在蚀刻轮廓的底部提供更多的聚合物保护,使蚀刻轮廓的底部得到蚀刻和加宽,而蚀刻轮廓的顶部未得到加宽。之前的蚀刻配方会在更高的压强下使用更低聚合性的化学组成。

[0041] 优选地,过蚀刻过程提供的偏压介于频率 100kHz 和 1MHz 之间。更优选地,提供的偏压介于频率 300kHz 到 500kHz 之间。最优选地,提供的偏压频率约 400kHz。优选偏压保持在 500 伏到 700 伏之间。该电压范围优选为保持蚀刻并避免对掩膜过多地溅射。

[0042] 在主蚀刻和过蚀刻两过程中,优选地,TCP 线圈 310 提供 RF 功率为 1000 瓦到 2500 瓦之间。更优选地,TCP 线圈 310 提供介于 1500 瓦到 2000 瓦之间的 RF 功率。增加 TCP 功率有益于提高蚀刻速率直至达到极限。在该示例中,在 2000 瓦的 TCP 发现极限。还发现,本发明在双层的氧化硅和多晶硅层之间有轻微扇形。主蚀刻之后进行过蚀刻以蚀刻至少十六个双层的创新的单步骤工艺,比提供至少十六个循环以蚀刻十六个双层的工艺具有优势,其中每个循环包含多晶硅蚀刻步骤和氧化物蚀刻步骤。其一个优势在于蚀刻至少十六个双层的创新的单步骤具有较高的产量,较好的可协调性,和较好的顶部轮廓控制。

[0043] 在本发明的其它实施例中,其它步骤可发生所述该主蚀刻和所述过蚀刻步骤之间。例如,一个或多个另外的蚀刻步骤可发生在该主蚀刻和该过蚀刻步骤之间。此类另外的蚀刻步骤可为在该主蚀刻和该过蚀刻步骤之间的过渡步骤。此类过渡步骤可兼有该主蚀刻和该过蚀刻步骤的特征。

[0044] 在本发明的其它实施例中,每个双层可包含氧化硅层和氮化硅层。在其它实施例中,所述双层可包含一个或者多个另外层,因此所述双层可有三层或者四层。

[0045] 尽管已经根据多个优选的实施例对本发明进行了说明,但存在落在本发明的范围内的改动、置换和各种替代的等同方案。还应当注意的是,存在实现本发明的方法和装置的多种可选方式。因此,目的在于随附的权利要求书被解释为包含落在本发明的主旨和范围内的全部这些改动、置换和各种替代的等同方案。

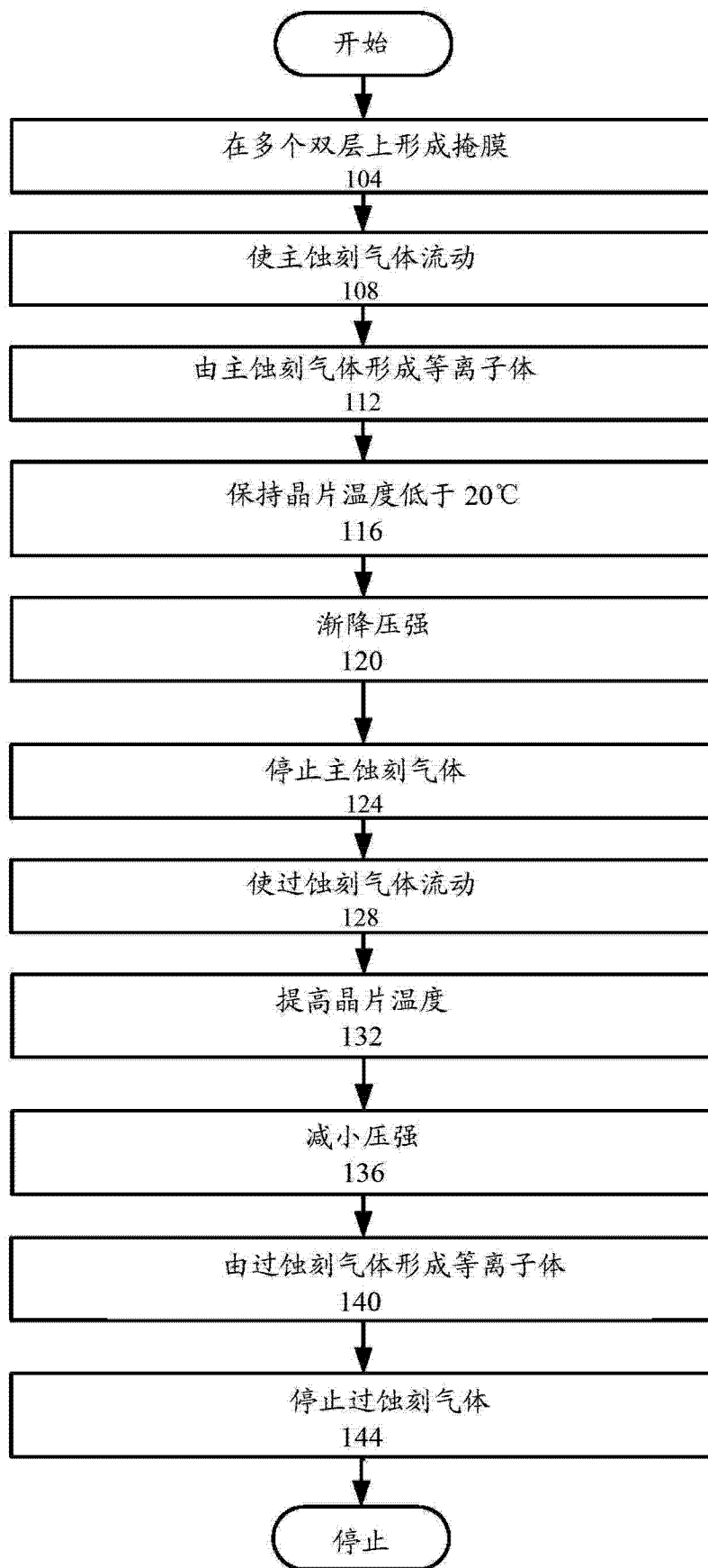


图 1

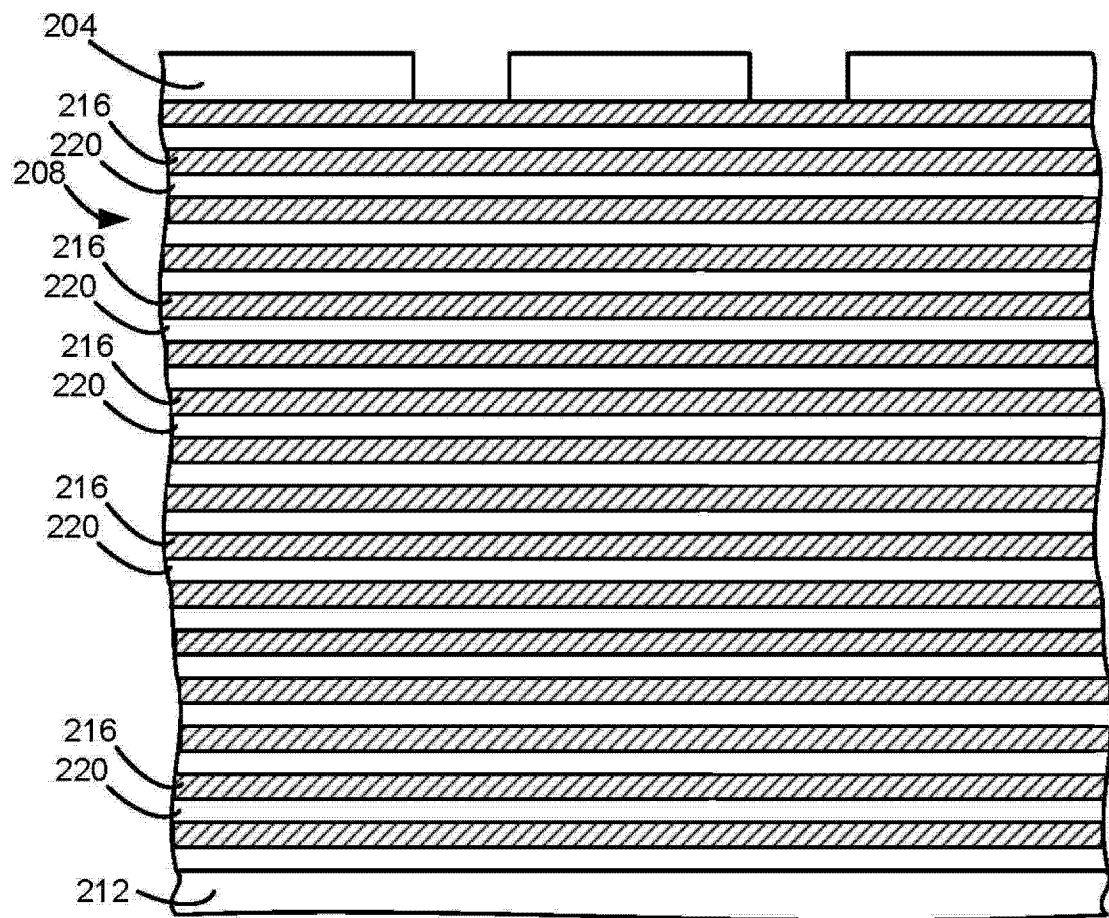


图 2A

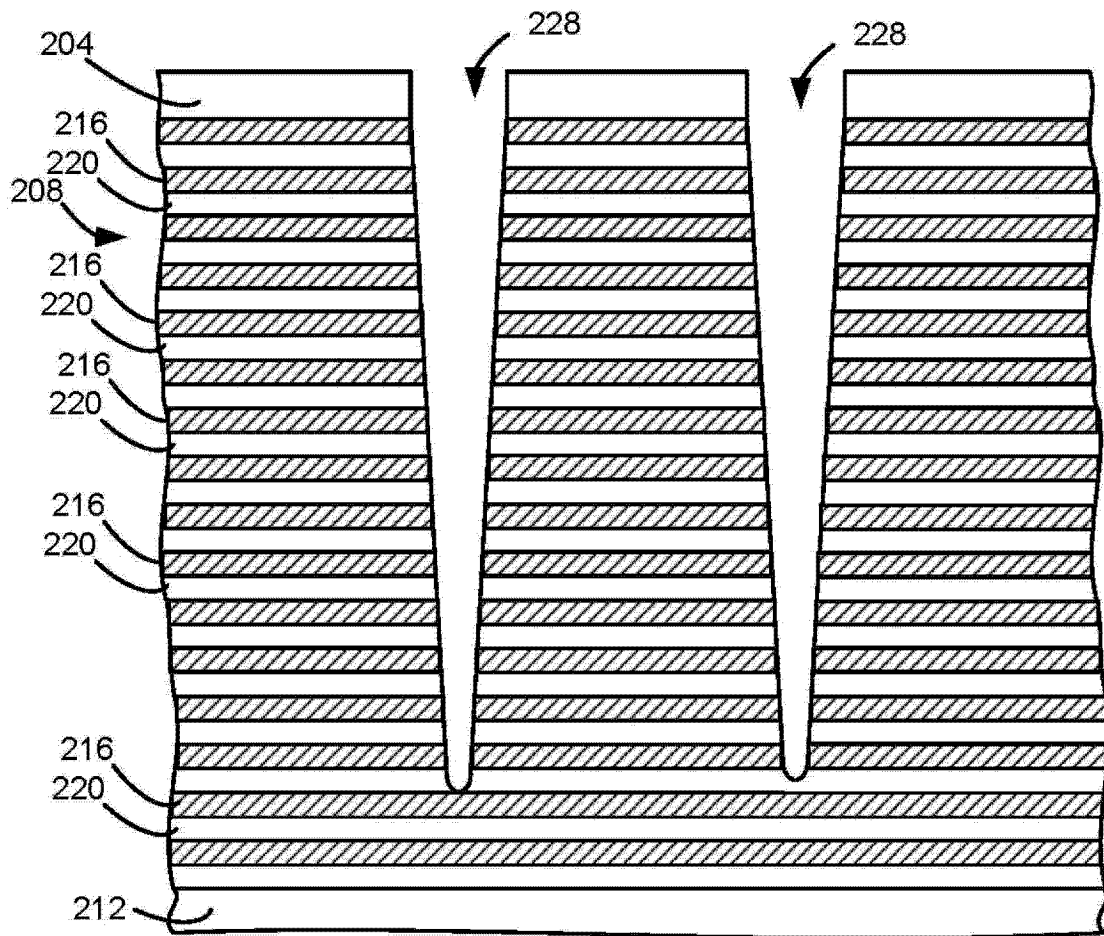


图 2B

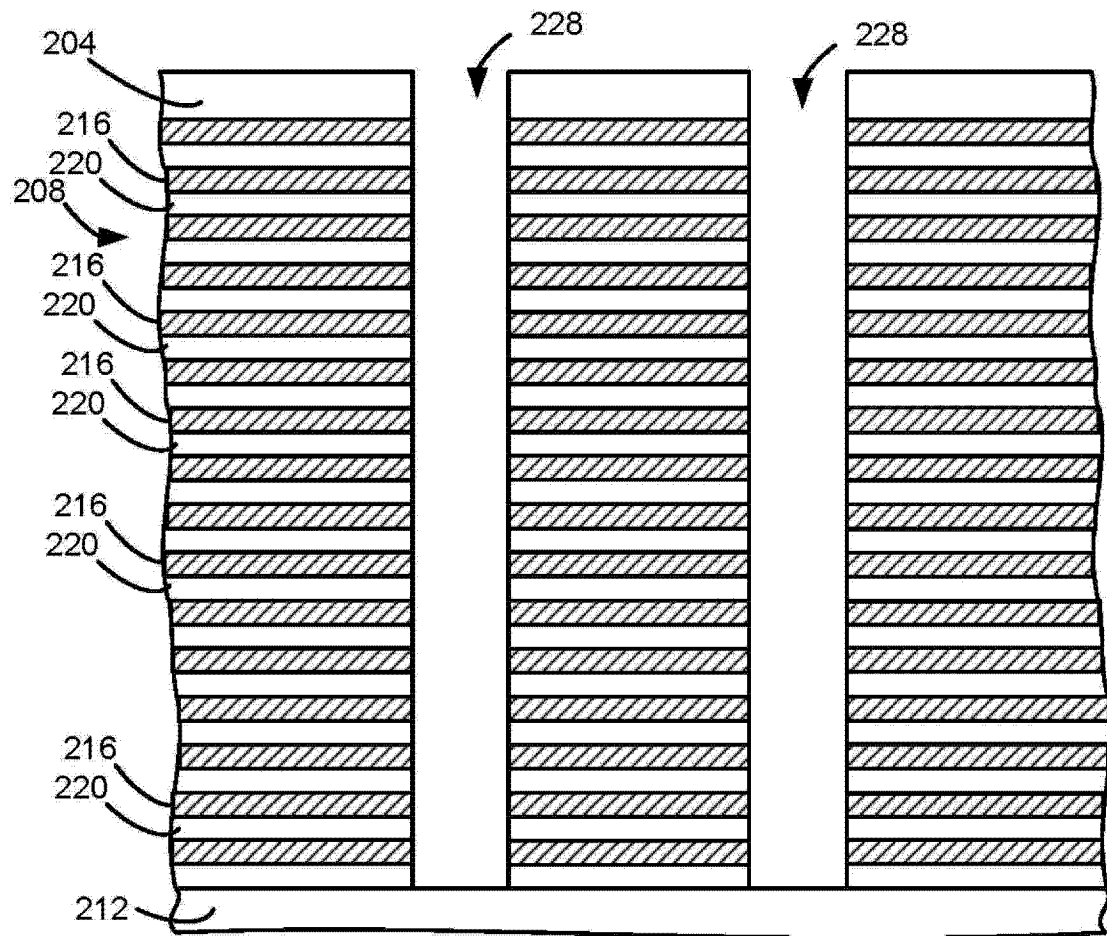


图 2C

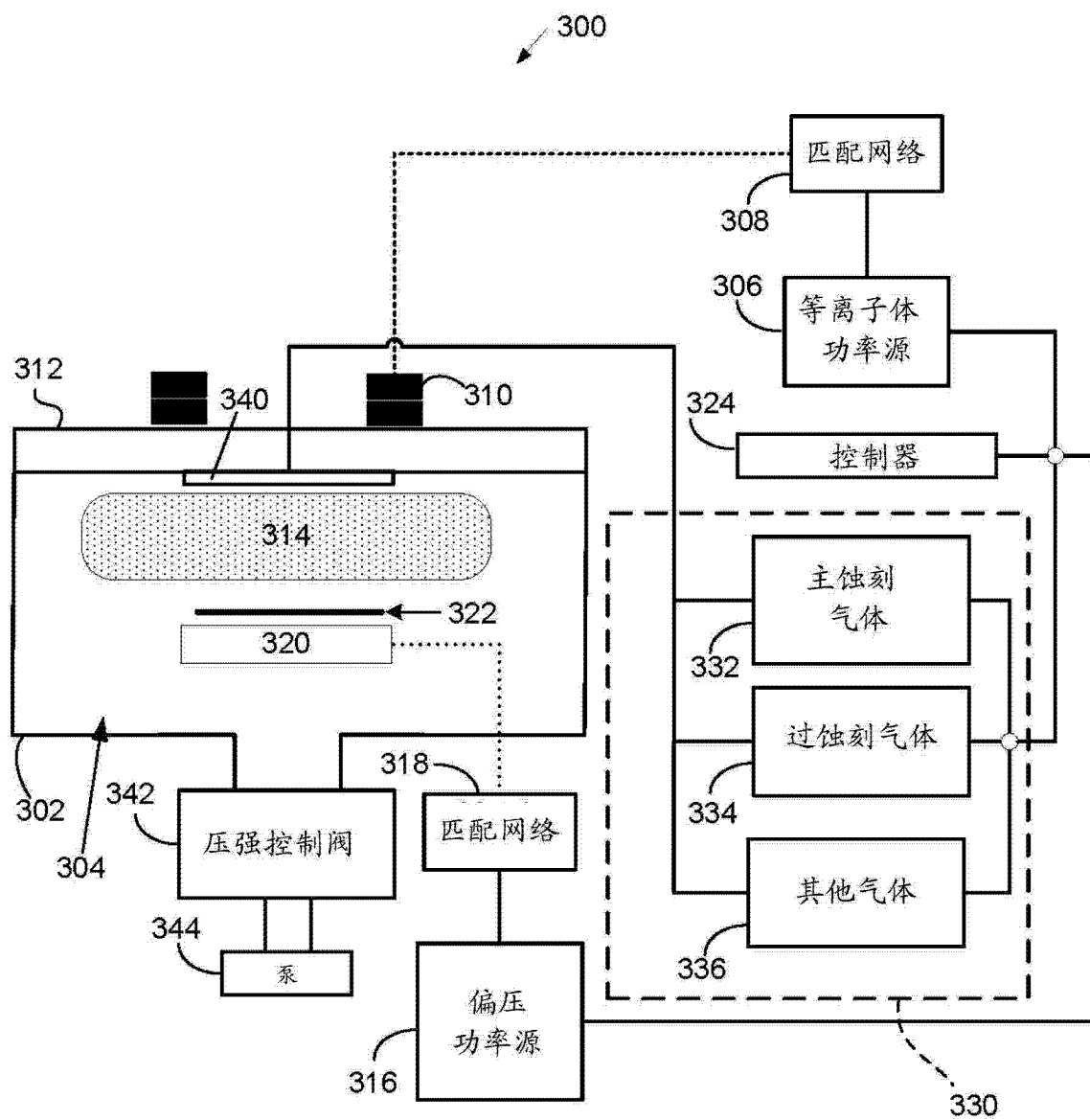


图 3

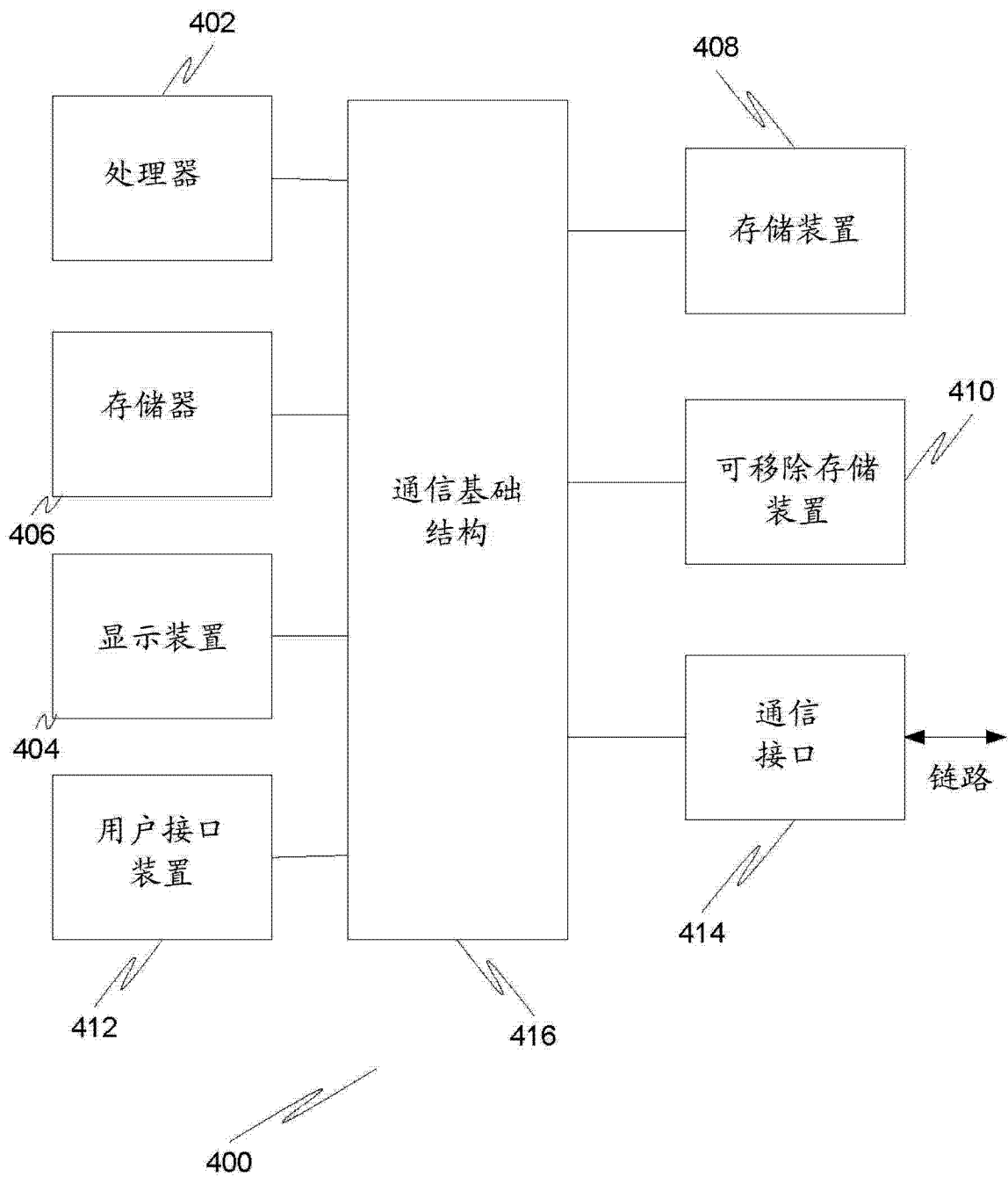


图 4

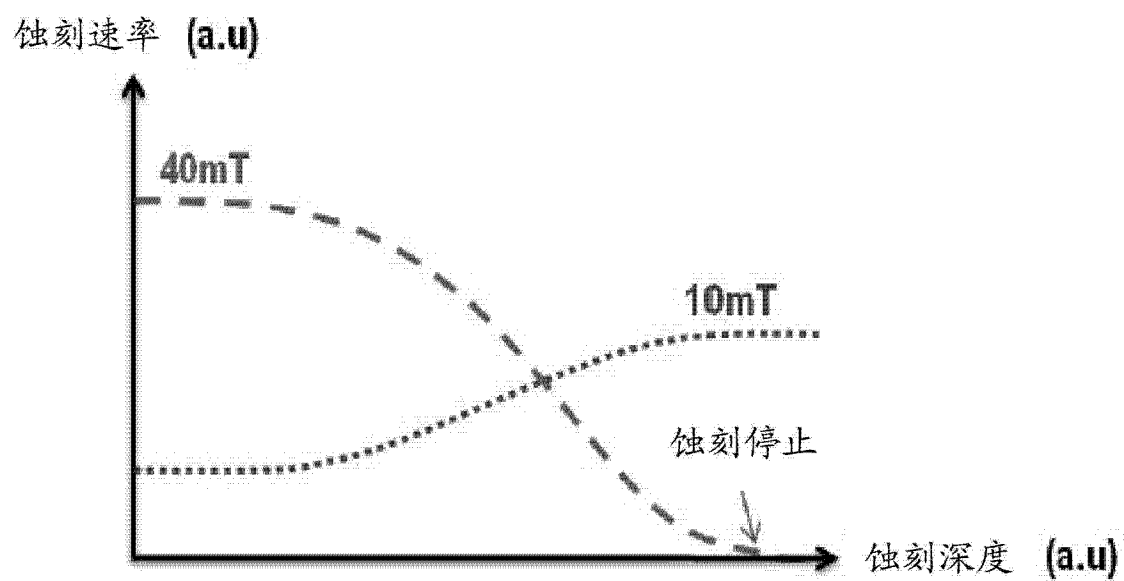


图 5