

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 11 月 27 日(27.11.2014)



(10) 国際公開番号
WO 2014/188953 A1

- (51) 国際特許分類:
H03K 17/00 (2006.01) *H05K 7/20* (2006.01)
H03K 17/695 (2006.01)
- (21) 国際出願番号: PCT/JP2014/062950
- (22) 国際出願日: 2014 年 5 月 15 日(15.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-109000 2013 年 5 月 23 日(23.05.2013) JP
特願 2014-017129 2014 年 1 月 31 日(31.01.2014) JP
- (71) 出願人: 株式会社ミツバ(MITSUBA CORPORATION) [JP/JP]; 〒3768555 群馬県桐生市広沢町 1 丁目 2 6 8 1 番地 Gunma (JP).
- (72) 発明者: 大兼 貴彦(OGANE Takahiko); 〒3768555 群馬県桐生市広沢町 1 丁目 2 6 8 1 番地 株式会社ミツバ内 Gunma (JP). 新藤 洋一(SHINDO Yoichi); 〒3768555 群馬県桐生市広沢町 1 丁目 2 6 8 1 番地 株式会社ミツバ内 Gunma (JP). 鶴淵 巖(TSURUBUCHI Iwao); 〒3768555 群馬県桐生市広沢町 1 丁目 2 6 8 1 番地 株式会社ミツバ内 Gunma (JP). 相澤 俊(AIZAWA Shun); 〒3768555 群馬県桐生市広沢町 1 丁目 2 6 8 1 番地 株式会

社ミツバ内 Gunma (JP). 山田 佳央(YAMADA Yoshihisa); 〒3768555 群馬県桐生市広沢町 1 丁目 2 6 8 1 番地 株式会社ミツバ内 Gunma (JP).

(74) 代理人: 志賀 正武, 外(SHIGA Masatake et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).

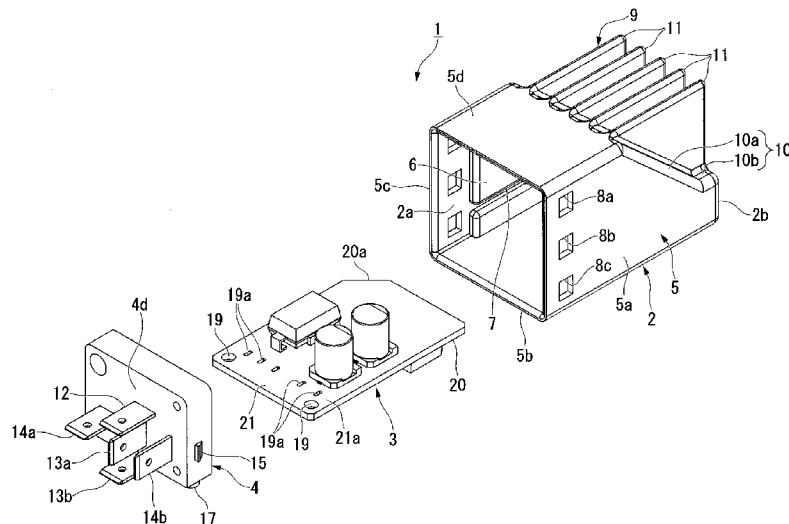
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: SEMICONDUCTOR RELAY

(54) 発明の名称: 半導体リレー



(57) Abstract: This semiconductor relay is provided with: a bottomed cylindrical case (2); a base part (4) which is engageable with an opening (2a) of the case (2); a circuit board (3) which is fitted within the case (2), and on which a semiconductor switching element is mounted; and a plurality of terminals (12, 13a, 13b, 14a, 14b) which are provided on the base part (4) for the purpose of electrically connecting the circuit board (3) to an object to be attached. A heat dissipation part (9) for dissipating the heat of the case (2) is provided on a part of a cylinder part (5) of the case (2), and the circuit board (3) is arranged along the side wall of the cylinder part (5) so that the circuit board (3) is opposite to the heat dissipation part (9) with respect to the central axis of the case (2).

(57) 要約:

[続葉有]



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, 添付公開書類:
MR, NE, SN, TD, TG).

— 国際調査報告 (条約第 21 条(3))

有底筒状のケース（２）と、このケース（２）の開口部（２ a）に係合可能なベース部（４）と、ケース（２）に内装され、半導体スイッチング素子が実装されている回路基板（３）と、ベース部（４）に設けられ、回路基板（３）と被取付体とを電氣的に接続するための複数の端子（１ ２），（１ ３ a），（１ ３ b），（１ ４ a），（１ ４ b）と、を備え、ケース（２）の筒部（５）一部に、このケース（２）の熱を放熱するための放熱部（９）を設け、ケース（２）の中心軸に対して放熱部（９）とは反対側に、筒部（５）の側壁に沿うように回路基板（３）を配置した。

明 細 書

発明の名称：半導体リレー

技術分野

[0001] 本発明は、半導体リレーに関するものである。

本願は、2013年5月23日に、日本に出願された特願2013-109000号、および2014年1月31日に、日本に出願された特願2014-17129号に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 従来から、電磁リレー等のいわゆるメカリレーの代替として、半導体リレーが知られている。半導体リレーとしては、例えば、開口部が長方形状になっている有底長四角形状のケースと、このケース内に設けられた半導体素子を実装される回路基板と、ケースの開口部を閉塞し、回路基板を支持するベースと、ベースに設けられ回路基板と被取付体とを電氣的に接続するための複数のリード端子と、を備えたものがある。

[0003] 回路基板は、入力信号が通電される発光ダイオードを含む入力回路、及びその入力回路に入力される入力信号に応じて出力信号を出力する出力回路を備えている。また、回路基板は、ベースの略中央部に支持されると共に、ケースの略中央部に配置される。さらに、複数のリード端子は、ベースの長手方向に沿って2列に配置されている。そして、各リード端子と回路基板とが、各々接続端子を介して電氣的に接続されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開2001-7565号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上述の従来技術にあっては、ケースの略中央部に回路基板

が配置されているので、バランス的には良いものの、半導体素子とケースとの距離が離れてしまい放熱性を向上させることが困難となる。また、ケースが単純な有底長四角形状の箱型に形成されているので、ケースを小型化しにくい。この結果、半導体リレーの小型化に限界がある。

また、複数のリード端子がベースの長手方向に沿って2列に配置されているので、半導体リレーが取り付けられる被取付体側で所望の配線を行う必要があり、半導体リレーを取り付けるための占有面積が大きくなる。

[0006] 本発明は、小型化ができ、且つ取付けスペースの省スペース化を図ることができる半導体リレーを提供する。

課題を解決するための手段

[0007] 本発明の第一の態様によれば、半導体リレーは、有底筒状のケースと、このケースの開口部に係合可能なベース部と、前記ケースに内装され、半導体スイッチング素子を実装されている回路基板と、前記ベース部に設けられ、前記回路基板と被取付体とを電気的に接続するための複数の端子と、を備え、前記ケースの周壁における外面の一部に、このケースの熱を放熱するための放熱部を設け、前記ケースの中心軸に対して前記放熱部とは反対側に、前記周壁に沿うように前記回路基板を配置した。

[0008] このように、ケースに放熱部を設けることにより、ケースの放熱性を高めることができる。さらに、回路基板を放熱部とは反対側に寄せて配置することにより、ケースにおける放熱部の設置面積をできる限り大きくすることができる。このため、ケースを効率よく小型化することができ、この結果、半導体リレーを小型化できる。

[0009] 本発明の第二の態様によれば、本発明の第一の態様に係る半導体リレーにおいて、前記ケースは、前記中心軸と直交する方向の断面が略正方形となるように有底四角筒状に形成されており、前記ケースに、このケースの底面と前記周壁の一辺とに跨るように、前記ケースの一部を切除した切除部を形成し、この切除部に複数の放熱フィンを設け、これら切除部及び放熱フィンと、前記放熱部として構成した。

- [0010] このように構成することで、ケースを大型化することなく、放熱部をできる限り大きく形成することができる。このため、さらに効率よくケースを小型化することができる。
- [0011] 本発明の第三の態様によれば、本発明の第二の態様に係る半導体リレーにおいて、前記切除部は、前記周壁のうち、前記中心軸に対して前記回路基板とは反対側に位置する一辺の中心軸方向略中央から前記底面の前記中心軸の通る箇所の近傍に至るまで形成されている。
- [0012] このように構成することで、ケースを効率よく小型化しつつ、放熱部を大きく形成することができる。
- [0013] 本発明の第四の態様によれば、本発明の第二の態様若しくは第三の態様に係る半導体リレーにおいて、前記切除部は、前記周壁のうち、前記中心軸に対して前記回路基板とは反対側に位置する一辺の中心軸方向略中央と、前記底面の前記中心軸の通る箇所の近傍との間に跨るように形成された傾斜面である。
- [0014] このように構成することで、放熱部を通る空気の流れが良くなり、放熱部による放熱性を高めることができる。このため、さらに、ケースを小型化することが可能になる。
- [0015] 本発明の第五の態様によれば、本発明の第一の態様から第四の態様の何れか一の態様に係る半導体リレーにおいて、前記ケースは、前記放熱部と共に熱伝導性の高い材料により一体成形されている。
- [0016] このように構成することで、放熱部の放熱性をさらに高めることができ、ケースをさらに小型化することができる。
- [0017] 本発明の第六の態様によれば、本発明の第一の態様から第五の態様の何れか一の態様に係る半導体リレーにおいて、前記複数の端子は、前記ベース部の略中央に配置された信号線入力端子と、この信号線入力端子を含む同一線上に配置された一対の電源端子と、これら一対の電源端子を結ぶ線と直交する線に沿って配置された一対の出力端子と、を備えている。
- [0018] このように構成することで、半導体リレーを、I S O - M i c r o や I S

O-Mini（何れもISO 7588参照）に準拠するリレーとすることができ、汎用性の高い半導体リレーを提供することが可能になる。このため、被取付体に直接半導体リレーを取り付けることが可能になり、半導体リレーの取付スペースの省スペース化を図ることができる。

[0019] 本発明の第七の態様によれば、本発明の第六の態様に係る半導体リレーにおいて、前記信号線入力端子には、前記半導体スイッチング素子をPWM制御するための信号が入力され、前記出力端子からは、無段階の出力信号が出力される。

[0020] このように構成することで、被取付体の駆動制御を精度よく行うことができ、被取付体の信頼性を向上したり、省電力化したりすることが可能になる。また、半導体リレーの発熱を抑えることができるので、ケースの放熱部を小型化できる。この結果、半導体リレーを小型化できる。

[0021] 本発明の第八の態様によれば、本発明の第一の態様から第七の態様の何れかの態様に係る半導体リレーにおいて、前記ケース内に充填剤を封入した。

[0022] このように構成することで、ケース内のシール性を高めることができる。また、ケースに内装された回路基板の絶縁性を高めることができる。さらに、回路基板から発生する熱が充填剤を介して効率よくケースに伝達されるので、回路基板から発生する熱を効率よく放熱させることができる。このため、ケース放熱面積を抑えることが可能になり、半導体リレーを小型化できる。

発明の効果

[0023] 上記の半導体リレーによれば、ケースに放熱部を設けることにより、ケースの放熱性を高めることができる。さらに、回路基板を放熱部とは反対側に寄せて配置することにより、ケースにおける放熱部の設置面積をできる限り大きくすることができる。このため、ケースを効率よく小型化することができる。この結果、半導体リレーを小型化できる。

また、半導体リレーを、ISO-MicroやISO-Mini（ISO

7588参照)に準拠するリレーとすることができ、汎用性の高い半導体リレーを提供することが可能になる。このため、被取付体に直接半導体リレーを取り付けることが可能になり、半導体リレーの取付スペースの省スペース化を図ることができる。

図面の簡単な説明

- [0024] [図1]本発明の第1実施形態における半導体リレーの分解斜視図である。
- [図2]本発明の第1実施形態における半導体リレーの斜視図である。
- [図3]本発明の第1実施形態における半導体リレーのブロック図である。
- [図4]本発明の第1実施形態における半導体リレーの側面図である。
- [図5]本発明の第1実施形態におけるケースの斜視図である。
- [図6]本発明の第1実施形態におけるベース部と回路基板とを組み付けた斜視図である。
- [図7]本発明の第1実施形態における半導体リレーをケースの開口部側からみた平面図である。
- [図8]本発明の第1実施形態における係合爪の拡大断面図である。
- [図9A]本発明の第1実施形態における半導体リレーの動作説明図であって、半導体リレーに流れる電流を示す。
- [図9B]本発明の第1実施形態における半導体リレーの動作説明図であって、Hi側のFET及びLo側のFETと、Hi側の還流ダイオードの電力損失のタイミングチャートを示す。
- [図10]本発明の第1実施形態におけるファンモータの回転数の変化を示すグラフである。
- [図11]本発明の第1実施形態の第1変形例における端子の配置説明図である。
- [図12A]本発明の第1実施形態の第2変形例における半導体リレーの動作説明図であって、半導体リレーに流れる電流を示す。
- [図12B]本発明の第1実施形態の第2変形例における半導体リレーの動作説明図であって、Hi側のFET及びLo側のFETと、Hi側の還流ダイオード

ドの電力損失のタイミングチャートを示す。

[図13]本発明の第2実施形態におけるベース部と回路基板とを組み付けた斜視図である。

[図14]図13のA部拡大図である。

[図15A]本発明の第3実施形態におけるベース部と回路基板とを組み付けた斜視図であって、ベース部と回路基板との接続過程を示す。

[図15B]本発明の第3実施形態におけるベース部と回路基板とを組み付けた斜視図であって、ベース部と回路基板との接続過程を示す。

発明を実施するための形態

[0025] (第1実施形態)

(半導体リレー)

次に、本発明の第1実施形態を図1～図12Bに基づいて説明する。

図1は、半導体リレー1の分解斜視図、図2は、半導体リレー1の斜視図、図3は、半導体リレー1のブロック図である。

図1～図3に示すように、半導体リレー1は、被取付体としての電子制御ユニット(ECU)60に電氣的に接続される。ECU60は、例えば車両に搭載されており、エンジン冷却用のファンモータMを駆動するための駆動ドライバ61を備えている。また、ECU60は、半導体リレー1への過電圧、過電流、過熱等に対する保護機能を有している。

[0026] 半導体リレー1は、有底筒状のケース2と、ケース2に内装されている回路基板3と、ケース2の開口部2aに係合しその一部を閉塞可能なベース部4と、ベース部4に設けられ、回路基板3とECU60とを電氣的に接続するための複数の端子12, 13a, 13b, 14a, 14bとを備えている。そして、半導体リレー1は、ケース2の底部2bが鉛直方向下側に向く状態で車体に固定される。

[0027] (ケース)

図4は、半導体リレー1の側面図である。図5は、ケース2の斜視図である。

図4、図5に示すように、ケース2は、熱伝導性の高いアルミニウム材からなり、ダイキャスト製法により有底筒状に形成されている。ケース2の筒部5は、中心軸Cと直交する方向の断面が略正方形となるように形成されている。すなわち、筒部5は、第1側辺5a、第2側辺5b、第3側辺5c、及び第4側辺5dの4つの側辺から構成される。そして、中心軸Cを挟んで第1側辺5aと第3側辺5cとが互いに対向している。また、中心軸Cを挟んで第2側辺5bと第4側辺5dとが互いに対向している。さらに、第1側辺5a及び第3側辺5cに対し、第2側辺5b及び第4側辺5dが直交した状態になっている。

[0028] このような構成のもと、第1側辺5a及び第3側辺5cの内面には、肉厚部6が形成されている。肉厚部6は、ケース2の底部2bから開口部2aのやや手前に至るまで形成されている。

また、肉厚部6には、中心軸C方向に沿って基板支持溝7が形成されている。さらに、基板支持溝7は、中心軸Cよりも第2側辺5b寄りに形成されている。基板支持溝7は、回路基板3の組付け時のガイド機能を備えており、回路基板3がガイドされて挿入される。そして、基板支持溝7の最奥部まで回路基板3が挿入されると、ケース2に回路基板3が位置決め支持される。

[0029] また、第1側辺5a及び第3側辺5cには、肉厚部6よりも開口部2a側に、それぞれ3つの孔8a、8b、8cが周方向に沿って並んで形成されている。3つの孔8a、8b、8cのうち、中央に形成されている孔8bは、後述するように、ケース2にベース部4の係合突起15をスナップフィット固定するために用いられる。一方、孔8bを挟んで両側に形成されている孔8a、8cは、不図示の被取付体にケース2を固定するために、被取付体側に設けられた係合部材が係合するようになっている。

[0030] さらに、ケース2の外面の一部には、放熱部9が一体成形されている。放熱部9は、ケース2の一部を切除してなる切除部10と、この切除部10上に一体成形された複数（この第1実施形態では5つ）の放熱フィン11とに

より構成されている。

切除部 10 は、第 4 側辺 5 d の中心軸 C 方向略中央から底部 2 b に向かって斜めに形成されている傾斜面 10 a と、この傾斜面 10 a の先端から底部 2 b に直交する方向に沿って屈曲延出されている垂直面 10 b とにより構成されている。

[0031] 垂直面 10 b は、底部 2 b の中心軸 C が通る位置よりも第 2 側辺 5 b 側、つまり、基板支持溝 7 が形成されている側に配置されている。また、垂直面 10 b の表面積は、傾斜面 10 a の表面積に対して非常に小さい。すなわち、垂直面 10 b と傾斜面 10 a は、底部 2 b の近傍で接続された状態になっている。

[0032] このように形成された傾斜面 10 a 及び垂直面 10 b 上に、複数の放熱フィン 11 が一体成形されている。各放熱フィン 11 は、第 1 側辺 5 a 及び第 3 側辺 5 c の延在方向と同じ方向に延在するように立設された状態になっていると共に、第 1 側辺 5 a と第 3 側辺 5 c との間に並んで配置された状態になっている。

また、放熱フィン 11 は、ケース 2 の切除部 10 によって切除された領域 R 1（図 4 参照）に収まる範囲に形成されている。すなわち、図 4 に詳示するように、放熱フィン 11 は、切除部 10 上にケース 2 の側面視が長方形状となる範囲で形成されている。

[0033] （ベース部）

図 6 は、ベース部 4 と回路基板 3 とを組み付けた斜視図、図 7 は、半導体リレー 1 をケース 2 の開口部 2 a 側からみた平面図である。

図 1、図 6、図 7 に示すように、ベース部 4 は、ケース 2 の開口部 2 a と係合しその一部を閉塞可能なように、直方体状に形成されている。より具体的には、ベース部 4 は、ケース 2 の開口部 2 a のうち、第 1 側辺 5 a、第 4 側辺 5 d、及び第 3 側辺 5 c により囲まれ、且つ基板支持溝 7 よりも中心軸 C 側の領域 R 2 を閉塞するように形成されている。すなわち、ケース 2 にベース部 4 を取り付けた状態では、ベース部 4 とケース 2 の第 2 側辺 5 b との

間に、隙間S 1 が形成される。

[0034] また、図7に詳示するように、ベース部4には、ケース2とは反対側に向かって複数の端子1 2, 1 3 a, 1 3 b, 1 4 a, 1 4 bが立設されている。各端子1 2, 1 3 a, 1 3 b, 1 4 a, 1 4 bは、板状に形成されており、I S O-M i n i に準拠するように配置されている。

[0035] より具体的には、図2、図7に示すように、ベース部4の一面4 dの略中央に、ケース2の第1側辺5 a及び第3側辺5 cと板幅方向面が対向するように信号線入力端子1 2が配置されている。信号線入力端子1 2は、駆動ドライバ6 1に電氣的に接続され、この駆動ドライバ6 1から出力される駆動信号を半導体リレー1に入力するための部材である。

また、信号線入力端子1 2を含み同一線上となるように、ケース2の第2側辺5 b側には、一对の電源端子をなす電源端子1 3 a、G N D端子1 3 bが配置されている。さらに、電源端子1 3 aは、第1側辺5 a及び第3側辺5 cと板厚方向が対向するように配置され、G N D端子1 3 bは、第2側辺5 b及び第4側辺5 dと板厚方向面が対向するように配置されている。電源端子1 3 a, G N D端子1 3 bは、E C U 6 0を介してバッテリー6 2に電氣的に接続されている。

[0036] また、電源端子1 3 aを挟んでケース2の第1側辺5 a及び第3側辺5 c側には、それぞれ出力端子1 4 a, 1 4 bが配置されている。すなわち、出力端子1 4 a, 1 4 bは、G N D端子1 3 b、信号線入力端子1 2を結ぶ線L 1と直交する線L 2に沿って配置されている。

出力端子1 4 a, 1 4 bのうち、一方の出力端子1 4 aは、第2側辺5 b及び第4側辺5 dと板厚方向面が対向するように配置されており、他方の出力端子1 4 bは、第1側辺5 a及び第3側辺5 cと板厚方向面が対向するように配置されている。出力端子1 4 a, 1 4 bは、ファンモータMに電氣的に接続されており、駆動ドライバ6 1からの出力信号に基づいて所定の電力をファンモータMに出力する。

[0037] このように配置された各端子1 2, 1 3 a, 1 3 b, 1 4 a, 1 4 bは、

図6に詳示するように、ベース部4を貫通する状態でベース部4に固定されており、ベース部4のケース2側の端面に露出する部分は複数のバスバー18となっている。各バスバー18は、ベース部4の他方の一面4e上（端子12～14bが突出している一面4d側と反対の面上）を沿うように屈曲形成されている。そして、各バスバー18の先端は、ベース部4の一面4eとベース部4の第2側辺5b側の側面4cとの間の角部よりもやや外側（図7中下側）に突出した状態になっている。この突出した各バスバー18の先端に、回路基板3が電氣的に接続される。

また、図6、図7に詳示するように、ベース部4の第1側辺5a側の側面4aと、第3側辺5c側の側面4bには、それぞれ3つの孔8a, 8b, 8cのうちの中央に形成されている孔8bに対応する位置に、係合突起15が一体成形されている。

[0038] 係合突起15は、ケース2の開口部2aにベース部4を取り付ける際、孔8aに挿入されてケース2とベース部4とを係合する。そして、ケース2にベース部4がスナップフィット固定できる。また、係合突起15には、ケース2側に傾斜面15aが形成されて先細り形状になっているので、ケース2内にベース部4を嵌め込む際、ケース2に係合突起15が引っ掛かることなく、この係合突起15をスムーズに孔8aに導くことができる。このため、ケース2にベース部4を容易にスナップフィット固定できる。

[0039] また、ベース部4の第2側辺5b側の側面4cは、回路基板3が取り付けられる基板取付面16である。この基板取付面16の長手方向両端には、回路基板3と係合する2つの係合爪17が一体成形されている。

[0040] 図8は、係合爪17の断面図である。

図8に詳示するように、各係合爪17は、一对の舌片爪17a, 17bにより構成されている。各舌片爪17a, 17bは、ベース部4の側面4cから立ち上がる支持部17a1, 17b1と、各支持部17a1, 17b1の先端に一体成形された爪部本体17a2, 17b2と、支持部17a1, 17b1の基端部分を連結する支柱部17cにより構成されている。各支持部

17a1, 17b1は、互いの間に形成された空間によって遠近方向に弾性変形可能に構成されており、回路基板3に形成されている係合孔19にスナッフフィット固定される。

[0041] すなわち、爪部本体17a2, 17b2は、回路基板3の後述する係合孔19に支持部17a1, 17b1を挿入した状態で、この支持部17a1, 17b1から回路基板3が脱落しないようにするための係止手段として構成されている。また、各舌片爪17a, 17bは先端に向かうに従って先細りとなるように形成されており、回路基板3の係合孔19に挿入しやすくなっている。

[0042] ここで、ベース部4と回路基板3とを機械的に固定するための係合爪17が、ベース部4の第2側辺5b側の側面4cに形成されている一方、各端子12～14bと回路基板3とを電氣的に接続するためのバスバー18の先端が、ベース部4の一面4eとベース部4の第2側辺5b側の側面4cとの間の角部よりもやや外側（図7中下側）に突出されている。このように、係合爪17とバスバー18の先端は、互いに近接配置された状態になっている。

[0043] （回路基板）

図1、図3、図6、図7に示すように、回路基板3は平面視略長形状のガラスエポキシ基板20を有している。このガラスエポキシ基板20がケース2に形成されている基板支持溝7にガイドされて挿入される。ガラスエポキシ基板20のケース2への挿入側の端部には、平面取り部20aが形成されており、視認性を向上させることで、ケース2へのガラスエポキシ基板20の誤組を防止できる。

[0044] また、ガラスエポキシ基板20のベース部4側の端部は、ベース部4の基板取付面16に取り付けられるベース取付部21を構成している。このベース取付部21の係合爪17に対応する部位に、2つの係合孔19（図1参照）が形成されている。

さらに、ガラスエポキシ基板20は、ベース取付部21に隣接する位置がバスバー取付部21aを構成している。このバスバー取付部21aにおける

各バスバー 18 の先端に対応する位置に、複数（この第 1 実施形態では 5 つ）のバスバー差込孔 19 a が形成されている。バスバー差込孔 19 a は、バスバー 18 の先端の断面形状に対応するように、略長長方形形状に形成されており、そのバスバー差込孔 19 a を囲むよう、ガラスエポキシ基板 20 上の回路パターンの導電部が設けられている。そして、バスバー差込孔 19 a に各バスバー 18 の先端を差込み、はんだ付け等によって回路基板 3 とバスバー 18 とを電氣的に接続する。

[0045] また、図 3、図 6 に詳示するように、ガラスエポキシ基板 20 には、ハーフブリッジ IC 23 やロジック IC 28 が実装されている。ハーフブリッジ IC 23 は、バッテリー 62 が電氣的に接続される電源端子 13 a, 13 b 間に 2 つの半導体スイッチング素子 24 a, 24 b を接続すると共に、各半導体スイッチング素子 24 a, 24 b にプリドライバ 25 を接続して構成される回路である。尚、チョークコイル 22 は回路上のノイズを除去する。

[0046] 各半導体スイッチング素子 24 a, 24 b は、それぞれ FET (Field effect transistor) 26 a, 26 b と、還流ダイオード 27 a, 27 b とを並列に接続した構成になっている。プリドライバ 25 は、駆動ドライバ 61 からの出力信号に基づいて、FET 26 a, 26 b を駆動させる。

尚、以下の説明において、2 つの半導体スイッチング素子 24 a, 24 b のうち、バッテリー 62 の正極側 (Hi 側) に配置されている半導体スイッチング素子 24 a の FET 26 a、還流ダイオード 27 a を、それぞれ Hi 側の FET 26 a、Hi 側の還流ダイオード 27 a と称し、バッテリー 62 の負極側 (Lo 側) に配置されている半導体スイッチング素子 24 b の FET 26 b、還流ダイオード 27 b を、それぞれ Lo 側の FET 26 b、Lo 側の還流ダイオード 27 b と称して説明する。

[0047] ロジック IC 28 は、信号線入力端子 12 を介して ECU 60 に電氣的に接続されていると共に、ハーフブリッジ IC 23 のプリドライバ 25 に接続されている。ロジック IC 28 は、ECU 60 の駆動ドライバ 61 からの出

力信号をハーフブリッジ I C 2 3 を駆動可能とする信号に変換する。例えば、駆動ドライバ 6 1 から出力された低周波 P W M 信号を高周波 P W M 信号に変換してハーフブリッジ I C 2 3 に出力する。

そして、このように構成された回路基板 3 の 2 つの半導体スイッチング素子 2 4 a, 2 4 b のうち、H i 側の半導体スイッチング素子 2 4 a を挟んで両側に、ファンモータ M が接続された状態になっている。

[0048] (半導体リレーの組み立て方法)

次に、半導体リレー 1 の組み立て方法について説明する。

まず、各電子部品が実装された回路基板 3 の係合孔 1 9 に、複数の端子 1 2, 1 3 a, 1 3 b, 1 4 a, 1 4 b が固定されたベース部 4 の係合爪 1 7 を挿入し、ベース部 4 に回路基板 3 をスナップフィット固定させる。そして、複数のバスバー 1 8 を回路基板 3 上の所定の接続部と電氣的に接続する。この状態で回路基板 3 のベース部 4 とは反対側端をケース 2 の開口部 2 a に向け、さらに、ベース部 4 の係合突起 1 5 とケース 2 の孔 8 b との位置を合わせる。そして、ケース 2 の基板支持溝 7 にガイドされるように回路基板 3 をケース 2 に差し込む。

[0049] 回路基板 3 をケース 2 の底部 2 b まで押し込むと、ケース 2 の孔 8 b にベース部 4 の係合突起 1 5 が挿入され、ケース 2 とベース部 4 とがスナップフィット固定される。これにより、ケース 2 内に、回路基板 3 とベース部 4 とが収納される。

続いて、ベース部 4 とケース 2 の第 2 側辺 5 b との間の隙間 S 1 から充填剤 J (図 7 参照) を注入する。これにより、半導体リレー 1 の組み立てが完了する。そして、組み立てられた半導体リレー 1 は、ケース 2 の底部 2 b を鉛直方向下側に向けた状態、つまり、ケース 2 の放熱部 9 を鉛直方向下側に向けた状態で車体に固定される。

尚、充填剤 J としては、エポキシ樹脂を主成分としたものや、シリコーン変性ポリマーを主成分としたもの等、難燃性、熱伝導性の高いものを用いることが望ましい。

[0050] (半導体リレーの動作)

次に、図9A～図10に基づいて、半導体リレー1の動作について説明する。

図9Aは、半導体リレー1の動作説明図であり、半導体リレー1に流れる電流を示す。図9Bは、半導体リレー1の動作説明図であり、Hi側のFET29a及びLo側のFET29bと、Hi側の還流ダイオード27aの電力損失のタイミングチャートを示す。

図9Aに示すように、ファンモータMを駆動させる場合、Hi側の半導体スイッチング素子24aのFET26aはOFF、Lo側の半導体スイッチング素子24bのFET26bはONになっている。これにより、ファンモータMには、駆動電流 I_d が流れる。

[0051] 一方、ファンモータMを停止させる場合、Lo側のFET26bをOFFにする。このとき、ファンモータMに駆動電流 I_d が流れなくなること起因する起電力が生じる。このため、Hi側のFET26aをONにすることにより、Hi側のFET26aとファンモータMとの間で閉回路を形成し、この閉回路に、起電力によって生じる誘導電流 I_y を流す。

[0052] ここで、図9Bに示すように、Hi側のFET26aをONするにあたって、Hi側のFET26aとLo側のFET26bとが同時にON状態とならないように、Lo側のFET26bをOFFにしてから僅かに時間間隔をあけてHi側のFET26aをONにしている。このため、Lo側のFET26bをOFFにしてからHi側のFET26aをONにする間、Hi側の還流ダイオード27aに誘導電流 I_y' が流れ、還流ダイオード27aに電力損失が生じる。換言すれば、Lo側のFET26bをOFFにしてからHi側のFET26aをONにするまでの僅かな時間のみ、Hi側の還流ダイオード27aに電力損失が生じる。尚、Lo側のFET26bをOFFにしてからHi側のFET26aをONにするまでの時間は、例えば、数 μ 秒程度に設定されている。

[0053] 図10は、縦軸をファンモータMの回転数とし、横軸を時間としたときの

ファンモータMの回転数の変化を示すグラフである。

同図に示すように、ファンモータMを駆動させるにあたって、半導体リレー1をON/OFF制御するのみならず、PWM（パルス幅変調）制御することも可能である。このPWM制御を行う場合、PWM制御を行うための信号がECU60の駆動ドライバ61から出力され、半導体リレー1のロジックIC28を介してハーフブリッジIC23に信号が入力される。そして、このハーフブリッジIC23から無段階の出力信号が出力されることにより、ファンモータMを所望の回転数で駆動させることができる。

[0054] ここで、ハーフブリッジIC23に過電圧、過電流、過熱等が発生すると、信号入力端子12がGNDレベルまで落ちる。ECU60は、信号入力端子12がGNDレベルまで落ちていることを検出すると、ハーフブリッジIC23が故障していると判断する。

また、上述のように回路基板3を駆動させると還流ダイオード27a, 27bの電力損失等により熱が発生する。この熱は、回路基板3を介し、ケース2内に充填されている充填剤Jを介してケース2に伝達され、ケース2から放熱される。

[0055] （ケースの放熱作用）

次に、図2、図4に基づいてケース2の放熱作用について説明する。

ケース2は、全体が熱伝導性の高いアルミダイキャストにより形成されており、且つ筒部5の中心軸Cと直交する方向の断面が略正方形となるように形成されているので、ケース2全体から回路基板3の熱が放熱される。これに加え、ケース2には、切除部10と複数の放熱フィン11からなる放熱部9が形成されているので、ケース2を単純に有底四角筒状に形成した場合と比較してケース2の表面積が大きくなっている。このため、この分、ケース2の放熱性が向上している。

[0056] ここで、ケース2が放熱されることにより、ケース2の周囲に上昇気流が生じる。このとき、半導体リレー1は、ケース2の底部2bを鉛直方向下側に向けた状態で車体に固定された場合には、切除部10にも上昇気流が通過

する。切除部 10 は、傾斜面 10 a と傾斜面 10 a の底部 2 b 側の端部からこの底部 2 b に直交する方向に沿って屈曲延出されている垂直面 10 b とにより構成されている。このため、切除部 10 に沿って上昇気流が淀みなく通過し、放熱部 9 の放熱性がさらに向上する（図 2 における矢印参照）。

[0057] （効果）

したがって、上述の第 1 実施形態によれば、底部 2 b を鉛直方向下側に向けた状態で車体に固定した場合、ケース 2 全体から回路基板 3 の熱を効率よく放熱することができるので、放熱性を考慮してケース 2 を大型化する必要がなく、この結果、半導体リレー 1 を小型化できる。

ここで、ケース 2 に形成されている基板支持溝 7 は、中心軸 C よりも第 2 側辺 5 b 寄りに形成されている（図 4、図 5 参照）。つまり、回路基板 3 は、中心軸 C よりも第 2 側辺 5 b 寄りに配置されていることになる。このため、ケース 2 の中心軸 C の近傍から第 4 側辺 5 d に至る間に、放熱部 9 をできる限り大きく形成することができる。よって、ケース 2 の放熱面積をできる限り大きくすることができ、ケース 2 を確実に小型化できる。

尚、底部 2 b を鉛直方向上側に向けた状態で車体に固定した場合にも、同様に、ケース 2 全体から回路基板 3 の熱を効率よく放熱することができる。

[0058] また、回路基板 3 が従来のようにケース 2 の中央に配置されておらず、中心軸 C よりも第 2 側辺 5 b 寄りに配置されているので、この第 2 側辺 5 b にも回路基板 3 からの熱が伝達され易くなり、回路基板 3 の熱をさらに効率よく放熱することができる。

これに加え、ケース 2 内に充填剤 J が充填されているので、ケース 2 に回路基板 3 からの熱をさらに効率よく伝達することができる。また、ケース 2 内に充填剤 J を充填することにより、ケース 2 内のシール性を高めることができると共に、回路基板 3 の絶縁性を高めることができる。

また、例えば半導体リレー 1 が外部から衝撃を受けた際、充填剤 J が緩衝剤の役割を果たし、外部衝撃によって各端子 12～14 b と回路基板 3 との電氣的接続部に加わる負荷を軽減したり、回路基板 3 の損傷を防止したりす

ることができる。

[0059] さらに、ケース2の内面に基板支持溝7を形成し、この基板支持溝7に回路基板3を差し込むようにして半導体リレー1を組み立てるようになってい
る。このため、ケース2内で回路基板3がガタツクことなく、回路基板3を
確実に固定できる。また、基板支持溝7が、ケース2内へ回路基板3を導く
ためのガイドとして機能するので、回路基板3の組み付け性を向上させるこ
とができる。

[0060] そして、ベース部4の略中央に信号線入力端子12が配置され、この信号
線入力端子12を挟んで両側に、それぞれ電源端子13a, 13bが配置さ
れている。さらに、各電源端子13a, 13bを結ぶ線L1と直交する線L
2に沿って出力端子14a, 14bが配置されている。このように、複数の
端子12, 13a, 13b, 14a, 14bは、ISO-Miniに準拠す
るように配置されているので、汎用性の高い半導体リレー1とすることがで
きる。このため、ECU60などに電氣的に接続されるリレーボックス内に
直接半導体リレー1を取り付けることが可能になり、半導体リレー1の取付
スペースの省スペース化を図ることができる。

[0061] また、半導体リレー1の回路基板3には、バッテリー62の正負極間（電源
端子13a, 13b間）に接続されるように2つの半導体スイッチング素子
24a, 24bが実装されている。そして、2つの半導体スイッチング素子
24a, 24bのうち、Hi側の半導体スイッチング素子24aを挟んだ両
側に、ファンモータMが接続される。このような構成のもと、ファンモータ
Mを停止させるにあたってLo側のFET26bをOFFにした後、Hi側
のFET26aをONすることによって、Hi側の還流ダイオード27aの
電力損失をできる限り小さくできる。すなわち、従来の半導体リレーにおけ
る還流ダイオードの電力損失と比較して、この電力損失を十分小さくするこ
とができる。このため、半導体リレー1を駆動させた際に発生する熱を抑制
することができる。よって、さらにケース2を小型化することができ、この
結果、半導体リレー1を極力小型化することができる。

[0062] さらに、ファンモータMを駆動させるにあたって、半導体リレー1をPWM（パルス幅変調）制御することができる。このように、PWM制御を行うことによって、ファンモータMの回転数を容易に変化させることができると共に、回路基板3から発生する熱をさらに低減することができる。このため、より確実に半導体リレー1を小型化することが可能になる。また、ファンモータMの駆動制御を精度よく行うことが可能になる。

[0063] また、ベース部4の側面4cに係合爪17を一体成形し、この係合爪17と回路基板3とをスナップフィット固定しているので、係合爪17によって、ベース部4と回路基板3との位置決めを容易に行うことができると共に、ベース部4と回路基板3とを容易、且つ確実に固定できる。

さらに、ベース部4と回路基板3とを機械的に固定するための係合爪17と、各端子12～14bと回路基板3とを電氣的に接続するための各バスバー18の先端とが、互いに近接配置されている。すなわち、各端子12～14bと回路基板3との電氣的接続部の強度を、この電氣的接続部に近接した位置において機械的に係合爪17で補助できる。このため、振動等によって各端子12～14bと回路基板3との電氣的接続が絶たれてしまうことを防止できる。

[0064] 尚、本発明は上述の実施形態に限られるものではなく、本発明の趣旨を逸脱しない範囲において、上述の実施形態に種々の変更を加えたものを含む。

例えば、上述の実施形態では、車両に搭載されるエンジン冷却用のファンモータMを駆動するための駆動ドライバ61に半導体リレー1を適用した場合について説明した。しかしながら、これに限られるものではなく、さまざまな電気機器に半導体リレー1を用いることができる。

[0065] また、半導体リレー1の複数の端子12, 13a, 13b, 14a, 14bを以下のように配置することもできる。

[0066] （第1実施形態の第1変形例）

上述の第1実施形態では、複数の端子12, 13a, 13b, 14a, 14bが、ISO-Miniに準拠するように配置されている場合について説

明した。しかしながら、これに限られるものではなく、図 11 に示すように、複数の端子 12, 13a, 13b, 14a, 14b を、I S O-M i c r o に準拠するように配置してもよい。このような場合であっても、ベース部 4 の略中央に信号線入力端子 12 がケース 2 の第 2 側辺 5b 及び第 4 側辺 5d と板厚方向面が対向するように配置され、この信号線入力端子 12 を挟んで両側に、それぞれ電源端子 13a, 13b が並列状に配置されている。さらに、各電源端子 13a, 13b を結ぶ線 L1 と直交する線 L2 に沿って出力端子 14a, 14b がケース 2 の第 1 側辺 5a 及び第 3 側辺 5c と板厚方向面が対向するように配置されている。

[0067] また、上述の第 1 実施形態では、回路基板 3 の 2 つの半導体スイッチング素子 24a, 24b のうち、Hi 側の半導体スイッチング素子 24a を挟んで両側に、ファンモータ M が接続された状態になっている。しかしながら、これに限られるものではなく、以下のように、回路基板 3 にファンモータ M を接続してもよい。

[0068] (第 1 実施形態の第 2 変形例)

図 12A、図 12B は、半導体リレー 1 の第 2 変形例における動作説明図である。そして、図 12A は、半導体リレー 1 に流れる電流を示し、図 12B は、Hi 側の FET 29a 及び Lo 側の FET 29b と、Hi 側の還流ダイオード 27a の電力損失のタイミングチャートを示す。

ここで、図 12A に示すように、ファンモータ M は、回路基板 3 の 2 つの半導体スイッチング素子 24a, 24b のうち、Lo 側の半導体スイッチング素子 24b を挟んで両側に接続されている。

[0069] このような構成のもと、ファンモータ M を駆動させる場合、Hi 側の半導体スイッチング素子 24a の FET 26a を ON とし、Lo 側の半導体スイッチング素子 24b の FET 26b を OFF とする。これにより、ファンモータ M には、駆動電流 Id が流れる。

一方、ファンモータ M を停止させる場合、Hi 側の FET 26a を OFF にする。そして、この Hi 側の FET 26a と Lo 側の FET 26b とが同

時にON状態とならないように、H i 側のFET 26 aをOFFにしてから僅かに時間間隔をあけてL o側のFET 26 bをONにする。

[0070] L o側のFET 26 bをONにすることにより、このL o側のFET 26 bとファンモータMとの間で閉回路が形成され、この閉回路に、起電力によって生じる誘導電流 I_y が流れる。ここで、H i側のFET 26 aをOFFにしてからL o側のFET 26 bをONにする間、L o側の還流ダイオード27 bに誘導電流 I_y' が流れ、還流ダイオード27 bに僅かに電力損失が生じる。

このように、L o側の半導体スイッチング素子24 bを挟んで両側にファンモータMを接続した場合であっても、上述の第1実施形態と同様の効果を奏することができる。

[0071] (第2実施形態)

次に、この発明の第2実施形態を、図13、図14に基づいて説明する。

図13は、第2実施形態におけるベース部4と回路基板3とを組み付けた斜視図、図14は、図13のA部拡大図である。なお、以下の実施形態において、前述の第1実施形態と同一態様には同一符号を付して説明を省略する。

図13、図14に示すように、前述の第1実施形態と第2実施形態との相違点は、バスバー18の先端と回路基板3との接続状態が異なる点にある。

[0072] より具体的には、各バスバー18の先端には、プレスフィット接続部18 aが一体成形されている。一方、ガラスエポキシ基板20には、プレスフィット接続部18 aが圧入可能な略円形状のバスバー差込孔39 aが形成されており、そのバスバー差込孔39 aの内周面には、ガラスエポキシ基板20上に配策された回路パターンと繋がった導電部が設けられている。そして、ガラスエポキシ基板20のバスバー差込孔39 aにプレスフィット接続部18 aを圧入することにより、ガラスエポキシ基板20とバスバー18とがプレスフィット接続され、同時に電氣的接続も行われる。

なお、プレスフィット接続とは、バスバー差込孔39 aにプレスフィット

接続部 18a を圧入後に、このプレスフィット接続部 18a の反発力により回路基板 3 とバスバー 18 とを電氣的に接続することをいう。

[0073] したがって、上述の第 2 実施形態によれば、前述の第 1 実施形態と同様の効果に加え、回路基板 3 とバスバー 18 との接続をさらに容易に行うことが可能になる。

[0074] (第 3 実施形態)

次に、この発明の第 3 実施形態を、図 15A、図 15B に基づいて説明する。

図 15A、図 15B は、ベース部 4 と回路基板 3 とを組み付けた斜視図であって、それぞれベース部 4 と回路基板 3 との接続過程を示す。

図 15A、図 15B に示すように、前述の第 2 実施形態と第 3 実施形態との相違点は、第 2 実施形態ではベース部 4 と回路基板 3 との固定が第 1 実施形態と同様にスナップフィット固定であるのに対し、第 3 実施形態では、ベース部 4 と回路基板 3 との固定が熱かしめにより行われる点にある。

[0075] より具体的には、ベース部 4 の側面 4c には、ガラスエポキシ基板 20 の係合孔 19 に対応する位置に、この係合孔 19 に挿入可能な突起 35 が一体成形されている。

このような構成のもと、ベース部 4 とガラスエポキシ基板 20 とを固定するには、まず、ガラスエポキシ基板 20 の係合孔 19 に突起 35 を挿入するようにベース部 4 を取り付ける (図 15A 参照)。

次に、ガラスエポキシ基板 20 の係合孔 19 を介して突出した突起 35 の先端を加熱し、この突起 35 の先端を溶融する (図 15B 参照)。この突起 35 の先端を溶融することにより形成された溶融部 35a が、ガラスエポキシ基板 20 からのベース部 4 の脱落を防止する係止手段として機能する。

[0076] したがって、上述の第 3 実施形態によれば、突起 35 (溶融部 35a) およびベース部 4 と回路基板 3 とが密着するので、前述の第 2 実施形態と同様の効果に加え、回路基板 3 に対するベース部 4 のガタツキを防止できる。このため、バスバー 18 と回路基板 3 との電氣的接続をより確実に安定させる

ことが可能になる。

産業上の利用可能性

[0077] 上記した半導体リレーによれば、ケースに放熱部を設けることにより、ケースの放熱性を高めることができる。さらに、回路基板を放熱部とは反対側に寄せて配置することにより、ケースにおける放熱部の設置面積をできる限り大きくすることができる。このため、ケースを効率よく小型化することができ、この結果、半導体リレーを小型化できる。

また、半導体リレーを、ISO-MicroやISO-Mini (ISO 7588参照) に準拠するリレーとすることができ、汎用性の高い半導体リレーを提供することが可能になる。このため、被取付体に直接半導体リレーを取り付けることが可能になり、半導体リレーの取付スペースの省スペース化を図ることができる。

符号の説明

- [0078]
- 1 半導体リレー
 - 2 ケース
 - 2 b 底部 (底面)
 - 3 回路基板
 - 4 ベース部
 - 5 筒部 (周壁)
 - 10 切除部
 - 10 a 傾斜面
 - 11 放熱フィン
 - 12 信号線入力端子
 - 13 a 電源端子
 - 13 b GND端子
 - 14 a, 14 b 出力端子
 - 23 ハーフブリッジIC
 - 24 a, 24 b 半導体スイッチング素子

26 a, 26 b F E T
27 a, 27 b 還流ダイオード
28 ロジック I C
60 E C U （被取付体）
61 駆動ドライバ（被取付体）
C 中心軸
J 充填剤

請求の範囲

- [請求項1] 有底筒状のケースと、
このケースの開口部に係合可能なベース部と、
前記ケースに内装され、半導体スイッチング素子が実装されている回路基板と、
前記ベース部に設けられ、前記回路基板と被取付体とを電氣的に接続するための複数の端子と、を備え、
前記ケースの周壁における外面の一部に、このケースの熱を放熱するための放熱部を設け、
前記ケースの中心軸に対して前記放熱部とは反対側に、前記周壁に沿うように前記回路基板を配置した半導体リレー。
- [請求項2] 前記ケースは、前記中心軸と直交する方向の断面が略正方形となるように有底四角筒状に形成されており、
前記ケースに、このケースの底面と前記周壁の一辺とに跨るように、前記ケースの一部を切除した切除部を形成し、この切除部に複数の放熱フィンを設け、
これら切除部及び放熱フィンを、前記放熱部として構成した請求項1に記載の半導体リレー。
- [請求項3] 前記切除部は、前記周壁のうち、前記中心軸に対して前記回路基板とは反対側に位置する一辺の中心軸方向略中央から前記底面の前記中心軸の通る箇所の近傍に至るまで形成されている請求項2に記載の半導体リレー。
- [請求項4] 前記切除部は、前記周壁のうち、前記中心軸に対して前記回路基板とは反対側に位置する一辺の中心軸方向略中央と、前記底面の前記中心軸の通る箇所の近傍との間に跨るように形成された傾斜面である請求項2又は請求項3に記載の半導体リレー。
- [請求項5] 前記ケースは、前記放熱部と共に熱伝動性の高い材料により一体成形されている請求項1～請求項4の何れか1項に記載の半導体リレー

。

[請求項6]

前記複数の端子は、

前記ベース部の略中央に配置された信号線入力端子と、

この信号線入力端子を含む同一線上に配置された一対の電源端子と、

これら一対の電源端子を結ぶ線と直交する線に沿って配置された一対の出力端子と、

を備えている請求項1～請求項5の何れか1項に記載の半導体リレー。

[請求項7]

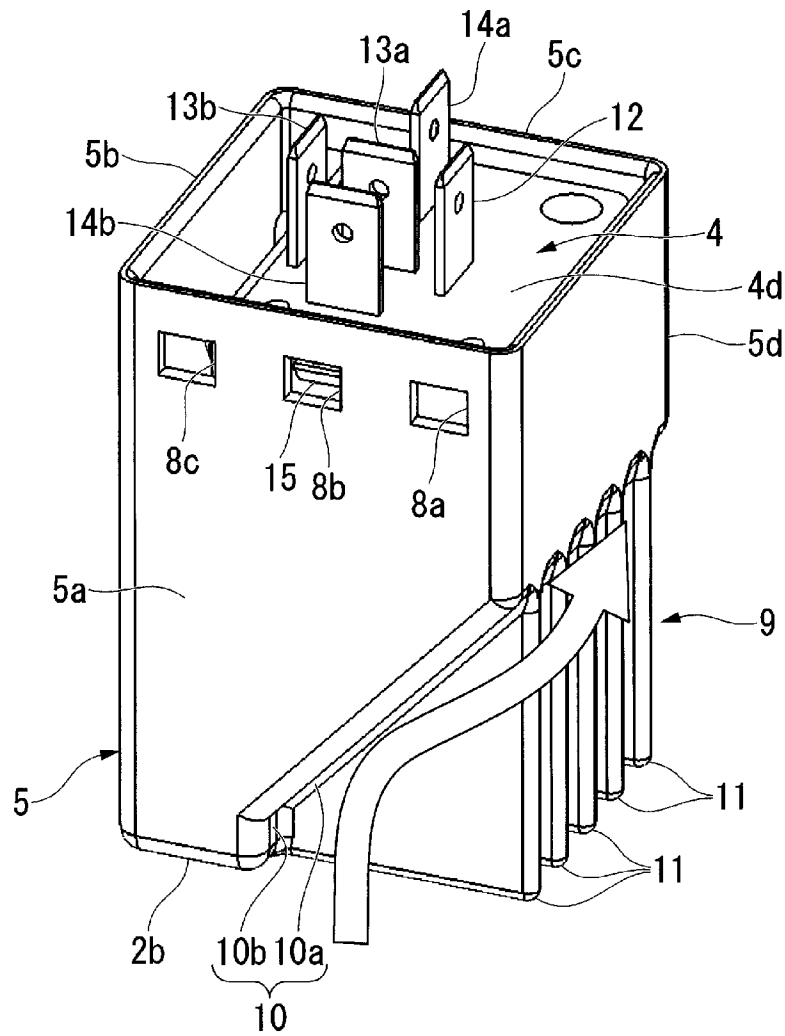
前記信号線入力端子には、前記半導体スイッチング素子をPWM制御するための信号が入力され、

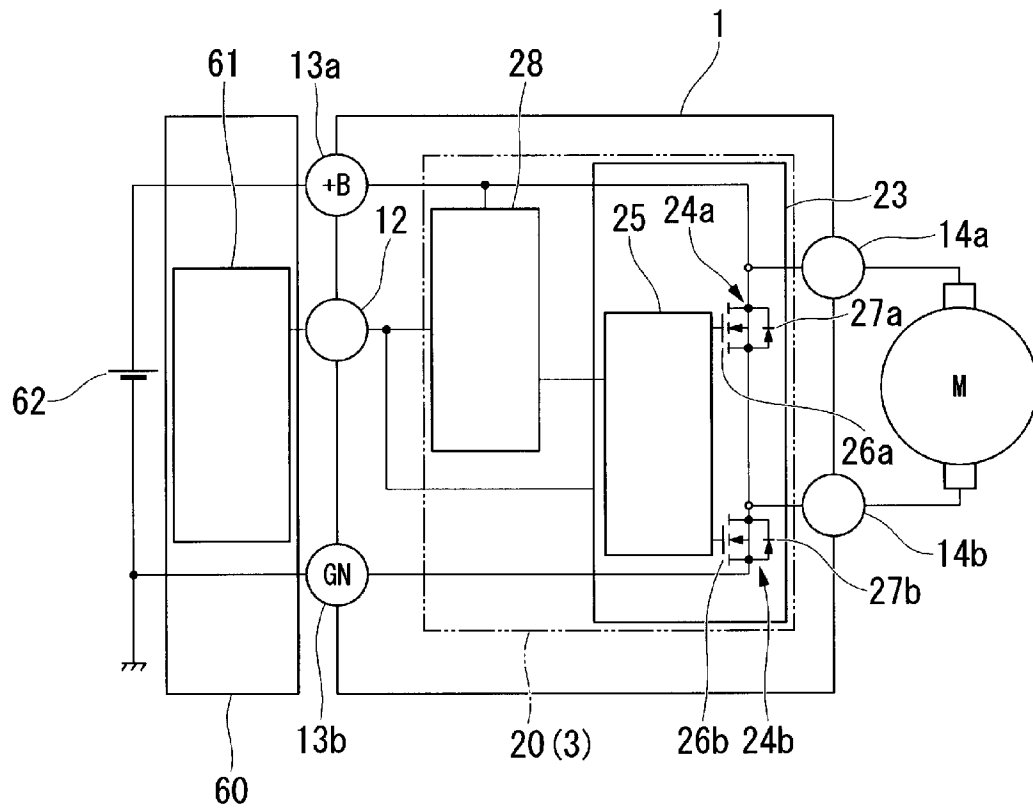
前記出力端子からは、無段階の出力信号が出力される請求項6に記載の半導体リレー。

[請求項8]

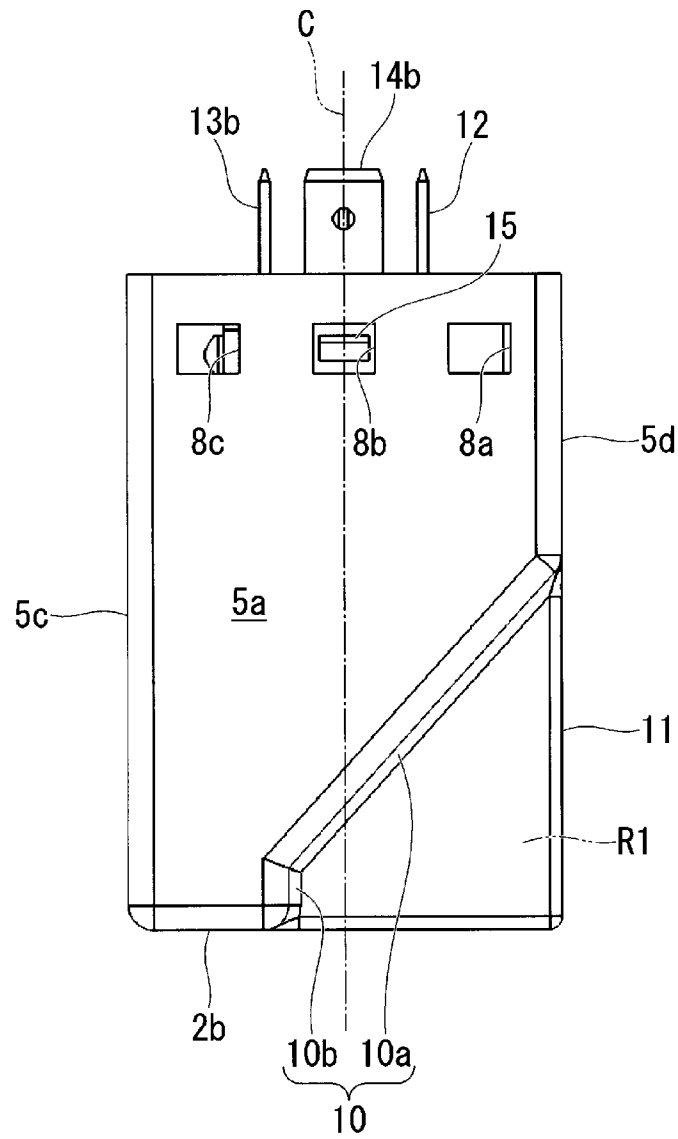
前記ケース内に充填剤を封入した請求項1～請求項7の何れか1項に記載の半導体リレー。

[図2]

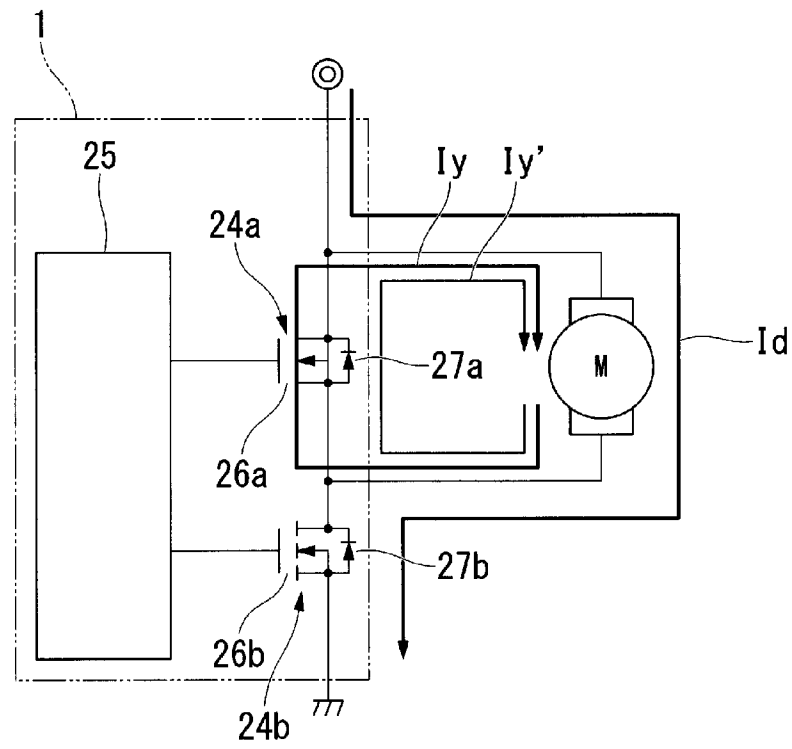




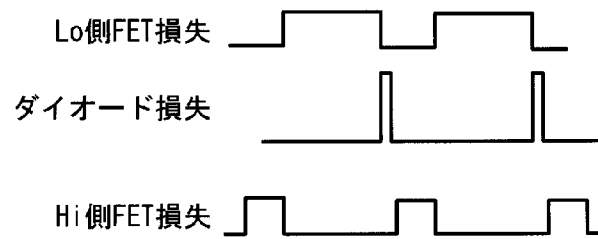
[図4]



[図9A]

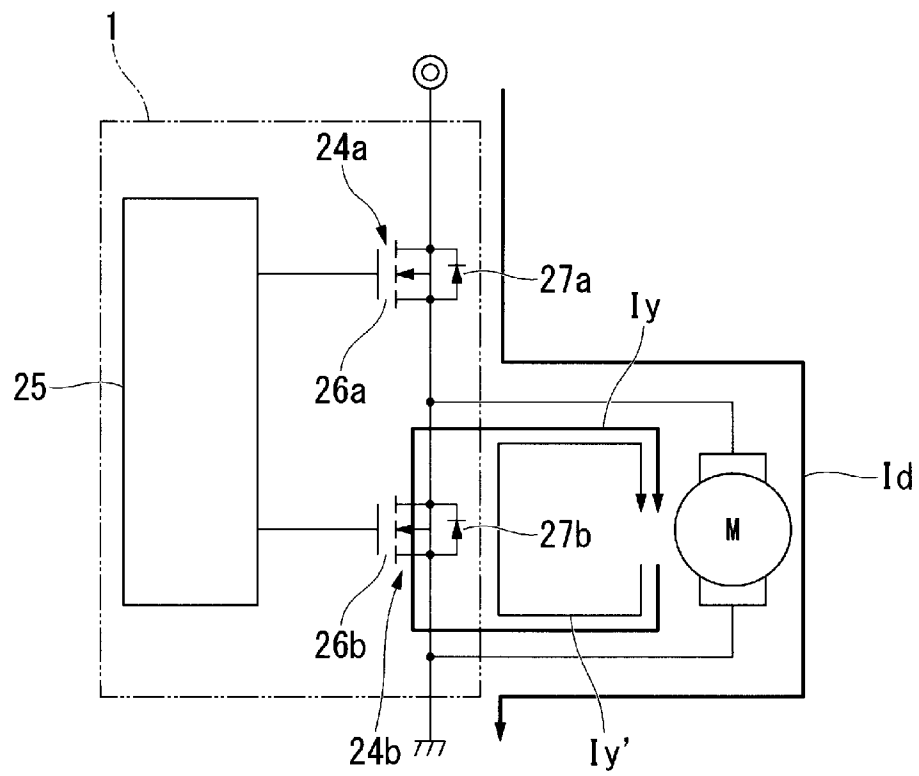


[図9B]

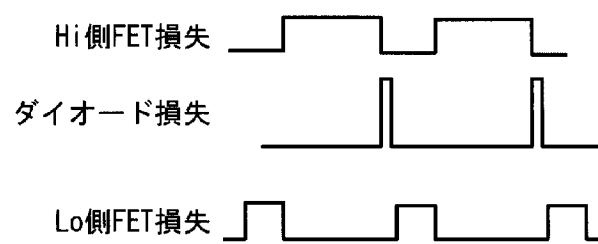


The graph illustrates the relationship between the number of rotations and time. The vertical axis is labeled '回転数' (Number of Rotations) and the horizontal axis is labeled '時間' (Time). The curve starts at a constant low value, then increases in three distinct steps, reaches a maximum value, and finally drops back to the initial low value.

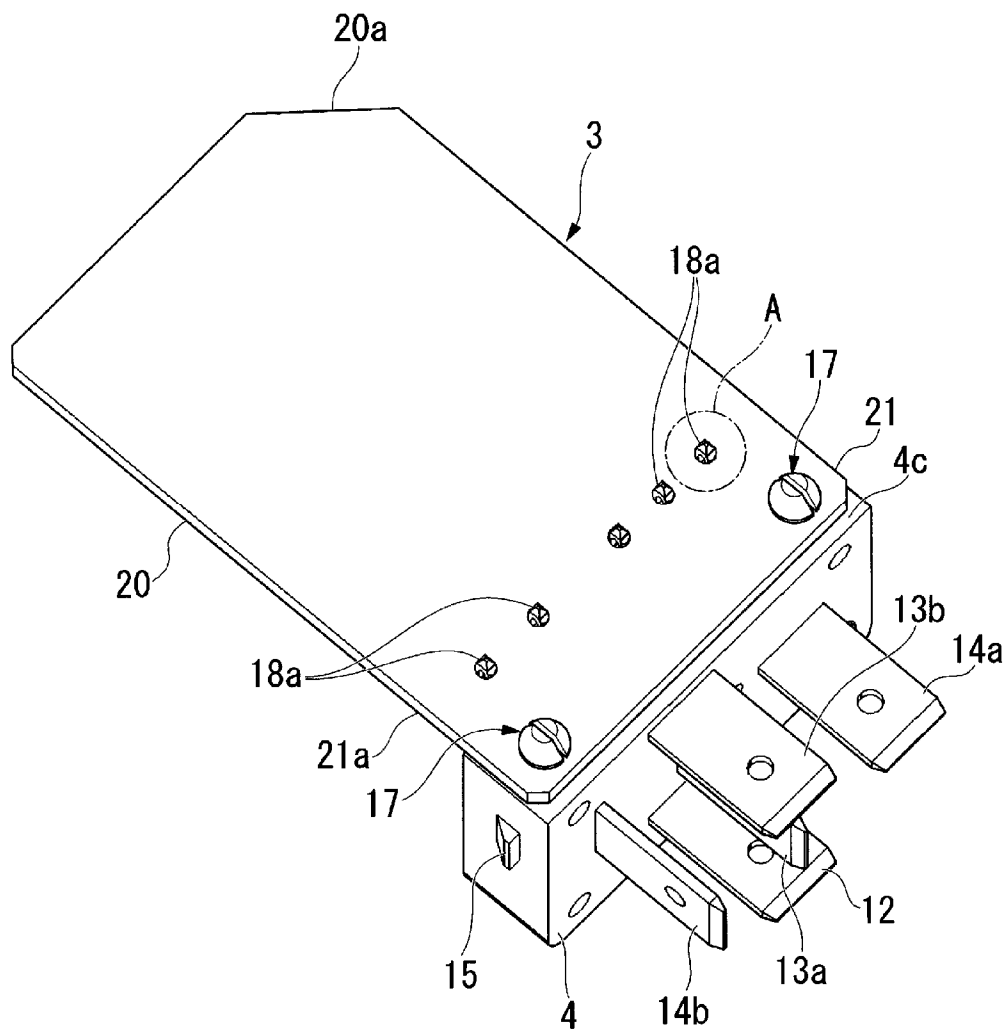
[図12A]



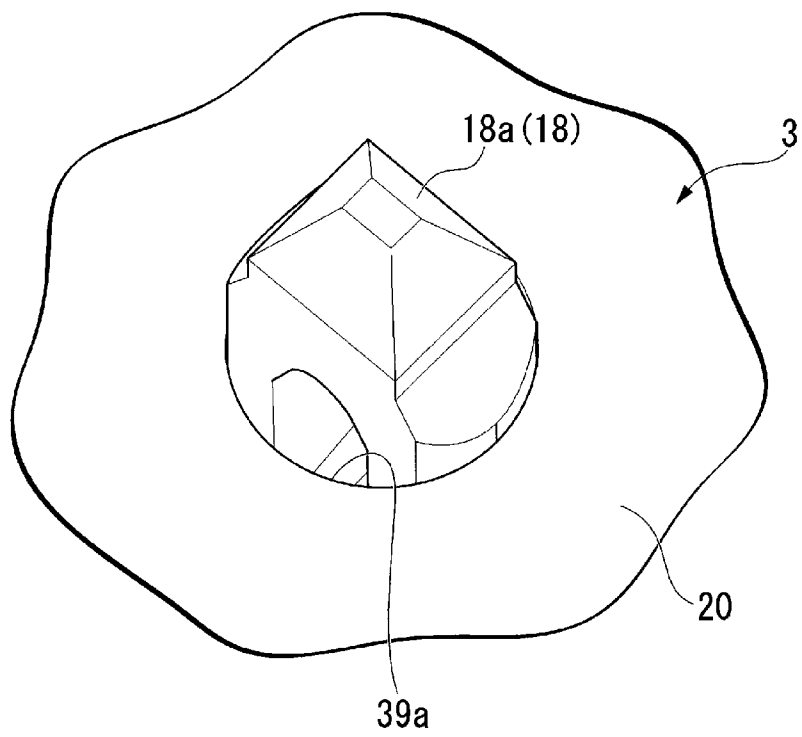
[図12B]



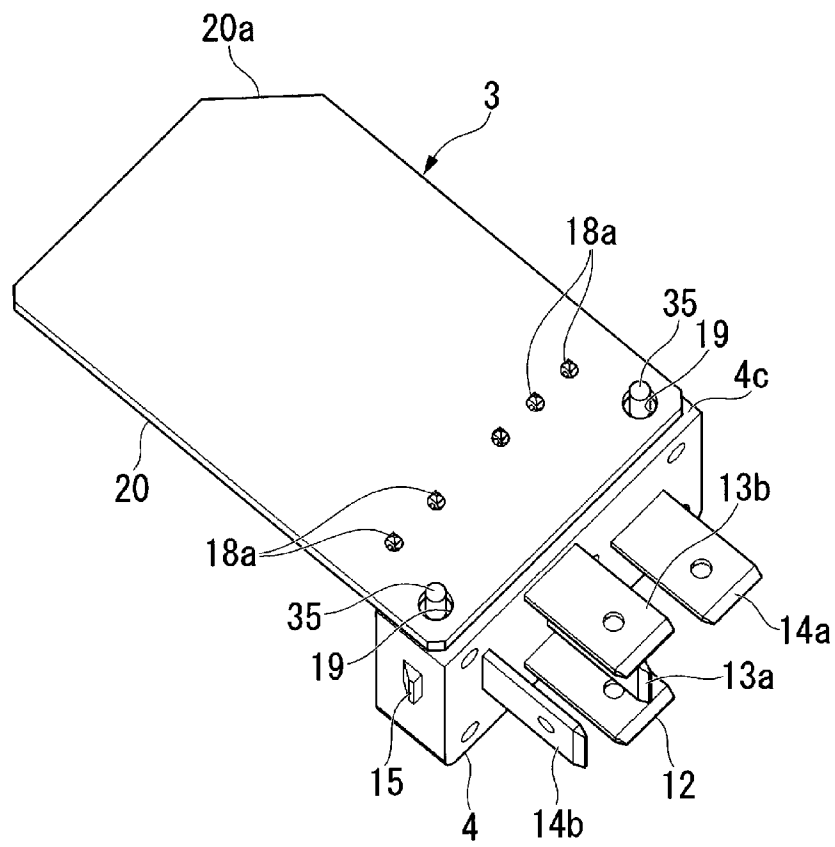
[図13]



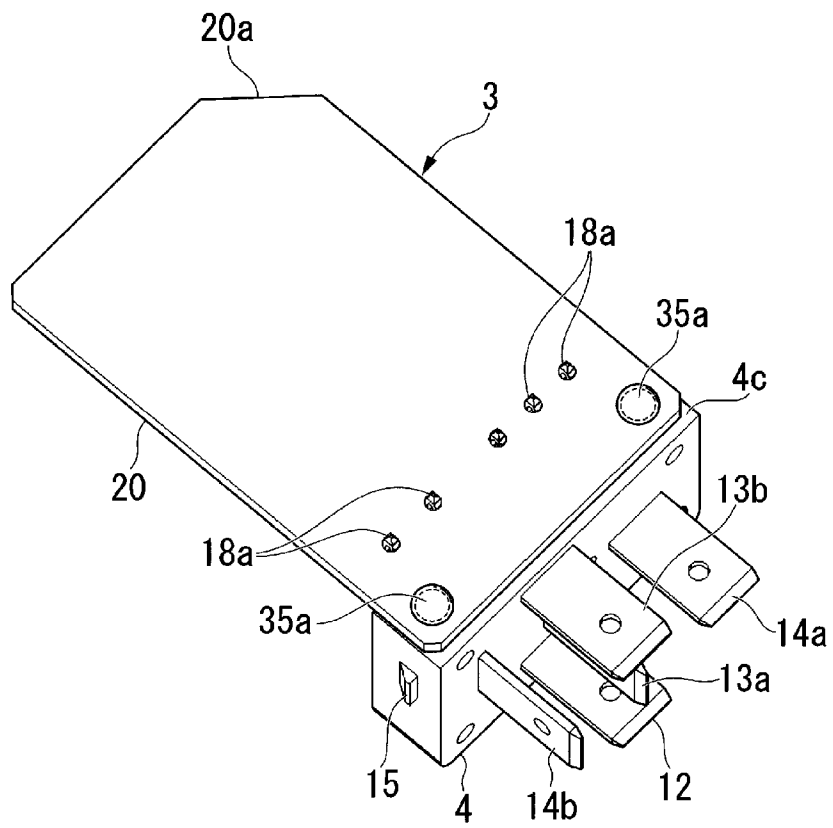
[図14]



[図15A]



[図15B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062950

A. CLASSIFICATION OF SUBJECT MATTER

H03K17/00(2006.01)i, H03K17/695(2006.01)i, H05K7/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K17/00-17/70, H05K7/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-310690 A (Aisin Seiki Co., Ltd.), 06 November 2001 (06.11.2001), paragraphs [0011] to [0014]; fig. 3 (Family: none)	1-8
A	JP 2005-532009 A (Kunt Elektronik Sanayi Ve Ticaret A.S.), 20 October 2005 (20.10.2005), abstract; fig. 4 to 6 & US 2006/0119178 A1 & WO 2004/005078 A1	1-8
A	JP 2003-258615 A (Tyco Electronics Corp.), 12 September 2003 (12.09.2003), fig. 8 to 9, 12 to 13 & US 2003/0151860 A1 & EP 1335471 A2 & CA 2418576 A1	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 June, 2014 (26.06.14)

Date of mailing of the international search report
22 July, 2014 (22.07.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062950

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-153582 A (Yazaki Corp.), 03 July 2008 (03.07.2008), fig. 1 to 7 (Family: none)	1-8
A	JP 2-171019 A (Matsushita Electric Works, Ltd.), 02 July 1990 (02.07.1990), fig. 4 (Family: none)	1-8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H03K17/00(2006.01)i, H03K17/695(2006.01)i, H05K7/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H03K17/00-17/70, H05K7/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2001-310690 A（アイシン精機株式会社）2001.11.06, 【0011】－【0014】，図3（ファミリーなし）	1－8
A	JP 2005-532009 A（クント・エレクトロニック・サナイ・ヴェ・チカレット・ア ノニム・シルケチ）2005.10.20, 【要約】，図4－6 & US 2006/0119178 A1 & WO 2004/005078 A1	1－8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 6 . 0 6 . 2 0 1 4

国際調査報告の発送日

2 2 . 0 7 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

栗栖 正和

5 X

3 9 8 7

電話番号 03-3581-1101 内線 3596

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-258615 A (タイコ・エレクトロニクス・コーポレーション) 2003.09.12, 図 8-9, 12-13 & US 2003/0151860 A1 & EP 1335471 A2 & CA 2418576 A1	1-8
A	JP 2008-153582 A (矢崎総業株式会社) 2008.07.03, 図 1-7 (ファミリーなし)	1-8
A	JP 2-171019 A (松下電工株式会社) 1990.07.02, 第 4 図 (ファミリーなし)	1-8