



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0059415
(43) 공개일자 2022년05월10일

(51) 국제특허분류(Int. Cl.)

H01L 31/18 (2006.01)

(52) CPC특허분류

H01L 31/1868 (2013.01)

H01L 31/1804 (2013.01)

(21) 출원번호 10-2021-0145230

(22) 출원일자 2021년10월28일

심사청구일자 2021년10월28일

(30) 우선권주장

1020200144439 2020년11월02일 대한민국(KR)

(71) 출원인

이화여자대학교 산학협력단

서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)

(72) 발명자

조월림

서울특별시 강남구 도산대로92길 10, 101동 1402호 (청담동, 청담대우유로카운티)

김지현

서울특별시 서대문구 연세로 42-32 (창천동)

(74) 대리인

특허법인엠에이피에스

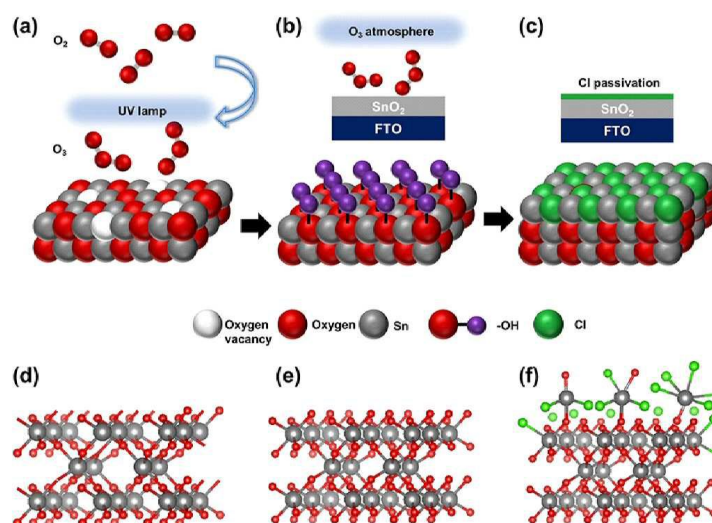
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 염소화 패시베이션층을 포함하는 디바이스 및 이의 제조방법

(57) 요약

본원은, 염소화 패시베이션층의 보호막 형성을 통한 산소 대기에서 안정성이 증가된 디바이스 및 이의 제조방법에 관한 것이다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	1345331143
과제번호	2018R1A6A1A03025340
부처명	교육부
과제관리(전문)기관명	한국연구재단
연구사업명	이공학학술연구기반구축(R&D)
연구과제명	신재생에너지연구센터
기 여 율	1/1
과제수행기관명	이화여자대학교
연구기간	2021.03.01 ~ 2022.02.28

명세서

청구범위

청구항 1

기판; 및 상기 기판 상에 형성된 반도체 물질층을 포함하는 디바이스로서,
상기 반도체 물질층 표면, 상기 기판 및 상기 반도체 물질층 사이, 또는 상기 둘 모두에 염소화 패시베이션층을 포함하는,
디바이스.

청구항 2

제 1 항에 있어서,
상기 염소화 패시베이션층은 상기 기판, 상기 반도체 물질층의 표면 또는 상기 둘 모두에 존재하는 결함(defects)을 치유 및 보호하는 것인, 디바이스.

청구항 3

제 1 항에 있어서,
상기 반도체 물질층 표면과 상기 기판의 표면은 오존 분위기에서 UV가 조사되어 표면 결함이 치유된 것인, 디바이스.

청구항 4

제 1 항에 있어서,
상기 반도체 물질은 내부에 염소화 패시베이션 물질을 추가 포함하는, 디바이스.

청구항 5

제 1 항에 있어서,
상기 반도체 물질층은 SnO_2 , TiO_2 , ZnO , WO_3 , RuO_2 , $\text{La}_x\text{Sr}_{1-x}\text{CoO}_3$, $\text{La}_x\text{Sr}_{1-x}\text{MnO}_3$, BaSnO_3 및 LaNiO_3 중에서 선택되는 하나 이상을 포함하는 것이고,
 $0 < x \leq 0.5$ 인, 디바이스.

청구항 6

제 1 항에 있어서,
상기 기판은 ITO 또는 FTO를 포함하는 것인, 디바이스.

청구항 7

제 1 항에 있어서,

상기 디바이스는 메모리소자(memory device), 태양광소자(solar cell) 또는 광전소자(optoelectronic device)를 포함하는 것인, 디바이스.

청구항 8

기판에 반도체 물질층 원료를 코팅하는 단계;

코팅된 반도체 물질층에 오존 분위기 하에서 UV를 조사하여 표면 처리하는 단계; 및

표면 처리된 반도체 물질층 상에 염소화 패시베이션 전구체를 스핀코팅하는 단계

를 포함하는, 제 1 항에 따른 디바이스의 제조방법.

청구항 9

기판에 염소화 패시베이션 전구체를 스핀코팅하는 단계; 및

형성된 염소화 패시베이션층에 반도체 물질층 원료를 코팅하는 단계

를 포함하는, 제 1 항에 따른 디바이스의 제조방법.

청구항 10

제 9 항에 있어서,

상기 기판 또는 코팅된 반도체 물질층에 오존 분위기 하에서 UV를 조사하여 표면 처리하는 단계를 추가 포함하는, 디바이스의 제조방법.

청구항 11

제 9 항에 있어서,

코팅된 반도체 물질층 상에 염소화 패시베이션 전구체를 스핀코팅하는 단계를 추가 포함하는, 디바이스의 제조방법.

청구항 12

기판에 오존 분위기 하에서 UV를 조사하여 표면 처리하는 단계;

반도체 물질층 원료에 염소화 패시베이션 전구체를 혼합하는 단계; 및

상기 기판에 상기 혼합된 반도체 물질층 원료를 코팅하는 단계

를 포함하는, 제 1 항에 따른 디바이스의 제조방법.

청구항 13

제 8 항, 제 9 항 및 제 12 항 중 어느 한 항에 있어서,

상기 염소화 패시베이션 전구체의 스핀코팅에서의 열처리 온도는 50℃ 내지 150℃인 것인, 디바이스의 제조방법.

발명의 설명

기술 분야

[0001] 본원은, 염소화 패시베이션층의 보호막 형성을 통한 산소 대기에서 안정성이 증가된 다바이스 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 태양전지의 전자수송층 및 메모리 소자 등에 사용되는 반도체 물질인 산화주석은 표면 및 벌크에서 산소 공석(oxygen vacancy)이 존재하여 전기적으로 불안정한 특성으로 인해 소자 안정성에 악영향을 미친다. 산화주석을 포함하는 디바이스가 태양전지의 전자수송층으로 사용될 경우, 전자가 산소 공석에 트랩 되어 전자 수송에 문제가 발생할 수 있다 (Huang T H et al. "Resistive Memory for Harsh Electronics: Immunity to Surface Effect and High Corrosion Resistance via Surface Modification" 2014 Sci Rep 4 4402.).

[0003] 상기 문제를 해결하기 위해, 산화주석 박막 위에 오존 처리를 하여 표면 결함을 치유하고자 하는 시도가 있었으나, 하지만 시간이 지남에 따른 오존의 효과는 떨어지기 때문에 여전히 상기 문제가 해결되지 않고 있는 실정이다. 또한, 상기 오존 처리 시간이 조절되지 않고 지나치게 오래 처리하는 경우에는 산화주석 박막 표면에 -OH(하이드록실기)가 생성되는 다른 결함(SnO-OH)가 발생할 수 있어 소자에 추가의 불안정성을 줄 수 있는 문제점이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본원은, 상기 문제를 해결하기 위해 염소화 패시베이션층의 보호막 형성을 통한 산소 대기에서 안정성이 증가된 다바이스 및 이의 제조방법을 제공하고자 한다.

[0005] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 본원의 제 1 측면은, 기판; 및 상기 기판 상에 형성된 반도체 물질층을 포함하는 디바이스로서, 상기 반도체 물질층 표면, 상기 기판 및 상기 반도체 물질층 사이, 또는 상기 둘 모두에 염소화 패시베이션층을 포함하는, 디바이스를 제공한다.

[0007] 본원의 제 2 측면은, 기판에 반도체 물질층 원료를 코팅하는 단계; 코팅된 반도체 물질층에 오존 분위기 하에서 UV를 조사하여 표면 처리하는 단계; 및 표면 처리된 반도체 물질층 상에 염소화 패시베이션 전구체를 스핀코팅하는 단계를 포함하는, 제 1 측면에 따른 디바이스의 제조방법을 제공한다.

[0008] 본원의 제 3 측면은, 기판에 염소화 패시베이션 전구체를 스핀코팅하는 단계; 및 형성된 염소화 패시베이션층에 반도체 물질층 원료를 코팅하는 단계를 포함하는, 제 1 측면에 따른 디바이스의 제조방법을 제공한다.

[0009] 본원의 제 4 측면은, 기판에 오존 분위기 하에서 UV를 조사하여 표면 처리하는 단계; 반도체 물질층 원료에 염소화 패시베이션 전구체를 혼합하는 단계; 및 상기 기판에 상기 혼합된 반도체 물질층 원료를 코팅하는 단계를 포함하는, 제 1 측면에 따른 디바이스의 제조방법을 제공한다.

발명의 효과

[0010] 본원의 구현예들에 따른 디바이스는, 산소와 강하게 반응하는 반도체 물질층의 산소 공석 등의 결함이 치유되고, 염소화 패시베이션층의 형성으로 인해 산소 공석의 치유 상태가 보존된 것으로서, 산소 환경을 포함한 어떠한 측정 환경에서도 그 특성이 변하지 않고, 장기간 특성이 유지되는 특성이 있다. 상기 디바이스는 페로브스카이트 태양전지의 전자수송층 또는 RRAM 소자로 활용될 수 있으며, 상기 디바이스의 특성은 활용 대상 제품의 내구성 및 전자 수송능을 높이는 특징이 있다.

[0011] 본원의 구현예들에 따른 디바이스의 제조방법은, 스핀코팅 방식과 낮은 열처리 온도로 빠른 시간내에 염소화 패시베이션층을 형성하여 디바이스를 제작할 수 있는 특징이 있다.

도면의 간단한 설명

- [0012] 도 1은, 본원의 일 구현예에 있어서, 염소화 패시베이션층의 형성 과정 및 이의 원자 구조를 나타내는 개략도이다.
- 도 2는, 본원의 일 구현예에 있어서, 염소화 패시베이션층이 형성된 디바이스를 제조하는 프로세스 및 성능 시험 설계를 나타내는 개략도이다.
- 도 3은, 본원의 일 실시예에 있어서, 염소화 패시베이션층이 형성된 디바이스를 제조하는 과정에서 UV 조사 처리 시간에 따른 오존의 총 생성량의 변화를 측정한 그래프이다.
- 도 4는, 본원의 일 실시예에 있어서, 주사 전자 현미경(SEM) 및 에너지 분산 X선 분광법(EDS)를 통해 디바이스에 염소화 패시베이션층의 형성을 확인한 이미지이다.
- 도 5는, 본원의 일 실시예에 있어서, 디바이스의 표면 거칠기를 원자 힘 전자 현미경을 통해 확인한 이미지이다.
- 도 6은, 본원의 일 실시예에 있어서, UVO 처리 전(a)과 후(a), 그리고 염소화 패시베이션을 수행 한 후(c)에 X선 광전자 분광법 측정을 통한 디바이스 표면의 화학적 상태(원자간 결합 위치)를 나타냄으로써, 각 디바이스 표면에서의 염소의 잔존 여부 및 산소 결합의 정도(01s에서 하늘색 부분의 줄어든 정도)의 차이를 확인한 그래프이다.
- 도 7은, 본원의 일 실시예에 있어서, 염소화 패시베이션층이 없는 디바이스를 제조하는 과정에서 오존 분위기 하에서 UV 조사 처리 시간에 따라 제조된 디바이스의 전류-전압 전기적 특성을 측정한 그래프이다.
- 도 8은, 본원의 일 실시예에 있어서, 질소(a, b, c) 및 산소(d, e, f) 대기 각각의 상태에서 전류-전압 측정을 통해, SnO_2 (a, d), UVO 5분 처리 SnO_2 (b, e) 및 염소화 패시베이션층이 형성된 SnO_2 의 디바이스(c, f)의 소자 동작의 방향을 측정한 그래프로서, 염소화 패시베이션 과정을 통해 질소 및 산소 분위기에서 같은 방향의 전류-전압 스위칭 동작이 나타남을 보여준다.
- 도 9는, 본원의 일 실시예에 있어서, 염소화 패시베이션층이 형성된 디바이스의 전류-전압 전기적 특성을 측정한 결과의 피팅한 그래프이다.
- 도 10은, 본원의 일 실시예에 있어서, 염소화 패시베이션층에 따른 장벽 높이 증가를 도식화한 그림이다.
- 도 11은, 본원의 일 실시예에 있어서, 염소화 패시베이션층이 형성된 디바이스의 안정성 시험 결과를 나타내는 그래프이다.
- 도 12는, 본원의 일 실시예에 있어서, 염소화 패시베이션층이 형성된 디바이스(실시예) 및 염소화 패시베이션층이 형성되지 않은 디바이스(비교예)의 페로브스카이트 태양전지로의 적용성을 확인한 그래프이다.
- 도 13은, 본원의 일 실시예에 있어서, 염소화 패시베이션층이 형성된 디바이스(실시예) 및 염소화 패시베이션층이 형성되지 않은 디바이스(비교예)의 페로브스카이트 태양전지로의 적용성을 확인한 그래프이다.
- 도 14는, 본원의 일 실시예에 있어서, 염소화 패시베이션층이 형성된 디바이스(실시예) 및 염소화 패시베이션층이 형성되지 않은 디바이스(비교예)의 페로브스카이트 태양전지로의 적용성을 확인한 그래프이다.
- 도 15는, 본원의 일 실시예에 있어서, 염소화 패시베이션층이 형성된 디바이스(실시예) 및 염소화 패시베이션층이 형성되지 않은 디바이스(비교예)의 페로브스카이트 태양전지로의 적용성을 확인한 그래프이다.
- 도 16은, 본원의 일 구현예에 있어서, 염소화 패시베이션층 형성의 타입을 나타내는 것으로, a는 염소화 패시베이션층이 SnO_2 의 표면에 형성, b는 염소화 패시베이션층이 기판과 SnO_2 사이에 형성된 형태를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0013] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 디바이스를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다.
- [0014] 본원 명세서 전체에서, 어떤 부제가 다른 부제 "상에" 위치하고 있다고 할 때, 이는 어떤 부제가 다른 부제에 접해 있는 경우뿐 아니라 두 부제 사이에 또 다른 부제가 존재하는 경우도 포함한다.
- [0015] 본원 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는

한 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.

- [0016] 본 명세서에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.
- [0017] 본원 명세서 전체에서 사용되는 정도의 용어 "~ 하는 단계" 또는 "~의 단계"는 "~를 위한 단계"를 의미하지 않는다.
- [0018] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 "이들의 조합(들)"의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.
- [0019] 본원 명세서 전체에서, "A 및/또는 B"의 기재는, "A 또는 B, 또는 A 및 B"를 의미한다.
- [0020] 이하, 첨부된 도면을 참조하여 본원의 구현예 및 실시예를 상세히 설명한다. 그러나, 본원이 이러한 구현예 및 실시예와 도면에 제한되는 것은 아니다.
- [0022] 본원의 제 1 측면은, 기관; 및 상기 기관 상에 형성된 반도체 물질층을 포함하는 디바이스로서, 상기 반도체 물질층 표면, 상기 기관 및 상기 반도체 물질층 사이, 또는 상기 둘 모두에 염소화 패시베이션층을 포함하는, 디바이스를 제공한다.
- [0023] 본원의 일 구현예에 있어서, 상기 염소화 패시베이션층은 상기 기관, 상기 반도체 물질층의 표면 또는 상기 둘 모두에 존재하는 결함(defects)을 치유 및 보호하는 것일 수 있다. 일례로서, 상기 반도체 물질은 산화물일 수 있으며, 이때 표면에 산소 공석(oxygen vacancy)과 같은 결함이 존재할 수 있다. 상기 염소화 패시베이션층은 상기 결함을 치유 및 보호하는 것일 수 있다. 또한, 상기 패시베이션층의 물질은 상기 반도체 물질의 염화물일 수 있으며, 일례로서 상기 반도체 물질이 산화 주석인 경우 상기 염소화 패시베이션층 물질은 염화주석인 것일 수 있다.
- [0024] 본원의 일 구현예에 있어서, 상기 반도체 물질층 표면과 상기 기관의 표면은 오존 분위기에서 UV가 조사되어 표면 결함이 치유된 것일 수 있다.
- [0025] 도 1을 참조하여 설명하면, 일례로서, 상기 반도체 물질은 산화주석일 수 있으며, 이때 표면에 산소 공석과 같은 결함이 존재할 수 있다. 여기서 대기 상에서 UVO(UV ozone)가 조사되는 경우 산소 공석을 제거함과 동시에 표면 클리닝, 즉 카본과 같은 유기물이 제거될 수 있다. 하지만 상기 UVO가 사용될 때 표면에는 표면 결함 물질인 하이드록실기(-OH)가 생길 수 있다(SnO-OH). 이때 염소화 패시베이션층의 원료(전구체)가 투입되어 반도체 물질층 상에 염소화 패시베이션층이 형성될 경우에는 하기 화학식과 같이 하이드록실기가 제거되어 표면 결함이 완전히 제거됨과 동시에 보호막이 형성될 수 있다.
- [0026] [화학식]
- [0027]
$$\text{SnO-OH} + 2(\text{NH}_4\text{Cl}) \rightarrow \text{SnOCl}_2 + \text{NH}_4^+ + \text{NH}_3 + \text{H}_2\text{O}$$
- [0029] 본원의 일 구현예에 있어서, 상기 반도체 물질은 내부에 염소화 패시베이션 물질을 추가 포함하는 것일 수 있다.
- [0030] 도 16을 참조하면, 상기 디바이스의 염소화 패시베이션층은 제조방법에 따라 3개의 타입으로 나타날 수 있다. 구체적으로, 반도체 물질층 상에 염소화 패시베이션층을 형성할 경우 도 16의 a와 같은 디바이스가 될 수 있으며, 기관(일례로서 ITO)에 염소화 패시베이션층을 형성할 경우 도 16의 b와 같은 디바이스가 될 수 있다. 이때 기관의 결함을 치유 및 보호하는 효과가 발생할 수 있다. 또한, 반도체 물질층을 기관에 형성할 때 상기 반도체 물질층의 원료에 염소화 패시베이션층 원료(전구체)를 혼합한 뒤 이러한 혼합물을 사용할 경우, 기관과 반도체 물질층 사이 및 반도체 물질층 표면에 염소화 패시베이션층이 형성되고 반도체 물질층 내부 벌크에 염소화 패시베이션 물질이 포함되어 반도체 물질층에 존재하는 산소 공석과 같은 결함을 치유할 수 있다.
- [0031] 본원의 일 구현예에 있어서, 상기 반도체 물질층은 SnO_2 , TiO_2 , ZnO , WO_3 , RuO_2 , $\text{La}_x\text{Sr}_{1-x}\text{CoO}_3$, $\text{La}_x\text{Sr}_{1-x}\text{MnO}_3$,

BaSnO₃ 및 LaNiO₃ 중에서 선택되는 하나 이상을 포함하는 것이고, $0 < x \leq 0.5$ 인 것일 수 있다.

[0032] 본원의 일 구현예에 있어서, 상기 기판은 ITO 또는 FTO를 포함하는 것일 수 있다.

[0033] 본원의 일 구현예에 있어서, 상기 디바이스는 메모리소자(memory device), 태양광소자(solar cell) 또는 광전소자(optoelectronic device)를 포함하는 것일 수 있다.

[0035] 본원의 제 2 측면은, 기판에 반도체 물질층 원료를 코팅하는 단계; 코팅된 반도체 물질층에 오존 분위기 하에서 UV를 조사하여 표면 처리하는 단계; 및 표면 처리된 반도체 물질층 상에 염소화 패시베이션 전구체를 스핀코팅하는 단계를 포함하는, 제 1 측면에 따른 디바이스의 제조방법을 제공한다.

[0036] 본원의 제 3 측면은, 기판에 염소화 패시베이션 전구체를 스핀코팅하는 단계; 및 형성된 염소화 패시베이션층에 반도체 물질층 원료를 코팅하는 단계를 포함하는, 제 1 측면에 따른 디바이스의 제조방법을 제공한다.

[0037] 본원의 일 구현예에 있어서, 상기 기판 또는 코팅된 반도체 물질층에 오존 분위기 하에서 UV를 조사하여 표면 처리하는 단계를 추가 포함하는 것일 수 있다.

[0038] 본원의 일 구현예에 있어서, 코팅된 반도체 물질층 상에 염소화 패시베이션 전구체를 스핀코팅하는 단계를 추가 포함하는 것일 수 있다.

[0039] 본원의 제 4 측면은, 기판에 오존 분위기 하에서 UV를 조사하여 표면 처리하는 단계; 반도체 물질층 원료에 염소화 패시베이션 전구체를 혼합하는 단계; 및 상기 기판에 상기 혼합된 반도체 물질층 원료를 코팅하는 단계를 포함하는, 제 1 측면에 따른 디바이스의 제조방법을 제공한다.

[0040] 본원의 일 구현예에 있어서, 상기 염소화 패시베이션 전구체의 스핀코팅에서의 열처리 온도는 50℃ 내지 150℃인 것일 수 있다. 구체적으로, 상기 염소화 패시베이션 전구체의 스핀코팅에서의 열처리 온도는 50℃ 내지 150℃, 50℃ 내지 130℃, 70℃ 내지 150℃, 70℃ 내지 130℃, 90℃ 내지 150℃, 90℃ 내지 130℃, 110℃ 내지 150℃, 또는 110℃ 내지 130℃인 것일 수 있다. 상기 열처리의 최적의 온도는 110℃ 내지 130℃일 수 있다. 상기 열처리가 50℃ 미만에서 진행될 경우에는 공정의 시간이 지나치게 길어져 공정 효율이 떨어질 수 있으며 150℃를 초과하여 진행될 경우에는 균일한 박막이 형성되지 않을 수 있으므로, 적정의 온도로 진행하는 것이 중요하며, 본원에서 열처리의 온도가 110℃ 내지 130℃, 보다 구체적으로 125℃에서 진행될 경우에 균일하게 최적의 결정성을 보이는 층이 형성되었다.

[0041] 본원의 일 구현예에 있어서, 상기 반도체 물질층 원료는 수용액으로서, SnO₂, TiO₂, ZnO, WO₃, RuO₂, La_xSr_{1-x}CoO₃, La_xSr_{1-x}MnO₃, BaSnO₃ 및 LaNiO₃ 중에서 선택되는 하나 이상을 포함하는 것이고, $0 < x \leq 0.5$ 인 것일 수 있다.

[0042] 본원의 일 구현예에 있어서, 상기 염소화 패시베이션 전구체는 NH₄Cl 을 포함하는 것일 수 있다.

[0043] 본원의 일 구현예에 있어서, 상기 염소화 패시베이션 전구체의 농도는 20 mM 내지 80 mM인 것일 수 있다. 구체적으로, 상기 염소화 패시베이션 전구체의 농도는 20 mM 내지 80 mM, 20 mM 내지 70 mM, 20 mM 내지 60 mM, 20 mM 내지 50 mM, 30 mM 내지 80 mM, 30 mM 내지 70 mM, 30 mM 내지 60 mM, 또는 30 mM 내지 50 mM인 것일 수 있다. 상기 염소화 패시베이션 전구체의 농도의 최적의 농도는 30 mM 내지 50 mM일 수 있다. 상기 농도가 20 mM 미만인 경우에는 상기 반도체 물질층 표면에 부분적으로만 패시베이션이 되어 균일한 패시베이션 층이 형성되지 않아, 기존 반도체 물질층에 존재하는 결함이 충분히 제거되지 않을 수 있으며, 80 mM을 초과하는 경우에는 염소화 도핑이 과하게 진행되어(패시베이션) 또 다른 트랩밀도로 작용하여 전자수송능이 저하될 수 있으므로, 적정의 농도로 진행하는 것이 중요하며, 본원에서 전구체의 농도가 30 mM 내지 50 mM, 보다 구체적으로 40 mM에서 진행될 경우에 공정 효율과 균일하게 최적의 결정성을 보이는 층이 형성되었다.

[0045] 이하, 본원의 실시예를 통하여 본 발명을 더욱 상세하게 설명하고자 하나, 하기의 실시예는 본원의 이해를 돕기 위하여 예시하는 것 일뿐, 본원의 내용이 하기 실시예에 한정되는 것은 아니다.

[0046] [실시예]

[0047] 1. 염소화 패시베이션층을 포함하는 디바이스의 제조와 형성의 확인

[0048] **1-1. 염소화 패시베이션층을 포함하는 디바이스의 제조**

[0049] SnO_2 콜로이드 분산 용액(15 wt.%)과 3차 증류수를 1:6의 비율로 혼합하여 SnO_2 용액을 만들고, 균일한 박막을 만들기 위해 상기 용액을 투명전극으로 사용되는 FTO 기판 상에 $0.45 \mu\text{m}$ 사이즈의 필터를 이용하여 도 1 및 2와 같이 스핀코팅 방법을 (4000 rpm, 30초) 사용하여 얇게 코팅하였다. 이후, 남아있는 증류수를 기화 시키기 위해 150°C 의 온도에서 30분간 열처리를 해주었다.

[0050] FTO 기판 위에 얇게 코팅한 SnO_2 박막에 오존 분위기 하에서 UV를 조사하여 산소 공석과 같은 표면 결함 및 카본과 같은 유기물 제거를 수행하였다.

[0051] 이후 염화 암모늄(NH_4Cl) 파우더를 3차 증류수에 녹여 40 mM 농도로 만든 후, 상기 동일한 필터 사이즈를 이용하여 필터링을 해주었다.

[0052] 필터링된 염화 암모늄 수용액을 SnO_2 박막에 4000 rpm에서 30초간 스핀코팅 해준 후, 125°C 의 온도에서 30분간 열처리를 진행하여 남은 증류수와 NH_3 를 기화 시켜 표면에 염소만 남도록 하였다.

[0053] **1-2. 오존 분위기 하에서 UV 조사 처리 시간에 따른 변화 측정**

[0054] 상기 디바이스 제조에 있어서, FTO 기판 위에 얇게 코팅한 SnO_2 박막에 오존 분위기 하에서 UV를 조사 시 처리 시간에 따른 발생하는 오존량을 확인하였다. 구체적으로, UV 오존 처리 시간을 5분 단위로 점점 증가시키면서 발생 오존량을 확인하였으며, 그 결과는 도 3 및 하기 표 1과 같다.

[0055] [표 1]

UV ozone treatment time	3 min	5 min	8 min	10 min	13 min	15 min	18 min	20 min
Ozone generation [g]	0.32	0.53	0.85	1.06	1.38	1.60	1.92	2.13
Ozone generation [$\text{g}\cdot 10^{-4}/\text{cm}^3$]	2.13	3.55	5.68	7.11	9.24	10.7	12.8	14.2

[0058] UV 오존 처리에 있어서, 처리 시간에 따라 선형으로 발생하는 오존량이 증가하였다. 이를 통해, 상기 발생하는 오존량의 증가에 따라 SnO_2 박막에 존재하는 산소 공석(oxygen vacancy)가 줄어드는 것을 유추할 수 있다. 다만, 상기 20분까지의 처리 시간 동안 선형적으로 발생하는 오존량이 증가하므로 UV 오존 처리의 시간 증가에 따른 산소 공석 치유 효과가 나타남을 확인할 수 있으나, UV 오존 처리 시간이 지나치게 증가할 경우에는 표면에 $-\text{OH}$ (하이드록실기)의 다른 결함이 발생할 수 있으므로 상기 처리 시간의 조절은 중요하다.

[0059] **1-3. 염소화 패시베이션층 형성의 확인**

[0060] 먼저, 주사 전자 현미경(SEM) 및 에너지 분산 X선 분광법(EDS, Energy dispersive X-ray spectrometer)를 통해 상기 제조된 디바이스에 염소화 패시베이션층의 형성을 확인하였다. 구체적으로, 제조된 디바이스의 표면을 주사 전자 현미경으로 촬영하여 도 4의 a와 같은 표면을 얻었으며, 이를 EDS 측정을 통해 도 4의 b 내지 d와 같이 미세구조의 화학성분인 O(산소), Cl(염소), Sn(주석)을 나타내는 이미지를 확인하였다.

[0062] **실험예 1. UV 오존 처리 및 염소화 패시베이션층 형성에 따른 표면 확인**

[0063] 상기 디바이스 제조에 있어서, FTO 기판 위에 얇게 코팅한 SnO_2 박막에 오존 분위기 하에서 UV를 조사 처리 전의 표면, 15분 처리 후의 표면 및 15분 처리 후에 염소화 패시베이션층 형성 후의 표면의 거칠기를 원자 힘 전자 현미경을 통해 확인하였다 (도 5).

[0064] 표면의 제곱 평균 제곱근 거칠기는 UV 오존 처리 하기 전의 SnO_2 박막에서 22.19 nm (도 5의 a), UV 오존 15분 처리 SnO_2 박막은 22.94 nm (도 5의 b) 및 UV 오존 15분 처리 후 염소화 패시베이션층 생성 후는 25.54 nm (도 5의 c)로 상승 되는 것으로 확인되었다. UV 오존 처리 15분 후 평균 제곱근 거칠기가 UV 오존 처리 전에 비해 약

간 상승한 것을 보이고, 염소화 패시베이션층 형성 후 더 증가한 것을 보였으며, 이는 염소 처리로 인하여 표면의 변화로 볼 수 있다.

[0065] 또한, 상기 디바이스 제조에 있어서, FTO 기판 위에 얇게 코팅한 SnO₂ 박막에 오존 분위기 하에서 UV를 조사 처리 전(검정선), 15분 처리(붉은선) 및 15분 처리 후에 염소화 패시베이션층 형성 후(푸른선)의 X-선 광전자 분광법 측정을 통한 디바이스 표면의 화학적 상태 (원자간 결합 위치)를 통해, UVO 처리 전과 후 그리고 염소화 패시베이션을 시행 한 후에 염소의 잔존 여부 및 산소 결합의 정도(O1s에서 하늘색 부분의 줄어드는 정도)의 차이를 확인하였다 (도 6 및 하기 표 2).

[0066] [표 2]

	Sn3d _{3/2}	Sn3d _{5/2}	O1s	Cl2p _{1/2}	Cl2p _{3/2}
SnO ₂	495.0 eV	486.6 eV	530.4 eV	X	X
UVO15SnO ₂	495.2 eV	486.8 eV	530.6 eV	X	X
UVO15SnO ₂ -Cl	495.7 eV	487.3 eV	531.9 eV	200.00 eV	198.46 eV

[0067]

상기 결과를 통해 UV 오존 처리 후 모든 원자간 결합이 에너지가 더 높아진 것을 통해 더 많이 산화가 진행되어 표면 결합이 일부 치료됨을 확인할 수 있었다. 또한, 그래프 O1s 영역에서 산소 공석의 양이 UV 오존 처리 후에 정량적으로 줄어든 것을 확인 할 수 있었다. 아울러, UV 오존 처리 및 염소 처리 후의 결과에서는 이전에 비해 더 높은 결합 에너지를 얻었으며(Cl 결합에 의해) 이로써 표면에 Cl이 존재함을 확인할 수 있었다.

[0069]

[0071] 실험예 2. 전류-전압 전기적 특성 확인

[0071]

[0072] 상기 디바이스 제조에 있어서, FTO 기판 위에 얇게 코팅한 SnO₂ 박막에 오존 분위기 하에서 UV를 조사 처리 전, 10분 처리 및 15분 처리에 따른 SnO₂/FTO의 전류-전압 전기적 특성을 측정하였다 (도 7). 본 전기적 특성의 측정은 도 2의 f와 같이 산소를 제어할 수 있는 글로브 박스 내, 외부에서 전도성 원자힘 현미경 장비를 통해 샘플 표면을 전기적으로 특성 분석하였으며, 글로브 박스 내부의 산소 농도는 1 ppm 이하이며, 외부의 산소 농도는 대략 2.1×10^5 ppm 이다.

[0072]

[0073] 산소가 제어된 글로브 박스 안에서는 시계 방향의 저항성 스위칭 현상이 나타났으며(도 7의 a-i, b-i, c-i), 산소가 제어되지 않는 글로브 박스 외부에서는 반시계 방향의 저항성 스위칭 현상이 나타났다 (도 7의 a-ii, b-ii, c-ii).

[0073]

[0074] 이후, 염소화 패시베이션층이 형성된 디바이스의 전류-전압 전기적 특성을 측정하였다 (도 8). 구체적으로, UV 오존 처리를 하지 않은 SnO₂ 박막을 글로브 박스 안에서 측정한 결과(산소 제어 0)는 도 8의 a와 같으며, UV 오존 처리를 하지 않은 SnO₂ 박막을 글로브 박스 밖에서 측정한 결과 (산소 제어 X)는 도 8의 d와 같으며, UV 오존 처리 5 분 후 SnO₂ (UV05SnO₂) 박막을 글로브 박스 안에서 측정한 결과(산소 제어 0)는 도 8의 b와 같으며, UV 오존 처리 5 분 후 SnO₂ (UV05SnO₂) 박막을 글로브 박스 밖에서 측정한 결과 (산소 제어 X)는 도 8의 e와 같으며, UV 오존 처리 5 분 후 염소화 패시베이션 SnO₂ (UV05SnO₂-Cl)박막을 글로브 박스 안에서 측정한 결과 (산소 제어 0)는 도 8의 c와 같으며, UV 오존 처리 5 분 후 염소화 패시베이션 SnO₂ (UV05SnO₂-Cl)박막을 글로브 박스 밖에서 측정한 결과 (산소 제어 X)는 도 8의 f와 같다.

[0074]

[0075] NH₄Cl 처리(염소화 패시베이션층 형성) 전의 SnO₂ 박막 및 SnO₂ 박막/FTO에서는 글로브 박스 안과 밖에서 저항 스위칭 방향이 서로 반대 방향으로 나타났다. 그러나, 염소화 패시베이션층이 형성된 디바이스는 글로브 박스 안과 밖에서 측정 한 전류-전압 특성 결과에서는 저항 스위칭 방향이 같은 방향으로 나오는 것이 확인되어, Cl에 의해 보호막층 역할을 확인할 수 있었다.

[0075]

[0076] 여기에서, SnO_2 박막의 산소 공석 치유 및 유기물 제거를 UV 오존 처리 시간의 변경을 통해 진행해본 결과, 특히 산소 공석이 너무 많으면 샘플의 전도성이 증가해서 디바이스가 메모리 소자로서의 기능이 떨어질 수 있음이 확인되었다. 반면 UV 오존 처리 시간을 과하게 증가할 경우 산소 공석이 지나치게 줄어들 수 있으므로 적절한 오존 처리 시간을 선정하는 것이 중요하다. 본 실험의 결과는 UV 오존 처리를 5분 후, 염소화 패시베이션을 한 결과의 메모리 소자로서의 기능을 유지할 수 있음을 확인한 것으로, LRS(낮은 저항 상태)와 HRS(높은 저항 상태) 사이의 차이가 넓을수록 좋은 메모리 특성을 나타내는데, SnO_2 박막에 UV 오존을 5분 처리 했을 때와 UVO 5분 처리함과 동시에 NH_4Cl 로 패시베이션층을 형성한 결과에서 기본적인 소자의 특성이 유지가 되는 것이 확인되었다 (도 8 참조).

[0078] 상기 디바이스 제조에 있어서, FTO 기판 위에 얇게 코팅한 SnO_2 박막에 NH_4Cl 처리 전, 후의 제조된 디바이스의 글로브 박스 내,외에서의 전류-전압 전기적 특성을 측정하였다. 측정한 전류-전압 그래프 피팅 결과는 도 9와 같으며, 피팅을 통해 얻은 정량적인 장벽 높이는 표 3과 같다.

[0079] [표 3]

Resistance state	Thermionic emission Φ_B (eV)		
	SnO_2	UVO5 SnO_2	UVO5 SnO_2 -Cl
HRS (nitrogen)	0.28 ± 0.0012	0.37 ± 0.0006	0.32 ± 0.0003
LRS (nitrogen)	0.22 ± 0.0012	0.23 ± 0.0014	0.21 ± 0.0013
HRS (oxygen)	0.36 ± 0.0013	0.53 ± 0.0008	0.37 ± 0.0009
LRS (oxygen)	0.32 ± 0.0007	0.37 ± 0.0013	0.28 ± 0.0016

[0080]

[0082] 글로브 박스 외부에서 측정한 결과(산소 환경)에서, 염소화 패시베이션층이 존재하는 디바이스는 SnO_2 표면에 Cl 이 존재 함으로 인해 백금 팁과 표면 사이의 생기는 장벽 높이의 차이가 증가하는 것으로 나타났다. 이를 도식화하여 분석하면 도 10과 같다. NH_4Cl 처리 전의 디바이스의 경우, 산소 상태(글로브 박스 외부)에서 산소와 표면의 결합으로 인해 스위칭 특성이 글로브 박스 내부에서 측정한 결과와 반대로 나왔다. 반면, NH_4Cl 처리 후의 디바이스에서는, 산소 상태에서도 SnO_2 와 산소가 직접적으로 작용하지 않아, 장벽 높이 증가로 인해 글로브 박스 외부와 글로브 박스 내부에서 측정한 전류-전압 특성인 스위칭 현상이 같은 방향으로 측정 되었다.

[0083] 마지막으로, 본 실시예에서 제조한 디바이스의 안정성 시험을 진행하였다. 염소화 패시베이션층이 형성된 디바이스는 전류-전압을 10번 측정한 결과 글로브 박스 내, 외부 모두에서 안정적으로 작동함을 확인하였다 (도 11).

[0085] 2. 페로브스카이트 태양전지에의 적용성 확인

[0086] 상기와 동일한 방법으로 염소화 패시베이션층을 포함하는 디바이스를 제조하되, 태양전지에 적용하기 전(ITO에 적용하기 전)에 전자수송층 역할을 하는 SnO_2 박막의 순수한 물리적 특성을 검토하기 위해, 유리 기판 위에 얇게 코팅한 SnO_2 박막에 염소화 패시베이션층 형성된 디바이스(Glass/ SnO_2 / NH_4Cl), 유리 기판 위에 얇게 코팅한 SnO_2 박막의 디바이스(Glass/ SnO_2), 및 유리 기판 위에 염소화 패시베이션층과 SnO_2 박막 순으로 형성된 디바이스(Glass/ NH_4Cl / SnO_2)를 제조하여 결정도와 흡광도를 확인하였다.

[0087] 먼저 상기 디바이스들의 XRD 분석을 수행하였다 (도 12의 a). 염소화 패시베이션층이 형성된 디바이스 상의 페로브스카이트 막은 염소화 패시베이션 하지 않은 SnO_2 위의 페로브스카이트 막에 비해 개선된 페로브스카이트 결정도가 나타났다. 이러한 향상된 결정성은 광 흡수 정도와 관련이 있는 것으로, 도 12의 b에서와 같이 UV-Vis 측정을 통해 염소화 패시베이션층이 형성된 디바이스 상의 페로브스카이트 막은 그렇지 않은 것에 비해 흡광도

의 값이 증가한 것을 통해 확인되었다.

[0088] 또한, 태양전지에의 적용성(ITO 사용)으로서 염소화 패시베이션층이 페로브스카이트 막 품질에 미치는 영향을 더 조사하기 위해, 공간 전하 제한 전류(SCLC) 기술을 사용하여 페로브스카이트 막의 결함 밀도를 정량적으로 계산했다. 구체적으로, 도 12의 c 내지 e를 통해 ITO/SnO₂/perovskite/PCBM/BCP/Ag, ITO/SnO₂/NH₄Cl/perovskite/PCBM/BCP/Ag 및 ITO/NH₄Cl/SnO₂/perovskite/PCBM/BCP/Ag 구조의 전자 전용 소자의 전형적인 암전류-전압(I-V) 곡선을 확인할 수 있다. 또한, 이때의 페로브스카이트의 트랩 밀도를 정량적으로 계산하면 하기 표 4와 같으며, 염소화 패시베이션층이 형성된 샘플은 그렇지 않은 샘플에 비해 트랩밀도가 낮은 것을 확인할 수 있었다. 트랩밀도가 작으면 작을수록 전자수송층과 페로브스카이트 계면 사이에는 더 적은 트랩밀도에 의해서 전자들이 계면에 트랩되는 정도가 줄어들어 더 좋은 소자 구동을 하게 되는 것인 바, 이를 통해 염소화 패시베이션층이 형성된 경우가 그렇지 않은 경우에 비해 태양전지에의 적용되었을 때 우수한 효과를 낼 수 있음을 확인할 수 있었다.

[0089] [표 4]

Electrical properties	ITO/SnO ₂	ITO/SnO ₂ /NH ₄ Cl	ITO/NH ₄ Cl/SnO ₂
Trap density (cm ⁻³)	1.02E+20	2.21E+19	5.05E+18

[0090]

[0092] 상기의 유리 기판 위에 얇게 코팅한 SnO₂ 박막에 염소화 패시베이션층이 형성된 디바이스(Glass/SnO₂/NH₄Cl), 유리 기판 위에 얇게 코팅한 SnO₂ 박막의 디바이스(Glass/SnO₂), 및 유리 기판 위에 염소화 패시베이션층과 SnO₂ 박막 순으로 형성된 디바이스(Glass/NH₄Cl/SnO₂)와 유리 기판에 형성된 페로브스카이트 막 각각의 태양전지로의 적용성을 추가 검토하였다. 구체적으로, NH₄Cl 염소화 패시베이션층의 영향을 밝히기 위해 계면 캐리어 역학 및 재결합에 대한 분석을 수행하였다 (레이저 파장 405 nm). 도 13을 통해 상기 각 샘플의 SSPL(Steady state photo luminescence) 및 TRPL(Time resolved PL) 스펙트럼을 확인할 수 있다. 특히 도 13의 a, b에서 볼 수 있듯이(a는 Front SSPL, b는 Back SSPL 측정), 염소화 패시베이션층이 없는 SnO₂ 기반의 페로브스카이트 막과 비교했을 때 염소화 패시베이션층이 형성된 SnO₂ 기반의 페로브스카이트 막에서 보다 우수한 PL 퀸칭이 관찰되었다. 이는 SnO₂ 전자수송층에 비해 염소화 패시베이션층이 형성된 SnO₂가 전자수송층/페로브스카이트층 사이의 케미컬 브리징으로 인한 전기적 특성이 향상 되었기 때문이다. 도 13의 c 및 d는 각각 Front TRPL, Back TRPL 측정한 것으로, 이 그래프의 곡선을 피팅 후 계산하여 얻은 값은 표5 와 표6과 같다.

[0093] [표 5]

Front	A1 (%)	A2 (%)	τ1 (μs)	τ2 (μs)	τave (μs)
Glass/PRVK	61.5656	38.4344	0.43907	2.63573	2.173038
SnO ₂ /PRVK	44.46085	55.53915	0.54027	1.90396	1.651527
SnO ₂ /NH ₄ Cl/PRVK	43.91273	56.08727	0.44272	1.77296	1.555422
NH ₄ Cl/SnO ₂ /PRVK	30.54657	69.45343	0.07716	0.34886	0.324773

[0094]

[0095] [표 6]

Back	A1 (%)	A2 (%)	τ_1 (μ s)	τ_2 (μ s)	τ_{ave} (μ s)
Glass/PRVK	60.75535	39.24465	0.68124	2.64242	2.082965
SnO ₂ /PRVK	56.69725	43.30275	0.59684	2.07312	1.66898
SnO ₂ /NH ₄ Cl/PRVK	58.66096	41.33904	0.51297	1.95351	1.562453
NH ₄ Cl/SnO ₂ /PRVK	44.73625	55.26375	0.09716	0.31429	0.270829

[0096]

[0098] 표 5, 표 6에서 나타내는 τ_1 과 τ_2 는 각각 빠른 감쇠 성분과 느린 감쇠 성분을 나타낸다. 일반적으로 τ_1 은 결함/트랩에 의한 비방사성 재결합과 관련되어 있고 τ_2 는 벌크 페로브스카이트로부터의 복사성 재결합과 관련되어 있다. 염소화 패시베이션층이 형성된 SnO₂ 기반 페로브스카이트 막은 염소화 패시베이션층이 없는 SnO₂ 기반 페로브스카이트 보다 훨씬 낮은 캐리어 수명을 나타내며 이로부터 염소화 패시베이션층에 의해 계면에서의 전하 추출이 개선되었다는 것을 알 수 있었다. 또한, 이러한 결과는 염소화 패시베이션층이 형성된 SnO₂ 전자수송층의 품질과 전자적 특성을 효과적으로 향상시킬 수 있음을 나타내며, 상기 TRPL 및 SSPL 결과와 잘 일치함을 확인할 수 있었다.

[0100] 추가적 검토를 위해, ITO 기판 위에 얇게 코팅한 SnO₂ 박막에 염소화 패시베이션층 형성된 디바이스 (ITO/SnO₂/NH₄Cl, 실시예 1), ITO 기판 위에 염소화 패시베이션층과 SnO₂ 박막 순으로 형성된 디바이스 (ITO/NH₄Cl/SnO₂, 실시예 2), 및 ITO 기판 위에 얇게 코팅한 SnO₂ 박막의 디바이스(ITO/SnO₂, 비교예)를 제조하여 각각의 페로브스카이트 태양전지에의 적용성을 검토하였다 (도 14 및 도 15). 구체적으로, 도 14의 a는 실시예 1 및 2, 비교예의 전자수송층 기반으로 만들어진 페로브스카이트 태양전지를 통해 추출된 최고효율의 그래프와 값이다. 효율의 비교를 통해서 염소화 패시베이션층이 형성된 SnO₂ 기반 페로브스카이트 태양전지의 효율이 가장 우수한 것을 확인할 수 있었다. 또한 도 14의 b와 같이, 외부양자효율(External quantum efficiency)측정을 통해 염소화 패시베이션층이 형성된 SnO₂ 기반 페로브스카이트 태양전지가 염소화 패시베이션층이 형성되지 않은 것에 비해 더 향상된 양자효율과 전류밀도를 나타냈다. 도 14의 c는 도 14의 b에서 빨간색 네모박스 친 부분을 포톤에너지로 환산하여 나타낸 각 전자수송층 기반 밴드갭 에너지다. 도 14의 d는 상기 실시예 1, 2 및 비교예를 포함하는 태양전지를 상대습도 35% 내지 45%에서 보관하여 총 500시간동안 효율을 측정하여 안정성 테스트 결과이다. 이를 통해 염소화 패시베이션층이 형성된 샘플이 보다 우수한 안정성을 보이는 것을 확인하였다. 도 14의 e 및 f는 상기 실시예 1, 2 및 비교예를 포함하는 태양전지의 전력 변환 효율(PCE)을 확인한 것으로, 염소화 패시베이션층이 형성된 샘플이 보다 향상된 효율과 더 적은 이력 곡선을 나타내는 것을 통계화 시켜 확인할 수 있다. 도 15를 통해, 염소화 패시베이션층이 형성된 샘플이 염소화 패시베이션층이 형성되지 않은 샘플에 비해 더 나은 전류밀도(a), 전력변환효율(b), 충전율(c) 및 개방전압(d)을 나타냈으며, 이를 통해 염소화 패시베이션층이 디바이스가 페로브스카이트 태양전지로 적용되었을 때 보다 효율 향상에 기여하는 것을 확인할 수 있다

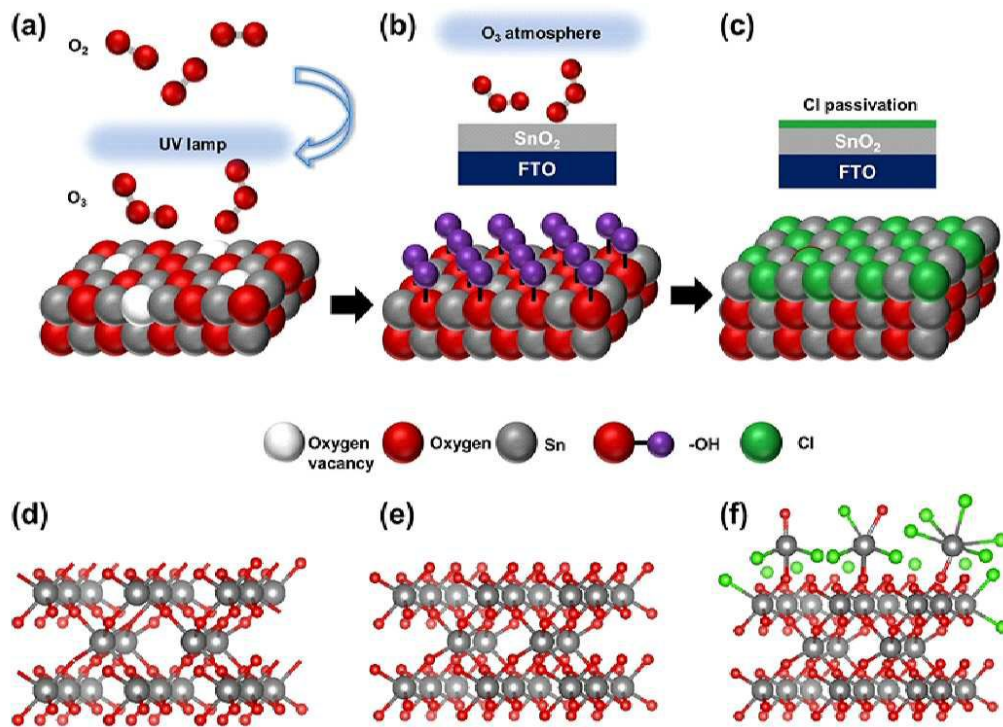
[0102] 진술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수도 있다.

[0103] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위, 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해

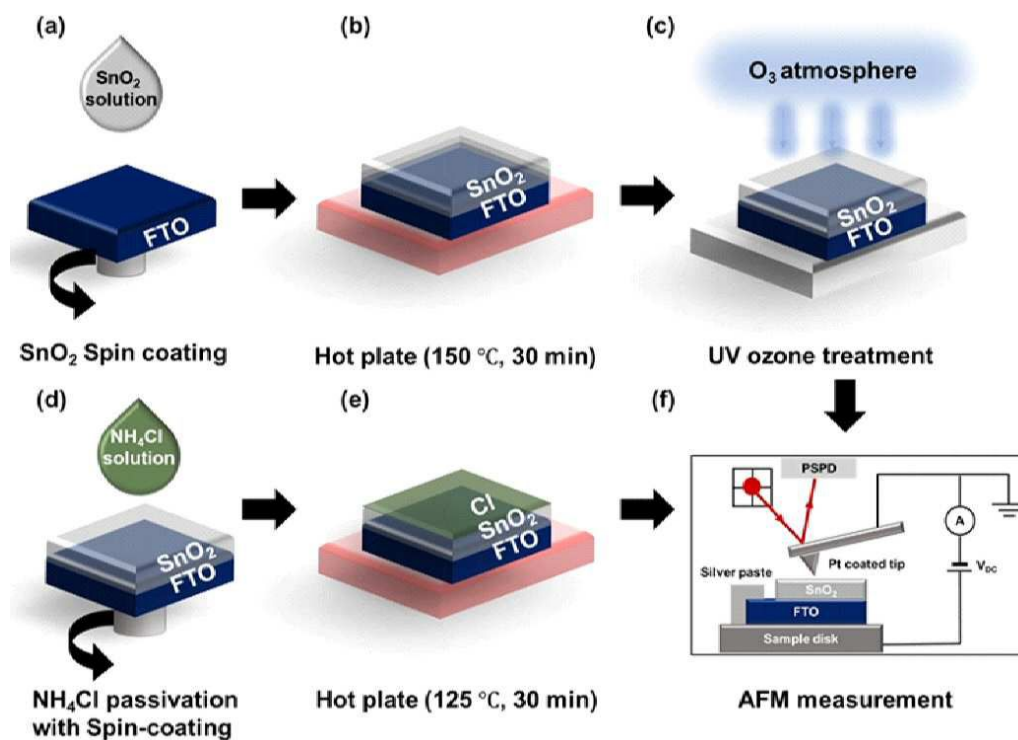
석되어야 한다.

도면

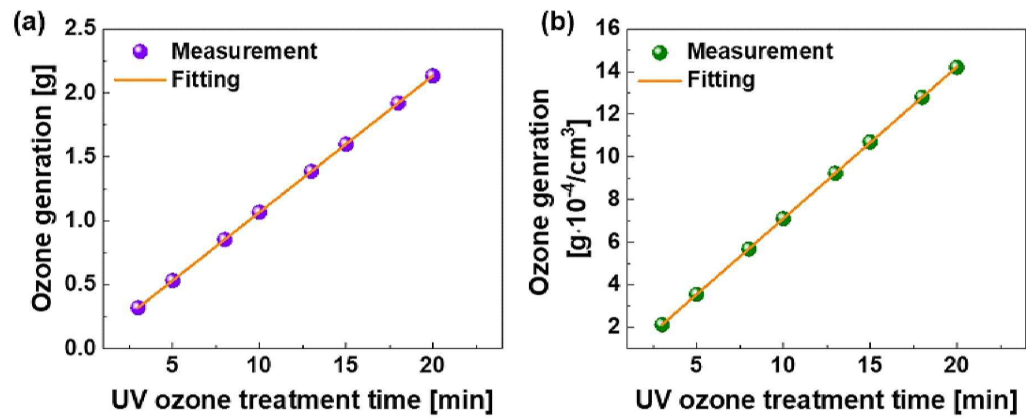
도면1



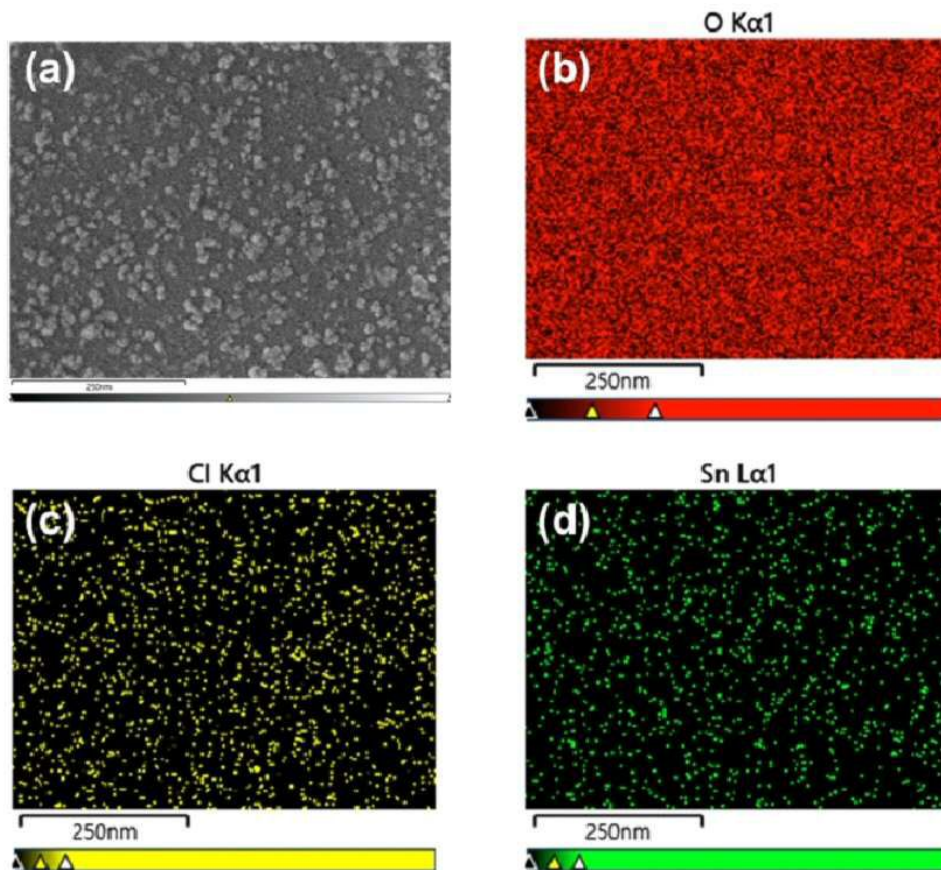
도면2



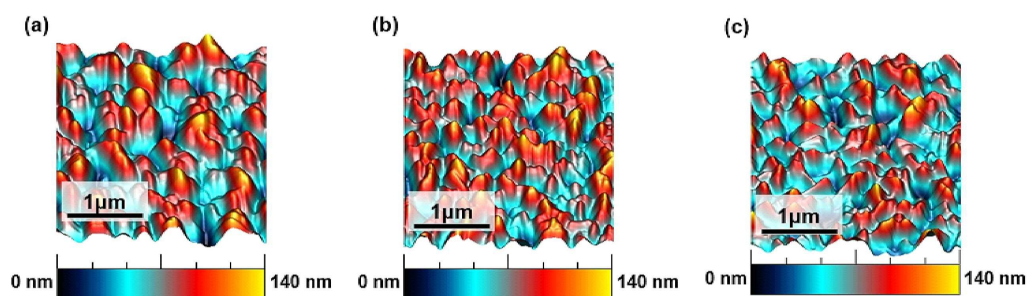
도면3



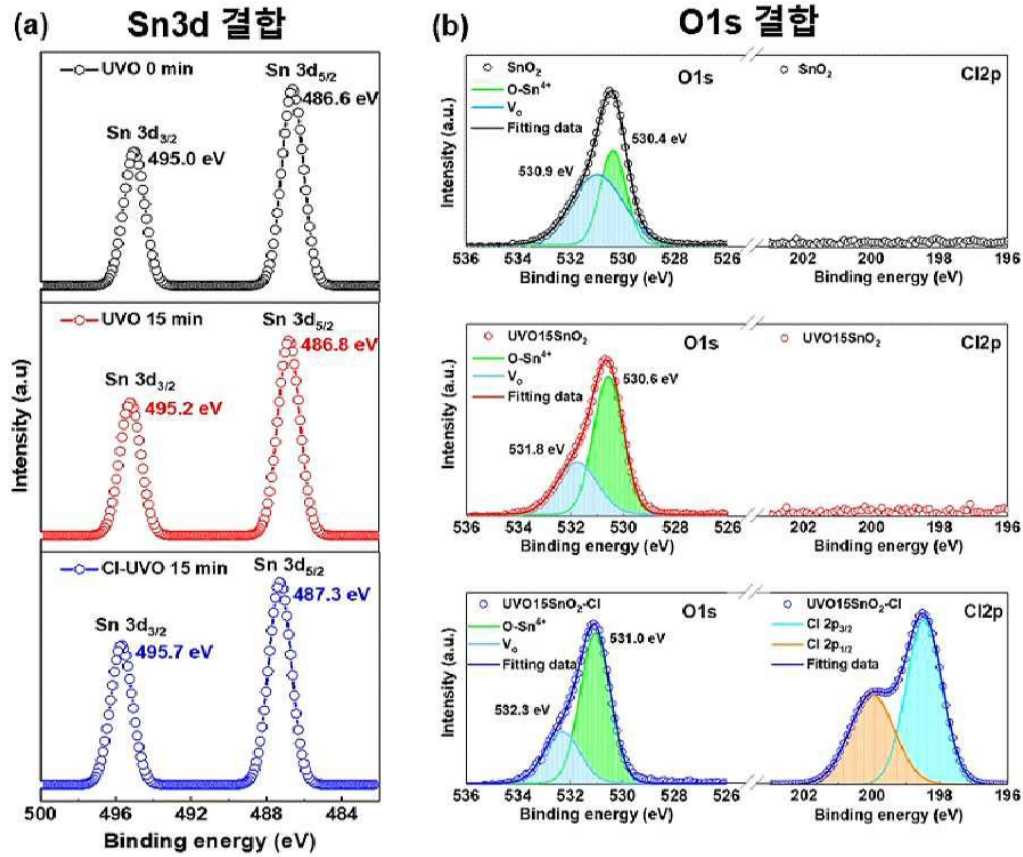
도면4



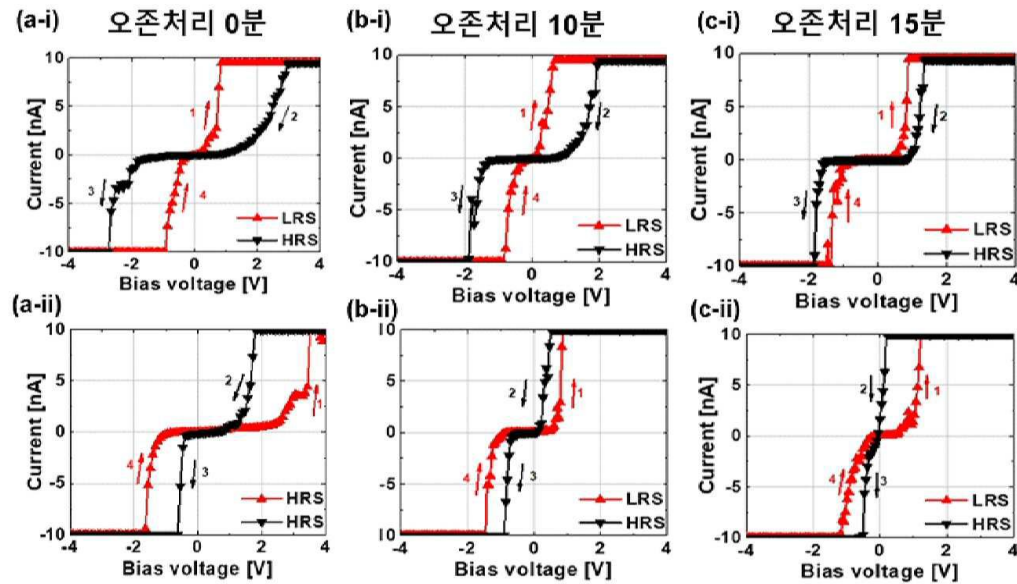
도면5



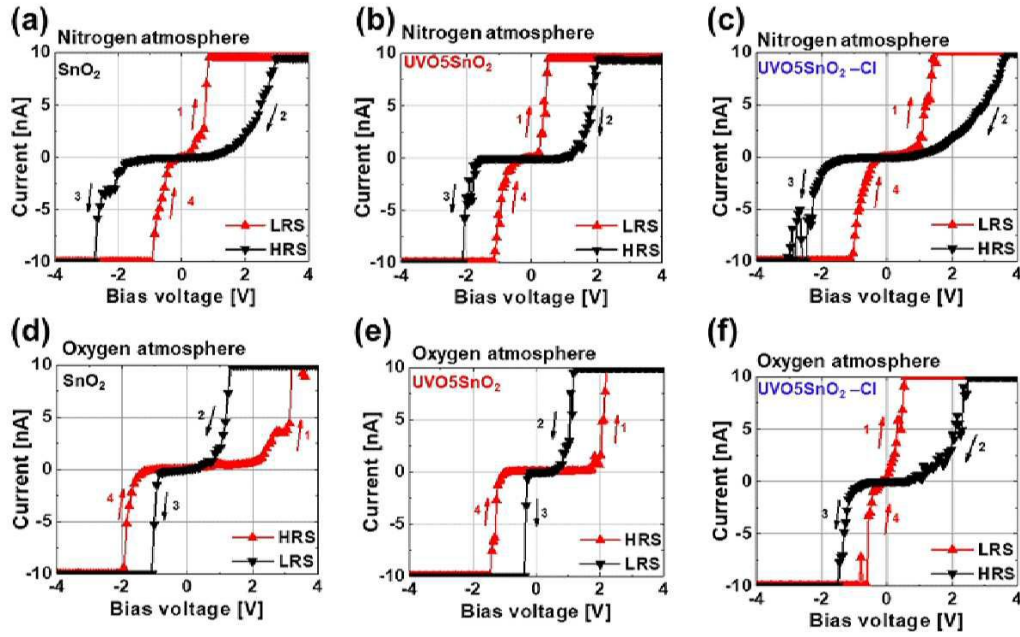
도면6



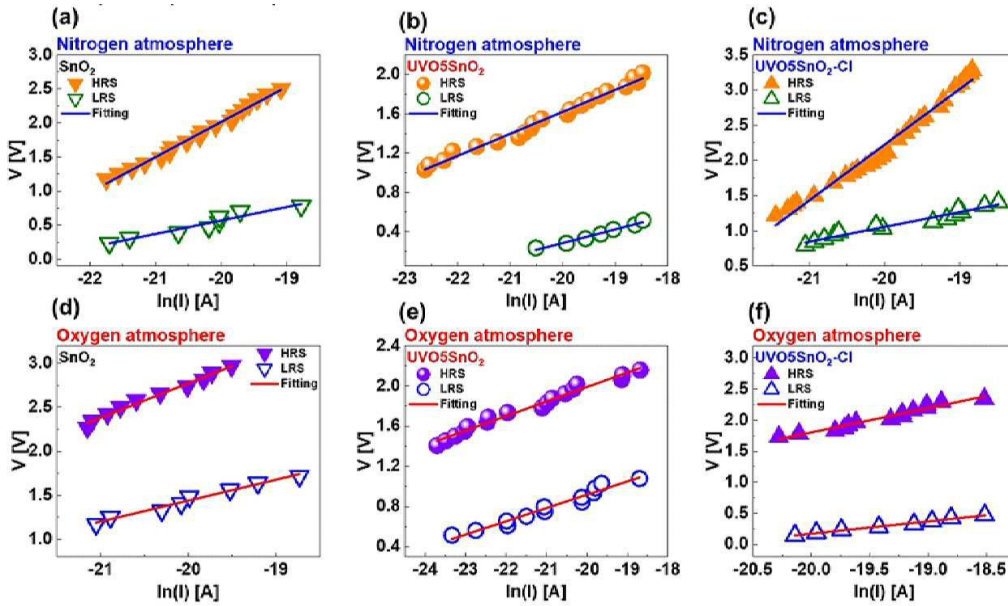
도면7



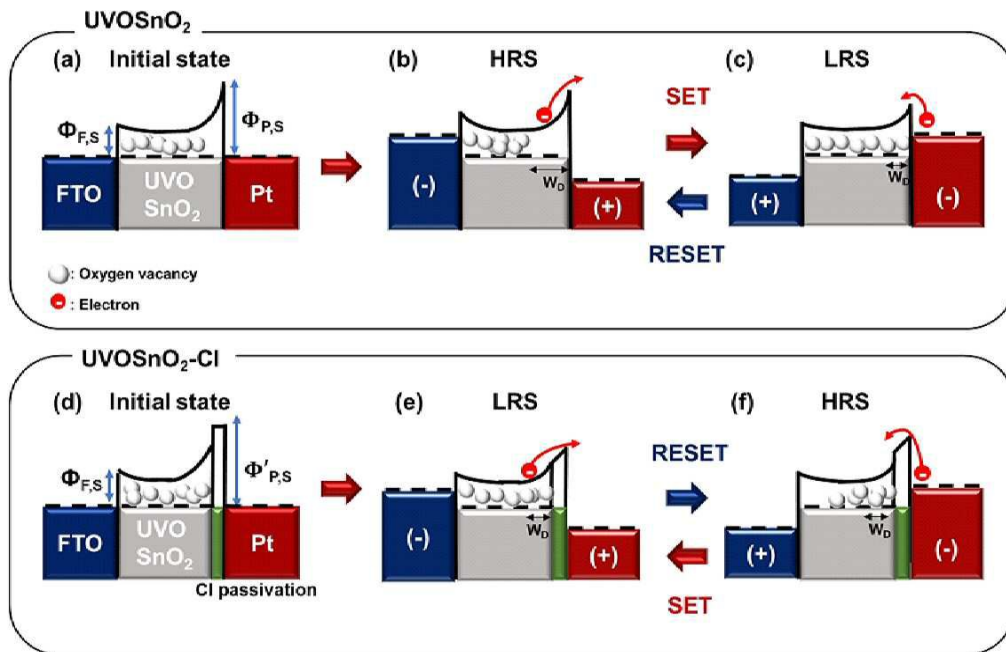
도면8



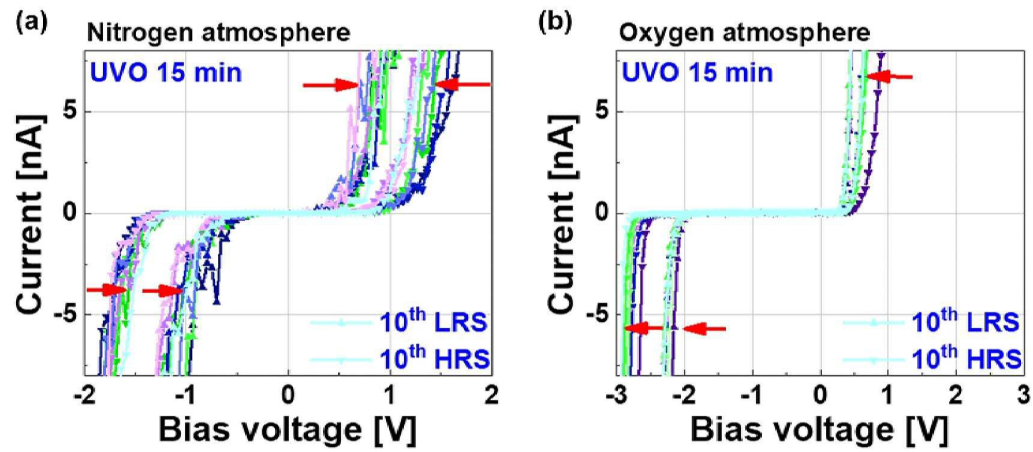
도면9



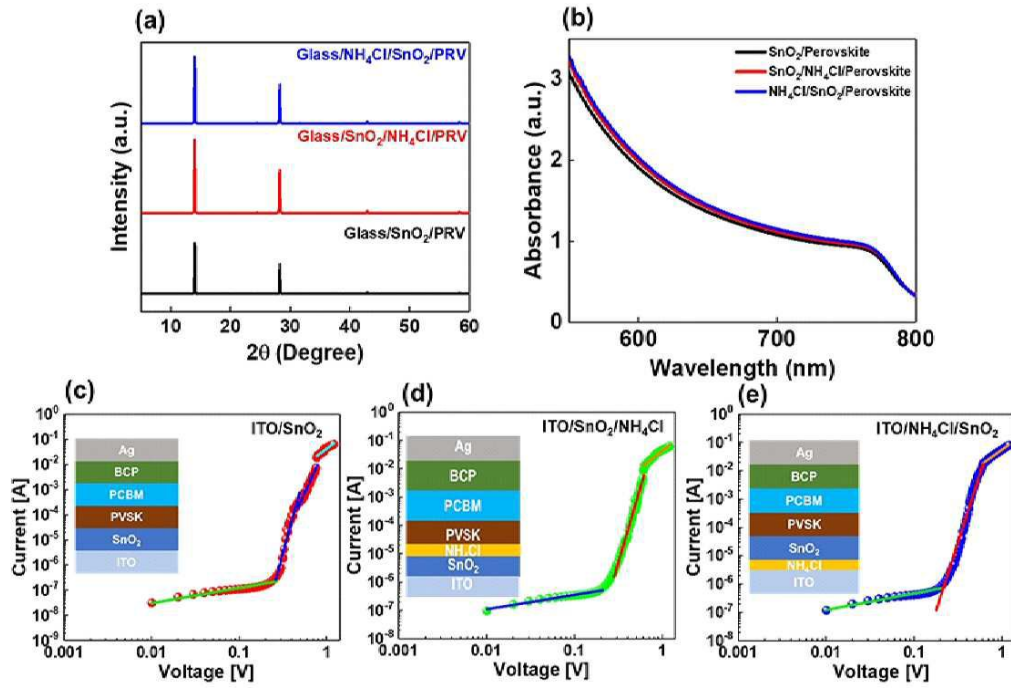
도면10



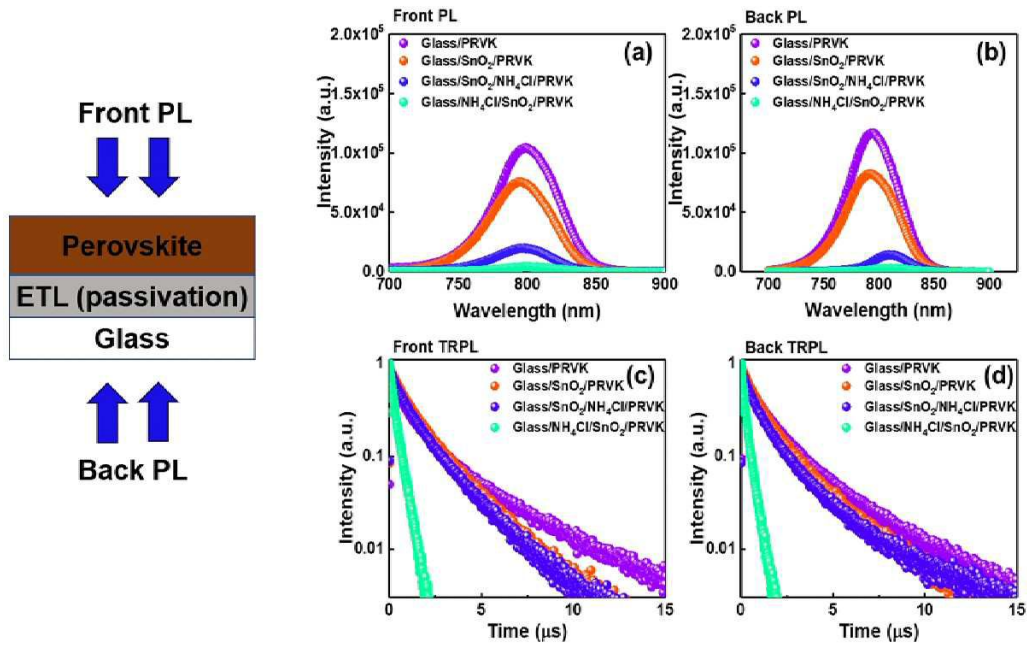
도면11



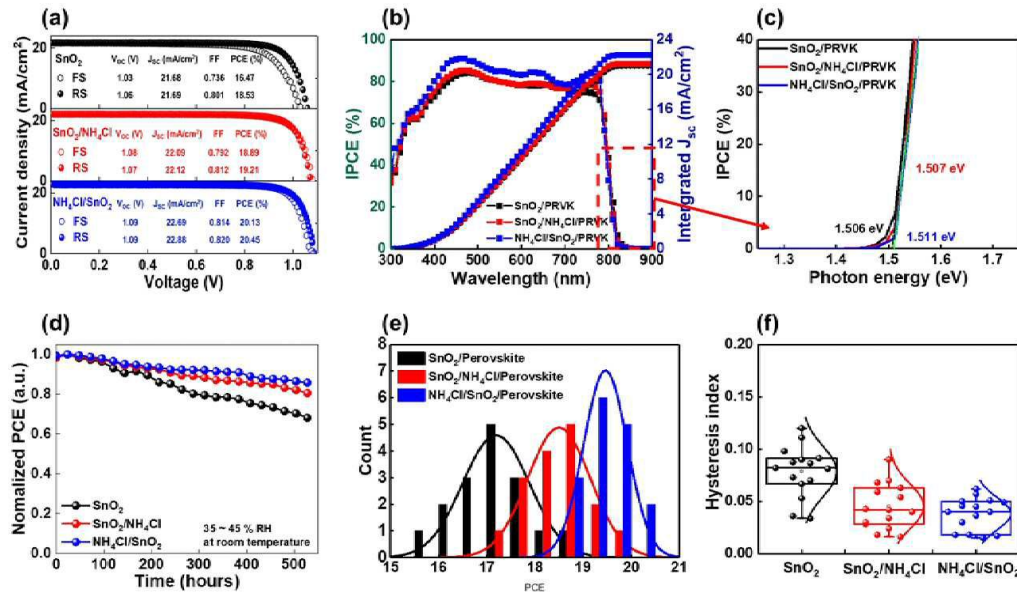
도면12



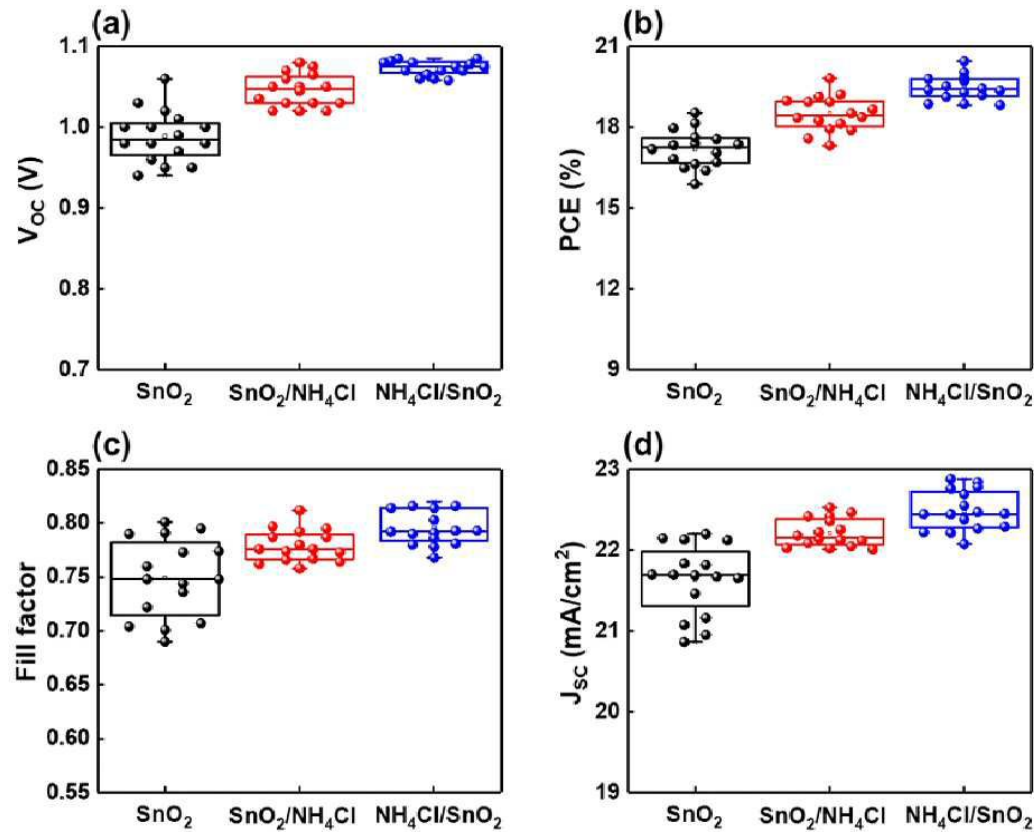
도면13



도면14

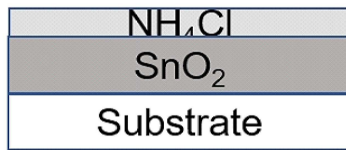


도면15



도면16

(a)



(b)

