

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年6月18日(18.06.2020)



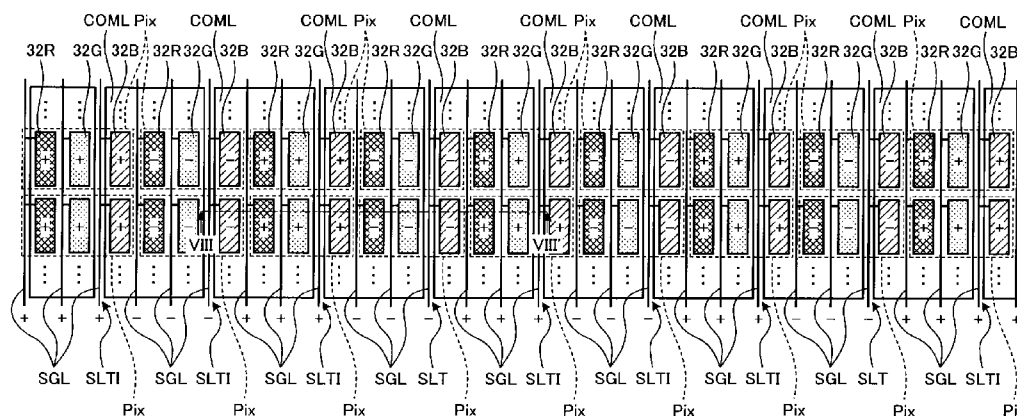
(10) 国際公開番号

WO 2020/122078 A1

- (51) 国際特許分類:
G02F 1/1343 (2006.01) *G02F 1/1368* (2006.01)
G02F 1/133 (2006.01) *G09G 3/20* (2006.01)
G02F 1/1333 (2006.01) *G09G 3/36* (2006.01)
- (21) 国際出願番号: PCT/JP2019/048349
- (22) 国際出願日: 2019年12月10日(10.12.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-231375 2018年12月11日(11.12.2018) JP
- (71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 野村 盛一 (NOMURA, Morikazu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: The present invention provides a display device capable of minimizing deterioration in image quality. This display device comprises a common electrode provided with a first common electrode and a second common electrode adjacent to each other in a first direction, with an interelectrode slit extending in a second direction being interposed between the first common electrode and the second common electrode. A pixel electrode comprises a first pixel electrode overlapping the first common electrode and a second pixel electrode overlapping the second common electrode. The first

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

pixel electrode is supplied with a pixel signal from a first signal line and the second pixel electrode is supplied with a pixel signal from a second signal line. This pair of the first pixel electrode and the second pixel electrode are provided side by side with the interelectrode slit interposed therebetween in plan view. The interelectrode slit overlaps the second signal line in plan view. The polarity of the second signal line matches the polarity of the first pixel electrode and the polarity of the second pixel electrode during a display operation.

(57) 要約: 表示品位の劣化を抑制した表示装置を提供する。表示装置において、共通電極は、第1方向に隣り合う第1共通電極と第2共通電極とを備え、第1共通電極と第2共通電極との間には第2方向に延びる電極間スリットが設けられている。画素電極は、第1共通電極に重畳する第1画素電極と、第2共通電極に重畳する第2画素電極とを備え、第1画素電極は第1信号線から画素信号が供給され、第2画素電極は第2信号線から画素信号が供給される。これら一対の第1画素電極と第2画素電極とは平面視で電極間スリットを介して隣り合って設けられており、電極間スリットは、平面視で、第2信号線と重畳しており、表示動作において、第2信号線の極性は、第1画素電極の極性及び第2画素電極の極性と同じである。

明 細 書

発明の名称 ： 表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 特許文献 1 及び特許文献 2 には、表示領域に接触又は近接する物体を検出する機能を備えた表示装置が記載されている。

[0003] また、画像表示パネルの駆動方式として、カラム反転、ライン反転、ドット反転及びフレーム反転などの駆動方式が知られている。カラム反転は、副画素又は副画素が組み合わされた画素の隣り合う 1 ライン（列）が互いに基準の電位に対して電位が異なるように、電圧を印加し、印加する当該電圧の極性を所定の周期で反転する駆動方式である。これにより、ドット反転の駆動方式に比較して、カラム反転の駆動方式は信号線における充放電が少なく低消費電力になることが知られている（例えば、特許文献 2 参照）。

先行技術文献

特許文献

[0004] 特許文献 1：特開 2 0 1 7 － 1 5 1 7 0 2 号公報

特許文献 2：特開 2 0 1 4 － 1 3 2 4 4 6 号公報

特許文献 3：特公平 5 － 4 3 1 1 8 号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献 1 及び特許文献 2 において、電極の間に、走査信号線の延在方向に延びるスリットがある。カラム反転の駆動により、正極性又は負極性に印加された走査線の電界がスリットを介して漏れると、表示品位が低下する可能性がある。

[0006] 本発明は、表示品位の劣化を抑制した表示装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明の一態様の表示装置は、基板と、前記基板の第1方向に延在する複数の走査線と、前記基板の前記第1方向とは交差する第2方向に延在する複数の信号線と、前記基板に設けられた複数の共通電極と、前記共通電極と、平面視で重畳する複数の画素電極と、を備え、前記共通電極は、前記第1方向に隣り合う第1共通電極と第2共通電極とを備え、前記第1共通電極と前記第2共通電極との間には第2方向に延びる電極間スリットが設けられており、前記画素電極は、前記第1共通電極に重畳する第1画素電極と、前記第2共通電極に重畳する第2画素電極とを備え、前記第1画素電極は第1信号線から画素信号が供給され、前記第2画素電極は第2信号線から画素信号が供給され、これら一対の前記第1画素電極と前記第2画素電極とは平面視で前記電極間スリットを介して隣り合って設けられており、前記電極間スリットは、平面視で、前記第2信号線と重畳しており、表示動作において、前記第2信号線の極性は、前記第1画素電極の極性及び前記第2画素電極の極性と同じである。

図面の簡単な説明

[0008] [図1]図1は、実施形態1に係る表示装置の概略断面構造を表す断面図である。

[図2]図2は、実施形態1に係る表示装置の第1基板の平面図である。

[図3]図3は、実施形態1に係る表示装置の画素配列を表す回路図である。

[図4]図4は、実施形態1に係る表示装置の第2基板の平面図である。

[図5]図5は、図4に示す領域Raを拡大して示す平面図である。

[図6]図6は、実施形態1の共通電極を模式的に説明するための平面図である。

[図7A]図7Aは、実施形態1の表示動作において、第1駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。

[図7B]図7Bは、実施形態1の表示動作において、第2駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。

[図8A]図8Aは、実施形態1の表示動作において、第1駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。

[図8B]図8Bは、実施形態1の表示動作において、第2駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。

[図9]図9は、比較例として1列ごとに異なる極性となるようにカラム反転駆動をする表示動作において、画素電極及び信号線の極性を模式的に説明する断面図である。

[図10A]図10Aは、実施形態1の変形例1の表示動作において、第1駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。

[図10B]図10Bは、実施形態1の変形例1の表示動作において、第2駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。

[図11A]図11Aは、実施形態1の変形例2の表示動作において、第1駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。

[図11B]図11Bは、実施形態1の変形例2の表示動作において、第2駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。

[図12]図12は、実施形態1の変形例3において、シールド電極を模式的に説明する断面図である。

[図13]図13は、実施形態1の変形例4において、補助電極を模式的に説明する断面図である。

[図14]図14は、実施形態2態に係る表示装置の第1基板の平面図である。

[図15]図15は、実施形態2態に係る表示装置の概略断面構造を表す断面図である。

[図16]図16は、実施形態2の共通電極を模式的に説明するための平面図である。

[図17A]図17Aは、実施形態2の表示動作において、第1駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。

[図17B]図17Bは、実施形態2の表示動作において、第2駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。

[図18A]図 1 8 A は、実施形態 2 の表示動作において、第 1 駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。

[図18B]図 1 8 B は、実施形態 2 の表示動作において、第 2 駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。

[図19]図 1 9 は、実施形態 3 の表示動作において、第 1 駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。

発明を実施するための形態

[0009] 本開示を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本開示が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本開示の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本開示の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0010] （実施形態 1）

図 1 は、表示装置の概略断面構造を表す断面図である。図 1 に示すように、表示装置 1 は、画素基板 2 と、対向基板 3 と、表示機能層としての液晶層 6 とを備える。対向基板 3 は、画素基板 2 の表面に垂直な方向に対向して配置される。液晶層 6 は画素基板 2 と対向基板 3 との間に設けられる。表示装置 1 は、さらに、対向基板 3 に設けられたカバー部材 101 を備える。カバー部材 101 は、対向基板 3 の偏光板 35 の上に接着層 102 を介して貼り合わされる。

[0011] 画素基板 2 は、第 1 基板 21 と、画素電極 22 と、共通電極 COML と、

偏光板 65 とを有する。第 1 基板 21 には、ゲートドライバ 12 に含まれるゲートスキナ等の回路や、TFT (Thin Film Transistor) 等のスイッチング素子 Tr や、走査線 GCL、信号線 SGL 等の各種配線（図 1 では省略して示す）が設けられる。

[0012] 共通電極 COML は、第 1 基板 21 の上側に設けられる。画素電極 22 は、絶縁層 24 を介して共通電極 COML の上側に設けられる画素電極である。画素電極 22 は、共通電極 COML とは異なる層に設けられ、平面視で、共通電極 COML と重畳して配置される。また、画素電極 22 は、平面視でマトリクス状に複数配置される。偏光板 65 は、接着層 66 を介して第 1 基板 21 の下側に設けられる。画素電極 22 及び共通電極 COML には、例えば、ITO (Indium Tin Oxide) 等の透光性を有する導電性材料が用いられる。なお、本実施形態では、画素電極 22 が共通電極 COML の上側に設けられる例について説明したが、共通電極 COML が画素電極 22 の上側に設けられていてもよい。

[0013] また、第 1 基板 21 には、集積回路 19 と、フレキシブル基板 72 が設けられる。集積回路 19 は、制御部として機能する。

[0014] なお、本開示において、第 1 基板 21 の表面に垂直な方向において、第 1 基板 21 から第 2 基板 31 に向かう方向を「上側」とする。また、第 2 基板 31 から第 1 基板 21 に向かう方向を「下側」とする。また、「平面視」とは、第 1 基板 21 の表面に垂直な方向からみた場合を示す。

[0015] 対向基板 3 は、第 2 基板 31 と、第 2 基板 31 の一方の面に形成されたカラーフィルタ 32 と、検出電極 TDL と、保護層 38 と、接着層 39 と、偏光板 35 とを有する。検出電極 TDL は、第 2 基板 31 の上に複数配列されている。検出電極 TDL は、表示領域に接触又は近接する物体に応じた静電容量の変化を検出する検出電極である。第 2 基板 31 にはフレキシブル基板 71 が接続されている。フレキシブル基板 71 には、検出用 IC 18 が搭載されている。検出電極 TDL は、端子部 36 を介して、検出用 IC 18 に電氣的に接続される。

[0016] 検出電極 TDL は、第 1 細線 33U 及び第 2 細線 33V を有している（図 4 参照）。さらに、検出電極 TDL の上には、第 1 細線 33U 及び第 2 細線 33V を含む検出電極 TDL を保護するための保護層 38 が設けられている。保護層 38 は、アクリル系樹脂等の透光性樹脂を用いることができる。保護層 38 の上に、接着層 39 を介して偏光板 35 が設けられている。

[0017] 図 1 に示すように、第 1 基板 21 と第 2 基板 31 とは所定の間隔を設けて対向して配置される。第 1 基板 21 と第 2 基板 31 との間の空間は、シール部 61 により封止される。第 1 基板 21、第 2 基板 31、及びシール部 61 によって囲まれた空間に液晶層 6 が設けられる。液晶層 6 は、通過する光を電界の状態に応じて変調するものであり、例えば、FFS（Fringe Field Switching：フリンジフィールドスイッチング）を含む IPS（In-Plane Switching：インプレーンスイッチング）等の横電界モードの液晶が用いられる。なお、図 1 に示す液晶層 6 と画素基板 2 との間、及び液晶層 6 と対向基板 3 との間には、それぞれ配向膜が配設される。本実施形態では、画素電極 22 と共通電極 COML との間に発生する横電界により、液晶層 6 が駆動される。

[0018] 第 1 基板 21 の下側には、図示しない照明部（バックライト）が設けられる。照明部は、例えば LED 等の光源を有しており、光源からの光を第 1 基板 21 に向けて射出する。照明部からの光は、画素基板 2 を通過して、その位置の液晶の状態により変調され、表示面への透過状態が場所によって変化する。これにより、表示面に画像が表示される。

[0019] カバー部材 101 は、画素基板 2 及び対向基板 3 を覆って設けられ、画素基板 2 及び対向基板 3 を保護する。カバー部材 101 は、例えば、ガラス基板や樹脂基板が用いられる。また、カバー部材 101 は、フィルム状の樹脂材料を用いることもできる。カバー部材 101 の平面視での外形形状は、第 1 基板 21 及び第 2 基板 31 よりも大きい。

[0020] 次に表示装置 1 の表示動作について説明する。図 3 は、実施形態 1 に係る表示装置の画素配列を表す回路図である。第 1 基板 21（図 1 参照）には、

図3に示す各副画素SPi_xのスイッチング素子Tr、信号線SGL、走査線GCL等が形成されている。信号線SGLは、各画素電極22に画素信号Vp_i_xを供給するための配線である。走査線GCLは、各スイッチング素子Trを駆動する駆動信号を供給するための配線である。

[0021] 図3に示すように、複数の副画素SPi_xは、マトリクス状に配列されている。副画素SPi_xは、それぞれスイッチング素子Tr及び液晶素子6aを備えている。スイッチング素子Trは、薄膜トランジスタにより構成されるものであり、この例では、nチャネルのMOS (Metal Oxide Semiconductor) 型のTFETで構成されている。画素電極22と共通電極COMLとの間に絶縁層24が設けられ、これらによって図3に示す保持容量6bが形成される。

[0022] 図2に示すゲートドライバ12は、走査線GCLを順次選択する。ゲートドライバ12は、選択された走査線GCLを介して、走査信号Vscanを副画素SPi_xのスイッチング素子Trのゲートに印加する。これにより、副画素SPi_xのうちの1行（1水平ライン）が表示駆動の対象として順次選択される。また、図2に示すソースドライバ13は、選択された1水平ラインを構成する副画素SPi_xに、信号線SGLを介して画素信号Vp_i_xを供給する。ゲートドライバ12が走査線GCLを非選択とすると、図3に示すスイッチング素子Trのゲートがオフ状態となり、液晶素子6a及び保持容量6bに、画素信号Vp_i_xに応じた電荷が蓄えられる。そして、これらの副画素SPi_xでは、供給される画素信号Vp_i_xに応じて1水平ラインずつ表示が行われるようになっている。

[0023] ソースドライバ13は、画像信号に多重化された画素信号Vp_i_xを分離するために必要なスイッチ制御信号を生成し、画素信号Vp_i_xとともにセレクト回路SELに供給する。

[0024] この表示動作を行う際、図2に示す駆動電極ドライバ14は、共通電極COMLに対して表示駆動信号Vcomdcを印加する。表示駆動信号Vcomdcは複数の副画素SPi_xに対する共通電位となる直流の電圧信号であ

る。これにより、各共通電極COMLは、表示動作において、画素電極22に対する共通電極として機能する。表示の際に、駆動電極ドライバ14は、表示領域10aの全ての共通電極COMLに対して表示駆動信号Vcomdcを印加する。また、表示駆動信号Vcomdcは、所定の周期を有する交流信号を採用することも可能である。

[0025] 図3に示すように、ソースドライバ13は、正極性アンプSIGAMP1と、負極性アンプSIGAMP2とを備える。ここで、表示動作における共通電極COMLの電位（表示駆動信号Vcomdcが印加された電位）を基準電位とする。正極性アンプSIGAMP1は、画素信号Vpixを伝送するにあたり、基準電位に対して高い電位（以下、正極性といい、（+）で図示することがある。）の駆動電圧で信号線SGLを充電する回路である。負極性アンプSIGAMP2は、画素信号Vpixを伝送するにあたり、基準電位に対して低い電位（以下負極性といい、（-）で図示することがある。）の駆動電圧で信号線SGLを充電する回路である。

[0026] セレクタ回路SELは、ソースドライバからのスイッチ制御信号に基づいて、信号線SGLに正極性アンプSIGAMP1を接続した場合、所定時間後に、信号線SGLに負極性アンプSIGAMP2を接続する。あるいは、セレクタ回路SELは、ソースドライバからのスイッチ制御信号に基づいて、信号線SGLに負極性アンプSIGAMP2を接続した場合、所定時間後に、信号線SGLに正極性アンプSIGAMP1を接続する。これにより、1つの信号線SGLでは、正極性と負極正とが所定の周期で反転する。

[0027] 図1に示すカラーフィルタ32は、例えば赤（R）、緑（G）、青（B）の3色に着色されたカラーフィルタの色領域が周期的に配列されていてもよい。上述した図3に示す各副画素SPixに、R、G、Bの3色の色領域32R、32G、32Bが1組として対応付けられる。そして、3色の色領域32R、32G、32Bに対応する副画素SPixを1組として画素Pixが構成される。なお、カラーフィルタ32は、4色以上の色領域を含んでもよい。

[0028] 次に、共通電極COML、検出電極TDLの構成と、静電容量の検出動作について説明する。図2は、実施形態1に係る表示装置の第1基板の平面図である。図4は、実施形態1に係る表示装置の第2基板の平面図である。図5は、図4に示す領域Raを拡大して示す平面図である。

[0029] 図2に示すように、第1基板21は、表示領域10aと、周辺領域10bとに対応する領域が形成されている。周辺領域10bは、表示領域10aの外側の領域である。集積回路19は第1基板21の周辺領域10bに搭載されている。集積回路19は、駆動電極ドライバ14、ソースドライバ13の機能の一部等、表示動作に必要な各回路を内蔵したものである。なお、周辺領域10bは表示領域10aを囲っていてもよく、その場合は、周辺領域10bは額縁領域ともいえる。

[0030] ゲートドライバ12、マルチプレクサ等のソースドライバ13の残りの部分は、ガラス基板である第1基板21に形成される。なお、集積回路19は、駆動電極ドライバ14を内蔵せず、第1基板21基板上に配置されていてもよい。駆動電極ドライバ14が表示用ICに内蔵されている場合、周辺領域10bを狭くすることが可能である。フレキシブル基板72は、集積回路19と接続されており、フレキシブル基板72を介して、外部から映像信号や、電源電圧が集積回路19に供給される。

[0031] 図2に示すように、第1基板21の表示領域10aに重畳する領域に複数の共通電極COMLが設けられている。複数の共通電極COMLは、それぞれ、表示領域10aの長辺に沿った方向（第2方向Dy）に延出しており、表示領域10aの短辺に沿った方向（第1方向Dx）において、間隔を設けて配列されている。複数の共通電極COMLは駆動電極ドライバ14にそれぞれ接続されている。後述するが、第3方向Dzは、第1方向Dx及び第2方向Dyの平面に垂直な、厚み方向である。

[0032] 本実施形態において、共通電極COMLは、走査線GCLと交差する方向に延出する。言い換えると、共通電極COMLは、信号線SGLと平行な方向に延出する。これにより、共通電極COMLに接続される配線や駆動電極

ドライバ14を、集積回路内に形成することができる。具体的には、例えば、図2に示すように、ゲートドライバ12は周辺領域10bの長辺に設けられ、駆動電極ドライバ14及びソースドライバ13は、周辺領域10bの短辺のうち、フレキシブル基板72が接続された辺に設けられる。したがって、本実施形態の表示装置1は、共通電極COMLに沿った部分の周辺領域10bの狭額縁化に有利である。

[0033] 図4に示すように、表示部10において、第2基板31の表示領域10aと重畳する領域に複数の検出電極TDLが設けられている。複数の検出電極TDLは、それぞれ、図2に示す共通電極COMLの延出方向と交差する方向（第1方向Dx）に延出している。また、図4に示すように、複数の検出電極TDLは、共通電極COMLの延出方向（第2方向Dy）において間隔SPを設けて配列されている。つまり、複数の共通電極COMLと、複数の検出電極TDLとは、平面視で交差するように配置されており、互いに重畳する部分で静電容量が形成される。

[0034] 表示装置1は、検出動作の際に、駆動電極ドライバ14から共通電極COMLに駆動信号Vdetを順次印加することにより、1検出ラインずつ順次走査を行う。つまり、表示部10は、センシングの走査を、表示部10の一边に沿った第1方向Dxと平行に行う。

[0035] そして、検出電極TDLは、検出部40に検出信号を出力する。これにより、1検出ブロックの静電容量検出が行われるようになっている。つまり、共通電極COMLは、上述した特許文献2で示した相互静電容量の検出において、駆動電極E1に対応し、検出電極TDLは、検出電極E2に対応する（特許文献2の図4）。互いに交差した検出電極TDL及び共通電極COMLは、静電容量式タッチセンサをマトリクス状に構成している。よって、検出面全体に亘って走査することにより、外部からの導体の接触又は近接が生じた位置の検出が可能となっている。ここに、本開示の一部を構成するものとして、特開2014-132446号公報の内容が援用される。

[0036] 表示装置1の動作方法の一例として、表示装置1は、検出動作（検出期間

）と表示動作（表示動作期間）とを時分割に行う。検出動作と表示動作とはどのように分けて行ってもよい。

[0037] なお、本実施形態において、共通電極COMLは、画素電極22に対して、共通電極としても機能するので、表示動作期間においては、全部の共通電極COMLに、表示用の共通電極電位である表示駆動信号Vcomdcが駆動電極ドライバ14を介して供給される。

[0038] 検出期間に共通電極COMLを用いず、検出電極TDLのみで検出動作を行う場合、例えば、自己静電容量の検出原理に基づいて静電容量の検出を行う場合、駆動電極ドライバ14は、検出電極TDLに検出用の駆動信号Vdetを供給してもよい。

[0039] 図4及び図5に示すように、本実施形態の検出電極TDLは、複数の第1細線33U及び複数の第2細線33Vを有している。第1細線33U及び第2細線33Vは、それぞれ、表示領域10aの一辺と平行な方向に対して互いに逆方向に傾斜している。第1細線33Uは第1方向Dxと第1の角度をなし、第2細線33Vは第1方向Dxと第2の角度をなす。

[0040] 複数の第1細線33U及び第2細線33Vは、それぞれ導電性を有する細幅の金属配線である。表示領域10aにおいて、複数の第1細線33Uは、すなわち第2方向Dyに互いに間隔を設けて配置される。また、複数の第2細線33Vは、第2方向Dyに互いに間隔を設けて配置されている。

[0041] 検出電極TDLは、少なくとも1つの第1細線33Uと、第1細線33Uと交差する少なくとも1つの第2細線33Vと、を含む。第1細線33Uと、第2細線33Vとは、接続部33Xで電氣的に接続されている。複数の第1細線33Uと、複数の第2細線33Vとがそれぞれ複数交差すると、検出電極TDLの1つの網目の形状が平行四辺形となる。

[0042] 複数の第1細線33U及び第2細線33Vの延出方向の両端は、周辺領域10bに配置された接続配線34a、34bに接続されている。検出電極TDLの主検出部である第1細線33U及び第2細線33Vは、細線33aを介して接続配線34a、34bに接続されている。これにより、複数の第1

細線 3 3 U 及び第 2 細線 3 3 V は互いに電氣的に接続され、1 つの検出電極 T D L として機能する。

[0043] 第 1 細線 3 3 U 及び第 2 細線 3 3 V は、アルミニウム (A l)、銅 (C u)、銀 (A g)、モリブデン (M o)、クロム (C r)、チタン (T i) 及びタングステン (W) から選ばれた 1 種以上の金属層で形成される。又は、第 1 細線 3 3 U 及び第 2 細線 3 3 V は、これらの金属材料から選ばれた 1 種以上を含む合金で形成される。

[0044] 図 5 に示すように、検出電極 T D L は、センサ部 T D L s と、ダミー部 T D L d とを含む。センサ部 T D L s 及びダミー部 T D L d は、それぞれ、第 1 方向 D x に延出し、第 2 方向 D y に交互に配置されている。センサ部 T D L s は、図 4 に示す接続配線 3 4 a、3 4 b に接続され、主として検出電極として機能する。ダミー部 T D L d は、センサ部 T D L s 及び接続配線 3 4 a、3 4 b と電氣的に離隔して設けられる。ダミー部 T D L d は、検出電極として機能しないダミー電極である。

[0045] センサ部 T D L s 及びダミー部 T D L d は、それぞれ、上述した第 1 細線 3 3 U 及び第 2 細線 3 3 V を含み、互いに類似したメッシュ状の構成である。これにより、表示領域 1 0 a における透光率のばらつきを抑制して、良好な視認性を得ることができる。センサ部 T D L s とダミー部 T D L d とは、第 1 細線 3 3 U 及び第 2 細線 3 3 V に設けられたスリット S L M により、電氣的に離隔される。ダミー部 T D L d の 1 つの網目を構成する第 1 細線 3 3 U 及び第 2 細線 3 3 V に、それぞれ、スリット S L M が設けられている。このような構成により、静電容量の検出において、ダミー部 T D L d は、電圧信号が供給されず電位が固定されないフローティング状態となる。

[0046] 図 4 に示すように、複数の接続配線 3 4 a には、それぞれ第 1 配線 3 7 a が接続される。また複数の接続配線 3 4 b には、それぞれ第 2 配線 3 7 b が接続される。つまり、本実施形態において、検出電極 T D L の一端側に第 1 配線 3 7 a が接続され、他端側に第 2 配線 3 7 b が接続される。第 1 配線 3 7 a は、周辺領域 1 0 b の長辺の一方に沿って設けられる。また、第 2 配線

37bは、周辺領域10bの長辺の他方に沿って設けられる。

[0047] 1つの検出電極TDLに接続された第1配線37aと第2配線37bとは、一つの端子部36に接続される。つまり、検出電極TDL、第1配線37a、第2配線37b及び端子部36は、ループ状に接続される。検出電極TDLは、第1配線37a、第2配線37b及び端子部36を介してフレキシブル基板71と接続される。

[0048] なお、1つの検出電極TDLに第1配線37a又は第2配線37bのいずれか一方が接続される構成であってもよい。また、検出電極TDLは、メッシュ状の金属細線に限定されず、例えば、ジグザグ線状あるいは、波線状の金属細線を複数含む構成であってもよい。図5では、1つの検出電極TDLに含まれるセンサ部TDLs及びダミー部TDLdを示したが、検出電極TDL同士の間隔SPにダミー電極を配置してもよい。

[0049] 次に共通電極COMLについて説明する。図6は、実施形態1の共通電極を模式的に説明するための平面図である。なお、図6は、3つの共通電極COMLを拡大して示している。

[0050] 隣り合う共通電極COMLの間には、第2方向Dyに延びるスリットSLT（電極間スリット）が設けられる。各共通電極COMLの内部には、第2方向Dyに延びるスリットSLTI（電極内スリット）が設けられる。スリットSLTIは、スリットSLTを不可視化するためのダミースリットと呼ばれる。このため、スリットSLTIの第2方向Dy端部は、導電性材料で接続されている。2つのスリットSLTI間の距離と、スリットSLTIとスリットSLTとの距離が同じであると、スリットSLTが目立ちにくくなる。スリットSLTの第1方向Dxの幅は、1 μ m以上5 μ m以下程度である。同様に、スリットSLTIの第1方向Dxの幅は、1 μ m以上5 μ m以下程度である。

[0051] 図7Aは、実施形態1の表示動作において、第1駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。図7Bは、実施形態1の表示動作において、第2駆動状態の画素電極及び信号線の極性を模式的に説明

する平面図である。図 8 A は、実施形態 1 の表示動作において、第 1 駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。図 8 A は、図 7 A の V | | | - V | | | ' 断面の模式図である。図 8 B は、実施形態 1 の表示動作において、第 2 駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。

[0052] 本実施形態では、信号線 S G L は、図 7 A、図 7 B に示す第 1 方向 D x 右側の画素電極 2 2 (図 8 A、図 8 B 参照) に画素信号 V p i x を供給する。実際には、図 3 に示すように、画素信号 V p i x は、スイッチング素子 T r を介して、信号線 S G L から、図 7 A、図 7 B に示す第 1 方向 D x 右側の画素電極 2 2 に供給される。ここで図 7 A、図 7 B では、スイッチング素子 T r の図示が省略されている。そして、表示動作中は、図 7 A に示す第 1 駆動状態と、図 7 B に示す第 2 駆動状態とが所定の周期で交互に生じている。

[0053] 図 9 は、比較例として 1 列ごとに異なる極性となるようにカラム反転駆動をする表示動作において、画素電極及び信号線の極性を模式的に説明する断面図である。なお、図 8 A、図 8 B 及び図 9 において、第 1 絶縁層 2 4 a と、第 2 絶縁層 2 4 b とが積層され、絶縁層 2 4 となっている。1 列ごとに異なる極性となるようにカラム反転駆動すると、信号線 S G L は、正極性の駆動と、負極性の駆動とが第 1 方向 D x に交互に並ぶことになる。なお、第 3 方向 D z は、第 1 方向 D x 及び第 2 方向 D y の平面に垂直な方向である。

[0054] 比較例のスリット S L T に隣接する画素電極 2 2 は、一方が正極性で駆動され、他方が負極性で駆動される。ここで、信号線 S G L の電界がスリット S L T を介して画素電極側に漏れる。これにより、スリット S L T と重畳する信号線 S G L と同じ極性で駆動される画素電極 2 2 と当該信号線 S G L との間の電界分布と、スリット S L T と重畳する信号線 S G L と異なる極性で駆動される画素電極 2 2 と当該信号線 S G L との間の電界分布とに差が生じる。

[0055] 同様に、比較例のスリット S L T 1 に近接する画素電極 2 2 は、一方が正極性で駆動され、他方が負極性で駆動される。ここで、信号線 S G L の電界

がスリットSLT1を介して漏れる。スリットSLT1と重畳する信号線SGLと同じ極性で駆動される画素電極22と当該信号線SGLとの間の電界分布と、スリットSLT1と重畳する信号線SGLと異なる極性で駆動される画素電極22と当該信号線SGLとの間の電界分布とに差が生じる。

[0056] 比較例で生じる電界分布の差が液晶層に電氣的対流を形成し、その結果、液晶層6（図1参照）中に存在するイオンが一部に集積してしまう可能性がある。そして、イオンが集積した部分と、イオンが集積していない部分との差が表示品位の低下として視認されてしまう可能性がある。

[0057] これに対して、実施形態1の表示装置1は、図7A及び図8Aに例示するように、第3方向DzにみてスリットSLTと重畳する信号線SGLが負極性の駆動電圧で駆動されている。スリットSLTに隣接する画素電極22は、両方とも負極性で駆動される。ここで、信号線SGLの電界がスリットSLTを介して漏れても、スリットSLTと隣接する画素電極22は、スリットSLTと重畳する信号線SGLと同じ極性で駆動される。

[0058] 実施形態1の表示装置1は、反転駆動して、図7B及び図8Bに例示するように、第3方向DzにみてスリットSLTと重畳する信号線SGLが正極性の駆動電圧で駆動されている。スリットSLTに隣接する画素電極22は、両方とも正極性で駆動される。

[0059] 以上説明したように、実施形態1の表示装置1は、第1基板21と、複数の走査線GCLと、複数の信号線SGLと、共通電極COMLと、画素電極22とを備える。走査線GCLは、第1基板21の第1方向Dxに延在する。信号線SGLは、第1基板21の第1方向Dxとは交差する第2方向Dyに延在する。共通電極COMLが第1基板21に設けられ、画素電極22は、共通電極COMLと、平面視で重畳する。隣り合う共通電極COMLの間であり、第2方向Dyに延びるスリットSLT（第1スリット）は、平面視で、信号線SGLの1つと重畳する。そして、表示動作において、スリットSLTに重なる信号線SGLの駆動電圧の極性は、当該スリットSLTの第1方向Dxに隣接する2つの画素電極22の駆動電圧の極性と同じである。

- [0060] このように、実施形態1の表示装置1において、スリットSLTを挟んで隣り合う画素電極22は、スリットSLTと重畳する信号線SGLに対して同程度の電界分布を生じる。これにより、スリットSLTの周辺では、イオンの集積が生じにくい。実施形態1の表示装置1は、表示品位の劣化を抑制できる。
- [0061] 共通電極COMLの内部には、第2方向Dyに延びるスリットSLTI（第2スリット）を有している。スリットSLTIは、平面視で、信号線SGLの1つと重畳している。そして、表示動作において、スリットSLTIに重なる信号線SGLの駆動電圧の極性は、当該スリットSLTIに隣接する2つの画素電極22の駆動電圧の極性と同じである。
- [0062] 実施形態1の表示装置1において、スリットSLTIを挟んで隣り合う画素電極22は、スリットSLTIと重畳する信号線SGLに対して同程度の電界分布を生じる。これにより、スリットSLTIの周辺では、イオンの集積が生じにくい。実施形態1の表示装置1は、表示品位の劣化を抑制できる。
- [0063] 表示動作において、スリットSLTに重なる信号線SGLの駆動電圧の極性と、当該スリットSLTに隣接する2つの画素電極22の極性とは、所定の周期で反転する。また、スリットSLTIに重なる信号線SGLの駆動電圧の極性と、当該スリットSLTIに隣接する2つの画素電極22の極性とは、所定の周期で反転する。これにより、液晶層6のいわゆる焼き付きと呼ばれる表示不良を抑制できる。
- [0064] 図7A又は図7Bに示すように、第1方向Dxに並ぶ4つの信号線SGLのうち、2つの隣り合う信号線SGLの駆動電圧が正極性であり、2つの隣り合う信号線SGLの駆動電圧が負極性である。これにより、極性の反転による充放電が少なく、表示装置1は、低消費電力化される。
- [0065] また、第1方向Dxに並ぶ4つの信号線SGLのうち、2つの信号線SGLが、平面視で、共通電極COMLと重畳する。また、平面視で、共通電極COMLと重畳する2つの信号線SGLが、第1方向Dxに隣接している。

そして、スリットSLTと、スリットSLTIとの間にある信号線SGLは、平面視で、共通電極COMLと重畳する。共通電極COMLで覆われた信号線SGLからの電界は、画素電極22に到達しにくい。このため、共通電極COMLで覆われた信号線SGLの駆動電圧の極性と、当該信号線SGLに隣接する画素電極22の駆動電圧の極性とが異なっても、表示品位の低下は抑制される。

[0066] 共通電極COMLは、第2方向Dyに延在している。表示装置1は複数の検出電極TDLを備え、これら複数の検出電極TDLは、第3方向Dz方向（厚み方向）において複数の共通電極COMLと対向し、かつ第1方向Dxに延在して、複数の共通電極COMLと容量結合する。これにより、表示装置1は、表示領域に接触又は近接する物体を検出することができる。

[0067] （実施形態1の変形例1）

図10Aは、実施形態1の変形例1の表示動作において、第1駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。図10Bは、実施形態1の変形例1の表示動作において、第2駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。ここで図10A、図10Bでは、スイッチング素子Trの図示が省略されている。なお、上述した各実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

[0068] 表示動作中は、図10Aに示す第1駆動状態と、図10Bに示す第2駆動状態とが所定の周期で交互に生じている。実施形態1の変形例1では、第1方向Dxにおいて、スリットSLTと、スリットSLTIの間には、2つの副画素がある。また、第1方向Dxにおいて、隣り合うスリットSLTIの間には、2つの副画素がある。

[0069] また、第1方向Dxに並ぶ4つの信号線SGLのうち、2つの信号線SGLが、平面視で、共通電極COMLと重畳する。そして、スリットSLTと、スリットSGLIとの間にある信号線SGLは、平面視で、共通電極COMLと重畳する。言い換えると、平面視で、共通電極COMLと重畳する2

つの信号線SGLが、スリットSLT又はスリットSGLIと平面視で重畳する信号線SGLに隣接している。共通電極COMLで覆われた信号線SGLからの電界は、画素電極22に到達しにくい。このため、共通電極COMLで覆われた信号線SGLの駆動電圧の極性と、当該信号線SGLに隣接する画素電極22の駆動電圧の極性とが異なっても、表示品位の低下は抑制される。

[0070] 実施形態1の表示装置1は、反転駆動して、図10Aに例示するように、第3方向DzにみてスリットSLTと重畳する信号線SGLが正極性の駆動電圧で駆動されている。スリットSLTに隣接する画素電極22は、両方とも正極性で駆動される。このため、スリットSLTを挟んで隣り合う画素電極22は、スリットSLTと重畳する信号線SGLに対して同程度の電界分布を生じる。これにより、駆動電圧の極性が反転しても、スリットSLTの周辺では、イオンの集積が生じにくい。

[0071] 実施形態1の表示装置1は、反転駆動して、図10Bに例示するように、第3方向DzにみてスリットSLTと重畳する信号線SGLが負極性の駆動電圧で駆動されている。スリットSLTに隣接する画素電極22は、両方とも負極性で駆動される。このため、スリットSLTを挟んで隣り合う画素電極22は、スリットSLTと重畳する信号線SGLに対して同程度の電界分布を生じる。これにより、駆動電圧の極性が反転しても、スリットSLTの周辺では、イオンの集積が生じにくい。

[0072] (実施形態1の変形例2)

図11Aは、実施形態1の変形例2の表示動作において、第1駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。図11Bは、実施形態1の変形例2の表示動作において、第2駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。ここで図11A、図11Bでは、スイッチング素子Trの図示が省略されている。なお、上述した各実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

[0073] 表示動作中は、図 1 1 A に示す第 1 駆動状態と、図 1 1 B に示す第 2 駆動状態とが所定の周期で交互に生じている。実施形態 1 の変形例 2 では、スリット S L T 1 が無い。

[0074] 実施形態 1 の表示装置 1 は、反転駆動して、図 1 1 A に例示するように、第 3 方向 D z にみてスリット S L T と重畳する信号線 S G L が負極性の駆動電圧で駆動されている。スリット S L T に隣接する画素電極 2 2 は、両方とも負極性で駆動される。このため、スリット S L T を挟んで隣り合う画素電極 2 2 は、スリット S L T と重畳する信号線 S G L に対して同程度の電界分布を生じる。これにより、駆動電圧の極性が反転しても、スリット S L T の周辺では、イオンの集積が生じにくい。

[0075] 実施形態 1 の表示装置 1 は、反転駆動して、図 1 1 B に例示するように、第 3 方向 D z にみてスリット S L T と重畳する信号線 S G L が正極性の駆動電圧で駆動されている。スリット S L T に隣接する画素電極 2 2 は、両方とも正極性で駆動される。このため、スリット S L T を挟んで隣り合う画素電極 2 2 は、スリット S L T と重畳する信号線 S G L に対して同程度の電界分布を生じる。これにより、駆動電圧の極性が反転しても、スリット S L T の周辺では、イオンの集積が生じにくい。

[0076] (実施形態 1 の変形例 3)

図 1 2 は、実施形態 1 の変形例 3 において、シールド電極を模式的に説明する断面図である。なお、上述した各実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

[0077] 図 1 2 に示すように、シールド電極 2 2 S は、第 3 方向 D z にみてスリット S L T と重畳する。図示を省略するが、シールド電極 2 2 S は、平面視で見ると、スリット S L T 又はスリット S L T 1 と沿う方向に延びている。シールド電極 2 2 S は、第 1 方向 D x に隣り合う画素電極 2 2 の間にあり、画素電極 2 2 と同層に形成されている。シールド電極 2 2 S には、ITO 等の透光性を有する導電性材料が用いられる。シールド電極 2 2 S には、表示動作中において、例えば共通電極 C O M L と同じ電圧が印加されている。これ

により、シールド電極 22S は、信号線 SGL の電界がスリット SLT 又はスリット SLTI を介して漏れることを抑制する。

[0078] (実施形態 1 の変形例 4)

図 13 は、実施形態 1 の変形例 4 において、補助電極を模式的に説明する断面図である。なお、上述した各実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

[0079] 図 13 に示すように、補助電極 ML は、第 3 方向 Dz にみてスリット SLT 又はスリット SLTI の一部と重畳する。補助電極 ML は、共通電極 COML の上に形成され、共通電極 COML と電氣的に接続されている。補助電極 ML は、アルミニウム (Al)、銅 (Cu)、銀 (Ag)、モリブデン (Mo)、クロム (Cr)、チタン (Ti) 及びタングステン (W) から選ばれた 1 種以上の金属層で形成される。補助電極 ML には、表示動作中において、例えば共通電極 COML と同じ電圧が印加されている。補助電極 ML は、共通電極 COML よりも単位面積あたりのシート抵抗値が小さい。これにより、表示動作時においては、複数の共通電極 COML の電圧が一定になりやすい。また、静電容量の検出動作において、駆動信号の時定数を小さくすることができる。そして、共通電極 COML を駆動する駆動信号の周波数に高い周波数を使用することができる。その結果、表示装置 1 は、静電容量の検出の精度が高まる。

[0080] (実施形態 2)

図 14 は、実施形態 2 態に係る表示装置の第 1 基板の平面図である。図 15 は、実施形態 2 態に係る表示装置の概略断面構造を表す断面図である。図 16 は、実施形態 2 の共通電極を模式的に説明するための平面図である。図 17A は、実施形態 2 の表示動作において、第 1 駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。図 17B は、実施形態 2 の表示動作において、第 2 駆動状態の画素電極及び信号線の極性を模式的に説明する平面図である。図 18A は、実施形態 2 の表示動作において、第 1 駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。図 18

Bは、実施形態2の表示動作において、第2駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。ここで図17A、図17Bでは、スイッチング素子Trの図示が省略されている。なお、上述した各実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

[0081] 図14に示すように、本実施形態の表示装置1において、共通電極COMLAは、第1基板21の表示領域10aに行列状に複数配置される。言い換えると、共通電極COMLAは、第1方向Dxに複数配列されるとともに、第2方向Dyに複数配列される。1つの共通電極COMLAに重畳して、複数の画素電極22が配列される。なお、図14では、一部の共通電極COMLA及び画素電極22を示しているが、共通電極COMLA及び画素電極22は、表示領域10aの全領域に行列状に配置される。

[0082] 共通電極COMLAは、それぞれ配線37を介して駆動電極ドライバ14に接続される。表示動作において、駆動電極ドライバ14は、セクタ回路TSELを介して全ての共通電極COMLAに表示駆動信号Vcomdcを供給する。また、静電容量の検出において、駆動電極ドライバ14は、セクタ回路TSELを介して共通電極COMLAに対して、同時又は順次に駆動信号Vdetを供給する。共通電極COMLAは、共通電極COMLAの静電容量変化に応じた検出信号を集積回路19に出力する。各共通電極COMLAからの検出信号に基づいて、検出面の静電容量の検出が行われる。つまり、共通電極COMLAは、表示動作の際に共通電極として機能するとともに、自己静電容量の検出の際に検出電極として機能する。

[0083] 図18Aに示すように、配線37は、共通電極COMLAと絶縁層24bを介して異なる層に設けられ、平面視で共通電極COMLA及びスリットSLTYと重畳して設けられる。

[0084] 隣り合う共通電極COMLAの間には、第1方向Dxに延びるスリットSLTXが設けられる。隣り合う共通電極COMLAの間には、第2方向Dyに延びるスリットSLTYが設けられる。各共通電極COMLAの内部には

、第2方向D_yに延びるスリットSLTIが設けられる。スリットSLTIは、スリットSLTYを不可視化するためのダミースリットと呼ばれる。このため、スリットSLTIの第2方向D_y端部は、導電性材料で接続されている。2つのスリットSLTI間の距離と、スリットSLTIとスリットSLTYとの距離が同じであると、スリットSLTYが目立ちにくくなる。スリットSLTYの第1方向D_xの幅は、1 μm以上5 μm以下程度である。同様に、スリットSLTIの第1方向D_xの幅は、1 μm以上5 μm以下程度である。

[0085] 実施形態2の表示装置1は、図17A及び図18Aに例示するように、第3方向D_zにみてスリットSLTYと重畳する信号線SGLが負極性の駆動電圧で駆動されている。スリットSLTYに隣接する画素電極22は、両方とも負極性で駆動される。ここで、信号線SGLの電界がスリットSLTYを介して漏れても、スリットSLTYと隣接する画素電極22は、スリットSLTYと重畳する信号線SGLと同じ極性で駆動される。このため、スリットSLTYを挟んで隣り合う画素電極22は、スリットSLTYと重畳する信号線SGLに対して同程度の電界分布を生じる。これにより、スリットSLTYの周辺では、イオンの集積が生じにくい。

[0086] 実施形態2の表示装置1は、反転駆動して、図17B及び図18Bに例示するように、第3方向D_zにみてスリットSLTYと重畳する信号線SGLが正極性の駆動電圧で駆動されている。スリットSLTYに隣接する画素電極22は、両方とも正極性で駆動される。このため、スリットSLTYを挟んで隣り合う画素電極22は、スリットSLTYと重畳する信号線SGLに対して同程度の電界分布を生じる。これにより、駆動電圧の極性が反転しても、スリットSLTの周辺では、イオンの集積が生じにくい。

[0087] 以上説明したように、実施形態2の表示装置1は、第1基板21と、複数の走査線GCLと、複数の信号線SGLと、共通電極COMLAと、画素電極22とを備える。走査線GCLは、第1基板21の第1方向D_xに延在する。信号線SGLは、第1基板21の第1方向D_xとは交差する第2方向D

yに延在する。共通電極COMLAが第1基板21に設けられ、画素電極22は、共通電極COMLAと、平面視で重畳する。隣り合う共通電極COMLAの間であり、第2方向Dyに延びるスリットSLTY（第1スリット）は、平面視で、信号線SGLの1つと重畳する。そして、表示動作において、スリットSLTYに重なる信号線SGLの駆動電圧の極性は、当該スリットSLTYの第1方向Dxに隣接する2つの画素電極22の駆動電圧の極性と同じである。

[0088] このように、実施形態2の表示装置1において、スリットSLTYを挟んで隣り合う画素電極22は、スリットSLTYと重畳する信号線SGLに対して同程度の電界分布を生じる。これにより、スリットSLTYの周辺では、イオンの集積が生じにくい。実施形態2の表示装置1は、表示品位の劣化を抑制できる。

[0089] 共通電極COMLの内部には、第2方向Dyに延びるスリットSLTI（第2スリット）を有している。スリットSLTIは、平面視で、信号線SGLの1つと重畳している。そして、表示動作において、スリットSLTIに重なる信号線SGLの駆動電圧の極性は、当該スリットSLTIに隣接する2つの画素電極22の駆動電圧の極性と同じである。

[0090] 実施形態2の表示装置1において、スリットSLTIを挟んで隣り合う画素電極22は、スリットSLTIと重畳する信号線SGLに対して同程度の電界分布を生じる。これにより、スリットSLTIの周辺では、イオンの集積が生じにくい。実施形態2の表示装置1は、表示品位の劣化を抑制できる。

[0091] （実施形態3）

図19は、実施形態3の表示動作において、第1駆動状態の画素電極及び信号線の極性を模式的に説明する断面図である。なお、上述した各実施形態で説明したものと同一構成要素には同一の符号を付して重複する説明は省略する。

[0092] 実施形態3では、実施形態1のようにゲートドライバ12、ソースドライ

バ 1 3、又は、駆動電極ドライバ 1 4 は、ガラス基板である第 1 基板 2 1 に形成されるのではなく、上述したフレキシブル基板 7 2 を介して、第 1 基板 2 1 とは別の場所に配置されていてもよい。例えば、図 1 9 のように、第 1 基板 2 1 とは別の場所に配置された駆動電極ドライバ 1 4 が、シールド電極 2 2 S に、表示動作中において、例えば共通電極 COM L と同じ電圧を印加する。これにより、シールド電極 2 2 S は、信号線 S G L の電界がスリット S L T 又はスリット S L T I を介して漏れることを抑制する。

[0093] 以上、本開示の好適な実施の形態を説明したが、本開示はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本開示の趣旨を逸脱しない範囲で種々の変更が可能である。本開示の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本開示の技術的範囲に属する。

[0094] 例えば、実施形態 1 の変形例 1 から 4 の態様は、実施形態 2 又は実施形態 3 の表示装置 1 の態様に適用してもよい。

[0095] 例えば、第 1 方向 D_x と第 2 方向 D_y とで規定される平面は、第 1 基板 2 1 の面と平行としたが、第 1 基板 2 1 の面が湾曲していてもよい。この場合、表示装置 1 が最大面積でみる方向からみて、所定の方法が第 1 方向となり、その第 1 方向と交差する方向が第 2 方向となる。表示装置 1 が最大面積でみる方向は、第 1 方向及び第 2 方向に直交する第 3 方向が規定されればよい。

符号の説明

- [0096]
- 1 表示装置
 - 2 画素基板
 - 3 対向基板
 - 6 液晶層
 - 1 0 表示部
 - 1 4 駆動電極ドライバ
 - 1 8 検出用 I C

1 9 集積回路

2 1 第 1 基板

2 2 画素電極

2 2 S シールド電極

3 1 第 2 基板

COML、COMLA 共通電極

ML 補助電極

SEL セレクタ回路

SGL 信号線

SLT、SLTI、SLTX、SLTY スリット

TDL 検出電極

請求の範囲

- [請求項1] 基板と、
 前記基板の第1方向に延在する複数の走査線と、
 前記基板の前記第1方向とは交差する第2方向に延在する複数の信号線と、
 前記基板に設けられた複数の共通電極と、
 前記共通電極と、平面視で重畳する複数の画素電極と、を備え、
 前記共通電極は、前記第1方向に隣り合う第1共通電極と第2共通電極とを備え、前記第1共通電極と前記第2共通電極との間には第2方向に延びる電極間スリットが設けられており、
 前記画素電極は、前記第1共通電極に重畳する第1画素電極と、前記第2共通電極に重畳する第2画素電極とを備え、前記第1画素電極は第1信号線から画素信号が供給され、前記第2画素電極は第2信号線から画素信号が供給され、これら一対の前記第1画素電極と前記第2画素電極とは平面視で前記電極間スリットを介して隣り合って設けられており、
 前記電極間スリットは、平面視で、前記第2信号線と重畳しており、
 表示動作において、前記第2信号線の極性は、前記第1画素電極の極性及び前記第2画素電極の極性と同じである、
 表示装置。
- [請求項2] 前記表示動作において、前記第1信号線の極性と前記第2信号線の極性と同じである
 請求項1に記載の表示装置。
- [請求項3] 表示動作において、前記第2信号線の極性と、前記第1画素電極の極性及び前記第2画素電極の極性とは、所定の周期で反転する、
 請求項1又は請求項2に記載の表示装置。
- [請求項4] 前記画素電極は、前記第2共通電極に重畳する第3画素電極と第4

画素電極とをさらに備え、

前記信号線は、前記第3画素電極に画素信号を供給する第3信号線と、前記第4画素電極に画素信号を供給する第4信号線とを備え、

前記第2共通電極は、前記第2方向に延びる電極内スリットを有し、

前記電極内スリットは、平面視で、前記第4信号線の1つと重畳しており、

表示動作において、前記第4信号線の極性は、前記第3画素電極の極性及び前記第4画素電極の極性と同じである、

請求項1乃至請求項3のいずれか1項に記載の表示装置。

[請求項5] 前記表示動作において、前記第3信号線と前記第4信号線の極性と同じである

請求項4に記載の表示装置。

[請求項6] 表示動作において、前記第4信号線の極性と、前記第3画素電極の極性及び前記第4画素電極の極性とは、所定の周期で反転する、

請求項4又は請求項5に記載の表示装置。

[請求項7] 前記第1方向に前記第1信号線、前記第2信号線、前記第3信号線、前記第4信号線がこの順で隣り合って配置されており、前記第1信号線及び前記第2信号線が正極性であり、前記第3信号線及び前記第4信号線が負極性である、

請求項4に記載の表示装置。

[請求項8] 前記電極間スリットと重畳するシールド電極を備え、前記シールド電極は、前記画素電極と同層に形成されている、

請求項1から請求項7のいずれか1項に記載の表示装置。

[請求項9] 前記電極間スリットの一部と重畳する補助電極を備え、前記補助電極は、金属層で形成されている、

請求項1から請求項8のいずれか1項に記載の表示装置。

[請求項10] 前記共通電極は、前記第2方向に延在し、

前記第 1 方向及び前記第 2 方向とは異なる第 3 方向において複数の前記共通電極と対向し、かつ前記第 1 方向に延在して、複数の前記共通電極と容量結合する、複数の検出電極をさらに備える、

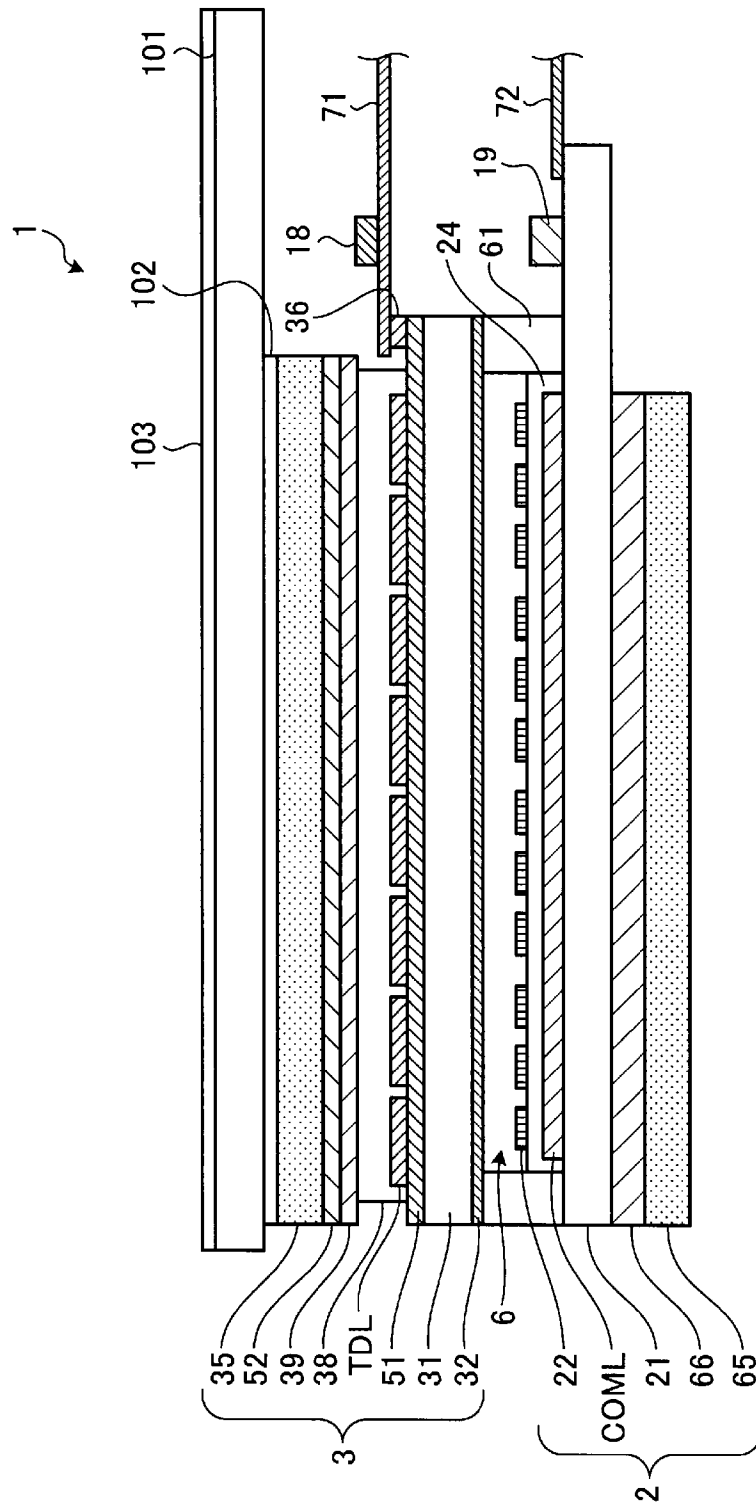
請求項 1 から 9 のいずれか 1 項に記載の表示装置。

[請求項 11]

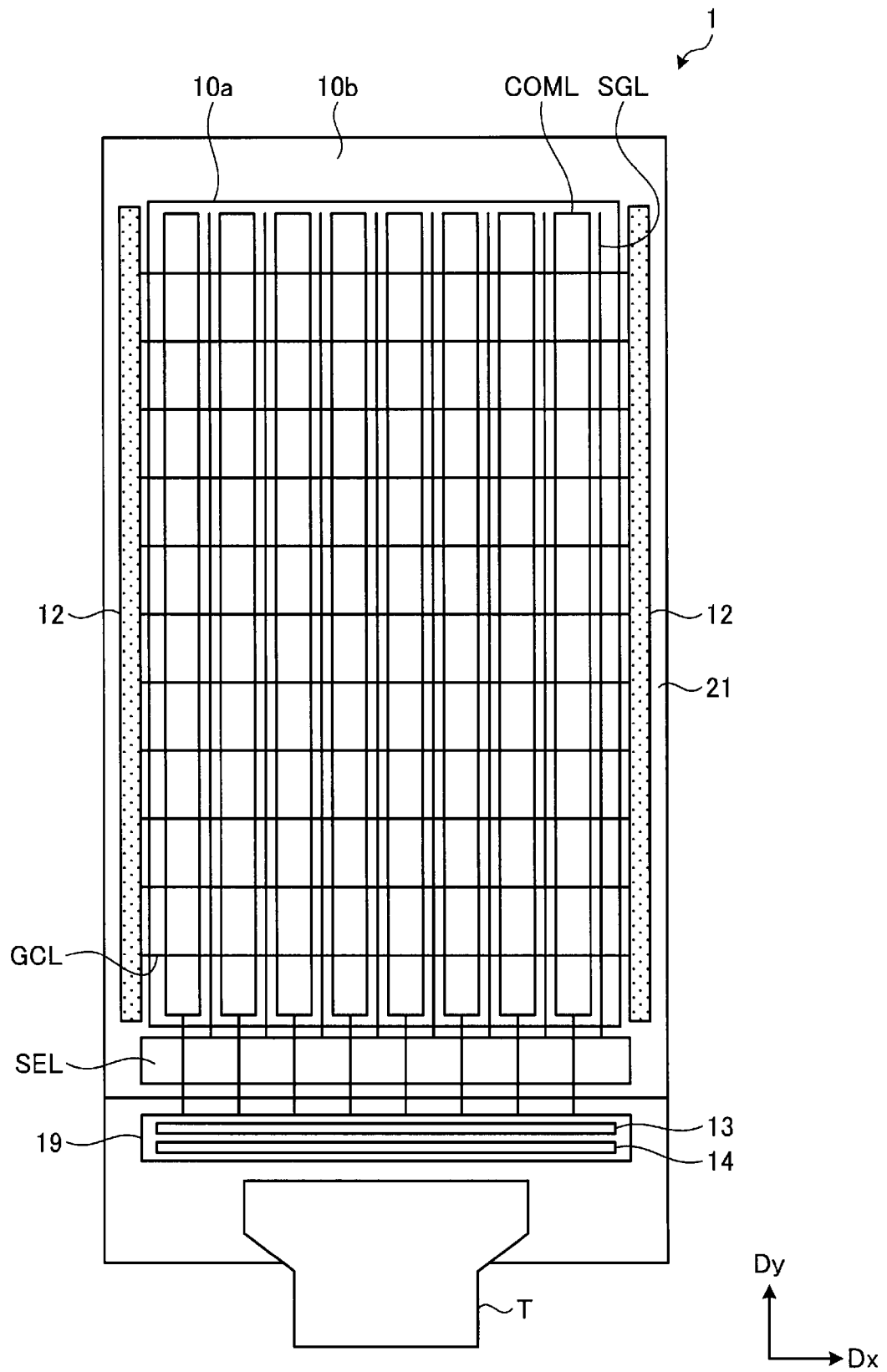
複数の前記共通電極は、行列状に配置されている、

請求項 1 から 10 のいずれか 1 項に記載の表示装置。

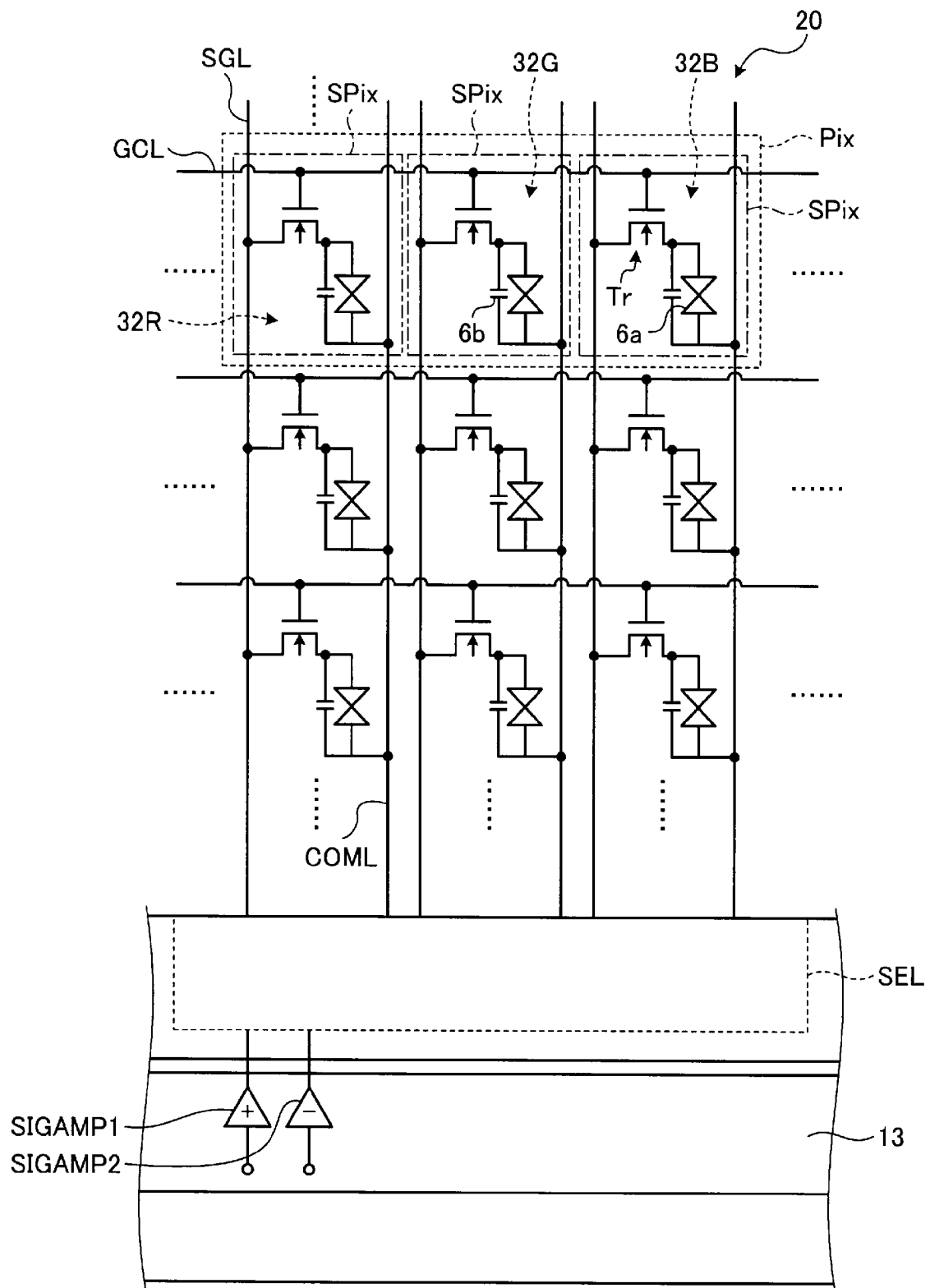
[図1]



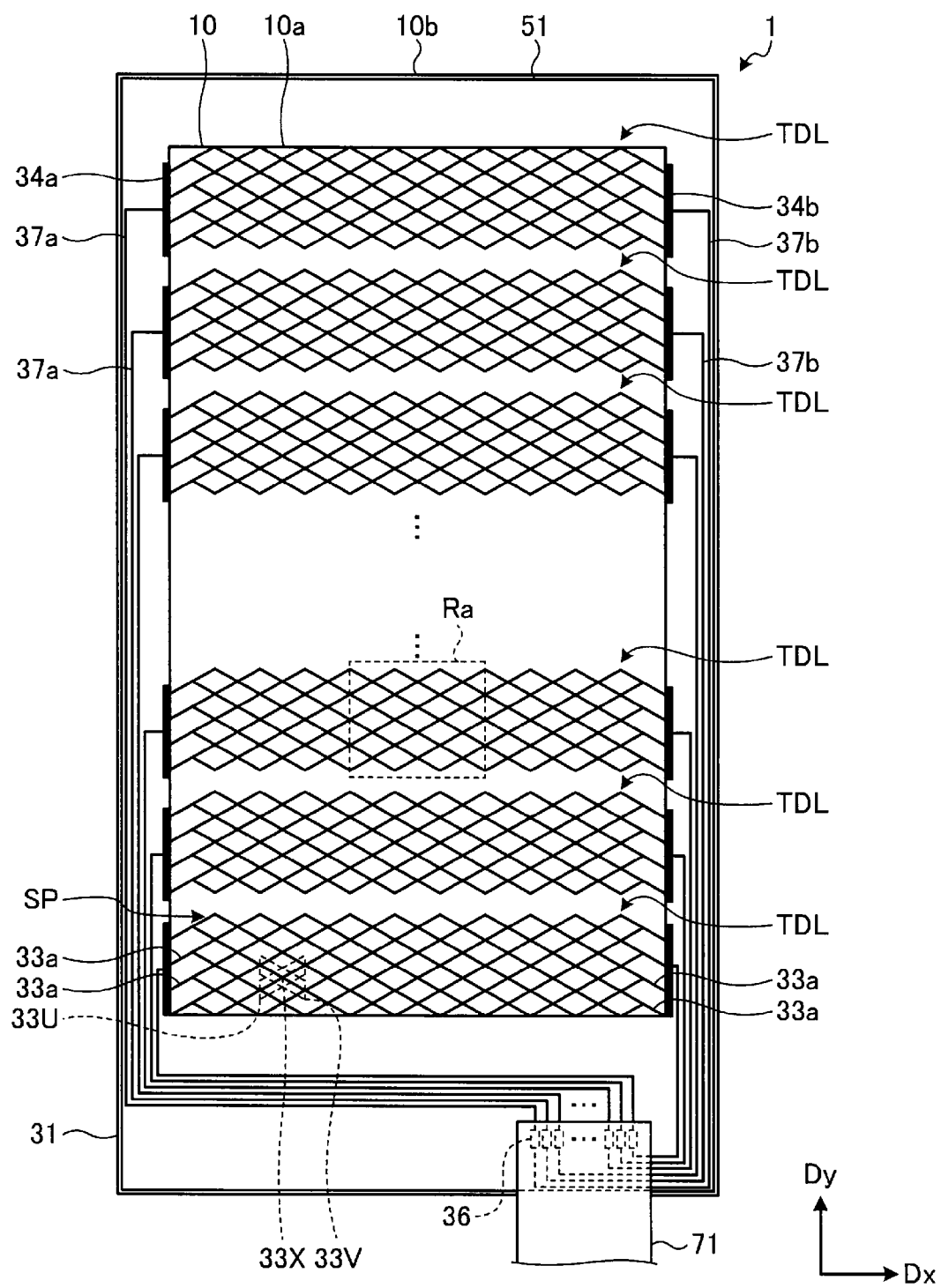
[図2]



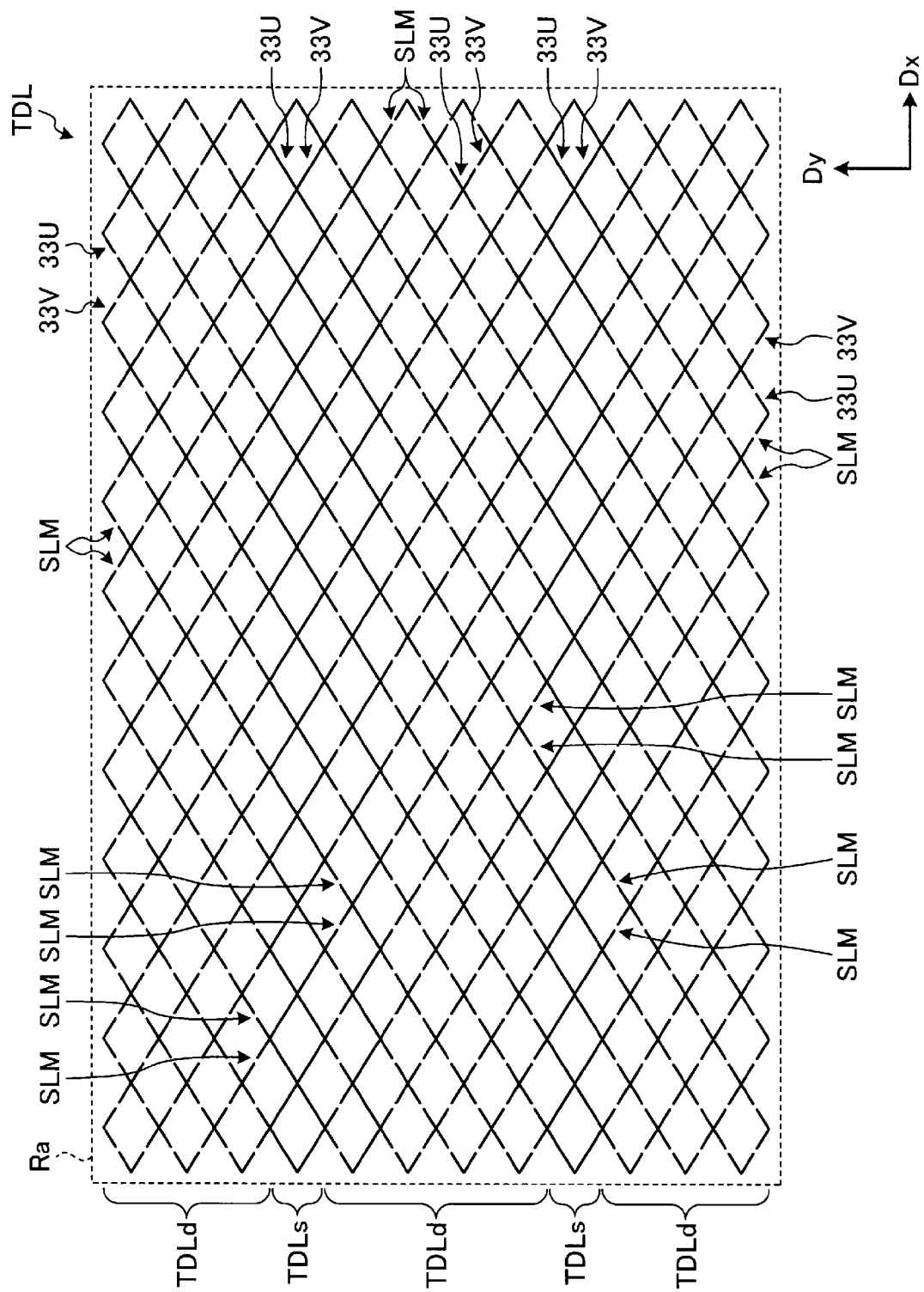
[図3]



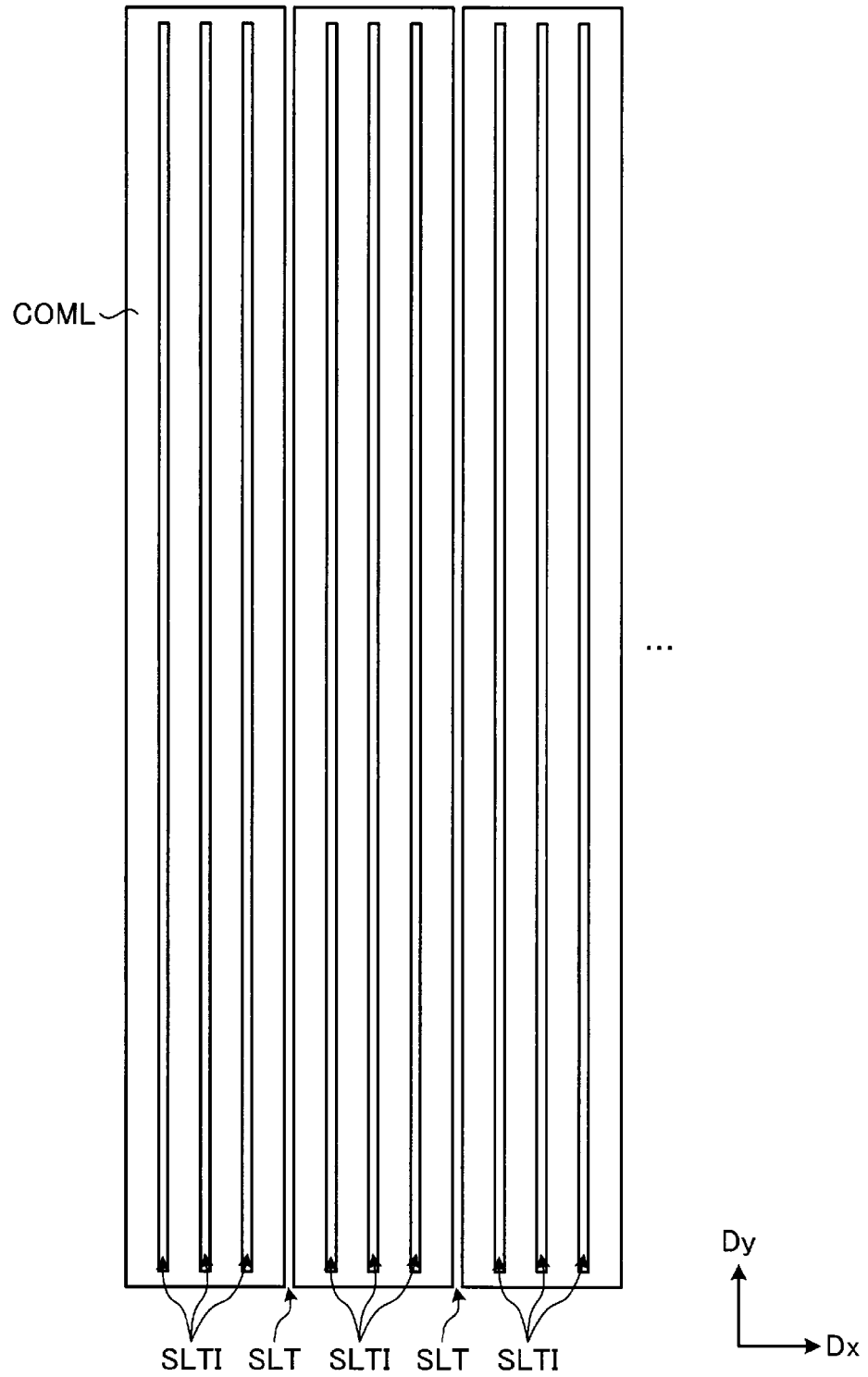
[図4]



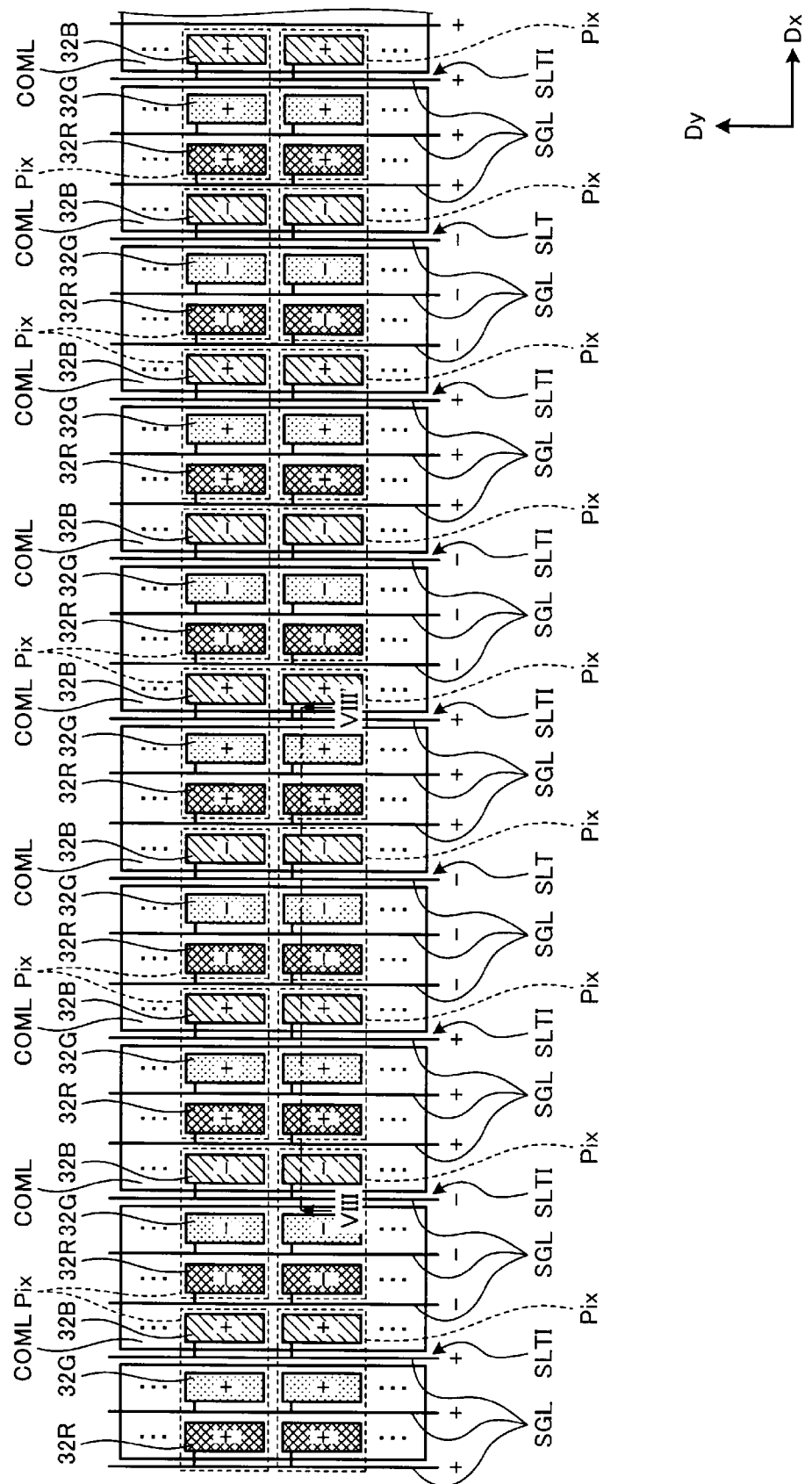
[図5]



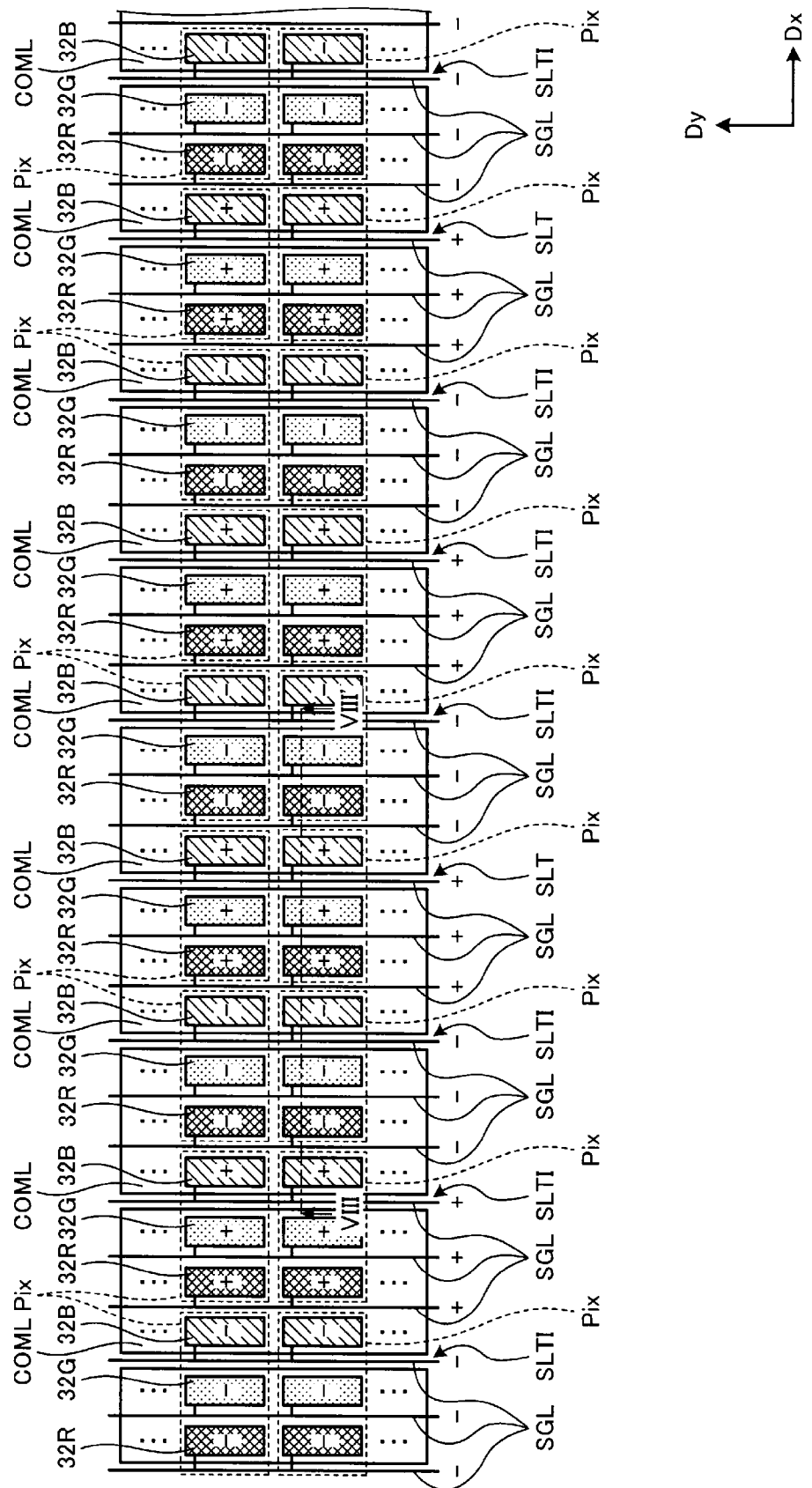
[図6]



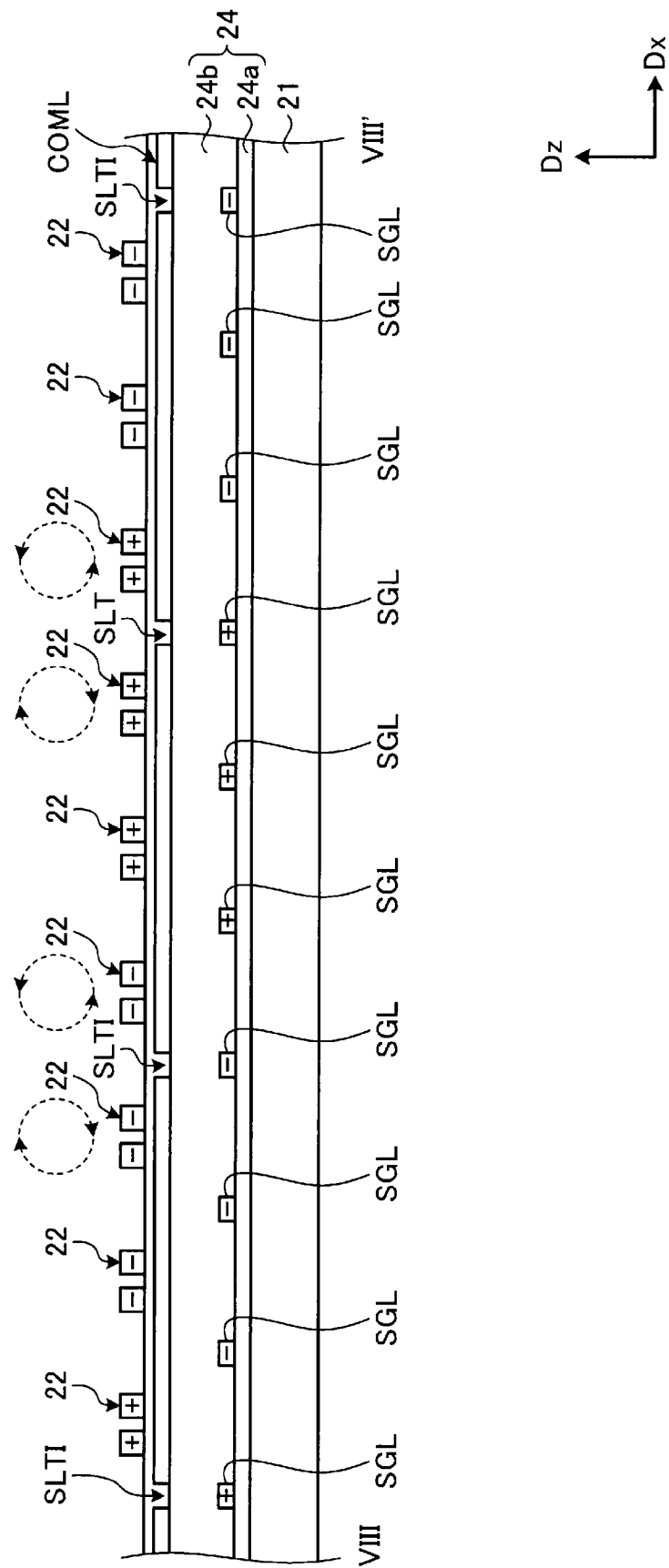
[図7A]



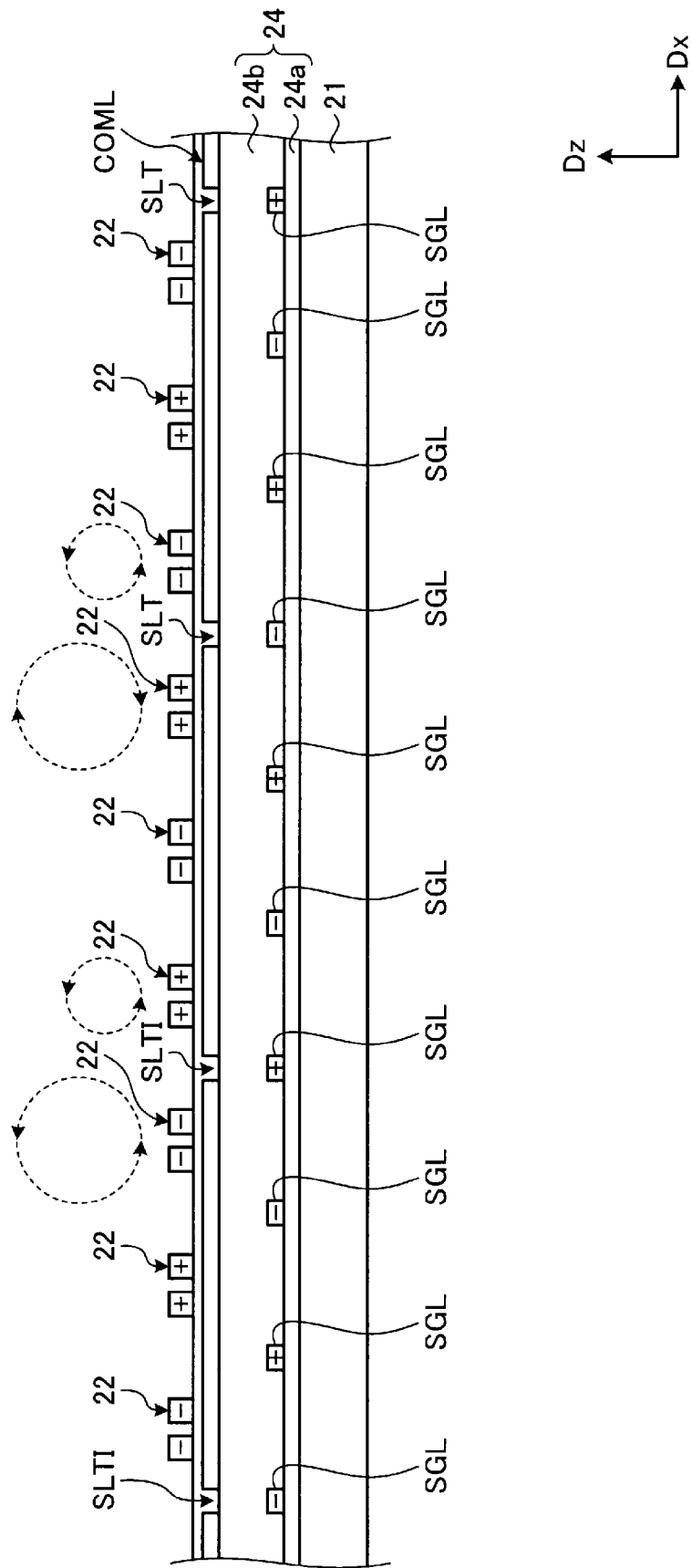
[図7B]



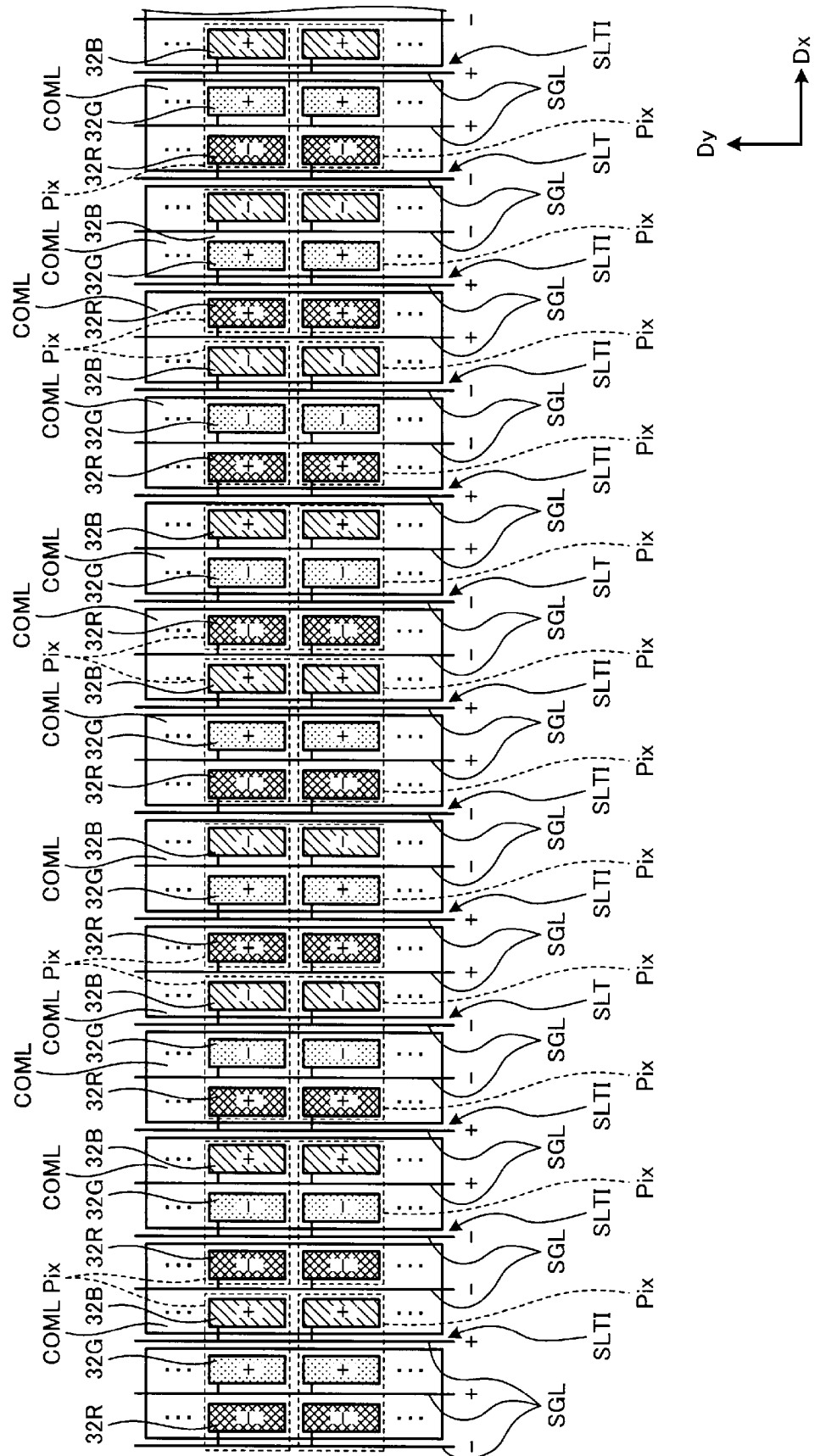
[図8A]



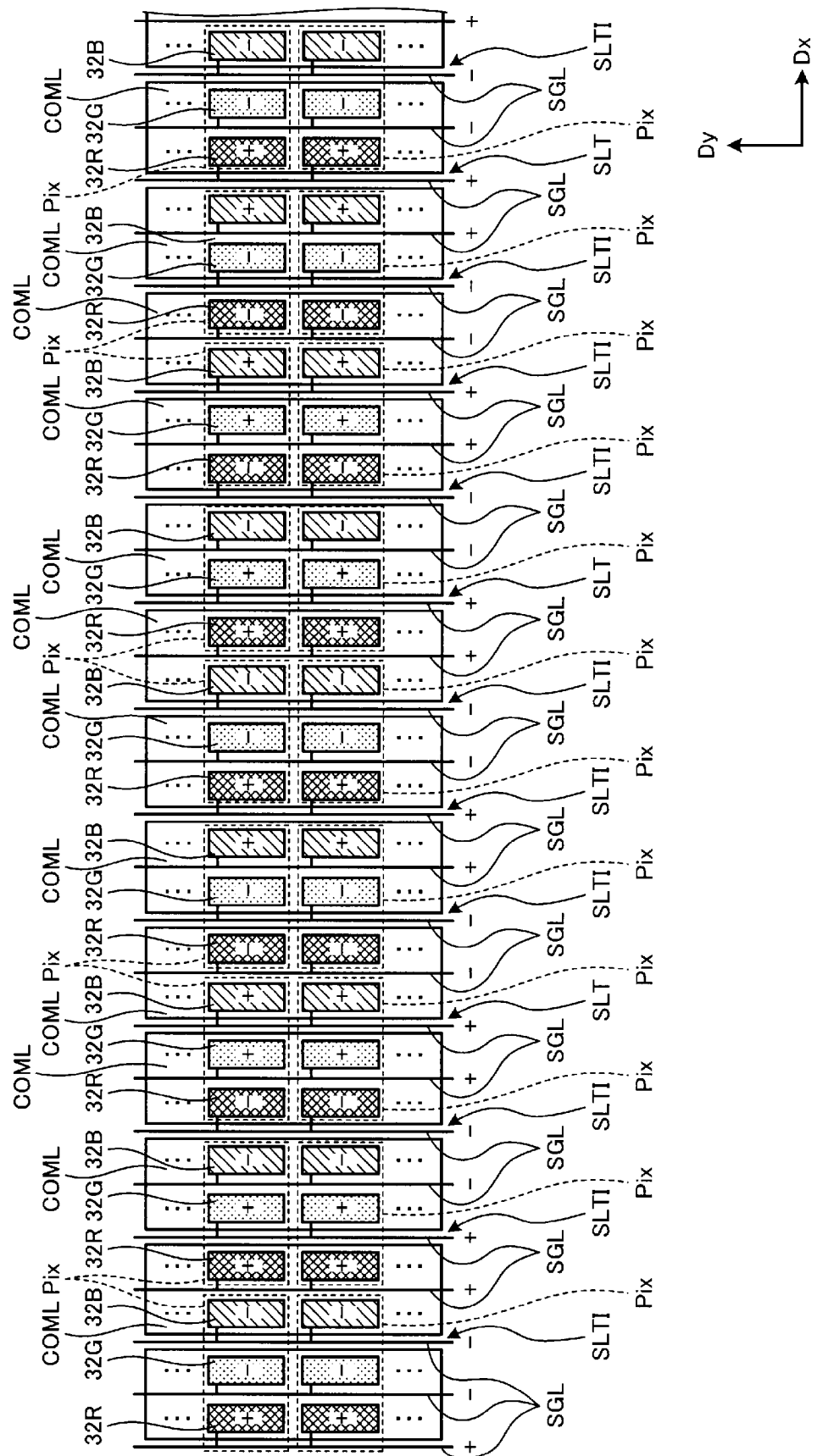
[図9]



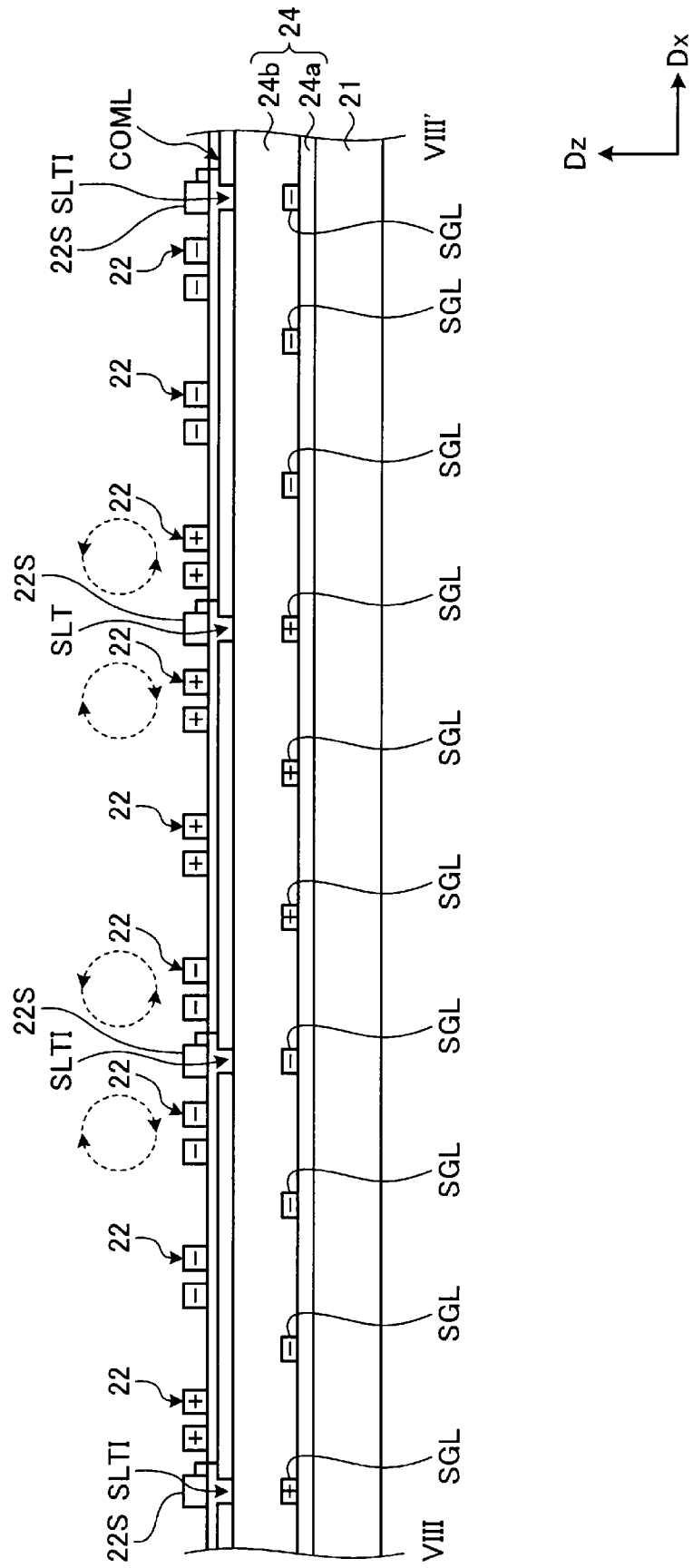
[図10A]



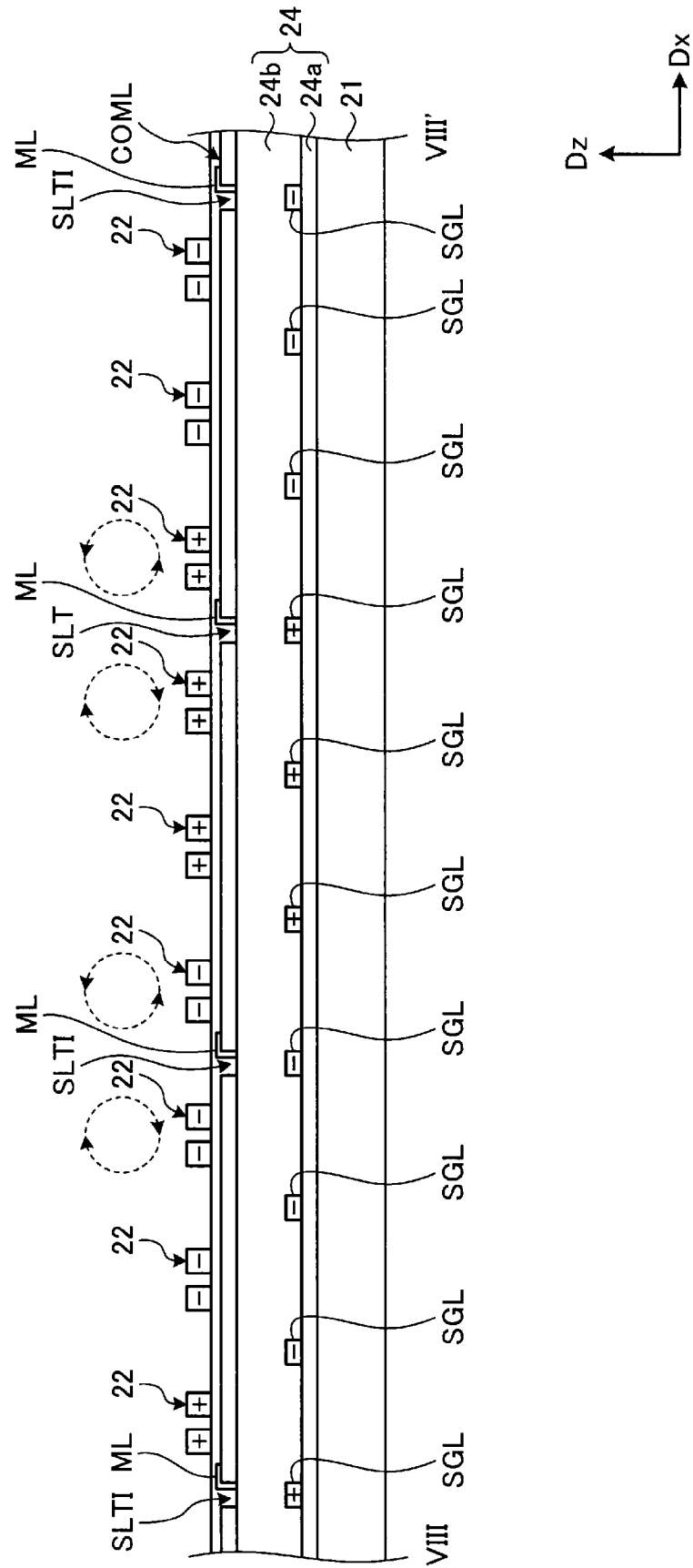
[図10B]



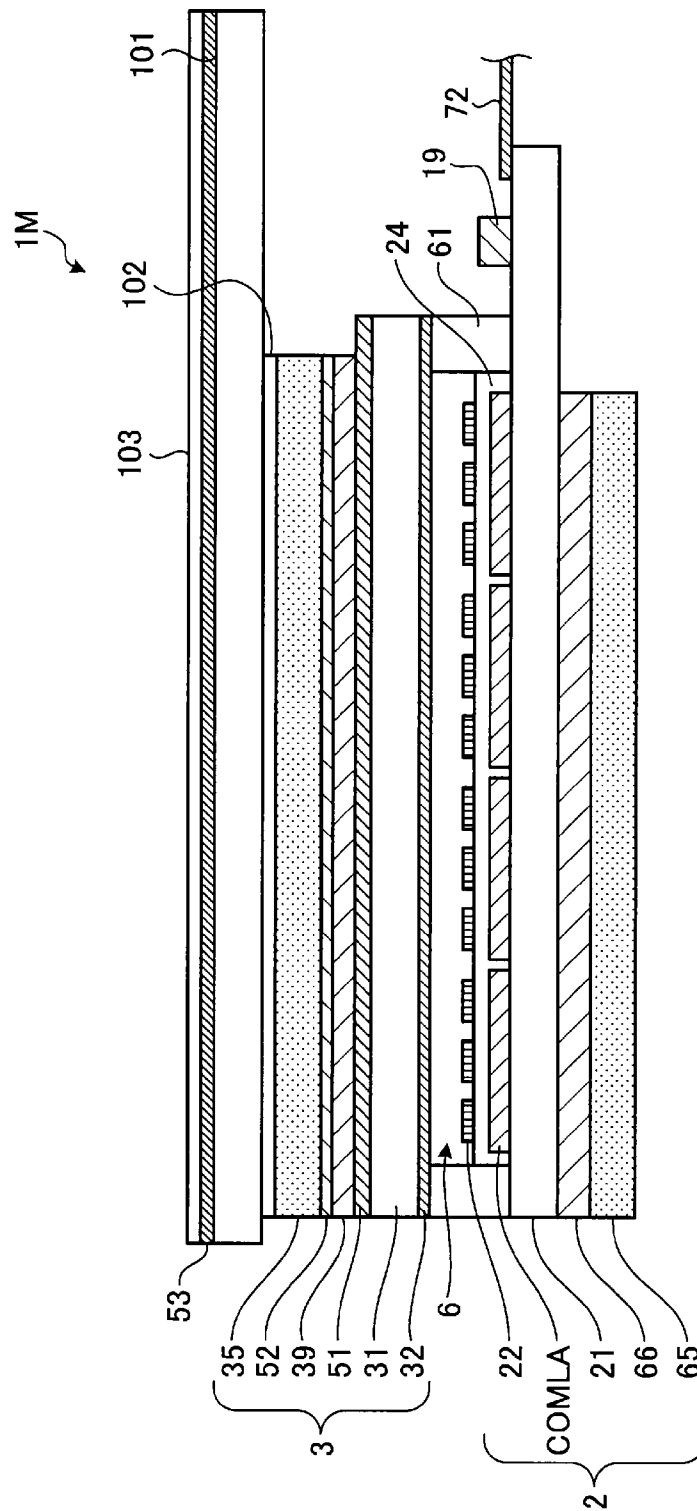
[図12]



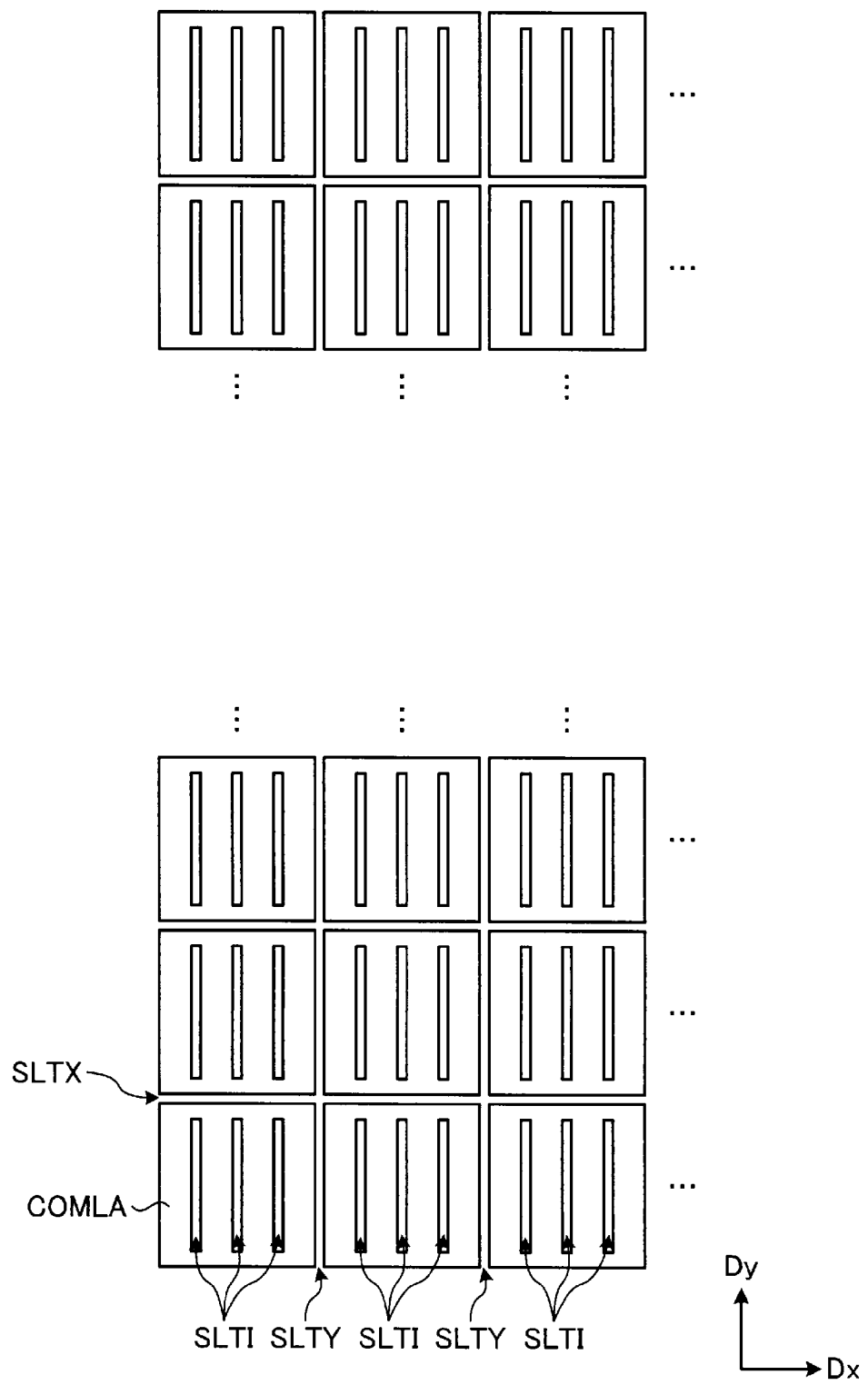
[図13]



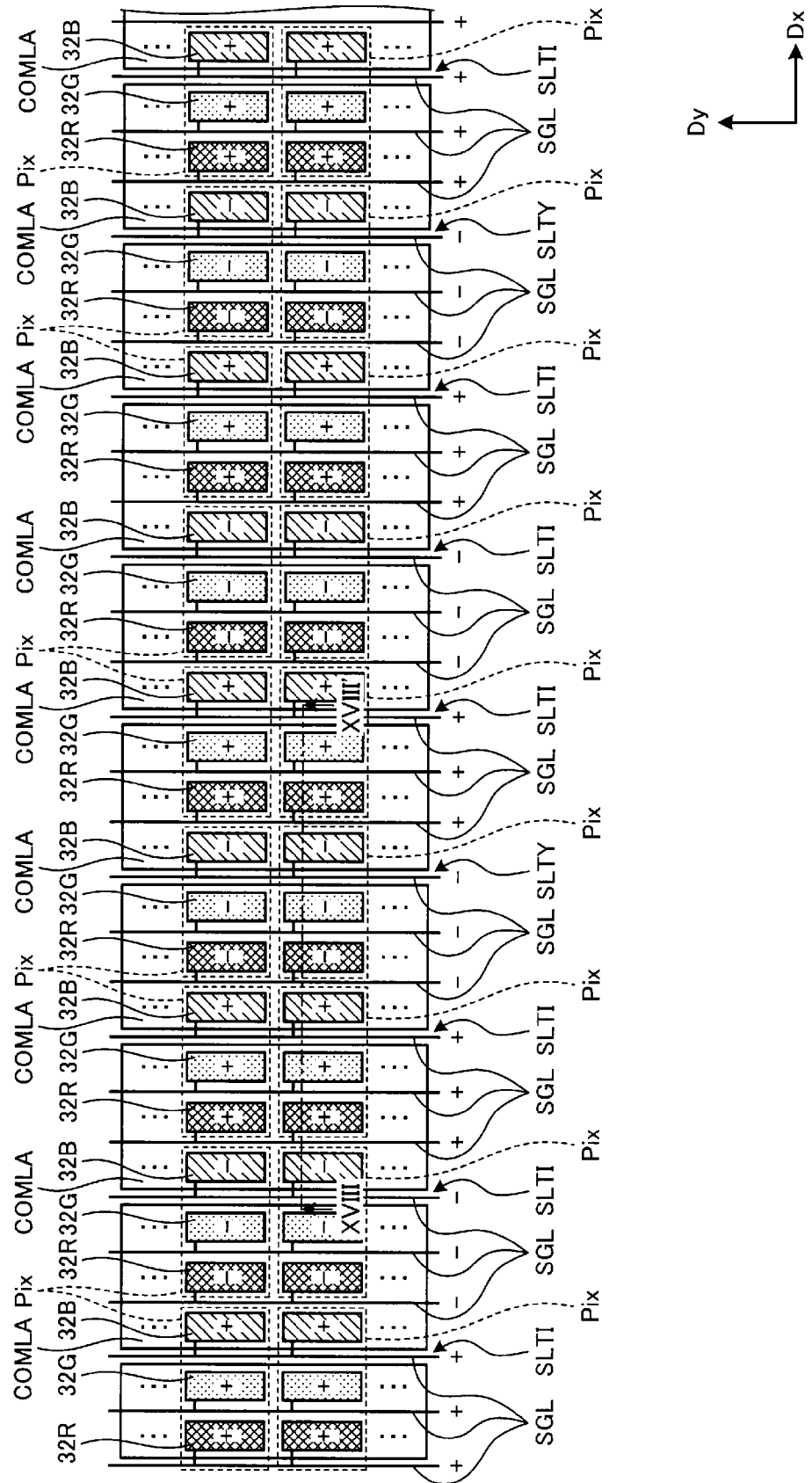
[図15]



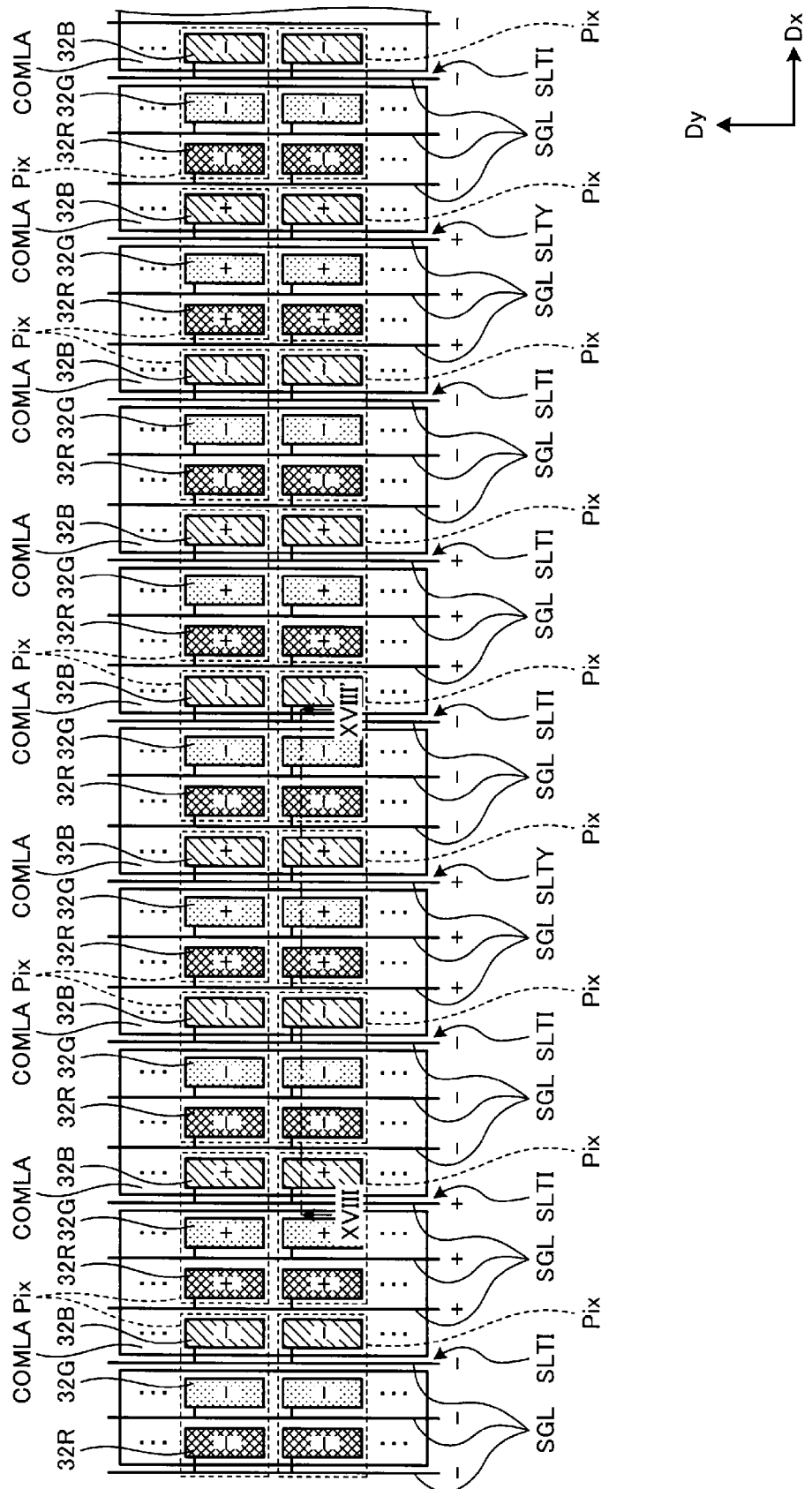
[図16]



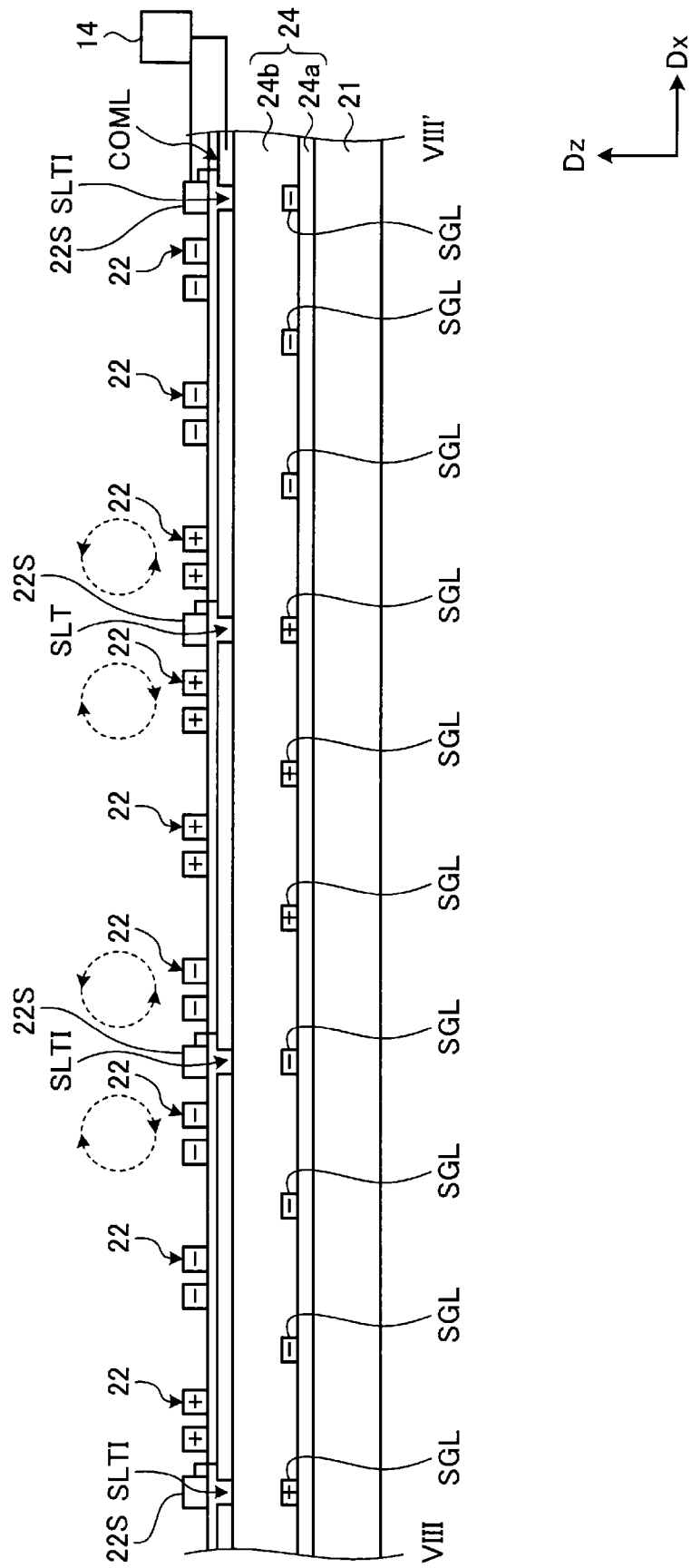
[図17A]



[図17B]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/048349

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G02F1/1343(2006.01)i, G02F1/133(2006.01)i, G02F1/1333(2006.01)i, G02F1/1368(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i
FI: G02F1/1343, G02F1/1368, G02F1/133 550, G09G3/36, G09G3/20 623C, G09G3/20 624D, G09G3/20 621B, G09G3/20 642A, G09G3/20 680H, G02F1/1333, G02F1/133 530

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G02F1/1343, G02F1/133, G02F1/1333, G02F1/1368, G09G3/20, G09G3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2020
Registered utility model specifications of Japan 1996-2020
Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-151702 A (JAPAN DISPLAY INC.) 31 August 2017, paragraphs [0011]-[0083], fig. 1-14	1-11
Y	JP 2015-222346 A (JAPAN DISPLAY INC.) 10 December 2015, paragraph [0123], fig. 10	1-11
Y	JP 2014-132446 A (JAPAN DISPLAY INC.) 17 July 2014, paragraphs [0047]-[0052], [0068]-[0075], fig. 11-13, 17-20	4-7
Y	US 2017/0068349 A1 (DONCBU HITEK CO., LTD.) 09 March 2017, paragraphs [0044]-[0061], fig. 2	11
A	JP 2017-146438 A (JAPAN DISPLAY INC.) 24 August 2017, paragraphs [0056]-[0058], fig. 10	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
28.01.2020

Date of mailing of the international search report
18.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/048349

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-184098 A (JAPAN DISPLAY INC.) 20 October 2016, paragraphs [0009]-[0146], fig. 1-18	1-11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/048349

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2017-151702 A	31.08.2017	US 2017/0242308 A1 paragraphs [0024]- [0102], fig. 1-14 CN 107121804 A	
JP 2015-222346 A	10.12.2015	US 2015/0339988 A1 paragraphs [0185]- [0189], fig. 10 CN 105093733 A KR 10-2015-0135120 A TW 201602773 A	
JP 2014-132446 A	17.07.2014	US 2014/0152616 A1 paragraphs [0094]- [0097], [0116]-[0125], fig. 11-13, 17-20 CN 103853409 A TW 201428590 A KR 10-2014-0072809 A KR 10-2017-0030272 A	
US 2017/0068349 A1	09.03.2017		
JP 2017-146438 A	24.08.2017	US 2017/0235399 A1 paragraphs [0075]- [0078], fig. 10	
JP 2016-184098 A	20.10.2016	US 2016/0284288 A1 paragraphs [0024]- [0175], fig. 1-18	

A. 発明の属する分野の分類（国際特許分類（IPC）） G02F 1/1343(2006.01)i; G02F 1/133(2006.01)i; G02F 1/1333(2006.01)i; G02F 1/1368(2006.01)i; G09G 3/20(2006.01)i; G09G 3/36(2006.01)i FI: G02F1/1343; G02F1/1368; G02F1/133 550; G09G3/36; G09G3/20 623C; G09G3/20 624D; G09G3/20 621B; G09G3/20 642A; G09G3/20 680H; G02F1/1333; G02F1/133 530																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G02F1/1343; G02F1/133; G02F1/1333; G02F1/1368; G09G3/20; G09G3/36 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2020年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2020年	日本国実用新案登録公報	1996-2020年	日本国登録実用新案公報	1994-2020年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2020年																						
日本国実用新案登録公報	1996-2020年																						
日本国登録実用新案公報	1994-2020年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2017-151702 A (株式会社ジャパンディスプレイ) 31.08.2017 (2017-08-31) [0011]-[0083][図1]-[図14]</td> <td>1-11</td> </tr> <tr> <td>Y</td> <td>JP 2015-222346 A (株式会社ジャパンディスプレイ) 10.12.2015 (2015-12-10) [0123][図10]</td> <td>1-11</td> </tr> <tr> <td>Y</td> <td>JP 2014-132446 A (株式会社ジャパンディスプレイ) 17.07.2014 (2014-07-17) [0047]-[0052][0068]-[0075][図11]-[図13][図17]-[図20]</td> <td>4-7</td> </tr> <tr> <td>Y</td> <td>US 2017/0068349 A1 (DONGBU HITEK CO., LTD.) 09.03.2017 (2017-03-09) [0044]-[0061][図2]</td> <td>11</td> </tr> <tr> <td>A</td> <td>JP 2017-146438 A (株式会社ジャパンディスプレイ) 24.08.2017 (2017-08-24) [0056]-[0058][図10]</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>JP 2016-184098 A (株式会社ジャパンディスプレイ) 20.10.2016 (2016-10-20) [0009]-[0146][図1]-[図18]</td> <td>1-11</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2017-151702 A (株式会社ジャパンディスプレイ) 31.08.2017 (2017-08-31) [0011]-[0083][図1]-[図14]	1-11	Y	JP 2015-222346 A (株式会社ジャパンディスプレイ) 10.12.2015 (2015-12-10) [0123][図10]	1-11	Y	JP 2014-132446 A (株式会社ジャパンディスプレイ) 17.07.2014 (2014-07-17) [0047]-[0052][0068]-[0075][図11]-[図13][図17]-[図20]	4-7	Y	US 2017/0068349 A1 (DONGBU HITEK CO., LTD.) 09.03.2017 (2017-03-09) [0044]-[0061][図2]	11	A	JP 2017-146438 A (株式会社ジャパンディスプレイ) 24.08.2017 (2017-08-24) [0056]-[0058][図10]	1-11	A	JP 2016-184098 A (株式会社ジャパンディスプレイ) 20.10.2016 (2016-10-20) [0009]-[0146][図1]-[図18]	1-11
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
Y	JP 2017-151702 A (株式会社ジャパンディスプレイ) 31.08.2017 (2017-08-31) [0011]-[0083][図1]-[図14]	1-11																					
Y	JP 2015-222346 A (株式会社ジャパンディスプレイ) 10.12.2015 (2015-12-10) [0123][図10]	1-11																					
Y	JP 2014-132446 A (株式会社ジャパンディスプレイ) 17.07.2014 (2014-07-17) [0047]-[0052][0068]-[0075][図11]-[図13][図17]-[図20]	4-7																					
Y	US 2017/0068349 A1 (DONGBU HITEK CO., LTD.) 09.03.2017 (2017-03-09) [0044]-[0061][図2]	11																					
A	JP 2017-146438 A (株式会社ジャパンディスプレイ) 24.08.2017 (2017-08-24) [0056]-[0058][図10]	1-11																					
A	JP 2016-184098 A (株式会社ジャパンディスプレイ) 20.10.2016 (2016-10-20) [0009]-[0146][図1]-[図18]	1-11																					
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 28.01.2020		国際調査報告の発送日 18.02.2020																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 廣田 かおり 2L 3812 電話番号 03-3581-1101 内線 3295																					

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/048349

引用文献			公表日	パテントファミリー文献	公表日
JP	2017-151702	A	31.08.2017	US 2017/0242308 A1 [0024]-[0102][図 1]-[図 1 4] CN 107121804 A	
JP	2015-222346	A	10.12.2015	US 2015/0339988 A1 [0185]-[0189][図 1 0] CN 105093733 A KR 10-2015-0135120 A TW 201602773 A	
JP	2014-132446	A	17.07.2014	US 2014/0152616 A1 [0094]-[0097][0116]- [0125][図 1 1]-[図 1 3] [図 1 7]-[図 2 0] CN 103853409 A TW 201428590 A KR 10-2014-0072809 A	
US	2017/0068349	A1	09.03.2017	KR 10-2017-0030272 A	
JP	2017-146438	A	24.08.2017	US 2017/0235399 A1 [0075]-[0078][図 1 0]	
JP	2016-184098	A	20.10.2016	US 2016/0284288 A1 [0024]-[0175][図 1]-[図 1 8]	