

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁶

G05F 1/571

[12] 发明专利说明书

[21] ZL 专利号 90109627. X

[45]授权公告日 1999年7月28日

[11]授权公告号 CN 1044412C

[22]申请日 90.12.3 [24]颁证日 99.3.11

[21]申请号 90109627. X

[30]优先权

[32]90.9.29 [33]KR [31]15678/90

[73]专利权人 三星电子株式会社

地址 南朝鲜京畿道水原市

[72]发明人 韩教真

[56]参考文献

US4,716307 1987.12.29 G05F1/56
G05F5/08

US4,868,483 1989.9.19 G05F3/16
IEEE, JOURNAL OF, SOLID - STATE CITS, VOL.
24, NO. 5 1989. 10. 3 DAEJE CHIN et al
An Experincental 16 - M6, 4. DRAM with Reduced

审查员 赵 静

[74]专利代理机构 中国专利代理(香港)有限公司

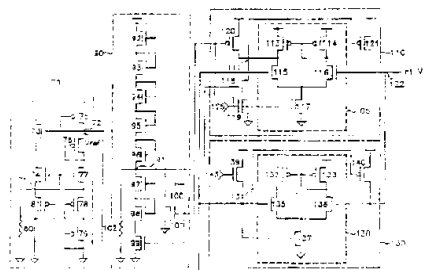
代理人 马铁良 吴秉芬

权利要求书 7 页 说明书 16 页 附图页数 6 页

[54]发明名称 电源电压控制电路

[57]摘要

本发明为电源电压控制电路,它包含具有负反馈电路的参考电压发生电路、用于在外电压超过某个给定电压时增加内电源电压的电源电压电平检测电路、用于有效操作的第一差分放大电路和一用于备用操作的第二差分放大电路。第一差分放大电路接收参考电压和内电源电压,由第一控制信号和电源电压电平检测电路的输出来控制。第二差分放大电路接收参考电压和内电源电压,由第二控制信号来控制。



ISSN 1008-4274

权 利 要 求 书

1. 一种电源电压控制电路包含:

连接到一个外部电源电压端上用来产生一个恒定参考电压的参考电压发生装置(70);

连接所述外电源电压端的电源电压电平检测装置(90), 当所述外电源电压等于或大于一个给定电压时, 用于线性增加内电压;

具有两个分别接收所述参考电压发生装置(70)和所述内电源电压(122)输出的输入端的第一差分放大装置(110), 所述内电源电压(122)由第一控制信号(125)和所述电源电压电平检测装置(90)来控制; 和

具有两个接收所述参考电压发生装置(70)和所述内电源电压(122)输出的输入端的第二差分放大装置(130), 该内电源电压(122)由第二控制信号(145)来控制;

所述第一和第二差分放大装置(110,130)中各 PMOS 功率晶体管(121,140)可以独立地导通/截止, 从而在所述外电源电压大于给定电压时减少不必要的电流消耗。

2. 按权利要求 1 的电源电压控制电路, 其特征在于所述参考电压发生装置(70)包含:

串联连接在上述外电源电压和控制节点(71)之间的第一 NMOS 晶体管(73)和连接成二极管的 PMOS 晶体管(74);

并联连接在上述控制节点(71)和地电压端之间的电阻(80)和拉曳 PMOS 晶体管(81);

连接到上述第一 NMOS 晶体管(73)的输出节点(72);

一个驱动 PMOS 晶体管(75), 其电流通路连接在上述外电源电压端和上述输出节点(72)之间, 其栅极连接在上述控制节点

(71).

3. 按权利要求 2 的电源电压控制电路, 其特征在于, 所述参考电压发生装置(70)还包含一个电流通路装置, 该电流通路装置包含多个连接在所述输出节点(72)和接地电压端之间的连接成二极管的 PMOS 晶体管(76-79)。

4. 按权利要求 1 的电源电压控制电路, 其特征在于, 所述电源电压电平检测装置(90)包含:

串联连接在所述外电源电压端和检测节点(91)之间的电压降装置;

连接在所述检测节点(91)和接地电压端之间的电阻(102);

串联连接在所述检测节点(91)的连接成二极管的 NMOS 晶体管(97、98);

其电流通路连接在上述晶体管(98)和接地端之间, 其栅极连接到上述第一控制信号端(125)的第二 NMOS 晶体管(99);

连接到所述检测节点(91)上的第三连接成二极管的 NMOS 晶体管(100);

其电流通路连接在上述第三 NMOS 晶体管(100)的源极和接地端之间, 其栅极连接在上述第一控制信号端(125)的第四 NMOS 晶体管(101)。

5. 按权利要求 1 的电源电压控制电路, 其特征在于, 所述第一差分放大装置(110)包含:

具有两个接收上述参考电压发生装置(70)的输出节点(72)的电压和上述内电源电压的输入端的第一单端 N 沟道输入差分放大器(105);

具有连接在所述外电压端和所述第一差分放大器(105)输出节点(111)之间的电流通路和栅极连接到所述第一控制信号端(125)的

第五 PMOS 晶体管(120);

具有串联连接在所述输出节点(111)和接地电压端之间的电流通路和分别连接到所述检测节点(91)和所述第一控制信号端(125)的栅极的第八和第九 NMOS 晶体管(118、119);

具有连接在所述外电源电压端和所述内电源电压端(122)之间的电流通路和连接到所述输出节点(111)的栅极的第六 PMOS 晶体管(121)。

6. 按权利要求 5 的电源电压控制电路, 其特征在于, 所述第一差分放大器(105)是由所述第一控制信号控制的。

7. 按权利要求 1 的电源电压控制电路, 其特征在于, 所述第二差分放大装置(130)包含:

第二单端 N 沟道输入差分放大器(138), 该放大器的两个输入接收所述参考电压发生装置(70)输出节点(72)的电压和所述内电源电压;

第十三 NMOS 晶体管(139), 该晶体管具有连接在所述外电源电压端和所述第二差分放大器(138)的输出节点(131)之间的电流通路和连接到上述第二控制信号端的栅极; 和

第九 PMOS 晶体管(140), 该晶体管具有连接所述输出节点(131)的栅极和连接在所述外电源电压端和内电源电压端(122)之间的电流通路。

8. 按权利要求 7 的电源电压控制电路, 其特征在于, 所述第二差分放大器(138)是由所述参考电压发生装置(70)的输出控制的。

9. 按权利要求 1 的电源电压控制电路, 其特征在于, 所述第一差分放大装置(110)是由所述第一控制信号(125)的“高电平”状态启动的, 以便执行有效操作, 而所述第二差分放大装置(130)则

是由所述第二控制信号(145)的“低电平”状态启动的，以便执行备用操作。

10. 按权利要求 9 的电源电压控制电路，其特征在于，所述电源电压控制电路是在所述第一控制信号经过一个给定延迟时间后从工作方式变成备用方式的。

11. 一种电源电压控制电路包括：

参考电压发生装置(70)，它含有：

输出节点(72)；

第一差分放大装置(110)，它含有：

第一单端 N 沟道输入差分放大器(105)，该放大器具有两个接收所述输出节点(72)的参考电压和内电源电压的输入端；

输出节点(111)；

驱动晶体管(121)，其电流通路连接在所述外电源电压端和所述内电源电压端(122)之间，其栅极连接所述输出节点(111)，和

第二差分放大装置(130)，它含有：

第二单端 N 沟道输入差分放大器(138)，该放大器具有两个接收所述参考电压和所述内电源电压的输入端，

输出节点(131)；

驱动晶体管(140)，其栅极连接到所述输出节点(131)，其电流通路连接在所述外电源电压端和所述内电源电压端(122)之间；

其特征在于，所述电压发生装置(70)还含有：

第一 NMOS 晶体管(73)和连接成二极管的 PMOS 晶体管(74)，二者的电流通路串联连接在外电源电压端和接地电压端之间；和驱动 PMOS 晶体管(75)，其电流通路连接在所述外电源电压端和输出节点(72)之间其栅极连接到所述 PMOS 晶体管(74)的栅极上；

所述第一差分放大装置(110)还含有：PMOS 晶体管(120)，它

具有连接在所述外电源电压端和所述第一差分放大器(105)的输出节点(111)之间的电流通路和与第一控制信号端相连接的栅极；和第一和第二电流通路晶体管(118、119)，它们具有串联连接在所述输出节点(111)和所述接地电压端之间的电流通路和其栅极分别与降低了一个给定值的外部电源电压和上述第一控制信号端相连；以及

所述第二差分放大装置(130)还含有：

NMOS 晶体管(139)，该晶体管的电流通路连接在所述外电源电压端和所述第二差分放大器输出节点(131)之间，其栅极连接到第二控制信号端。

12. 按权利要求 11 的电源电压控制电路，其特征在于，所述参考电压发生装置(70)还包含：

并联连接在上述连接成二极管的 PMOS 晶体管(74)的漏极和上述地电压端之间的电阻(80)和拉曳 PMOS 晶体管(81)；和

在上述参考电压发生装置(70)的上述输出节点(72)和上述地电压端之间的电流通路装置。

13. 按权利要求 12 的电源电压控制电路，其特征在于，所述电流通路装置包含多个连接成二极管的 PMOS 晶体管(76-79)。

14. 按权利要求 11 的电源电压控制电路，其特征在于还包含一个连接在所述第一电流通路晶体管(118)的栅极和所述外电源电压端之间的电源电压电平检测装置(90)。

15. 按权利要求 14 的电源电压控制电路，其特征在于，所述电源电压电平检测装置(90)包含：

多个连接成二极管的 NMOS 晶体管(92-96)，它们串联连接在所述外电源电压端和检测节点(91)之间；

连接在所述检测节点(91)和所述接地电压端之间的电阻

(102);

串联连接在所述检测节点(91)上的连接成二极管的 NMOS 晶体管(97、98);

其电流通路连接在所述 NMOS 晶体管(98)和所述接地电压端之间, 其栅极连接所述第一控制信号端(125)的 NMOS 晶体管(99);

连接成二极管的 NMOS 晶体管(100), 串联连接在所述检测节点(91)和所述接地电压端之间; 还有

其栅极连接到上述第一控制信号端的 NMOS 晶体管(101)。

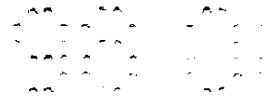
16. 按权利要求 11 的电源电压控制电路, 其特征在于, 所述第一和第二电流通路晶体管(118、119)均为 N 沟道金属氧化物半导体型晶体管。

17. 按权利要求 16 的电源电压控制电路, 其特征在于, 所述第一和第二差分放大装置(110、130)的驱动晶体管(121、140)均为 P 沟道金属氧化物半导体型晶体管。

18. 按权利要求 17 的电源电压控制电路, 其特征在于, 当上述外电源电压等于或大于某一额定值时, 在所述内电源电压端(122)的内电压斜率是通过调整所述第一电流通路晶体管(118)的尺寸来控制的。

19. 按权利要求 11 的电源电压控制电路, 其特征在于, 所述第一差分放大装置(110)是由第一控制信号(125)的“高电平”状态启动的, 以便执行有效操作, 而所述第二差分放大装置(130)则是由所述第二控制信号(145)的“低电平”状态启动的, 以便执行备用操作。

20. 按权利要求 19 的电源电压控制电路, 其特征在于, 所述电源电压控制电路是经过所述第一控制信号(125)一给定延迟时间后从工作方式变到备用方式的。



21. 按权利要求 20 的电源电压控制电路, 其特征在于, 当上述驱动晶体管(121)执行备用操作时, 上述第一差分放大装置(110)被禁止。

22. 按权利要求 20 的电源电压控制电路, 其特征在于, 当上述驱动晶体管(140)执行有效操作时, 上述第二差分放大装置(130)被禁止。

23. 一种电源电压控制电路包括:

参考电压发生装置(70);

多个用于有效操作的差分放大装置(110、150、160), 和一个用于备用操作的差分放大装置(130), 各自连接在所述参考电压发生装置(70)的输出节点(72)和内电源电压各相应端(122、231、241)之间; 其特征在于:

选通装置(251、252), 该选通装置具有分别连接在各相邻的上述内部电源电压端(122、231、241)之间的电流通路, 该选通装置的栅极连接到第一控制信号端(125)。

24. 按权利要求 23 的电源电压控制电路, 其特征在于, 所述选通装置(251、252)均为 PMOS 晶体管。

25. 按权利要求 24 的电源电压控制电路, 其特征在于, 所述选通装置(251、252)在工作方式时关断, 而在备用方式时接通。

电源电压控制电路

本发明涉及一种用于半导体存储器件的电源电压控制电路，特别是一种与外电源电压变化无关的保持内电源电压稳定的电路，并且当外部电源电压等于或大于某一额定值时内部电源电压呈线性增加。

近来，半导体器件倾向于愈来愈高地集成化，因此在其电极尺寸在亚微米数量级的半导体器件中由于缩小了该器件的面积就使施加其上的电压相应增加，于是大大影响了器件的可靠性。

例如在大量用于高集成度的半导体存贮器中的MOS（金属氧化物半导体）晶体管，虽然外部电源电压保持在诸如5伏的恒定值上，沟道长度变得短到小于1微米，因而漏极电压增加。因此，那里出现击穿现象，耗尽层靠近漏极延伸到源极。这种现象使源极与漏极之间的漏电流增加以致对电极尺寸为亚微米数量级的微MOS晶体管的工作产生严重的不良影响。

此外，内部场强按照出现在靠近漏极的耗尽层上的漏极电压增加而增加，因而一些载流子获得附加能量，于是导致热载流子效应，这一效应包括：由于载流子穿透栅极氧化层引起的阈值变化，电离碰撞引起的衬底电流的增加，器件的退化，等等。

为了防止半导体设备的可靠性由于击穿和热载流子效应而降低，现在所用的作为标准电源电压或外部电源电压的5V电源电压必须压低到3.3V。

但是，因为系统的电压电平变化比起存储器芯片面积变化要慢2

至3年，就要求在变化的中间阶段，用一种降低外部电源电压的电源电压控制电路来获得内部电源电压。

参阅表示一种常规的电源电压控制电路的图1，该控制线路包括分别带有外部电压输入端 V_1 和 V_2 的具有接收第一和第二差分放大器20和30的输出的输入端和连接到该第一和第二差分放大器20和30的另外输入端的第一输出端，还包括具有连接到反馈电路40的第一输出节点47的正输入端和连接其输出端51的负输入端的第三差分放大器50。

第一和第二差分放大器20、30包含其栅极分别与电压输入端 V_1 、 V_2 相连的第一NMOS晶体管23、34，其栅极共同连接到反馈电路40的第二输出节点48的第二NMOS晶体管24、33，各自独立的电流源25、35分别连接在第一和第二NMOS晶体管23和24、33和34的源极与接地电压端之间，第一和第二PMOS晶体管21和22、31和32连接在外部电源电压端和第一PMOS晶体管21、32及第一NMOS晶体管23、34之间的输出节点26、36上。

反馈电路40包含第三和第四PMOS晶体管41和42，其电流通路连接在外电源电压端和第一输出节点47之间，而栅极则分别与第一和第二差分放大器20和30的输出端连接，第一电阻45连接在第一输出节点47和共同连接到第一和第二差分放大器20、30的第二NMOS晶体管24、33的栅极上的第二输出节点48之间，而第二电阻46则连接在第二输出节点48和接地电压端之间。反馈电路40在第二PMOS晶体管41、42和第一电阻45之间的第一输出节点47处产生一个参考电压 V_{ref} ，并由第一和第二电阻45

和 4 6 分压，反馈到第一和第二差分放大器 2 0 和 3 0 的另外的输入端。

第三差分放大器 5 0 经过正输入端从反馈电路 4 0 接收参考电压 V_{ref} ，因而产生等于参考电压 V_{ref} 的内部电源电压。

图 2 是按照常规电源电压控制电路的，表示内电源电压相对于外部电源电压的曲线。

水平轴线表示外部电源电压，而垂直轴线则表示内部电源电压。图中表示根据两个输入电压 a 和 b 的变化相应内部电源电压“c”。为了便于说明，将外电源电压分成三个区间，即包括 3.3 伏以下的第一区间 6 0，从 3.3 伏至 6.6 伏的第二区间 6 1 和 6.6 伏以上的第三区间 6 2。

常规的电源电压控制电路的工作现在结合图 1 和图 2 加以说明。

第一和第二差分放大器 2 0 和 3 0 分别通过第一 NMOS 晶体管 2 3、3 4 的栅极接收外部施加的电压 V_1 和 V_2 ，并且通过第二 NMOS 晶体管 2 4、3 3 的栅极接收由第一和第二电阻 4 5、4 6 分压的电压 $\frac{R_2}{R_1 + R_2} \cdot V_{ref}$ 。因而，NMOS 晶体管之一接收的

电压愈高，就愈导通，在输出节点 2 6、3 6 上产生“低”电平或“高”电平状态的输出。

在输出节点 2 6、3 6 处的输出控制第三和第四 PMOS 晶体管 4 1、4 2 的电流通过能力，以便在第一输出节点 4 7 处产生一个要求的参考电压 V_{ref} 。

当外电源电压是在低于 3.3 伏的第一区间 6 0 内，第一差分放大器 2 0 的一个输入电压 V_1 是大于第二差分放大器 3 0 的一个输入

电压 v_2 ，如图 2 所示。因此，直到另一个输入电压 $\frac{R_2}{R_1 + R_2} \cdot V_{ref}$

变成等于输入电压 v_1 ，第一差分放大器 20 的第一 NMOS 晶体管 23 就导通，以便导通反馈电路 40 的第三 PMOS 晶体管 41。所以，来自第一输出节点 47 的参考电压 v_{ref} 就按外加电源电压成比例地增加。

同时，当外电源电压是在 3.3 伏至 6.6 伏的第二区间 61 内时，第一差分放大器 20 的一个输入电压 v_1 大于第二差分放大器 30 的一个输入电压 v_2 。因此，直到第一和第二差分放大器 20、30 的另一输入端电压 $\frac{R_2}{R_1 + R_2} \cdot V_{ref}$ 变成等于第一差分放大器

20 的一个输入电压 v_1 ，第一差分放大器继续工作。所以，参考电压 v_{ref} 等于 $(R_1 + R_2 / R_2) \cdot v_1$ 。此时，因为电压 v_1 是常数，参考电压 v_{ref} 就成为具有一个常数值而与外电源电压的增加无关。这样，内电源电压 $Int\ v_{cc}$ 具有一个为 3.3 伏的常数值。

当外电源电压是在超过 6.6 伏的第三区间 62 内时，第二差分放大器 30 的一个输入电压 v_2 变成大于第一差分放大器 20 的一个输入电压 v_1 。因此，直到第一和第二差分放大器 20、30 的另一输入电压 $\frac{R_2}{R_1 + R_2} \cdot V_{ref}$ 变成等于第二差分放大器 30 的一个输

入电压 v_2 ，第二差分放大器 30 作为主要差动放大器继续工作。此时，参考电压 v_{ref} 以一恒定的斜率与 v_2 成比例地相对于 v_2 而增加。

当外部电压超过某一额定值 (6.6 V) 和取决于半导体存储器

件整个特性的内部电源电压的限制，内部电源电压的增加对于半导体器件的可靠性来说是非常主要的。因此，内电源电压的斜率在外电源电压超过额定值时应能快速得到调整。

但是，为了按照常规电源电压控制电路调整内电源电压的斜率必须改变第一和第二差动放大器 20 和 30 的两个输入电压 V_1 和 V_2 以及反馈电路 40 的第一和第二电阻 45 和 46，由此要引起困难。

此外，在备用期间由常规电源电压控制电路参考电压发生电路 10 所消耗的电流是通过反馈电路 40 的第一和第二电阻 45 和 46 以及由第一和第二差动放大器 20 和 30 的输入电压 V_1 和由 V_2 引起的电流总和。因此，虽则应使半导体存储器件的备用消耗电流保持很小的值，然而却变成很大，这是因为常规参考电压发生电路本身包含一个差分放大器所致。

本发明的一个目的在于，在外电源电压超过额定值时提供一种电源电压控制电路来快速调整内电源电压的斜率。

本发明的另一目的在于，提供一种电源电压控制电路使得备用消耗电流减至最小值。

按照本发明，一种电源电压控制电路包括：

- 一个以其负反馈电路与外部电源电压端连接的参考电压发生电路；
- 一个与外电源电压端相连接电源电压电平检测电路，用于在外电源电压等于或大于某一给定电压时增加内电源电压；
- 一个具有两个输入端的第一差分放大电路，其输入信号包含参考电压发生电路的输出以及由一个第一控制信号和电源电压电平检测电路所控制的内电源电压，第一差分放大电路的输出是和—一个外电源电压端相连接的；还有

一个第二差分放大电路具有两个输入，上述输入包含参考电压发生电路的输出以及由一个第二控制信号所控制的内电源电压，第二差分放大电路的输出是和内电源电压端相连接的。

现将结合仅作为一个实施例的附图对本发明进行更为具体的描述。

为能更好地理解本发明并且说明怎样可以实施本发明，现在提供实施例和附图来说明，其中：

图 1：表示一种常规的电路图。

图 2：表示用于说明按照图 1 的参考电压相对于外电源电压的曲线图。

图 3：表示本发明电路图。

图 4：表示用于说明按照本发明的内电源电压相对于外电源电压的曲线图。

图 5：表示按照本发明的定时图。

图 6：表示本发明的一个实施例。

参照图 3 来说明按本发明的一种电源电压控制电路，其中表示有一个参考电压发生电路 70，电源电压电平检测电路 90，一个第一差分放大电路 110 和一个第二差分放大电路 130。该第一差分放大电路 110 接收两个输入，上述输入包含参考电压发生电路 70 的输出电压 V_{ref} 和内电源电压 $Int\ V_{cc}$ ，上述输入由一个第一控制信号 125 和电源电压电平检测电路 90 来控制。第一差分放大电路 110 的输出是与一个内电源电压端 122 相连接。第二差分放大电路 130 接收两个输入，上述输入包含参考电压发生电路 70 的输出电压和内电源电压，上述输入由一个第二控制信号 145 来控制。第二差分放大电路的输出是和内电源电压端 122 相连接。

参考电压发生电路 70 包含多个晶体管。第一 NMOS 晶体管 73 和第一 PMOS 晶体管 74 的电流通路均串联在外电源电压端与控制节点 71 之间。在控制节点 71 与接地电压端之间并联一个电阻 80 和第二连接成二极管的 PMOS 晶体管 81。提供一个驱动 PMOS 晶体管 75 的电流通路连接在外电源电压端与输出节点 72 之间，其栅极则和控制节点 71 连接。还设有多个第三至第六连接成二极管的 PMOS 晶体管 76 - 79 串联连接在输出节点 72 与接地电压端之间。第一 NMOS 晶体管 73 的栅极连接到输出节点 72，而第一 PMOS 晶体管 74 的栅极则连接到控制节点 71。

参考电压发生电路 70 总是根据控制节点 71 电压由控制驱动 PMOS 晶体管 75 的漏极电压产生一个恒定的参考电压 v_{ref} 。输出节点 72 连接到第一 NMOS 晶体管 73 的栅极，以便反馈参考电压 v_{ref} 。因此，控制节点 71 的电压是根据参考电压的变化来控制的，上述变化同样是由于诸如温度等参数的变化引起的，这样驱动 PMOS 晶体管 75 的电流通过能力就可以调节。

驱动 PMOS 晶体管 75 用于对输出节点 72 充电。第二 PMOS 晶体管 81 作为一个断开晶体管，其栅极连接到接地电压端。因此，当外电源电压超过第一 NMOS 晶体管 73 以及第一和第二 PMOS 晶体管 74 和 81 的阈值电压，第二 PMOS 晶体管 81 被导通，具有一个电阻的特性。

电源电压电平检测电路 90 包含一个串联在外电源电压端与一个检测节点 91 之间的第一组连接成二极管的 NMOS 晶体管 92 - 96。电阻 102 连接在检测节点 91 和接地电压端之间。第二组连接成二极管的 NMOS 晶体管 97、98 和检测节点 91 相串联。还提供第二

NMOS 晶体管 99, 其电流通路连接在 NMOS 晶体管 98 和接地电压端, 而其栅极则和第一控制信号端 125 连接。第三 NMOS 晶体管 100 具有和检测节点 91 连接的栅极和漏极。第四 NMOS 晶体管 101 具有连接在第三 NMOS 晶体管 100 的源极和接地电压端的电流通路, 而栅极则与第一控制信号端 125 相连接。

第一组连接成二极管的 NMOS 晶体管 92—96 用于检测外电源电压电平, 以便由与 NMOS 晶体管的数目成比例的阈值电压降低外电源电压。降低的外电源电压施加到检测节点 91 上。

第一差分放大电路 110 包含第一单端 N 沟道输入差分放大器 (Single-ended N Channel input differential amplifier) 105, 该放大器包含第七和第八 PMOS 晶体管 113 和 114 以及第五到第七 NMOS 晶体管 115、116 和 117。还设有第九 PMOS 晶体管 120, 其电流通路连接在第一差动放大器 105 的输出节点 111 和外电源电压端之间, 而其栅极则和第一控制信号端 125 相连接。第八和第九 NMOS 晶体管 118 和 119 串联连接在输出节点 111 和接地电压端之间, 其栅极分别和电源电压电平检测电路 90 的检测节点 91 和第一控制信号端 125 相连接。第十 PMOS 晶体管 121 的栅极和输出节点 111 相连接, 而其电流通路则连接在外电源电压端和内电源电压端 122 之间。

第七 NMOS 晶体管 117 的栅极馈送第一控制信号 125。第一差分放大器 105 的两个输入端是连接到参考电压发生电路 70 输出节点 72 的第五 NMOS 晶体管 115 的栅极和连接到内部电源电压端 122 的第六 NMOS 晶体管 116 的栅极。

第二差分放大器 130 包含一个第二单端 N 沟道输入差分放大器

(Single-ended N-Channel input differential amplifier) 138, 该放大器包含第十一和第十二NMOS晶体管132和133以及第十至第十二NMOS晶体管135、136和137。还设有第十三NMOS晶体管139, 其电流通道连接在外电源电压端和第二差分放大器138的输出节点131之间, 其栅极则和第二控制信号端145相连接。第十三PMOS晶体管140也设有连接在外电源电压端和内电源电压端122之间的电流通路, 其栅极则和输出节点131连接。

第二差分放大器138具有两个输入端, 上述输入端包括与参考电压发生电路70的输出节点72相连接的第十NMOS晶体管135的栅极和与内部电源电压端122相连的第十一N沟道金氧半导体晶体管136的栅极。第十二NMOS晶体管137的栅极和第十NMOS晶体管135的栅极共同地与参考电压发生电路70的输出节点72相连。

参照图4, 示出了一个说明参考电压对外加电源电压的变化曲线。水平座标表示外电源电压, 而垂直座标则表示内电源电压。参考字母a、b、c表示具有不同斜率的内电源电压, 而d则表示备用内电源电压, 该电压同时是参考电压发生器电路的参考电压。

参照所要求的3.3V电压值和外部电压的一个特殊的7V值, 外电源电压被分成三个区间, 其中第一区间150是3.3伏以下, 第二区间151是从3.3伏至7伏, 而第三区间152则是7伏以上。

在图5中, A表示外芯片选择信号的定时图, B表示对第一差分放大电路所加的第一控制信号的定时图, 而C则表示对第二差分放大

电路所加的第二控制信号的定时图。

当外芯片选择信号 A 是在“低电平”状态时，第一控制信号 B 变成“高电平”状态，以便启动第一差分放大电路 110，因此电源电压控制电路进入工作周期 155。反之，当外芯片选择信号 A 是在“高”状态，第二控制信号 C 就变成“低电平”状态，以便启动第二差分放大器电路 130，因此电源电压控制电路就进入备用周期 156。

现在参照图 3、4 和 5 来详细说明本发明电路的工作。

当外电源电压是在第一区间 150，即小于要求值 3.3 伏，驱动 PMOS 晶体管 75 的栅极通过参考电压发生电路 40 的电阻 80 完全接地。因而，驱动 PMOS 晶体管 75 就完全导通，这样输出节点 72 的参考电压 v_{ref} 就取决于外电源电压 v_{cc} 。

要是外电源电压逐渐增加并进入第二区间 151，驱动 PMOS 晶体管 75 的栅极电压就由于流经电阻 80 和第二 PMOS 晶体管 81 的电流而增加。因此，驱动 PMOS 晶体管 75 的电流通过能力就下降，这样输出节点 72 的参考电压 v_{ref} 就保持一个恒定值 3.3 伏，而与外电压的增加无关。

换句话说，当外电源电压增加到 3.3 伏以上时，驱动 PMOS 晶体管 75 的电流通过能力就相应地下降，因此输出节点 72 的参考电压 v_{ref} 就保持一个恒定值 3.3 伏如图 4(d) 中所示。

反之，要是参考电压 v_{ref} 由于温度或其他参数而有变化，这种变化就从输出节点 72 反馈到第一 NMOS 晶体管 73 的栅极上，并且再通过第一 PMOS 晶体管 74 负反馈到驱动 PMOS 晶体管 75，这样就使参考电压 v_{ref} 的变化减至最小。

换句话说，当参考电压增加超过要求值时，加到第一 NMOS 晶体

管 7 3 的栅上的高电压将使第一 NMOS 晶体管 7 3 更加的导通。因而加到控制节点 7 1 的电压增加，以便降低驱动 PMOS 晶体管 7 5 的电流通通过能力，这样输出节点 7 2 的参考电压就保持一个恒定值。

同样，相同的工作原理也适用于当参考电压减小到或低于要求值的情况。输出节点 7 2 的恒定的参考电压当作第一和第二差分放大电路 1 1 0、1 3 0 的第一输入电压，并且在工作周期，第一控制信号 1 2 5 在“高电平”状态使得第一差分放大电路 1 1 0 将要工作。在备用周期，第二控制信号 1 4 5 在“低电平”状态使得第二差分放大电路 1 3 0 将要工作。

在工作周期中，当第一控制信号 1 2 5 进入“高”状态，第一差分放大器 1 0 5 的第七 NMOS 晶体管 1 1 7 被导通，以便启动第一差分放大器 1 0 5。反之，第九 PMOS 晶体管 1 2 0 由第一控制信号 1 2 5 在“高电平”状态导通，以便导通第一差分放大电路 1 1 0。

要是外电源电压是在图 4 的第一区间 1 5 0 内，第一差分放大器 1 0 5 的第五 NMOS 晶体管 1 1 5 与输出节点 7 2 的参考电压的增加成比例地愈来愈导通。因此，第一差分放大器 1 0 5 的输出节点 1 1 1 的电压电平就逐渐降低，以便增加第十 PMOS 晶体管 1 2 1 的电流通通过能力，这样就得到与施加到第十 PMOS 晶体管 1 2 1 的源极上的外电源电压成比例的内部电压。

此外，要是外电源电压是在图 4 的第二区间 1 5 1 内，一个恒定的参考电压被加到第一差动放大器 1 0 5 的第五 NMOS 晶体管 1 1 5 的栅极上，因而流经第五和第六 NMOS 晶体管 1 1 5 和 1 1 6 电流保持恒定。这样一个恒定的电压被加到第十 PMOS 晶体管 1 2 1 的栅极上，于是即使外电源电压增加，恒定的电流通通过能力使内电压稳定。

虽然半导体存储器件在正常方式中应保持一个稳定的内电源电压，而与外电源电压变化无关，还是有必要增加内电源电压，以便测试该半导体器件在大于外电源电压的额定值时的可靠性。

在本实施例中，当外电源电压超过7伏时，就引起内电源电压增加。当外电源电压超过7伏是在第三区间152内时，电源电压电平检测电路90的检测节点91的电压具有一个值，足以导通和检测节点91连接的第八NMOS晶体管118。

因此，流入第五NMOS晶体管115的第一差分放大器105的输出节点111的电流与第八和第九NMOS晶体管118和119的电流一样，以便使其栅极与输出节点111相连的第十PMOS晶体管121愈来愈导通，从而，内电压端122具有线性增加电源电压。

同时，如果要将内电压的斜率利用多个半导体存储器芯片的光特性(light of the characteristic)调整得高于外电压的额定值，仅需要改变第八NMOS晶体管118的尺寸，该晶体管的电流通过能力取决于检测节点91的电压，由此和普通电源电压控制电路相比就更易于调整。

在第二差分放大电路130中，禁止第二控制信号145进入“高”状态使第十三NMOS晶体管139导通。因此，第二差分放大器138的输出节点131就易被 $V_{CC}-V_{TN}$ 自由充电(V_{TN} 是NMOS晶体管的阈值电压)，这样，第十三PMOS晶体管140就保持关断。于是，防止了由第一差分放大电路110产生的内电源电压通过第十三PMOS晶体管140反馈到第二差分放大电路130。这里，第二差分放大电路130具有和第一差分放大电路110相比是很小的尺寸，以便使备用消耗电流减至最小，从而具有很慢的仅为几

个微秒的响应速度。

如果内电源电压由于某种因素而增加，第一差分放大电路 110 的第六 NMOS 晶体管 116 被导通，因此，输出节点 111 的输出就变成“高”状态。于是，第十 PMOS 晶体管 121 被关断，从而防止内电源电压继续增加。

在此期间，第二差分放大电路 130 需要有一定的延迟时间来完全导通，因为第十一 NMOS 晶体管 136 的响应速度是慢的。此时，要是没有第十三 NMOS 晶体管 139，输出节点 131 的输出在延迟时间就保持“低”状态，以便导通第十三 PMOS 晶体管 140。因此，可能发生的现象是，内电源电压按照外电源电压的增加而增加。

但是，本发明电路引入将予以导通的第十三 NMOS 晶体管在有效操作期间去关断第十三 PMOS 晶体管 140。因此，只有第一差分放大电路 110 在工作同期是工作的。

然后，在电源电压控制电路的备用周期，芯片选择缓冲器的第二控制信号 145 从“高”状态变到“低”状态，因而使第二差分放大电路 130 的第十三 NMOS 晶体管 139 关断。于是，当外电源电压是在工作周期的第二区间内时，第二差分放大电路变成具有和第一差分放大电路 110 相同的结构，从而按照同样工作原理保持一个稳定的内电压。而且，即使外电源电压超过额定值 7 伏，第十三 PMOS 晶体管 140 的电流通过能力总是保持不变，因为设有其它诸如第一差分放大电路 110 的第八 NMOS 晶体管 118 的电流通过电路。因此，即使外电源电压继续增加到大于额定值，内电压还是保持在一个稳定电压 3.3 伏上。

同时，在第一差分放大电路 110 中，当芯片选择缓冲器的第一

控制信号 125 被禁止进入“低”状态，第九 PMOS 晶体管 120 就被导通。于是，外电源电压 V_{CC} 就被直接加到第十 PMOS 晶体管 121 的栅极上，从而关断第一差分放大电路 110。

此外，如图 5 所示，从工作周期 155 到备用周期 156，第一控制信号 A 直接从“低”状态进入到“高”状态，但是，第二控制信号 B 从“高”状态经过一个给定的延迟时间 T_d 进入“低”状态。因此，即使当所有信号在半导体存储器件内均被禁止时，第一差分放大电路 110 在延迟时间 T_d 更多地进行操作，以便防止内电压因消耗电流而降低。从而使其不但在备用周期，而且是在工作周期都稳定的工作。

参照图 6 示出有一个方框图，用于说明按照本发明的参考电压发生电路和第一和第二差分放大电路。与图 3 所示的相同的参考号码用于说明相同的部件。第一和第二差分放大电路分别用于工作和备用工作。

设置第一、第二、第三差分放大电路 110、150、160 用于有效工作，还设置一个差分放大电路 130 用于备用操作，每个电路被分别连接在参考电压发生电路 70 的输出节点 72 和内电源电压端 122、231、241 之间。第一 PMOS 晶体管 251 的电流通路设置在内电源电压端 122、231 与连接到第一控制信号 125 端的栅极之间。第二 PMOS 晶体管 252 的电流通路设在内电源电压端 231、241 与连接第一控制信号 125 的栅极之间。

用于备用操作的差分放大器 130 的输出端连接到用于有效操作的第一差分放大电路 110 的内电源电压端 122。

在一个常规的存储器件中，为了防止噪音和改善可靠性，已建议

了一种电源电压控制电路，其中差动放大器是按照各个内电源线分开的。但是，该电路的问题是导致如此之大的备用电流和如此之多的备用差分放大器。

在本发明中，为了防止噪声和改善可靠性，使用了连接到每个内电源线上的具有栅极与芯片选择缓冲器的第一控制信号125端相连的第一和第二PMOS晶体管251和252。

因此，在有效操作周期，第一和第二PMOS晶体管251和252均由“高”状态的第一控制信号125所关断，这样各内电源线相互间是分开的。在备用操作周期，当第一控制信号125被改变进入“低”状态来导通第一和第二PMOS晶体管251和252时，因而连接各内电源线在一起。这样，在有效操作周期各内电源相互间被分开，防止噪音并提高可靠性，而在备用操作周期各内电源相互连接，则使备用电流减至最小。

如上所述，按照发明的电源电压控制电路将一个其栅极连接到电源电压电平检测电路90的检测节点91的NMOS晶体管118连接到具有接收参考电压 V_{ref} 的第一差分放大器110的输出节点111上，以便在所施加的外电源电压超过某一额定值时，使该NMOS晶体管的电流通过能力增加，从而使内电源的电压线性地增加。

所以，为了将内电源电压的斜率调到大于额定外电源电压的斜率，就需要改变在常规电路中的两个差动放大器的一个输入电压以及第一和第二电阻，但是本发明电路只需要调整NMOS晶体管的大小。因此，就可以很容易地调整内电压的斜率。

而且，常规电源电压控制电路需要参考电压发生电路包含一个消耗大电流的差分放大器，但是本发明的参考电压发生电路设有差分放

大器，而总是做成具有一个恒定电压，从而大大减小备用消耗电流。

此外，本发明电路将参考电压负反馈到参考电压发生电路上，从而使由于温度或其他参数形成的参考电压变化减至最小。

加之，按照本发明的各内电源线是由 PMOS 晶体管连接的，因此内电源线在有效操作周期就可以相互分开，在备用操作周期则是全部连接在一起。这样就防止了半导体的噪音，改善了可靠性，并使备用电流减至最小。

上述描述仅仅说明了本发明的一个优选的实施例，在不脱离本发明的范围情况下，本技术领域的专业人员可以做出各种改型，而本发明仅由所附的权利要求书予以限定。

说明书附图

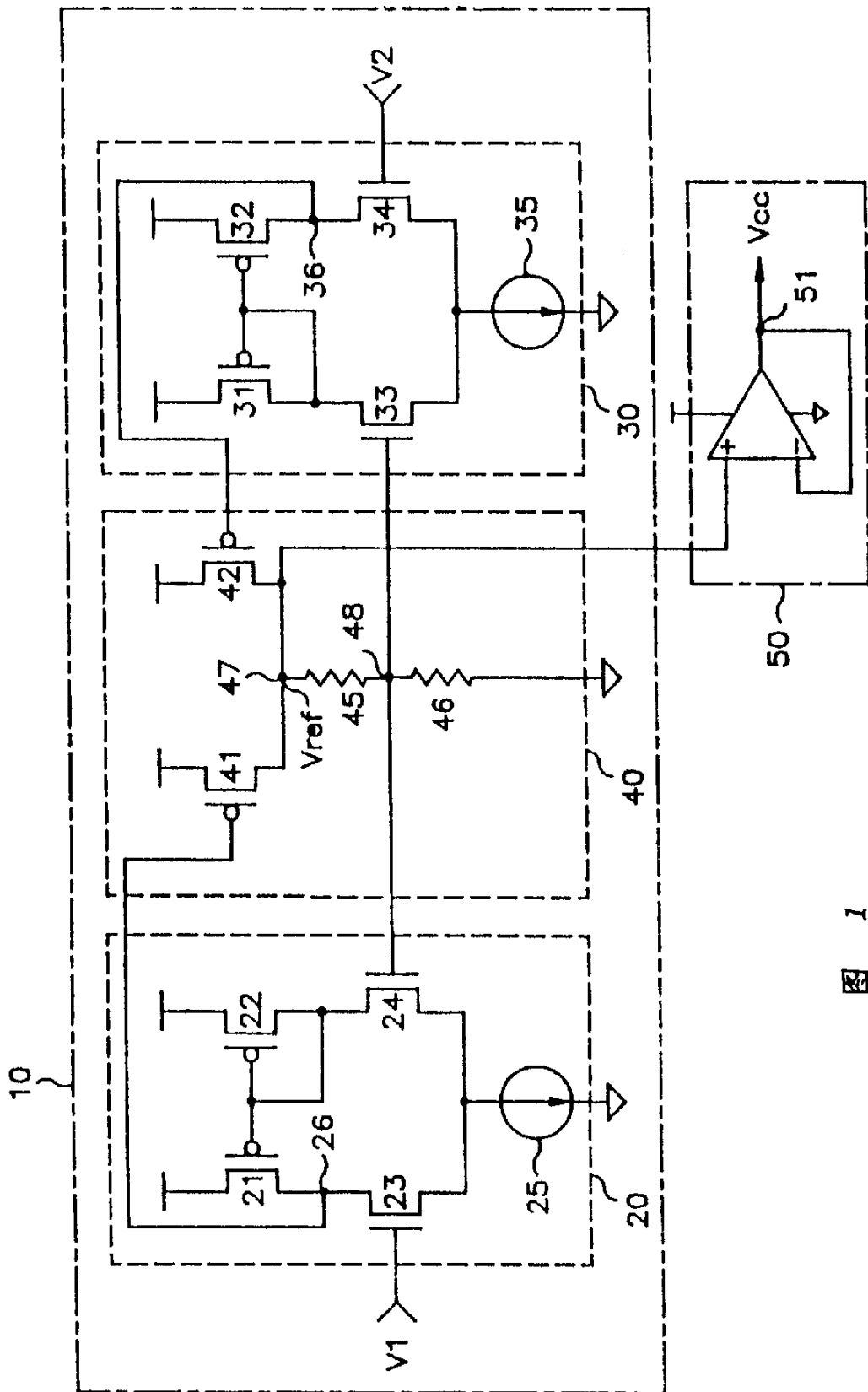


图 1

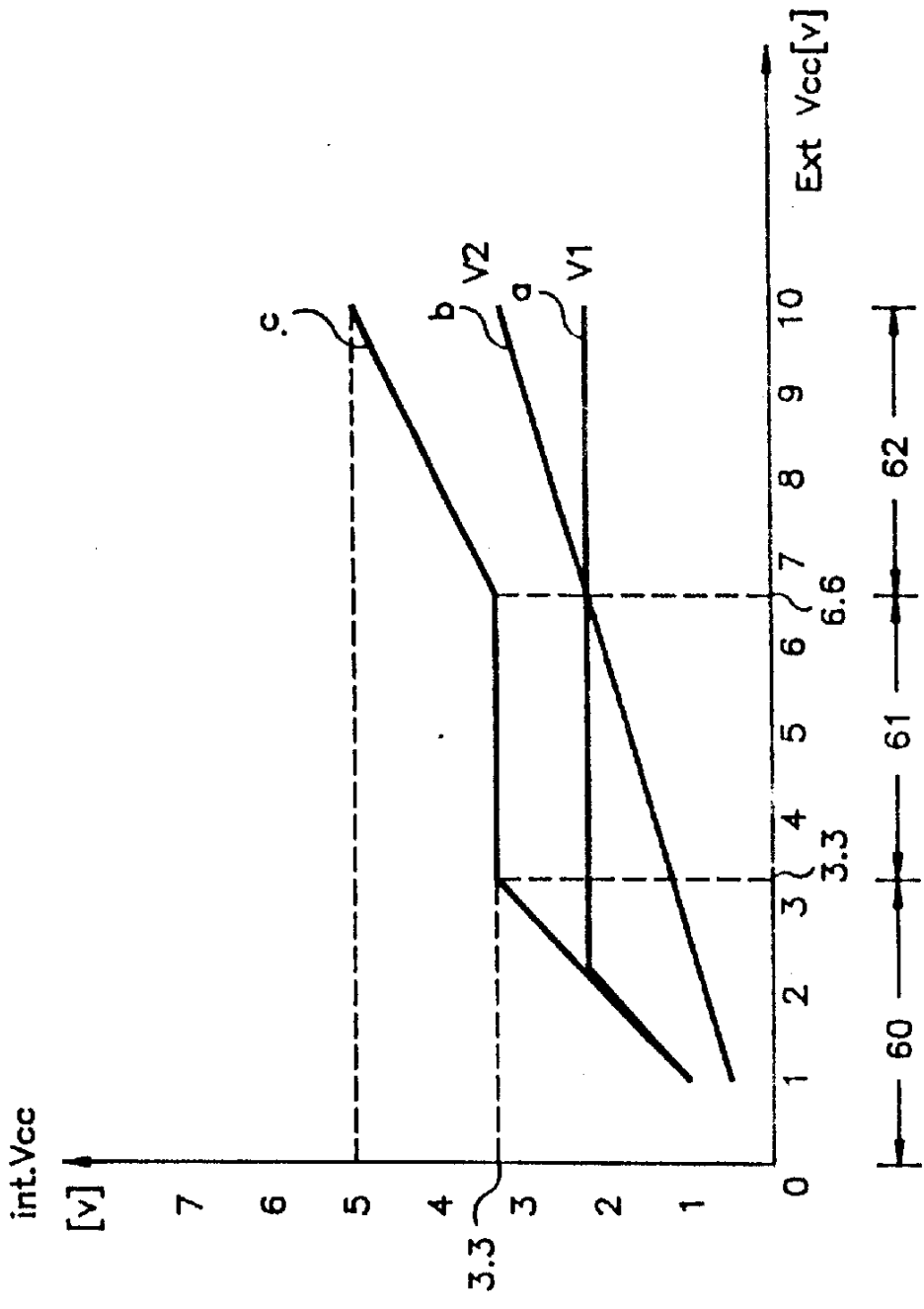


图 2

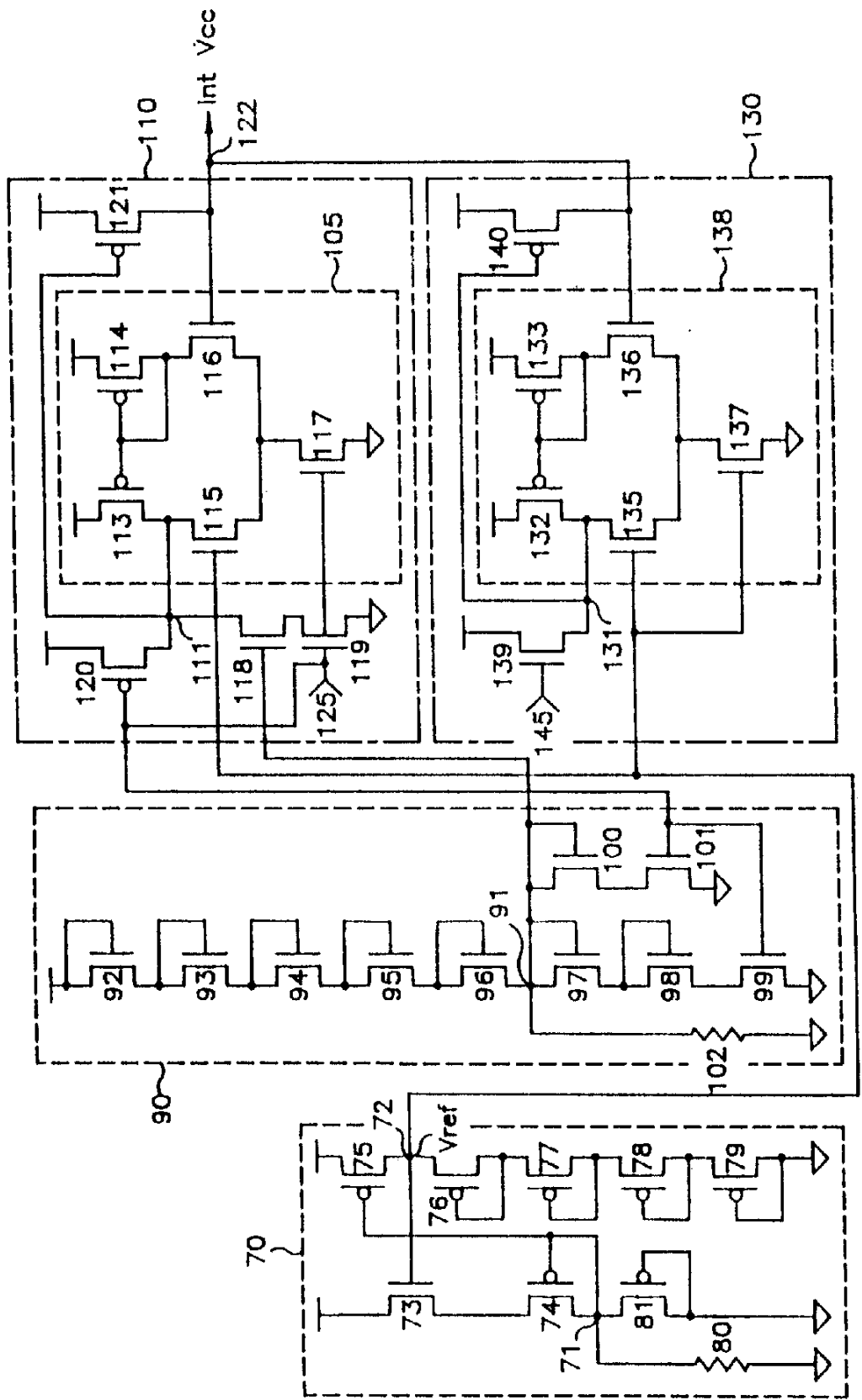


图 3

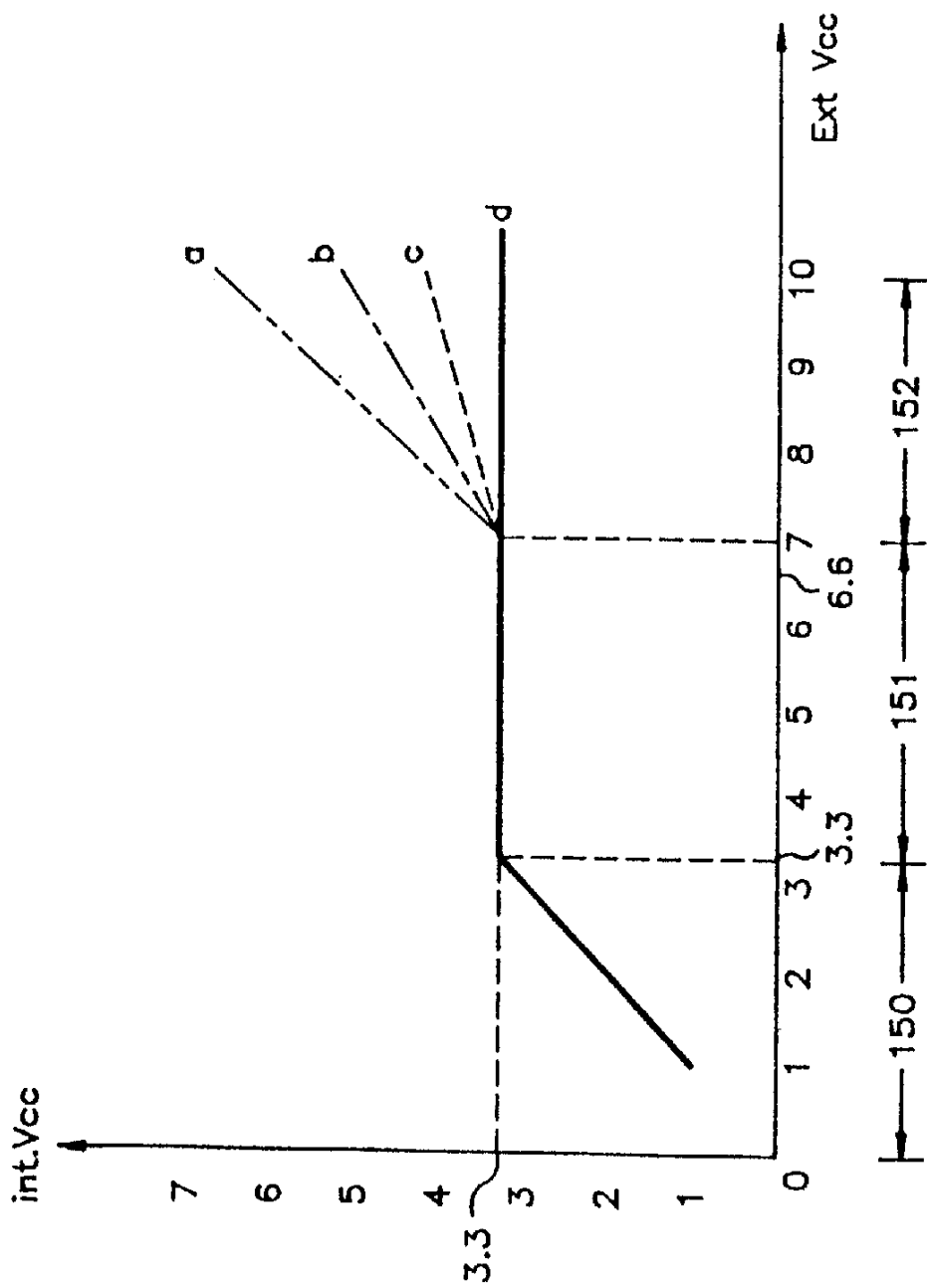


图 4

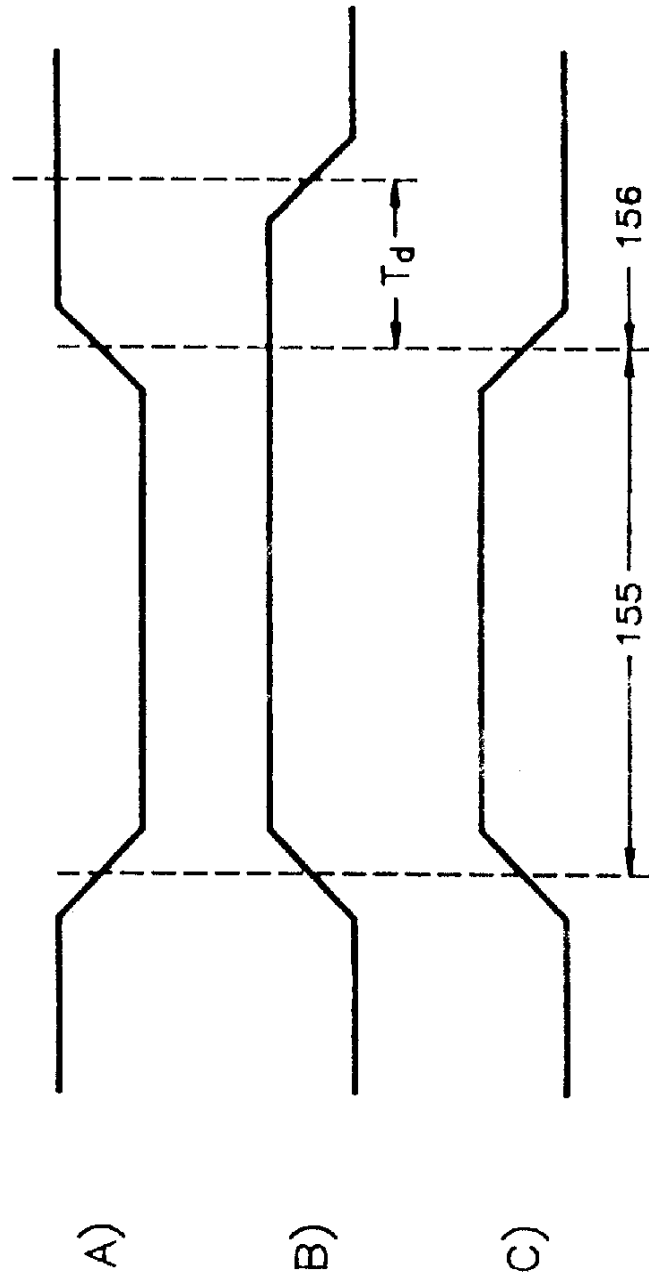


图 5

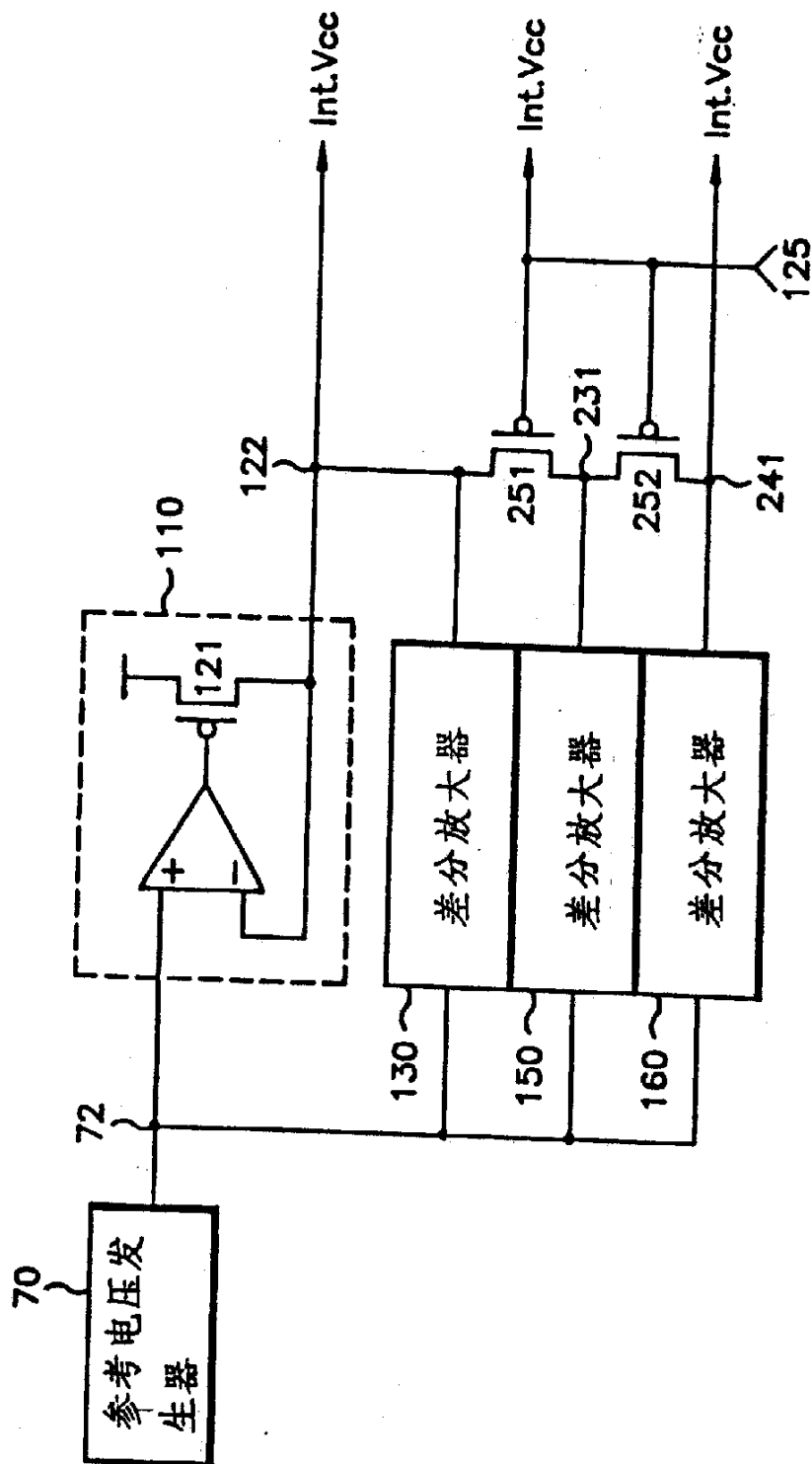


图 6