

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】令和7年4月21日(2025.4.21)

【公開番号】特開2024-67137(P2024-67137A)

【公開日】令和6年5月17日(2024.5.17)

【年通号数】公開公報(特許)2024-090

【出願番号】特願2022-176969(P2022-176969)

【国際特許分類】

A 63 F 7/02 (2006.01)

10

【F I】

A 63 F 7/02 326 Z

【手続補正書】

【提出日】令和7年4月11日(2025.4.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

20

【特許請求の範囲】

【請求項1】

演算回路、リードメモリ、リードライトメモリ、及び乱数値を発生させる乱数回路を有して遊技の進行を制御する遊技制御手段と、

設定値を変更、又は確認するために設けられた設定スイッチと、

遊技の演出に係る制御を行う制御部に、一定周期で通信データを送信する通信データ送信処理を実行する通信制御手段と、を備え、

前記遊技制御手段は、

遊技の進行に伴い、繰り返し遊技の制御を行うループ処理であるメイン処理を行うメイン処理手段と、

前記リードライトメモリの特定アドレス範囲内の演算を行い、演算結果を前記リードライトメモリの前記特定アドレス範囲以外の演算結果格納領域に記憶する範囲演算手段と、
前記リードライトメモリの特定アドレス範囲内の演算を行い、演算結果と前記演算結果格納領域に記憶された演算結果との照合を行う範囲照合手段と、

前記設定値が格納された設定値格納領域と、

前記遊技制御手段のエラーを検出するエラー検出手段と、

前記エラー検出手段がエラーを検出した場合に、エラー処理を行うエラー処理手段と、を有し、

前記エラー検出手段は、前記乱数回路の異常を検出した場合、又は、前記設定値格納領域に格納された設定値が予め定められた値とは異なる値の場合に、エラーフラグにエラーをセットし、

前記遊技制御手段は、

前記範囲照合手段により照合不一致が検出された場合に、前記メイン処理を行う前に前記エラー処理手段を実行し、

前記エラーフラグにエラーがセットされていた場合に、前記メイン処理で前記エラー処理手段を実行し、

前記メイン処理を行う前に実行される前記エラー処理と、前記メイン処理で実行される前記エラー処理は、共通のプログラムにより実行され、

前記エラー処理は、リセットが行われないように制御するとともに、前記通信データを前記制御部に送信せずに保持するよう制御することを特徴とする遊技機。

40

50

【手続補正2】**【補正対象書類名】**明細書**【補正対象項目名】**0008**【補正方法】**変更**【補正の内容】****【0008】**

本発明の第1の実施態様に係る発明は、下記の構成を有する。

演算回路（例えば、メインCPU2101）、リードメモリ（例えば、メインROM2102）、リードライトメモリ（例えば、メインRAM2103）、及び乱数値を発生させる乱数回路（例えば、乱数回路2110、乱数回路2150）を有して遊技の進行を制御する遊技制御手段（例えば、主制御基板2071）と、

設定値を変更、又は確認するために設けられた設定スイッチ（例えば、設定用鍵型スイッチ）と、

遊技の演出に係る制御を行う制御部に、一定周期で通信データを送信する通信データ送信処理を実行する通信制御手段（例えば、図186に示す定期割込み処理において、通信データ送信処理を実行するメインCPU2101）と、を備え、

前記遊技制御手段は、

遊技の進行に伴い、繰り返し遊技の制御を行うループ処理であるメイン処理を行うメイン処理手段（例えば、図170に示すメイン処理を実行するメインCPU2101）と、前記リードライトメモリの特定アドレス範囲内（例えば、メインRAM2103の所定領域）の演算を行い、演算結果を前記リードライトメモリの前記特定アドレス範囲以外の演算結果格納領域（例えば、CRC値格納領域2103e）に記憶する範囲演算手段（例えば、図190の電断割込み処理で呼び出される、図191のCRC生成処理（使用領域外）を実行するメインCPU2101）と、

前記リードライトメモリの特定アドレス範囲内の演算を行い、演算結果と前記演算結果格納領域に記憶された演算結果との照合を行う範囲照合手段（例えば、図172に示すCRC検査処理（使用領域外）を実行するメインCPU2101）と、

前記設定値が格納された設定値格納領域と、

前記遊技制御手段のエラーを検出するエラー検出手段（例えば、図172に示すCRC検査処理（使用領域外）、及び図189に示す設定値チェック処理（使用領域外）を実行するメインCPU2101）と、

前記エラー検出手段がエラーを検出した場合に、エラー処理を行うエラー処理手段（例えば、図174に示す遊技復帰不可能エラー処理（使用領域外）を実行するメインCPU2101）と、を有し、

前記エラー検出手段は、前記乱数回路の異常を検出した場合、又は、前記設定値格納領域に格納された設定値が予め定められた値とは異なる値の場合に、エラーフラグ（例えば、遊技復帰不可能エラーフラグ）にエラー（例えば、「復帰不可」を表すデータ）をセットし、

前記遊技制御手段は、

前記範囲照合手段により照合不一致が検出された場合に、前記メイン処理を行う前に前記エラー処理手段を実行し（例えば、図171に示す電源投入時処理で遊技復帰不可能エラー処理を呼び出し）、

前記エラーフラグにエラーがセットされていた場合に、前記メイン処理（例えば、内部抽籠処理のなか）で前記エラー処理手段を実行し（例えば、図179に示す内部抽籠処理において遊技復帰不可能エラー処理を呼び出し）、

前記メイン処理を行う前に実行される前記エラー処理と、前記メイン処理で実行される前記エラー処理は、共通のプログラムにより実行され（例えば、電源投入時処理における遊技復帰不可能エラー処理（図174）と、メイン処理でのエラー処理手段（内部抽籠処理における遊技復帰不可能エラー処理（図174））は、共通のプログラムで実行され）、前記エラー処理は、リセットが行われないように制御する（例えば、図174の遊技復帰

10

20

30

40

50

不可能エラー処理（使用領域外）において、WDTクリアによるリセットの抑止を行う
とともに、前記通信データを前記制御部に送信せずに保持する（例えば、図174の遊技
復帰不可能エラー処理（使用領域外）において、残り通信データの送信持ち越し制御を行
う）よう制御することを特徴とする遊技機。

10

20

30

40

50