

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-201340

(P2007-201340A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 S	5 F 0 4 8
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 O 2 B	5 F 1 4 0
H O 1 L 27/088 (2006.01)		

審査請求 未請求 請求項の数 3 O L (全 8 頁)

(21) 出願番号	特願2006-20522 (P2006-20522)	(71) 出願人	000001889
(22) 出願日	平成18年1月30日 (2006.1.30)		三洋電機株式会社
			大阪府守口市京阪本通2丁目5番5号
		(74) 代理人	100131071
			弁理士 ▲角▼谷 浩
		(72) 発明者	谷口 敏光
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	八柳 俊祐
			大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		Fターム(参考)	5F048 AB04 AC02 BA01 BB05 BC01
			BD04 BF02 BF07 BF11 BF16
			BF17 BG12
			最終頁に続く

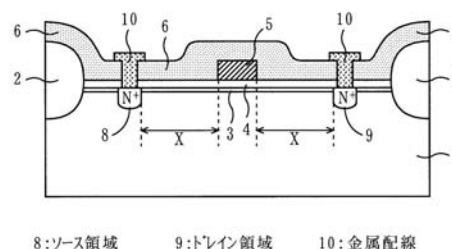
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ディプリーション型MOSトランジスタのパターン面積を増大させずに、その抵抗を大きくする。

【解決手段】 半導体基板1上にイオン注入することでチャネル領域となる低濃度不純物領域3を形成する。次に、ゲート絶縁膜4及びゲート電極5を形成する。次に、半導体基板1の全面に層間絶縁膜6を形成し、その後当該層間絶縁膜6を選択的にエッチングし、ソース形成領域及びドレイン形成領域をそれぞれ一部露出させるコンタクトホール7を形成する。次に、コンタクトホール7を介してイオン注入・熱処理(アニーリング)し、ソース領域8及びドレイン領域9を形成する。ソース領域8及びドレイン領域9はゲート電極5とオーバーラップせず、ゲート電極5の端部から数 μm 以上(例えば、3 μm)離間して形成されている。

【選択図】 図2



8:ソース領域 9:ドレイン領域 10:金属配線

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の表面上に所定の距離を隔てて形成されたソース領域及びドレイン領域と、

前記ソース及びドレイン領域よりも低い不純物濃度であって、前記ソース及びドレイン領域の間における前記半導体基板の表面に形成された、前記ソース及びドレイン領域と同じ導電型の低濃度不純物領域と、

前記低濃度不純物領域上に形成されたゲート電極とを備え、

前記ソース及びドレイン領域は、前記ゲート電極とオーバーラップせずに形成されていることを特徴とする半導体装置。 10

【請求項 2】

前記ソース領域及び前記ドレイン領域は、前記ゲート電極と前記ゲート電極の膜厚よりも離間して形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

半導体基板の表面にゲート絶縁膜を形成する工程と、

前記半導体基板の表面にイオン注入し低濃度不純物領域を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極を含めた前記半導体基板の表面上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に、ソース形成領域及びドレイン形成領域に対応したコンタクトホールを形成する工程と、 20

前記コンタクトホールを介して前記ソース形成領域及び前記ドレイン形成領域にイオン注入し、前記低濃度不純物領域よりも高濃度であって、前記低濃度不純物領域と同じ導電型のソース領域及びドレイン領域を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に関し、特に、ディプリーション型 MOS トランジスタに関するものである。 30

【背景技術】

【0002】

MOS トランジスタは、ディプリーション型 (Depletion type) とエンハンスメント型 (Enhancement type) に分類され、用途に応じて使い分けられている。ここで、エンハンスメント型 MOS トランジスタとは、N チャネル型で考えた場合、ゲート電圧が 0 V の状態ではソース・ドレイン間に電流が流れず、所定のゲート電圧を加えた時にチャネルが形成されて電流が流れるものである。一方、ディプリーション型 MOS トランジスタとは、N チャネル型で考えた場合、閾値電圧が負であり、ゲート電圧が 0 V の状態でソース・ドレイン間に電流が流れるものである。

【0003】 40

図 3 に示すように、エンハンスメント型 MOS トランジスタ 100 (N チャネル型) とディプリーション型 MOS トランジスタ 101 (N チャネル型) を直列に接続すると、いわゆる EDMOS インバータを構成できる。当該インバータでは、ハイレベルを入力したときにローレベルが出力され、逆にローレベルが入力されたときにハイレベルが出力される。

【0004】

以下、上記 EDMOS インバータで用いられるような従来のディプリーション型 MOS トランジスタを図 4 を参照して説明する。

【0005】

図 4 に示すように N チャネル型の場合、P 型の半導体基板 102 の表面には所定の距離 50

を隔てて高濃度（ N^+ ）の N 型不純物（例えば、リンイオンやヒ素イオン）が注入されたソース領域１０３及びドレイン領域１０４が形成されている。ここで、ソース領域１０３及びドレイン領域１０４は、ゲート電極１０５が形成された後に、当該ゲート電極１０５をマスクとしてイオン注入及び熱処理することで形成されている。これはいわゆるセルフアラインと呼ばれているものである。従って、ソース領域１０３及びドレイン領域１０４はゲート電極１０５と一部オーバーラップしている。

【０００６】

また、ソース・ドレイン間（チャンネル領域）にはソース領域１０３及びドレイン領域１０４よりも低濃度（ N^- ）の N 型不純物が注入された低濃度不純物領域１０６が形成されているため、当該 MOS トランジスタはディプリーション型となっている。なお、同図において１０７はゲート絶縁膜、１０８はフィールド絶縁膜、１０９は層間絶縁膜、１１０は金属配線である。

10

【特許文献１】特開平８－２３０３９号公報

【発明の開示】

【発明が解決しようとする課題】

【０００７】

しかしながら、上述した従来のディプリーション型 MOS トランジスタの構造及び製法では、セルフアラインによってソース・ドレイン領域を形成させていたため、その抵抗をより大きくしようとした場合、当該 MOS トランジスタのゲート長を長くする必要があり、パターン面積が増大していた。

20

【０００８】

そこで、本発明は既存のパターン面積を増大させずに、ディプリーション型 MOS トランジスタの抵抗をより大きくすることを目的とする。

【課題を解決するための手段】

【０００９】

本発明の主な特徴は以下のとおりである。すなわち、本発明の半導体装置は、半導体基板と、前記半導体基板の表面上に所定の距離を隔てて形成されたソース領域及びドレイン領域と、前記ソース及びドレイン領域よりも低い不純物濃度であって、前記ソース及びドレイン領域の間における前記半導体基板の表面に形成された、前記ソース及びドレインと同じ導電型の低濃度不純物領域と、前記低濃度不純物領域上に形成されたゲート電極とを備え、前記ソース及びドレイン領域は、前記ゲート電極とオーバーラップせずに形成されていることを特徴とする。

30

【００１０】

また、本発明の半導体装置の製造方法は、半導体基板の表面にゲート絶縁膜を形成する工程と、前記半導体基板の表面にイオン注入し低濃度不純物領域を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極を含めた前記半導体基板の表面上に層間絶縁膜を形成する工程と、前記層間絶縁膜に、ソース形成領域及びドレイン形成領域に対応したコンタクトホールを形成する工程と、前記コンタクトホールを介して前記ソース形成領域及び前記ドレイン形成領域にイオン注入し、前記低濃度不純物領域よりも高濃度であって、前記低濃度不純物領域と同じ導電型のソース領域及びドレイン領域を形成する工程と、を有することを特徴とする。

40

【発明の効果】

【００１１】

本発明によれば、パターン面積を増大させずにディプリーション型 MOS トランジスタの抵抗を大きくすることができ、装置の低消費電力化を図ることができる。

【発明を実施するための最良の形態】

【００１２】

本発明の実施形態について図面を参照しながら説明する。図１及び図２は製造工程順に示した断面図である。

【００１３】

50

まず、図 1 に示すように、半導体基板 1 の表面に選択酸化法 (S e l e c t i v e O x i d a t i o n M e t h o d) によってフィールド絶縁膜 2 を形成し、M O S トランジスタ形成領域を素子分離する。これは、いわゆるロコス (L O C O S) と呼ばれているものである。フィールド絶縁膜 2 の膜厚は、例えば 3 0 0 n m ~ 1 1 0 0 n m 程度である。

【 0 0 1 4 】

次に、フィールド絶縁膜 2 で囲まれた領域の半導体基板 1 の表面に不図示のダミー酸化膜 (例えば、熱酸化膜) を形成し、当該ダミー酸化膜を介して不図示のレジスト膜をマスクとして半導体基板 1 の表面に N 型不純物 (例えば、リンイオンやヒ素イオン) を注入し、チャンネル領域となる低濃度不純物領域 3 を形成し、ディプリーション型とする。この低濃度不純物領域 3 は後述するソース・ドレインと同じ導電型である。当該イオン注入は、例えばリンイオンを加速電圧 4 0 K e V , 注入量 $6 \times 10^{12} / \text{cm}^2$ の条件で行う。なお、ここで低濃度とは、後に形成されるソース・ドレイン領域の不純物濃度よりもその濃度が低いという意味であり、所望のディプリーション型 M O S トランジスタとなるように濃度が調整されている。その後、9 0 0 ° で 2 0 分程度の熱処理 (アニーリング) を行う。

10

【 0 0 1 5 】

次に、ダミー酸化膜をエッチング除去し、フィールド絶縁膜 2 で囲まれた領域の半導体基板 1 の表面にゲート絶縁膜 4 を例えば熱酸化法により形成する。ゲート絶縁膜の膜厚は例えば 2 0 n m である。

20

【 0 0 1 6 】

次に、半導体基板 1 上の全面に例えば膜厚が 4 0 0 n m のポリシリコン層を C V D 法により形成する。その後当該ポリシリコン層を不図示のレジスト膜をマスクとしてドライエッチング等でパターニングすることで、ゲート絶縁膜 4 上に M O S トランジスタ用のゲート電極 5 を形成する。ゲート電極 5 の長さ L は例えば 1 . 6 μm である。

【 0 0 1 7 】

次に、ゲート電極 5 を含む半導体基板 1 の全面に層間絶縁膜 6 (例えば、C V D 法によって形成された B P S G 膜やシリコン窒化膜) を形成し、その後不図示のレジスト膜をマスクとしてドライエッチング等を行い、当該層間絶縁膜 6 にソース形成領域及びドレイン形成領域に対応した位置にコンタクトホール 7 を形成する。本実施形態では、コンタクトホール 7 の底部で半導体基板 1 の表面が露出されている。

30

【 0 0 1 8 】

次に、コンタクトホール 7 を介して不純物 (例えば、リンイオンやヒ素イオン) を注入し、図 2 に示すように、半導体基板 1 の表面に低濃度不純物領域 3 と同じ導電型のソース領域 8 及びドレイン領域 9 を形成する。当該イオン注入は、例えばリンイオンを加速電圧 3 0 K e V , 注入量 $1 \times 10^{15} / \text{cm}^2$ の条件で行う。この際、先に形成したソース・ドレイン形成領域の低濃度不純物領域 3 の一部と重畳されて全体としてソース領域 8 及びドレイン領域 9 を構成する。

【 0 0 1 9 】

その後、7 0 0 ° で 3 0 分程度の熱処理 (アニーリング) を行い、注入されたキャリアを活性化させる。熱処理後のソース領域 8 及びドレイン領域 9 は、ゲート電極 5 とオーバーラップせずに所定の長さ X 離間して形成されている。所定の長さ X はゲート電極 5 の膜厚以上であることが好ましく、例えば X は 3 μm 以上である。従って、従来構造に比してこの離間された距離 2 X の分だけ抵抗が大きくなっている。

40

【 0 0 2 0 】

次に、各コンタクトホール 7 内にスパッタリング法等でアルミニウムやチタン等から成る金属配線 1 0 を形成することで所望のディプリーション型 M O S トランジスタを得る。

【 0 0 2 1 】

以上説明したように、本実施形態では、ディプリーション型 M O S トランジスタのソース領域 8 及びドレイン領域 9 のイオン注入を従来のセルフアラインではなくコンタクトホ

50

ール7を介して行っている。かかる製造方法によれば、ゲート電極の長さを一切変えずにソース・ドレイン間の距離を拡げ、当該トランジスタの抵抗を大きくすることができる。また、コンタクトホール7をマスクとしているためマスクの枚数が増えることはない。

【0022】

なお、本発明は上記実施形態に限定されることはなくその要旨を逸脱しない範囲で変更が可能であることは言うまでも無い。

【図面の簡単な説明】

【0023】

【図1】本発明の半導体装置を説明する断面図である。

【図2】本発明の半導体装置を説明する断面図である。

【図3】従来の半導体装置を説明する断面図である。

【図4】EDMOSインバータを説明する回路図である。

【符号の説明】

【0024】

1 半導体基板 2 フィールド絶縁膜 3 低濃度不純物領域

4 ゲート絶縁膜 5 ゲート電極 6 層間絶縁膜

7 コンタクトホール 8 ソース領域 9 ドレイン領域

10 金属配線 100 エンハンスメント型MOSトランジスタ

101 ディブリーション型MOSトランジスタ 102 半導体基板

103 ソース領域 104 ドレイン領域 105 ゲート電極

106 低濃度不純物領域 107 ゲート絶縁膜 108 フィールド絶縁膜

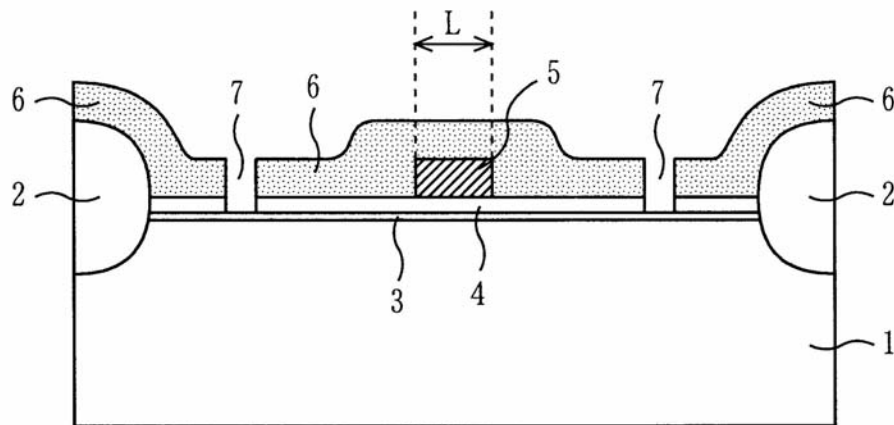
109 層間絶縁膜 110 金属配線 L ゲート電極の長さ

X ソース・ドレイン領域とゲート電極との離間距離

10

20

【図1】



1:半導体基板

2:フィールド絶縁膜

3:低濃度不純物領域

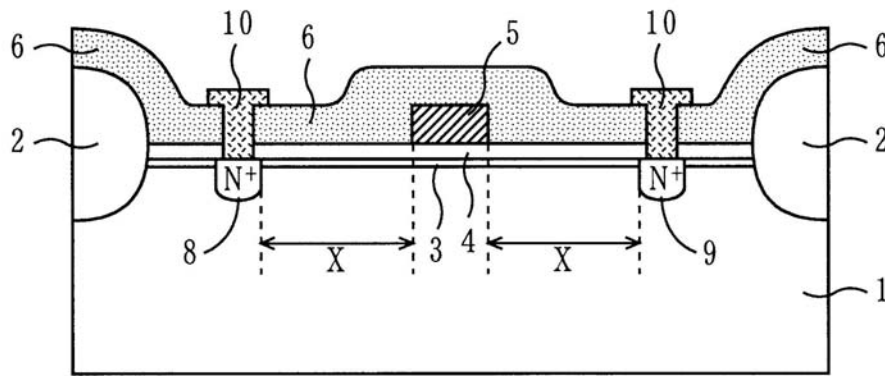
4:ゲート絶縁膜

5:ゲート電極

6:層間絶縁膜

7:コンタクトホール

【 図 2 】

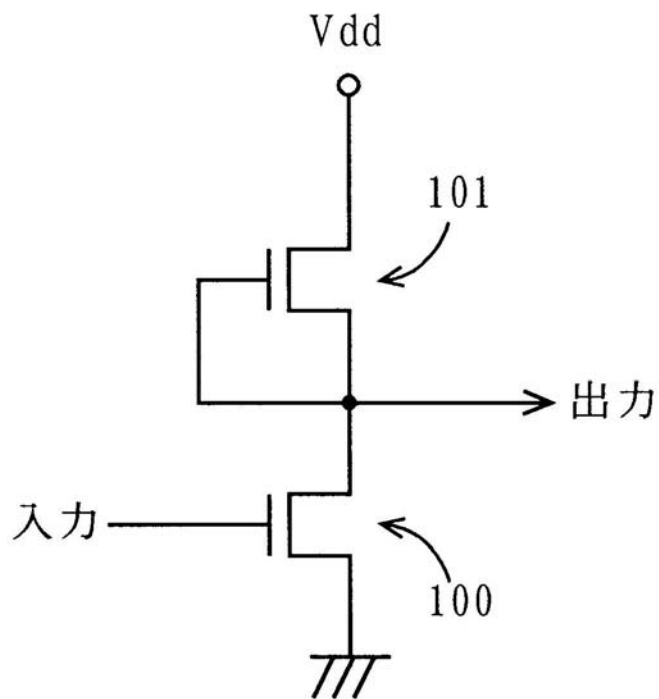


8:ソース領域

9:ドレイン領域

10:金属配線

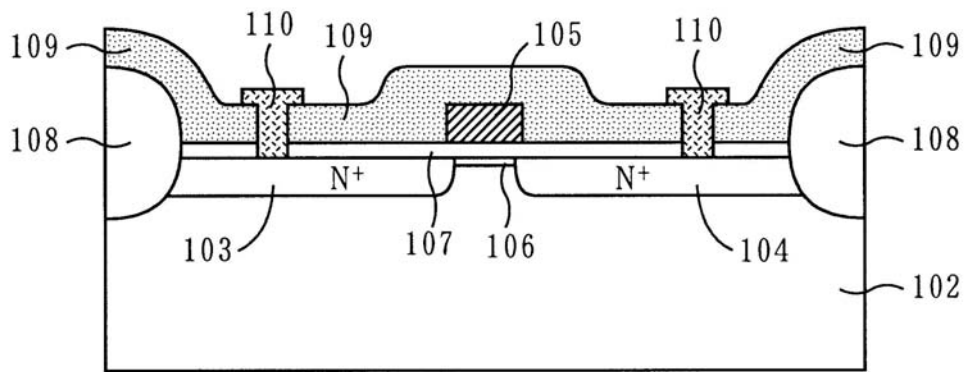
【 図 3 】



100:エンハンスメント型MOSトランジスタ

101:デプリーション型MOSトランジスタ

【 図 4 】



- | | | |
|------------|--------------|------------|
| 102:半導体基板 | 103:ソース領域 | 104:ドレイン領域 |
| 105:ゲート電極 | 106:低濃度不純物領域 | |
| 107:ゲート絶縁膜 | 108:フィルタ絶縁膜 | 109:層間絶縁膜 |
| 110:金属配線 | | |

フロントページの続き

F ターム(参考) 5F140 AA04 AB02 AC02 BC06 BC17 BE07 BF01 BF04 BG28 BG38
BH08 BH18 BH19 BJ01 BJ05 BJ07 BJ23 BK13 BK21 BK25
BK26 BK29 CB01 CC03 CC12