



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0091893
(43) 공개일자 2015년08월12일

(51) 국제특허분류(Int. Cl.)
G11C 5/02 (2006.01)

(21) 출원번호 10-2014-0012682
(22) 출원일자 2014년02월04일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
안상태
서울특별시 송파구 위례광장로 163 (장지동, 위례22단지) 2208동 903호
조규석
경기 이천시 이섭대천로1407번길 38, 205동 501호 (증포동, 대우2차아파트)

(74) 대리인
강신섭, 문용호, 이용우

전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 메모리 장치 및 그것을 포함하는 시스템

(57) 요약

본 발명의 실시 예에 따른 반도체 메모리 장치는 기판 위(above)에 적층되어 직렬 연결된 복수의 노멀 메모리 셀들, 직렬 연결된 복수의 선택 트랜지스터들, 그리고 복수의 노멀 메모리 셀들과 복수의 선택 트랜지스터들 사이에 연결된 적어도 하나의 더미 메모리 셀을 포함한다. 상기 적어도 하나의 더미 메모리 셀에 인접한 제 1 선택 트랜지스터는 제 2 선택 트랜지스터보다 낮은 문턱 전압을 갖는다.

대표도 - 도5

Select Transistor Group	Threshold Voltage State
DSTG3	PGMS
DSTG2	PGMS
DSTG1	ERSS
SSTG3	ERSS
SSTG2	PGMS
SSTG1	PGMS

명세서

청구범위

청구항 1

기관 위(above)에 적층되어 직렬 연결된 복수의 노멀 메모리 셀들;

직렬 연결된 복수의 선택 트랜지스터들; 및

상기 복수의 노멀 메모리 셀들과 상기 복수의 선택 트랜지스터들 사이에 연결된 적어도 하나의 더미 메모리 셀을 포함하되,

상기 복수의 선택 트랜지스터들 중 상기 적어도 하나의 더미 메모리 셀에 인접한 제 1 선택 트랜지스터는 상기 복수의 선택 트랜지스터들 중 제 2 선택 트랜지스터보다 낮은 문턱 전압을 갖는 반도체 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 선택 트랜지스터는 접지 전압보다 낮은 문턱 전압을 갖고,

상기 제 2 선택 트랜지스터는 접지 전압보다 높은 전압을 갖는 반도체 메모리 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 선택 트랜지스터는 소거 상태에 해당하는 문턱 전압을 갖는 반도체 메모리 장치.

청구항 4

제 1 항에 있어서,

프로그램 동작 시에, 상기 복수의 선택 트랜지스터들에 동일한 전압이 인가되는 반도체 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 프로그램 동작 시에, 상기 적어도 하나의 더미 메모리 셀에는 상기 복수의 노멀 메모리 셀들에 인가되는 전압들보다 낮은 더미 워드 라인 전압이 인가되고,

상기 복수의 선택 트랜지스터들에 인가되는 상기 동일한 전압은 상기 더미 워드 라인 전압보다 더 낮은 반도체 메모리 장치.

청구항 6

제 4 항에 있어서,

상기 프로그램 동작 시에 상기 복수의 선택 트랜지스터들에 접지 전압이 인가되는 반도체 메모리 장치.

청구항 7

제 1 항에 있어서,

상기 복수의 선택 트랜지스터들과 상기 복수의 노멀 메모리 셀들 사이에 복수의 더미 메모리 셀들이 연결되며,

프로그램 동작 시에, 상기 복수의 더미 메모리 셀들에 인가되는 전압들은 해당 더미 메모리 셀이 상기 복수의 선택 트랜지스터들에 인접할수록 낮아지는 반도체 메모리 장치.

청구항 8

제 7 항에 있어서,

상기 복수의 선택 트랜지스터들에는 상기 복수의 더미 메모리 셀들에 인가되는 전압들보다 더 낮은 전압이 인가되는 반도체 메모리 장치.

청구항 9

제 1 항에 있어서,

상기 복수의 선택 트랜지스터들은 비트 라인과 상기 적어도 하나의 더미 메모리 셀 사이에 연결되는 반도체 메모리 장치.

청구항 10

제 1 항에 있어서,

상기 복수의 선택 트랜지스터들은 공통 소스 라인과 상기 적어도 하나의 더미 메모리 셀 사이에 연결되는 반도체 메모리 장치.

청구항 11

기판 위(above)에 적층되고 직렬 연결된 복수의 노멀 메모리 셀들;

직렬 연결된 복수의 선택 트랜지스터들; 및

상기 복수의 노멀 메모리 셀들과 상기 복수의 선택 트랜지스터들 사이에 연결된 적어도 하나의 더미 메모리 셀을 포함하되,

상기 복수의 선택 트랜지스터들 중 상기 적어도 하나의 더미 메모리 셀에 인접한 제 1 선택 트랜지스터는 접지 전압보다 낮은 문턱 전압을 갖는 반도체 메모리 장치.

청구항 12

제 11 항에 있어서,

상기 제 1 선택 트랜지스터는 소거 상태에 해당하는 문턱 전압을 갖는 반도체 메모리 장치.

청구항 13

제 11 항에 있어서,

상기 복수의 선택 트랜지스터들 중 상기 제 1 선택 트랜지스터를 제외한 제 2 선택 트랜지스터들은 상기 접지 전압보다 높은 문턱 전압을 갖는 반도체 메모리 장치.

청구항 14

제 13 항에 있어서,

상기 제 1 선택 트랜지스터는 제 1 선택 라인에 연결되고,

상기 제 2 선택 트랜지스터들은 각각 제 2 선택 라인들에 연결되는 반도체 메모리 장치.

청구항 15

제 11 항에 있어서,

프로그램 동작 시에, 상기 적어도 하나의 더미 메모리 셀에 더미 워드 라인 전압이 인가되고,

상기 복수의 선택 트랜지스터들에 상기 더미 워드 라인 전압보다 낮은 전압이 인가되는 반도체 메모리 장치.

청구항 16

기판 위(above)에 적층된 복수의 노멀 메모리 셀 그룹들;

상기 복수의 노멀 메모리 셀 그룹들에(on) 형성된 적어도 하나의 더미 메모리 셀 그룹; 및

상기 적어도 하나의 더미 메모리 셀 그룹들에 순차적으로 형성된 복수의 선택 트랜지스터 그룹들을 포함하되,
 상기 복수의 선택 트랜지스터 그룹들 중 상기 적어도 하나의 더미 메모리 셀 그룹에 인접한 제 1 선택 트랜지스터 그룹의 선택 트랜지스터들은 상기 복수의 선택 트랜지스터 그룹들 중 제 2 선택 트랜지스터 그룹보다 낮은 문턱 전압들을 갖는 반도체 메모리 장치.

청구항 17

제 16 항에 있어서,
 상기 제 1 선택 트랜지스터 그룹은 접지 전압보다 낮은 문턱 전압들을 갖고,
 상기 제 2 선택 트랜지스터 그룹은 상기 접지 전압보다 높은 문턱 전압들을 갖는 반도체 메모리 장치.

청구항 18

제 16 항에 있어서,
 상기 제 1 선택 트랜지스터 그룹의 상기 선택 트랜지스터들은 소거 상태에 해당하는 문턱 전압들을 갖는 반도체 메모리 장치.

청구항 19

제 16 항에 있어서,
 상기 복수의 선택 트랜지스터 그룹들 각각의 선택 트랜지스터들은 행 방향으로 신장되는 복수의 드레인 선택 라인들에 연결되고,
 상기 복수의 선택 트랜지스터 그룹들은 열 방향으로 신장되는 복수의 비트 라인들과 상기 적어도 하나의 더미 메모리 셀 그룹 사이에 배치되는 반도체 메모리 장치.

청구항 20

제 16 항에 있어서,
 상기 복수의 선택 트랜지스터 그룹들 각각의 선택 트랜지스터들은 하나의 소스 선택 라인에 공통 연결되고,
 상기 복수의 선택 트랜지스터 그룹들은 공통 소스 라인과 상기 적어도 하나의 더미 메모리 셀 그룹 사이에 배치되는 반도체 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 전자 기기에 관한 것으로, 좀 더 구체적으로는 반도체 메모리 장치 및 그것을 포함하는 시스템에 관한 것이다.

배경 기술

[0002] 반도체 메모리 장치(semiconductor memory device)는 실리콘(Si, silicon), 게르마늄(Ge, Germanium), 비화 갈륨(GaAs, gallium arsenide), 인화인듐(InP, indium phosphide) 등과 같은 반도체를 이용하여 구현되는 기억장치이다. 반도체 메모리 장치는 크게 휘발성 메모리 장치(Volatile memory device)와 불휘발성 메모리(Nonvolatile memory device)로 구분된다.

[0003] 휘발성 메모리 장치는 전원 공급이 차단되면 저장하고 있던 데이터가 소멸되는 메모리 장치이다. 휘발성 메모리 장치에는 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등이 있다. 불휘발성 메모리 장치는 전원 공급이 차단되어도 저장하고 있던 데이터를 유지하는 메모리 장치이다. 불휘발성 메모리 장치에는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등이 있다. 플래시 메모리는 크게 노어 타입과 낸드 타입으로 구분된다.

[0004] 최근, 반도체 메모리 장치의 집적도를 향상시키기 위하여, 3차원 어레이 구조를 갖는 반도체 메모리 장치가 연구되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시 예는 3차원 메모리 셀 어레이를 갖는 반도체 메모리 장치에서 프로그램 동작의 신뢰성을 향상시키기 위한 것이다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 반도체 메모리 장치는 기판 위(above)에 적층되어 직렬 연결된 복수의 노멀 메모리 셀들; 직렬 연결된 복수의 선택 트랜지스터들; 및 상기 복수의 노멀 메모리 셀들과 상기 복수의 선택 트랜지스터들 사이에 연결된 적어도 하나의 더미 메모리 셀을 포함한다. 상기 복수의 선택 트랜지스터들 중 상기 적어도 하나의 더미 메모리 셀에 인접한 제 1 선택 트랜지스터는 상기 복수의 선택 트랜지스터들 중 제 2 선택 트랜지스터보다 낮은 문턱 전압을 갖는다.

[0007] 실시 예로서, 상기 제 1 선택 트랜지스터는 접지 전압보다 낮은 문턱 전압을 갖고, 상기 제 2 선택 트랜지스터는 접지 전압보다 높은 전압을 가질 수 있다.

[0008] 실시 예로서, 상기 제 1 선택 트랜지스터는 소거 상태에 해당하는 문턱 전압을 가질 수 있다.

[0009] 실시 예로서, 프로그램 동작 시에, 상기 복수의 선택 트랜지스터들에 동일한 전압이 인가될 수 있다.

[0010] 실시 예로서, 상기 프로그램 동작 시에, 상기 적어도 하나의 더미 메모리 셀에는 상기 복수의 노멀 메모리 셀들에 인가되는 전압들보다 낮은 더미 워드 라인 전압이 인가되고, 상기 복수의 선택 트랜지스터들에 인가되는 상기 동일한 전압은 상기 더미 워드 라인 전압보다 더 낮을 수 있다.

[0011] 실시 예로서, 상기 복수의 선택 트랜지스터들과 상기 복수의 노멀 메모리 셀들 사이에 복수의 더미 메모리 셀들이 연결되며, 프로그램 동작 시에, 상기 복수의 더미 메모리 셀들에 인가되는 전압들은 해당 더미 메모리 셀이 상기 복수의 선택 트랜지스터들에 인접할수록 낮아질 수 있다. 이때 상기 복수의 선택 트랜지스터들에는 상기 복수의 더미 메모리 셀들에 인가되는 전압들보다 낮은 전압이 인가될 것이다.

[0012] 본 발명의 다른 실시 예에 따른 반도체 메모리 장치는 기판 위(above)에 적층되고 직렬 연결된 복수의 노멀 메모리 셀들; 직렬 연결된 복수의 선택 트랜지스터들; 및 상기 복수의 노멀 메모리 셀들과 상기 복수의 선택 트랜지스터들 사이에 연결된 적어도 하나의 더미 메모리 셀을 포함한다. 상기 복수의 선택 트랜지스터들 중 상기 적어도 하나의 더미 메모리 셀에 인접한 제 1 선택 트랜지스터는 접지 전압보다 낮은 문턱 전압을 갖는다.

[0013] 본 발명의 또 다른 실시 예에 따른 반도체 메모리 장치는 기판 위(above)에 적층된 복수의 노멀 메모리 셀 그룹들; 상기 복수의 노멀 메모리 셀 그룹들에(on) 형성된 적어도 하나의 더미 메모리 셀 그룹; 및 상기 적어도 하나의 더미 메모리 셀 그룹들에 순차적으로 형성된 복수의 선택 트랜지스터 그룹들을 포함하되, 상기 복수의 선택 트랜지스터 그룹들 중 상기 적어도 하나의 더미 메모리 셀 그룹에 인접한 제 1 선택 트랜지스터 그룹의 선택 트랜지스터들은 상기 복수의 선택 트랜지스터 그룹들 중 제 2 선택 트랜지스터 그룹보다 낮은 문턱 전압을 갖는다.

발명의 효과

[0014] 본 발명의 실시 예에 따르면, 반도체 메모리 장치에서 프로그램 동작의 신뢰성이 향상된다.

도면의 간단한 설명

[0015] 도 1은 반도체 메모리 장치를 보여주는 블록도이다.

도 2는 도 1의 메모리 셀 어레이의 일 실시 예를 보여주는 블록도이다.

도 3은 도 2의 메모리 블록들 중 어느 하나를 보여주는 회로도이다.

도 4는 도 2의 메모리 블록들 중 어느 하나의 다른 실시 예를 보여주는 회로도이다.

- 도 5는 본 발명의 실시 예에 따른 선택 트랜지스터들의 문턱 전압 상태를 보여주는 테이블이다.
- 도 6은 선택 트랜지스터들이 도 5의 문턱 전압 상태를 갖게 하기 위한 설정 방법을 보여주는 순서도이다.
- 도 7은 반도체 메모리 장치의 프로그램 방법을 보여주는 순서도이다.
- 도 8은 도 7에 따른 프로그램 동작 시 셀 스트링들 중 어느 하나의 채널층의 전위를 설명하기 위한 도면이다.
- 도 9는 더미 메모리 셀에 인접한 선택 트랜지스터들이 프로그램 상태를 가질 때 채널층의 전위를 설명하기 위한 도면이다.
- 도 10은 도 8의 제 1 드레인 선택 트랜지스터 및 제 3 소스 선택 트랜지스터가 더미 메모리 셀들로 대체되는 경우 채널층의 전위를 설명하기 위한 도면이다.
- 도 11은 도 1의 반도체 메모리 장치를 포함하는 메모리 시스템을 보여주는 블록도이다.
- 도 12는 도 11의 메모리 시스템의 응용 예를 보여주는 블록도이다.
- 도 13은 도 12를 참조하여 설명된 메모리 시스템을 포함하는 컴퓨팅 시스템을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 본 발명의 이점 및 특징, 그리고 그것을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 통해 설명될 것이다. 그러나 본 발명은 여기에서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 단지, 본 실시 예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여 제공되는 것이다.
- [0017] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0018] 도 1은 반도체 메모리 장치(100)를 보여주는 블록도이다.
- [0019] 도 1을 참조하면, 반도체 메모리 장치(100)는 메모리 셀 어레이(110), 어드레스 디코더(120), 전압 발생기(130), 읽기 및 쓰기 회로(140) 및 제어 로직(150)을 포함한다.
- [0020] 메모리 셀 어레이(110)는 행 라인들(RL)을 통해 어드레스 디코더(120)에 연결된다. 메모리 셀 어레이(110)는 비트 라인들(BL)을 통해 읽기 및 쓰기 회로(140)에 연결된다.
- [0021] 메모리 셀 어레이(110)는 복수의 메모리 블록들을 포함한다. 복수의 메모리 블록들 각각은 복수의 셀 스트링들을 포함한다. 복수의 셀 스트링들 각각은 기관 위(above)에 적층되는 복수의 메모리 셀들을 포함한다. 실시 예로서, 복수의 메모리 셀들은 불휘발성 메모리 셀들이다. 실시 예로서, 복수의 메모리 셀들 각각은 싱글 레벨 셀(single level cell) 또는 멀티 레벨 셀(multi level cells)로 정의될 수 있다. 메모리 셀 어레이(110)에 대해서 도 2 내지 도 4를 참조하여 더 상세히 설명된다.
- [0022] 어드레스 디코더(120)는 행 라인들(RL)을 통해 메모리 셀 어레이(110)에 연결된다. 행 라인들(RL)은 드레인 선택 라인들, 워드 라인들, 소스 선택 라인들 및 공통 소스 라인을 포함한다. 실시 예로서, 행 라인들(RL)은 파이프 선택 라인을 더 포함할 수 있다.
- [0023] 어드레스 디코더(120)는 제어 로직(150)의 제어에 응답하여 행 라인들(RL)을 구동하도록 구성된다. 어드레스 디코더(120)는 제어 로직(150)으로부터 어드레스(ADDR)를 수신한다.
- [0024] 실시 예로서, 프로그램 동작 및 읽기 동작 시에 어드레스(ADDR)는 블록 어드레스 및 행 어드레스를 포함한다. 어드레스 디코더(120)는 수신된 어드레스(ADDR) 중 블록 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(120)는 디코딩된 블록 어드레스에 따라 하나의 메모리 블록을 선택한다. 어드레스 디코더(120)는 수신된 어드레스(ADDR) 중 행 어드레스를 디코딩하도록 구성된다. 어드레스 디코더(120)는 디코딩된 행 어드레스에 따라 전압 발생기(130)로부터 제공받은 프로그램 전압을 선택된 메모리 블록의 선택된 워드 라인에 인가하고, 전압 발생기(130)로부터 제공되는 패스 전압을 선택된 메모리 블록의 비선택된 워드 라인들에 인가한다.

- [0025] 실시 예로서, 소거 동작 시에 어드레스(ADDR)는 블록 어드레스를 포함한다. 어드레스 디코더(120)는 블록 어드레스를 디코딩하고, 메모리 셀 어레이(110)에 소거 전압(Vers)이 인가될 때 디코딩된 블록 어드레스에 따라 하나의 메모리 블록을 선택한다. 이때 선택된 메모리 블록과 연결된 행 라인들(RL)이 제어됨으로써 선택된 메모리 블록에 포함된 메모리 셀들의 데이터는 소거된다. 예를 들면, 선택된 메모리 블록과 연결된 워드 라인들에 접지 전압이 인가되고, 드레인 선택 라인들 및 소스 선택 라인들은 플로팅될 수 있다.
- [0026] 실시 예로서, 소거 동작 시에 어드레스(ADDR)는 행 어드레스를 추가적으로 포함할 수 있다. 어드레스 디코더(120)는 블록 어드레스 및 행 어드레스를 디코딩하고, 메모리 셀 어레이(110)에 소거 전압(Vers)이 인가될 때 디코딩된 블록 어드레스에 따라 하나의 메모리 블록을 선택하고, 디코딩된 행 어드레스에 따라 선택된 메모리 블록과 연결된 행 라인들(RL)을 제어할 수 있다. 예를 들면, 디코딩된 행 어드레스에 따라 선택된 메모리 블록 중 선택된 워드 라인들에 접지 전압이 인가되고 비선택된 워드 라인들, 드레인 선택 라인들 및 소스 선택 라인들은 플로팅될 수 있다.
- [0027] 어드레스 디코더(120)는 블록 디코더, 행 디코더 및 어드레스 버퍼 등을 포함할 수 있다.
- [0028] 전압 발생기(130)는 반도체 메모리 장치(100)에 공급되는 외부 전압을 이용하여 복수의 전압들을 발생하도록 구성된다. 전압 발생기(130)는 제어 로직(150)의 제어에 응답하여 동작한다.
- [0029] 실시 예로서, 전압 발생기(130)는 외부 전압을 레귤레이팅하여 전원 전압을 생성하는 회로를 포함할 수 있다. 실시 예로서, 전압 발생기(130)는 복수의 펌핑 커패시터들을 포함하고, 전원 전압을 제공받는 복수의 펌핑 커패시터들을 선택적으로 활성화하여 복수의 전압들을 생성할 수 있다. 복수의 전압들 중 소거 전압(Vers)은 메모리 셀 어레이(110)에 전달되며, 선택된 메모리 블록의 셀 스트링들에 전달된다. 복수의 전압들 중 다른 전압들은 어드레스 디코더(120)에 전달된다.
- [0030] 읽기 및 쓰기 회로(140)는 비트 라인들(BL)을 통해 메모리 셀 어레이(110)에 연결된다. 읽기 및 쓰기 회로(140)는 제어 로직(150)의 제어에 응답하여 동작한다.
- [0031] 소거 동작 시에, 읽기 및 쓰기 회로(140)는 비트 라인들(BL)을 플로팅시킬 수 있다. 프로그램 동작 및 읽기 동작 시에, 읽기 및 쓰기 회로(140)는 외부 또는 반도체 메모리 장치(100)의 입출력 버퍼(미도시)와 데이터(DATA)를 통신할 수 있다.
- [0032] 실시 예로서, 읽기 및 쓰기 회로(140)는 페이지 버퍼들(또는 페이지 레지스터들), 열 선택 회로 등을 포함할 수 있다.
- [0033] 제어 로직(150)은 어드레스 디코더(120), 전압 발생기(130) 및 읽기 및 쓰기 회로(140)에 연결된다. 제어 로직(150)은 외부 또는 반도체 메모리 장치(100)의 입출력 버퍼(미도시)로부터 제어 신호(CTRL) 및 어드레스(ADDR)를 수신한다. 제어 로직(150)은 제어 신호(CTRL)에 응답하여 반도체 메모리 장치(100)의 제반 동작을 제어하도록 구성된다. 제어 로직(150)은 어드레스(ADDR)를 어드레스 디코더(120)에 제공한다.
- [0034] 반도체 메모리 장치(100)는 입출력 버퍼(미도시)를 더 포함할 수 있다. 입출력 버퍼는 외부로부터 제어 신호(CTRL) 및 어드레스(ADDR)를 수신하고, 수신된 제어 신호(CTRL) 및 어드레스(ADDR)를 제어 로직(150)에 전달할 것이다. 또한, 입출력 버퍼는 외부로부터 수신된 데이터(DATA)를 읽기 및 쓰기 회로(140)에 전달하고, 읽기 및 쓰기 회로(140)로부터 수신된 데이터(DATA)를 외부로 전달하도록 구성될 것이다.
- [0035] 실시 예로서, 반도체 메모리 장치(100)는 플래시 메모리 장치(Flash Memory Device) 일 수 있다.
- [0036] 도 2는 도 1의 메모리 셀 어레이(110)의 일 실시 예를 보여주는 블록도이다.
- [0037] 도 2를 참조하면, 메모리 셀 어레이(110)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록은 3차원 구조를 갖는다. 각 메모리 블록은 기판 위에 적층된 복수의 메모리 셀들을 포함한다. 이러한 복수의 메모리 셀들은 +X 방향, +Y 방향 및 +Z 방향을 따라 배열된다. 각 메모리 블록의 구조는 도 3 및 도 4를 참조하여 더 상세히 설명된다.
- [0038] 도 3은 도 2의 메모리 블록들(BLK1~BLKz) 중 어느 하나(BLK1)를 보여주는 회로도이다.
- [0039] 도 3을 참조하면 제 1 메모리 블록(BLK1)은 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m)을 포함한다. 복수의 셀

스트링들(CS11~CS1m, CS21~CS2m) 각각은 +z 방향을 따라 신장된다. 복수의 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각은 +z 방향을 따라 적층된 제 1 내지 제 3 소스 선택 트랜지스터들(SST1~SST3), 제 1 및 제 2 더미 메모리 셀들(DMC1, DMC2), 제 1 내지 제 n 노멀 메모리 셀들(NMC1~NMCn), 제 3 및 제 4 더미 메모리 셀들(DMC3, DMC4), 그리고 드레인 선택 트랜지스터들(DST1~DST3)을 포함한다. 선택 트랜지스터들(SST1~SST3, DST1~DST3), 더미 메모리 셀들(DMC1~ DMC4) 및 노멀 메모리 셀들(NMC1~NMCn) 각각은 유사한 구조를 가질 수 있다. 예를 들면, 선택 트랜지스터들(SST1~SST3, DST1~DST3), 더미 메모리 셀들(DMC1~ DMC4) 및 노멀 메모리 셀들(NMC1~NMCn) 각각은 채널층, 터널링 절연막, 전하 저장막 및 해당 행 라인과 연결되는 블로킹 절연막을 포함할 수 있다.

[0040] 각 셀 스트링(each cell string)의 제 1 내지 제 3 소스 선택 트랜지스터들(SST1~SST3)은 더미 메모리 셀들(DMC1, DMC2)과 공통 소스 라인(CSL) 사이에 직렬로 연결된다. 동일한 높이의 소스 선택 트랜지스터들은 하나의 소스 선택 트랜지스터 그룹을 이루어, 동일한 높이의 소스 선택 라인에 연결된다. 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각의 제 1 소스 선택 트랜지스터(SST1)는 제 1 소스 선택 라인(SSL1)에 연결된다. 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각의 제 2 소스 선택 트랜지스터(SST2)는 제 2 소스 선택 라인(SSL2)에 연결된다. 셀 스트링들(CS11~CS1m, CS21~CS2m) 각각의 제 3 소스 선택 트랜지스터(SST3)는 제 3 소스 선택 라인(SSL3)에 연결된다.

[0041] 각 셀 스트링의 제 1 및 제 2 더미 메모리 셀들(DMC1, DMC2)은 노멀 메모리 셀들(NMC1~NMCn)과 소스 선택 트랜지스터들(SST1~SST3) 사이에 직렬 연결된다. 동일한 높이의 더미 메모리 셀들은 하나의 더미 메모리 셀 그룹을 이루어, 동일한 더미 워드 라인에 연결된다. 제 1 및 제 2 더미 메모리 셀들(DMC1, DMC2)은 각각 제 1 및 제 2 더미 워드 라인들(DWL1, DWL2)에 연결된다.

[0042] 각 셀 스트링의 제 1 내지 제 n 노멀 메모리 셀들(NMC1~NMCn)은 제 1 및 제 2 더미 메모리 셀들(DMC1, DMC2)과 제 3 및 제 4 더미 메모리 셀들(DMC3, DMC4) 사이에 직렬 연결된다. 동일한 높이의 노멀 메모리 셀들은 하나의 노멀 메모리 셀 그룹을 이루어, 동일한 노멀 워드 라인에 연결된다. 제 1 내지 제 n 노멀 메모리 셀들(NMC1~NMCn)은 각각 제 1 내지 제 n 노멀 워드 라인들(NWL1~NWLn)에 연결된다.

[0043] 각 셀 스트링의 제 3 및 제 4 더미 메모리 셀들(DMC3, DMC4)은 드레인 선택 트랜지스터들(DST1~DST3)과 노멀 메모리 셀들(NMC1~NMCn) 사이에 직렬 연결된다. 제 3 및 제 4 더미 메모리 셀들(DMC3, DMC4)은 각각 제 3 및 제 4 더미 워드 라인들(DWL3, DWL4)에 연결된다.

[0044] 각 셀 스트링의 제 1 내지 제 3 드레인 선택 트랜지스터들(DST1~DST3)은 해당 비트 라인과 더미 메모리 셀들(DMC3, DMC4) 사이에 직렬 연결된다. 동일한 높이에서, 동일한 행(+x 방향)에 배열된 셀 스트링들의 드레인 선택 트랜지스터들은 동일한 드레인 선택 라인에 연결된다. 동일한 높이에서, 상이한 행에 배열된 셀 스트링들의 드레인 선택 트랜지스터들은 상이한 드레인 선택 라인들에 연결된다. 제 1 행의 셀 스트링들(CS11~CS1m) 각각의 제 1 드레인 선택 트랜지스터(DST1)는 제 1 드레인 선택 라인(DSL1_1)에 연결된다. 셀 스트링들(CS11~CS1m) 각각의 제 2 드레인 선택 트랜지스터(DST2)는 제 2 드레인 선택 라인(DSL2_1)에 연결된다. 셀 스트링들(CS11~CS1m) 각각의 제 3 드레인 선택 트랜지스터(DST3)는 제 3 드레인 선택 라인(DSL3_1)에 연결된다. 제 2 행의 셀 스트링들(CS21~CS2m) 각각의 제 1 드레인 선택 트랜지스터(DST1)는 제 1 드레인 선택 라인(DSL1_2)에 연결된다. 셀 스트링들(CS21~CS2m) 각각의 제 2 드레인 선택 트랜지스터(DST2)는 제 2 드레인 선택 라인(DSL2_2)에 연결된다. 셀 스트링들(CS21~CS2m) 각각의 제 3 드레인 선택 트랜지스터(DST3)는 제 3 드레인 선택 라인(DSL3_2)에 연결된다.

[0045] 도 4는 도 2의 메모리 블록들(BLK1~BLKz) 중 어느 하나(BLK1)의 다른 실시 예(BLK1')를 보여주는 회로도이다.

[0046] 도 4를 참조하면 제 1 메모리 블록(BLK1')은 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m')을 포함한다. 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m') 각각은 'U'자형으로 형성된다. 복수의 셀 스트링들(CS11'~CS1m', CS21'~CS2m') 각각은 소스 선택 트랜지스터들(SST1~SST3), 더미 메모리 셀들(DMC1~DMC4), 노멀 메모리 셀들(NMC1~NMCn), 파이프 트랜지스터(PT), 드레인 선택 트랜지스터들(DST1~DST3)을 포함한다.

[0047] 각 셀 스트링의 제 1 내지 제 3 소스 선택 트랜지스터들(SST1~SST3)은 공통 소스 라인(CSL)과 더미 메모리 셀들(DMC1, DMC2) 사이에 직렬 연결된다.

[0048] 동일한 높이의 소스 선택 트랜지스터들은 하나의 소스 선택 트랜지스터 그룹을 이루어 동일한 소스 선택 라인에 연결된다. 각 셀 스트링의 제 1 내지 제 3 소스 선택 트랜지스터들(SST1~SST3)은 제 1 내지 3 소스 선택 라인들

(SSL1~SSL3)에 연결된다.

- [0049] 각 셀 스트링의 제 1 및 제 2 터미 메모리 셀들(DMC1, DMC2)은 소스 선택 트랜지스터들(SST1~SST3)과 노멀 메모리 셀들(NMC1~NMCp) 사이에 연결되며, 그것들의 게이트들은 제 1 및 제 2 터미 워드 라인들(DWL1, DWL2)에 연결된다.
- [0050] 각 셀 스트링의 제 1 내지 제 n 노멀 메모리 셀들(NMC1~NMCn)은 제 1 및 제 2 터미 메모리 셀들(DMC1, DMC2)과 제 3 및 제 4 터미 메모리 셀들(DMC3, DMC4) 사이에 연결된다.
- [0051] 제 1 내지 제 n 노멀 메모리 셀들(NMC1~NMCn)은 제 1 내지 제 p 노멀 메모리 셀들(NMC1~NMCp)과 제 p+1 내지 제 n 노멀 메모리 셀들(NMCp+1~NMCn)로 구분된다. 제 1 내지 제 n 노멀 메모리 셀들(NMC1~NMCn) 중 제 1 내지 제 p 노멀 메모리 셀들(NMC1~NMCp)과 제 p+1 내지 제 n 노멀 메모리 셀들(NMCp+1~NMCn)은 파이프 트랜지스터(PT)를 통해 연결될 수 있다. 제 1 내지 제 p 노멀 메모리 셀들(NMC1~NMCp)은 +Z 방향과 역방향으로 순차적으로 배치되며, 터미 메모리 셀들(DMC1, DMC2)과 파이프 트랜지스터(PT) 사이에서 직렬 연결된다. 제 p+1 내지 제 n 노멀 메모리 셀들(NMCp+1~NMCn)은 +Z 방향으로 순차적으로 배열되며, 파이프 트랜지스터(PT)와 터미 메모리 셀들(DMC3, DMC4) 사이에서 직렬 연결된다. 제 1 내지 제 n 노멀 메모리 셀들(NMC1~NMCn)의 게이트들은 각각 제 1 내지 제 n 노멀 워드 라인들(NWL1~NWLn)에 연결된다.
- [0052] 각 셀 스트링의 파이프 트랜지스터(PT)의 게이트는 파이프 라인(PL)에 연결된다.
- [0053] 각 셀 스트링들의 제 3 및 제 4 터미 메모리 셀들(DMC3, DMC4)은 드레인 선택 트랜지스터들(DST1~DST3)과 노멀 메모리 셀들(NMCp+1~NMCn) 사이에 연결되며, 그것들의 게이트들은 제 3 및 제 4 터미 워드 라인들(DWL3, DWL4)에 연결된다.
- [0054] 각 셀 스트링의 제 1 내지 제 3 드레인 선택 트랜지스터들(DST1~DST3)은 해당 비트 라인과 터미 메모리 셀들(DMC3, DMC4) 사이에 직렬 연결된다. 동일한 높이에서, 동일한 행(+X 방향)에 배열된 셀 스트링들의 드레인 선택 트랜지스터들은 동일한 드레인 선택 라인에 연결된다.
- [0055] 결과적으로, 각 셀 스트링에 파이프 선택 트랜지스터(PT)가 더 포함된 것을 제외하면 도 4의 메모리 블록(BLK1')은 도 3의 메모리 블록(BLK1)과 유사한 동작 회로를 갖는다.
- [0056] 도 5는 본 발명의 실시 예에 따른 선택 트랜지스터들(SST1~SST3, DST1~DST3)의 문턱 전압 상태를 보여주는 테이블이다.
- [0057] 도 5를 참조하면, 제 1 소스 선택 트랜지스터 그룹(SSTG1)의 소스 선택 트랜지스터들은 제 3 소스 선택 트랜지스터 그룹(SSTG3)보다 높은 문턱 전압, 예를 들면 프로그램 상태(PGMS)를 갖는다. 제 1 소스 선택 트랜지스터 그룹(SSTG1)은 각 셀 스트링의 제 1 소스 선택 트랜지스터(SST1)로 구성된다. 여기에서, 프로그램 상태(PGMS)는 접지 전압보다 높고 전원 전압보다 낮은 문턱 전압에 해당할 수 있다.
- [0058] 제 2 소스 선택 트랜지스터 그룹(SSTG2)의 소스 선택 트랜지스터들도 프로그램 상태(PGMS)를 가질 수 있다. 제 2 소스 선택 트랜지스터 그룹(SSTG2)은 각 셀 스트링의 제 2 소스 선택 트랜지스터(SST2)로 구성된다.
- [0059] 제 3 소스 선택 트랜지스터 그룹(SSTG3)의 소스 선택 트랜지스터들은 제 1 및 제 2 소스 선택 트랜지스터 그룹들(SSTG1, SSTG2)보다 낮은 문턱 전압을 갖는다. 실시 예로서, 제 3 소스 선택 트랜지스터 그룹(SSTG3)의 소스 선택 트랜지스터들은 접지 전압보다 낮은 문턱 전압, 예를 들면 소거 상태(ERSS)를 갖는다. 제 3 소스 선택 트랜지스터 그룹(SSTG3)은 각 셀 스트링의 제 3 소스 선택 트랜지스터(SST3)로 구성된다. 즉 터미 메모리 셀에 인접한 소스 선택 트랜지스터 그룹은 다른 소스 선택 트랜지스터 그룹보다 낮은 문턱 전압을 갖도록 설정될 수 있다.
- [0060] 제 1 드레인 선택 트랜지스터 그룹(DSTG1)의 드레인 선택 트랜지스터들은 제 2 및 제 3 드레인 선택 트랜지스터 그룹들(DSTG2, DSTG3)보다 낮은 문턱 전압을 갖는다. 실시 예로서, 제 1 드레인 선택 트랜지스터 그룹(DSTG1)의 드레인 선택 트랜지스터들은 접지 전압보다 낮은 문턱 전압, 예를 들면 소거 상태(ERSS)를 갖는다. 제 1 드레인 선택 트랜지스터 그룹(DSTG1)은 각 셀 스트링의 제 1 드레인 선택 트랜지스터(DST1)로 구성된다. 즉 터미 메모리 셀에 인접한 드레인 선택 트랜지스터 그룹은 다른 드레인 선택 트랜지스터 그룹보다 낮은 문턱 전압을 갖도록 설정될 수 있다.
- [0061] 제 2 및 제 3 드레인 선택 트랜지스터 그룹들(DSTG2, DSTG3)의 드레인 선택 트랜지스터들은 제 1 드레인 선택

트랜지스터 그룹(DSTG1)보다 높은 문턱 전압, 예를 들면 프로그램 상태(PGMS)를 갖는다. 여기에서, 제 2 드레인 선택 트랜지스터 그룹(DSTG2)은 각 셀 스트링의 제 2 드레인 선택 트랜지스터(DST2)로 구성되며, 제 3 드레인 선택 트랜지스터 그룹(DSTG3)은 각 셀 스트링의 제 3 드레인 선택 트랜지스터(DST3)로 구성된다.

- [0062] 도 6은 선택 트랜지스터들이 도 5의 문턱 전압 상태를 갖게 하기 위한 설정 방법을 보여주는 순서도이다.
- [0063] 도 6을 참조하면, S110단계에서, 도 1 내지 도 4를 참조하여 설명된 메모리 셀 어레이(110)가 제공된다. 즉 소스 선택 트랜지스터들(SST1~SST3), 제 1 및 제 2 더미 메모리 셀들(DMC1, DMC2), 복수의 노멀 메모리 셀들(NMC1~NMCn), 제 3 및 제 4 더미 메모리 셀들(DMC3, DMC4) 및 드레인 선택 트랜지스터들(DST1~DST3)이 제공된다.
- [0064] S120단계에서, 더미 메모리 셀에 인접한 선택 트랜지스터가 더미 메모리 셀로부터 멀리 떨어진 선택 트랜지스터보다 낮은 문턱 전압을 갖도록 설정된다. 실시 예로서, 더미 메모리 셀에 인접한 선택 트랜지스터가 접지 전압보다 낮은 문턱 전압, 예를 들면 소거 상태를 갖고, 더미 메모리 셀과 멀리 떨어진 선택 트랜지스터가 접지 전압보다 높은 문턱 전압, 예를 들면 프로그램 상태를 갖도록 설정된다.
- [0065] 예를 들면, 전압 발생기(130, 도 1 참조)로부터의 고 전압의 소거 전압(Vers)이 메모리 셀 어레이(110)의 기관(미도시)에 인가될 때, 선택 라인들(SSL1~SSL3, DSL1_1~DSL3_1, DSL1_2~DSL3_2), 더미 워드 라인들(DWL1~DWL4) 및 노멀 워드 라인들(NWL1~NWLn)에 접지 전압이 인가될 수 있다. 비트 라인들(BL1~BLm)은 예를 들면 플로팅될 수 있다. 기관에 인가되는 소거 전압(Vers)은, 예를 들면 공통 소스 라인(CSL)을 통해, 선택 트랜지스터들(SST1~SST3, DST1~DST3)의 채널층에 전달될 것이다. 채널층과 선택 라인들(SSL1~SSL3, DSL1_1~DSL3_1, DSL1_2~DSL3_2) 사이의 전압 차에 따라, 선택 트랜지스터들(SST1~SST3, DST1~DST3)의 문턱 전압이 낮아질 수 있다. 이러한 동작을 반복적으로 수행함으로써, 선택 트랜지스터들(SST1~SST3, DST1~DST3)은 상대적으로 낮은 문턱 전압, 예를 들면 소거 상태의 문턱 전압을 가질 수 있다. 이후에, 제 1 및 제 2 소스 선택 트랜지스터들(SST1, SST2), 그리고 제 2 및 제 3 드레인 선택 트랜지스터들(DST1, DST2)은 접지 전압보다 높은 문턱 전압을 갖도록 프로그램될 것이다.
- [0066] 다른 예로서, 전압 발생기(130)로부터의 소거 전압(Vers)이 메모리 셀 어레이(110)의 기관에 인가될 때, 더미 메모리 셀에 인접한 선택 트랜지스터들(SST3, DST1)과 연결된 선택 라인들(SSL3, DSL1_1, DSL1_2)에 접지 전압이 인가되고, 나머지 선택 라인들(SSL1, SSL2, DSL2, DSL3), 더미 워드 라인들(DWL1~DWL4) 및 노멀 워드 라인들(NWL1~NWLn)은 플로팅될 수 있다. 이에 따라 더미 메모리 셀에 인접한 선택 트랜지스터들(SST3, DST1)의 문턱 전압만 낮아질 수 있다. 이러한 동작을 반복적으로 수행함으로써, 더미 메모리 셀에 인접한 선택 트랜지스터들(SST3, DST1)은 상대적으로 낮은 문턱 전압을 가질 수 있다.
- [0067] 이 밖에도, 다양한 실시 예들에 따라 더미 메모리 셀에 인접한 선택 트랜지스터들(SST3, DST1)이 접지 전압보다 낮은 문턱 전압을 갖도록 설정될 수 있다.
- [0068] 실시 예로서, S120단계는 반도체 메모리 장치(110)의 공정 후 테스트 단계에서 수행될 수 있다.
- [0069] 도 7은 반도체 메모리 장치(100)의 프로그램 방법을 보여주는 순서도이다.
- [0070] 도 3, 도 4 및 도 7을 참조하면, 프로그램 동작 시에, 어드레스 디코더(120)는 선택 라인들(SSL1~SSL3, DSL1_1~DSL3_1)을 접지 전압(GND)으로 바이어싱한다. 선택 라인들(SSL1~SSL3, DSL1_1~DSL3_1)에 연결된 선택 트랜지스터들(SST1~SST3, DST1~DST3)은 턴오프되고, 셀 스트링들(CS11~CS1m)은 비트 라인들(BL1~BLm)과 공통 소스 라인(CSL)으로부터 전기적으로 분리되어 플로팅된다. 즉 셀 스트링들(CS11~CS1m)은 비선택된다. 따라서 만약 워드 라인들(NWL1~NWLn, DWL1~DWL4)에 양전압이 인가되면, 셀 스트링들(CS11~CS1m)의 채널층(도 8의 CHN 참조)의 전압은 부스팅될 것이다(도 8 참조).
- [0071] 도 7에서, 드레인 선택 라인들(DSL1_1~DSL3_1, DSL1_2~DSL3_2) 중 비선택된 드레인 선택 라인들(DSL1_1~DSL3_1)에 인가되는 전압이 도시되며 선택된 드레인 선택 라인들(DSL1_2~DSL3_2)에 인가되는 전압은 설명의 편의를 위해 생략되었다. 선택된 드레인 선택 라인들(DSL1_2~DSL3_2)에는 전원 전압이 인가될 것이다. 전원 전압은 드레인 선택 트랜지스터들(DST1~DST3)의 문턱 전압보다 높다. 따라서 선택된 드레인 선택 라인들(DSL1_2~DSL3_2)에 연결된 드레인 선택 트랜지스터들(DST1~DST3)은 턴온되고, 해당 셀 스트링들(CS21~CS2m)은

비트 라인들(BL1~BLm)에 전기적으로 연결된다. 즉 셀 스트링들(CS21~CS2m)은 선택된다.

- [0072] 제 1 시간(t1)에서, 어드레스 디코더(120)는 제 1 및 제 4 더미 워드 라인들(DWL1, DWL4)을 제 1 더미 워드 라인 전압(Vdummy1)으로 바이어싱하고, 제 2 및 제 3 더미 워드 라인들(DWL2, DWL3)을 제 2 더미 워드 라인 전압(Vdummy2)으로 바이어싱한다.
- [0073] 제 1 더미 워드 라인 전압(Vdummy1)은 제 2 더미 워드 라인 전압(Vdummy2)보다 낮다. 즉 제 1 및 제 2 더미 메모리 셀들(DMC1, DMC2)의 게이트들에 인가되는 전압들(Vdummy1, Vdummy2)은 해당 더미 메모리 셀이 소스 선택 트랜지스터들(SST1~SST3)에 인접할수록 낮아진다. 또한 제 3 및 제 4 더미 메모리 셀들(DMC3, DMC4)의 게이트들에 인가되는 전압들(Vdummy1, Vdummy2)은 해당 더미 메모리 셀이 드레인 선택 트랜지스터들(DST1~DST3)에 인접할수록 낮아진다.
- [0074] 어드레스 디코더(120)는 노멀 워드 라인들(NWL1~NWLn) 중 선택된 노멀 워드 라인(NWLS) 및 비선택된 노멀 워드 라인들(NWLUS)에 패스 전압(Vpass)으로 바이어싱한다. 패스 전압(Vpass)은 더미 워드 라인 전압들(Vdummy1, Vdummy2)보다 높다.
- [0075] 이후 제 2 시간(t2)에서 어드레스 디코더(120)는 비선택된 노멀 워드 라인(NWLUS)을 패스 전압으로 유지하고 선택된 노멀 워드 라인들(NWLS)을 고전압의 프로그램 전압(Vpgm)으로 바이어싱한다.
- [0076] 결국 셀 스트링들(CS11~CS1m)의 채널층의 전압은 노멀 메모리 셀들(NMC1~NMCn), 더미 메모리 셀들(DMC1~DMC4) 및 선택 트랜지스터들(SST1~SST3, DST1~DST3)의 순서대로 감소하게 된다. 이는 도 8을 참조하여 더 상세히 설명된다.
- [0077] 제 3 시간(t3)에서, 선택된 노멀 워드 라인(NWLS)에 인가되는 프로그램 전압(Vpgm)은 패스 전압(Vpass)으로 디스차지된다. 제 4 시간(t4)에서, 더미 워드 라인들(DWL1~DWL4) 및 노멀 워드 라인들(NWL1~NWLn)은 접지 전압(GND)으로 디스차지되고, 프로그램 동작은 종료된다.
- [0078] 도 8은 도 7에 따른 프로그램 동작 시 셀 스트링들(CS11~CS1m) 중 어느 하나의 채널층(CHN)의 전위(potential)를 설명하기 위한 도면이다.
- [0079] 도 3, 도 4, 도 7 및 도 8을 참조하면, 더미 메모리 셀로부터 멀리 떨어진 선택 트랜지스터의 채널층(CHN)의 전압은 기준 전압(Vref)을 유지하고, 더미 메모리 셀에 인접한 선택 트랜지스터의 채널층(CHN)은 기준 전압(Vref)보다 높은 전압을 갖는다.
- [0080] 채널층(CHN)은 해당 선택 트랜지스터 또는 메모리 셀의 게이트에 인가되는 전압에서, 해당 선택 트랜지스터 또는 메모리 셀의 문턱 전압을 뺀 값에 해당하는 전압을 가질 수 있다. 선택 라인들(SSL1~SSL3, DSL1_1~DSL3_1)을 통해 선택 트랜지스터들(SST1~SST3, DST1~DST3)의 게이트들에 동일한 전압인 접지 전압(GND)이 인가된다. 하지만, 선택 트랜지스터들(SST1~SST3, DST1~DST3)은 더미 메모리 셀과의 거리에 따라 상이한 문턱 전압을 가지므로, 선택 트랜지스터들(SST1~SST3, DST1~DST3)의 채널층(CHN)의 전위는 해당 더미 메모리 셀과의 거리에 따라 상이할 수 있다.
- [0081] 제 1 및 제 2 소스 선택 트랜지스터들(SST1, SST2)은 프로그램 상태이다. 제 1 및 제 2 소스 선택 라인들(SSL1, SSL2)을 통해 접지 전압(GND)이 인가될 때 제 1 및 제 2 소스 선택 트랜지스터들(SST1, SST2)의 채널층(CHN)은 접지 전압(GND)에서 해당 문턱 전압을 뺀 전압, 예를 들면 기준 전압(Vref)을 가질 수 있다.
- [0082] 제 3 소스 선택 트랜지스터(SST3)는 소거 상태이다. 제 3 소스 선택 라인(SSL3)을 통해 접지 전압(GND)이 인가될 때 제 3 소스 선택 트랜지스터(SST3)의 채널층(CHN)은 접지 전압(GND)에서 해당 문턱 전압을 뺀 전압, 즉 기준 전압(Vref)보다 높은 전압을 가질 수 있다.
- [0083] 제 1 내지 3 드레인 선택 트랜지스터들(DST1~DST3)에도 접지 전압(GND)이 인가된다. 제 1 드레인 선택 트랜지스터(DST)의 채널층(CHN)은 접지 전압(GND)에서 해당 문턱 전압을 뺀 전압, 즉 기준 전압(Vref)보다 높은 전압을 가질 수 있다. 제 2 및 제 3 드레인 선택 트랜지스터들(DST2, DST3)의 채널층(CHN)은 접지 전압(GND)에서 해당 문턱 전압을 뺀 값, 예를 들면 기준 전압(Vref)을 가질 수 있다.
- [0084] 제 1 및 제 2 더미 워드 라인들(DWL1, DWL2)에 인가되는 더미 워드 라인 전압들(Vdummy1, Vdummy2)은, 해당 더미 메모리 셀의 채널층(CHN)의 전압이 소스 선택 트랜지스터들(SST1~SST3)에 인접할수록 감소하도록 결정된다. 제 1 더미 워드 라인(DWL1)에 인가되는 제 1 더미 워드 라인 전압(Vdummy1)보다 제 2 더미 워드 라인(DWL2)에

인가되는 제 2 더미 워드 라인 전압(Vdummy1)이 높을 수 있다.

- [0085] 제 3 및 제 4 더미 워드 라인들(DWL3, DWL4)에 인가되는 더미 워드 라인 전압들(Vdummy1, Vdummy2)은, 해당 더미 메모리 셀의 채널층(CHN)의 전압이 드레인 선택 트랜지스터들(DST1~DST3)에 인접할수록 감소하도록 결정된다.
- [0086] 실시 예로서, 더미 메모리 셀들(DMC1~DMC4)은 프로그램 상태를 가질 수 있다.
- [0087] 노멀 워드 라인들(NWL1~NWLn)에는 고전압의 패스 전압(Vpass) 또는 패스 전압(Vpass)보다 높은 프로그램 전압(Vpgm)이 인가되므로, 노멀 메모리 셀들(NMC1~NMCn)의 채널층(CHN)의 전위는 더미 메모리 셀들(DMC1~DMC4)보다 높다. 특히, 선택된 노멀 워드 라인(NWLn)에 연결된 노멀 메모리 셀(NMCn, 이하 선택된 노멀 메모리 셀)은 선택된 노멀 워드 라인(NWLn)을 통해 프로그램 전압(Vpgm)이 인가되므로, 해당 채널층(CHN)은 가장 높은 전위를 갖는다.
- [0088] 이와 같이 더미 메모리 셀에 인접한 선택 트랜지스터들(SST3, DST1)은 소거 상태를 갖고 다른 선택 트랜지스터들(SST1, SST2, DST2, DST3)은 프로그램 상태를 갖는 경우, 프로그램 동작 시 선택 라인들(SSL1~SSL3, DSL1_1~DSL3_1)에 공통적으로 접지 전압이 인가되더라도, 셀 스트링의 채널층(CHN)의 전위는 선택된 노멀 메모리 셀(NMCn)부터 선택 트랜지스터들까지 점진적으로 감소하게 된다. 즉 프로그램 동작 시에 셀 스트링의 채널층(CHN)에 형성되는 전압 구배(Electrical Intensity)가 완화된다. 이에 따라, 프로그램 동작 시에 선택 트랜지스터들을 통해 해당 비트 라인 또는 공통 소스 라인(CSL)으로 유출되는 전류가 감소한다.
- [0089] 도 9는 더미 메모리 셀에 인접한 선택 트랜지스터들(SST1, DST1)이 프로그램 상태를 가질 때 채널층(CHN)의 전위를 설명하기 위한 도면이다.
- [0090] 도 9를 참조하면, 제 1 드레인 선택 트랜지스터(DST1) 및 제 3 소스 선택 트랜지스터(SST3)는 다른 선택 트랜지스터들(SST1, SST2, DST2, DST3)과 마찬가지로 프로그램 상태(PGMS)를 갖는다. 프로그램 동작 시 선택 라인들(SSL1~SSL3, DSL1_1~DSL3_1)에 접지 전압(GND)이 인가되면 제 1 드레인 선택 트랜지스터(DST1) 및 제 3 소스 선택 트랜지스터(SST3)의 채널층(CHN)은 다른 선택 트랜지스터들(SST1, SST2, DST2, DST3)과 마찬가지로 기준 전압(Vref)을 유지할 것이다. 결국 제 1 드레인 선택 트랜지스터(DST1) 및 제 3 소스 선택 트랜지스터(SST3)의 채널층(CHN)의 전위는 도 8보다 낮아진다.
- [0091] 이러한 경우, 노멀 메모리 셀들(NMC1~NMC1n)의 채널층(CHN)과 제 1 드레인 선택 트랜지스터(DST1)의 채널층(CHN) 사이의 전압 차이, 예를 들면 선택된 노멀 메모리 셀(NMCn)의 채널층(CHN)과 제 1 드레인 선택 트랜지스터(DST1)의 채널층(CHN) 사이의 전압 차이(V2)는 도 8의 전압 차이(V1)보다 증가하게 된다. 결국 셀 스트링의 채널층(CHN)의 전위는 선택된 노멀 메모리 셀(NMCn)부터 드레인 선택 트랜지스터들(DST1~DST3)까지 급격하게 감소하게 된다. 이는 강한 전기장(Electric Field)을 유발하여 드레인 선택 트랜지스터들(DST1~DST3)을 통해 다량의 전류가 유출되고, 따라서 셀 스트링의 채널층(CHN)은 원활하게 부스팅되지 않을 수 있다.
- [0092] 마찬가지로 이유로, 소스 선택 트랜지스터들(SST1~SST3)을 통해 다량의 전류가 유출되어 셀 스트링의 채널층(CHN)은 원활하게 부스팅되지 않을 수 있다.
- [0093] 도 10은 도 8의 제 1 드레인 선택 트랜지스터(DST1) 및 제 3 소스 선택 트랜지스터(SST3)가 더미 메모리 셀들(DMC4', DMC1')로 대체되는 경우 채널층(CHN)의 전위를 설명하기 위한 도면이다.
- [0094] 도 8 및 도 10을 참조하면, 도 8의 제 1 드레인 선택 트랜지스터(DST1)는 더미 메모리 셀(DMC4')로 대체되고, 도 8의 제 3 소스 선택 트랜지스터(SST3)는 더미 메모리 셀(DMC1')로 대체된다. 더미 메모리 셀들(DMC4', DMC1')은 프로그램 상태를 가질 수 있다.
- [0095] 더미 메모리 셀(DMC4')은 더미 워드 라인(DWL4')을 통해 전압을 수신한다. 더미 메모리 셀(DMC4')의 채널층(CHN)이 제 4 더미 메모리 셀(DMC4)보다 낮은 전위를 갖고 제 2 드레인 선택 트랜지스터(DST2)보다 높은 전위를 갖도록 더미 워드 라인(DWL4')의 전압이 설정될 수 있다.
- [0096] 더미 메모리 셀(DMC1')의 채널층(CHN)이 제 1 더미 메모리 셀(DMC1)보다 낮은 전위를 갖고 제 2 소스 선택 트랜지스터(SST2)보다 높은 전위를 갖도록 더미 워드 라인(DWL1')의 전압이 설정될 수 있다.

- [0097] 한편, 선택 라인들(SSL1, SSL2, DSL2_1, DSL3_1) 및 워드 라인들(DWL1~DWL4, DWL1', DWL4', NWL1~NWLn)을 통해 제공되는 전압들은 저항 성분 및 커패시턴스 성분에 기인하여 RC 딜레이를 갖는다. 따라서 선택 라인들(SSL1, SSL2, DSL2_1, DSL3_1) 및 워드 라인들(DWL1~DWL4, DWL1', DWL4', NWL1~NWLn)을 통해 제공되는 전압들 각각은, 그것이 접지 전압(GND)이 아닌 이상, 의도치 않게 느리게 해당 목표 전압까지 상승할 수 있다.
- [0098] 더미 워드 라인(DWL4')의 전압이 원하는 시간보다 느리게 목표 전압까지 상승한다고 가정한다. 더미 워드 라인(DWL4')의 전압이 목표 전압에 도달하지 못했을 때 더미 메모리 셀(DMC4')의 채널층(CHN)의 전위는 원하는 레벨(도 10의 점선 표시)보다 dV만큼 낮은 레벨(도 10의 실선 표시)이다. RC 딜레이에 의해 더미 워드 라인(DWL4')의 전압이 목표 전압까지 느리게 상승할수록, 더미 메모리 셀(DMC4')의 채널층(CHN)의 전위가 원하는 레벨(도 10의 점선 표시)보다 낮은 레벨(도 10의 실선 표시)로 유지되는 시간은 길어질 것이다. 이때, 더미 메모리 셀(DMC4')의 채널층(CHN)과 노멀 메모리 셀들(NMC1~NMCn)의 채널층(CHN)과의 전압 차이, 예를 들면 더미 메모리 셀(DMC4')의 채널층(CHN)과 선택된 노멀 메모리 셀(NMCn)의 채널층(CHN) 사이의 전압 차이(V3)는 도 8의 전압 차이(V1)보다 크다. 결국 셀 스트링의 채널층(CHN)의 전위는 선택된 노멀 메모리 셀(NMCn)부터 더미 메모리 셀(DMC4')까지 급격하게 감소하게 된다. 이에 따라 드레인 선택 트랜지스터들(DST2, DST3)을 통해 다량의 전류가 유출되어 셀 스트링의 채널층(CHN)은 원활하게 부스팅되지 않을 수 있다.
- [0099] 마찬가지로 이유로, 소스 선택 트랜지스터들(SST1, SST2)을 통해 다량의 전류가 유출되어 셀 스트링의 채널층(CHN)은 원활하게 부스팅되지 않을 수 있다.
- [0100] 본 발명의 실시 예에 따르면, 더미 메모리 셀과 인접한 선택 트랜지스터는 접지 전압보다 낮은 문턱 전압을 가진다. 그리고 프로그램 동작 시에 선택 라인들을 통해 선택 트랜지스터들에 공통적으로 접지 전압을 인가한다. 이에 따라 선택 트랜지스터의 채널층(CHN)은 안정적으로 기준 전압(Vref)보다 높은 전위를 가질 수 있다. 결국 셀 스트링의 채널층(CHN)에 형성되는 전압 구배(Electrical Intensity)가 완화되어, 반도체 메모리 장치(100)의 프로그램 동작의 신뢰성이 향상된다.
- [0101] 도 11은 도 1의 반도체 메모리 장치(100)를 포함하는 메모리 시스템(1000)을 보여주는 블록도이다.
- [0102] 도 11을 참조하면, 메모리 시스템(1000)은 반도체 메모리 장치(100) 및 컨트롤러(1200)를 포함한다.
- [0103] 반도체 메모리 장치(100)는 도 1 내지 도 8을 참조하여 설명된 바와 마찬가지로 구성되고, 동작할 수 있다. 이하, 중복되는 설명은 생략된다.
- [0104] 컨트롤러(1200)는 호스트(Host) 및 반도체 메모리 장치(100)에 연결된다. 호스트(Host)로부터의 요청에 응답하여, 컨트롤러(1200)는 반도체 메모리 장치(100)를 액세스하도록 구성된다. 예를 들면, 컨트롤러(1200)는 반도체 메모리 장치(100)의 읽기, 쓰기, 소거, 그리고 배경(background) 동작을 제어하도록 구성된다. 컨트롤러(1200)는 반도체 메모리 장치(100) 및 호스트(Host) 사이에 인터페이스를 제공하도록 구성된다. 컨트롤러(1200)는 반도체 메모리 장치(100)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성된다.
- [0105] 컨트롤러(1200)는 램(1210, Random Access Memory), 프로세싱 유닛(1220, processing unit), 호스트 인터페이스(1230, host interface), 메모리 인터페이스(1240, memory interface) 및 에러 정정 블록(1250)을 포함한다. 램(1210)은 프로세싱 유닛(1220)의 동작 메모리, 반도체 메모리 장치(100) 및 호스트(Host) 사이의 캐시 메모리, 그리고 반도체 메모리 장치(100) 및 호스트(Host) 사이의 버퍼 메모리 중 적어도 하나로서 이용된다. 프로세싱 유닛(1220)은 컨트롤러(1200)의 제반 동작을 제어한다.
- [0106] 호스트 인터페이스(1230)는 호스트(Host) 및 컨트롤러(1200) 사이의 데이터 교환을 수행하기 위한 프로토콜을 포함한다. 예시적인 실시 예로서, 컨트롤러(1200)는 USB (Universal Serial Bus) 프로토콜, MMC (multimedia card) 프로토콜, PCI (peripheral component interconnection) 프로토콜, PCI-E (PCI-express) 프로토콜, ATA (Advanced Technology Attachment) 프로토콜, Serial-ATA 프로토콜, Parallel-ATA 프로토콜, SCSI (small computer small interface) 프로토콜, ESDI (enhanced small disk interface) 프로토콜, 그리고 IDE (Integrated Drive Electronics) 프로토콜, 사유(private) 프로토콜 등과 같은 다양한 인터페이스 프로토콜들 중 적어도 하나를 통해 호스트(Host)와 통신하도록 구성된다.
- [0107] 메모리 인터페이스(1240)는 반도체 메모리 장치(100)와 인터페이스한다. 예를 들면, 메모리 인터페이스는 낸드 인터페이스 또는 노어 인터페이스를 포함한다.
- [0108] 에러 정정 블록(1250)은 에러 정정 코드(ECC, Error Correcting Code)를 이용하여 반도체 메모리 장치(100)로

부터 수신된 데이터의 에러를 검출하고, 정정하도록 구성된다.

- [0109] 컨트롤러(1200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적될 수 있다. 예시적인 실시 예로서, 컨트롤러(1200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어, 메모리 카드를 구성할 수 있다. 예를 들면, 컨트롤러(1200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), 유니버설 플래시 기억장치(UFS) 등과 같은 메모리 카드를 구성할 것이다.
- [0110] 컨트롤러(1200) 및 반도체 메모리 장치(100)는 하나의 반도체 장치로 집적되어 반도체 드라이브(SSD, Solid State Drive)를 구성할 수 있다. 반도체 드라이브(SSD)는 반도체 메모리에 데이터를 저장하도록 구성되는 저장 장치를 포함한다. 메모리 시스템(1000)이 반도체 드라이브(SSD)로 이용되는 경우, 메모리 시스템(1000)에 연결된 호스트(Host)의 동작 속도는 획기적으로 개선된다.
- [0111] 다른 예로서, 메모리 시스템(1000)은 컴퓨터, UMPC (Ultra Mobile PC), 워크스테이션, 넷북(net-book), PDA (Personal Digital Assistants), 포터블(portable) 컴퓨터, 웹 태블릿(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 스마트폰(smart phone), e-북(e-book), PMP(portable multimedia player), 휴대용 게임기, 네비게이션(navigation) 장치, 블랙박스(black box), 디지털 카메라(digital camera), 3차원 수상기(3-dimensional television), 디지털 음성 녹음기(digital audio recorder), 디지털 음성 재생기(digital audio player), 디지털 영상 녹화기(digital picture recorder), 디지털 영상 재생기(digital picture player), 디지털 동영상 녹화기(digital video recorder), 디지털 동영상 재생기(digital video player), 정보를 무선 환경에서 송수신할 수 있는 장치, 홈 네트워크를 구성하는 다양한 전자 장치들 중 하나, 컴퓨터 네트워크를 구성하는 다양한 전자 장치들 중 하나, 텔레매틱스 네트워크를 구성하는 다양한 전자 장치들 중 하나, RFID 장치, 또는 컴퓨팅 시스템을 구성하는 다양한 구성 요소들 중 하나 등과 같은 전자 장치의 다양한 구성 요소들 중 하나로 제공된다.
- [0112] 예시적인 실시 예로서, 반도체 메모리 장치(100) 또는 메모리 시스템(1000)은 다양한 형태들의 패키지로 실장될 수 있다. 예를 들면, 반도체 메모리 장치(100) 또는 메모리 시스템(1000)은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline integrated circuit (SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline Package(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등과 같은 방식으로 패키지가 되어 실장될 수 있다.
- [0113] 도 12는 도 11의 메모리 시스템(1000)의 응용 예(2000)를 보여주는 블록도이다.
- [0114] 도 12를 참조하면, 메모리 시스템(2000)은 반도체 메모리 장치(2100) 및 컨트롤러(2200)를 포함한다. 반도체 메모리 장치(2100)는 복수의 반도체 메모리 칩들을 포함한다. 복수의 반도체 메모리 칩들은 복수의 그룹들로 분할된다.
- [0115] 도 12에서, 복수의 그룹들은 각각 제 1 내지 제 k 채널들(CH1~CHk)을 통해 컨트롤러(2200)와 통신하는 것으로 도시되어 있다. 각 반도체 메모리 칩은 도 1을 참조하여 설명된 반도체 메모리 장치(100) 중 하나와 마찬가지로 구성되고, 동작할 것이다.
- [0116] 각 그룹은 하나의 공통 채널을 통해 컨트롤러(2200)와 통신하도록 구성된다. 컨트롤러(2200)는 도 11을 참조하여 설명된 컨트롤러(1200)와 마찬가지로 구성되고, 복수의 채널들(CH1~CHk)을 통해 반도체 메모리 장치(2100)의 복수의 메모리 칩들을 제어하도록 구성된다.
- [0117] 도 12에서, 하나의 채널에 복수의 반도체 메모리 칩들이 연결되는 것으로 설명되었다. 그러나, 하나의 채널에 하나의 반도체 메모리 칩이 연결되도록 메모리 시스템(2000)이 변형될 수 있음이 이해될 것이다.
- [0118] 도 13은 도 12를 참조하여 설명된 메모리 시스템(2000)을 포함하는 컴퓨팅 시스템(3000)을 보여주는

블록도이다.

- [0119] 도 13을 참조하면, 컴퓨팅 시스템(3000)은 중앙 처리 장치(3100), 램(3200, RAM, Random Access Memory), 사용자 인터페이스(3300), 전원(3400), 시스템 버스(3500), 그리고 메모리 시스템(2000)을 포함한다.
- [0120] 메모리 시스템(2000)은 시스템 버스(3500)를 통해, 중앙처리장치(3100), 램(3200), 사용자 인터페이스(3300), 그리고 전원(3400)에 전기적으로 연결된다. 사용자 인터페이스(3300)를 통해 제공되거나, 중앙 처리 장치(3100)에 의해서 처리된 데이터는 메모리 시스템(2000)에 저장된다.
- [0121] 도 13에서, 반도체 메모리 장치(2100)는 컨트롤러(2200)를 통해 시스템 버스(3500)에 연결되는 것으로 도시되어 있다. 그러나, 반도체 메모리 장치(2100)는 시스템 버스(3500)에 직접 연결되도록 구성될 수 있다. 이때, 컨트롤러(2200)의 기능은 중앙 처리 장치(3100) 및 램(3200)에 의해 수행될 것이다.
- [0122] 도 13에서, 도 12를 참조하여 설명된 메모리 시스템(2000)이 제공되는 것으로 도시되어 있다. 그러나, 메모리 시스템(2000)은 도 11을 참조하여 설명된 메모리 시스템(1000)으로 대체될 수 있다. 실시 예로서, 컴퓨팅 시스템(3000)은 도 11 및 도 12를 참조하여 설명된 메모리 시스템들(1000, 2000)을 모두 포함하도록 구성될 수 있다.
- [0123] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 다양한 변경이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

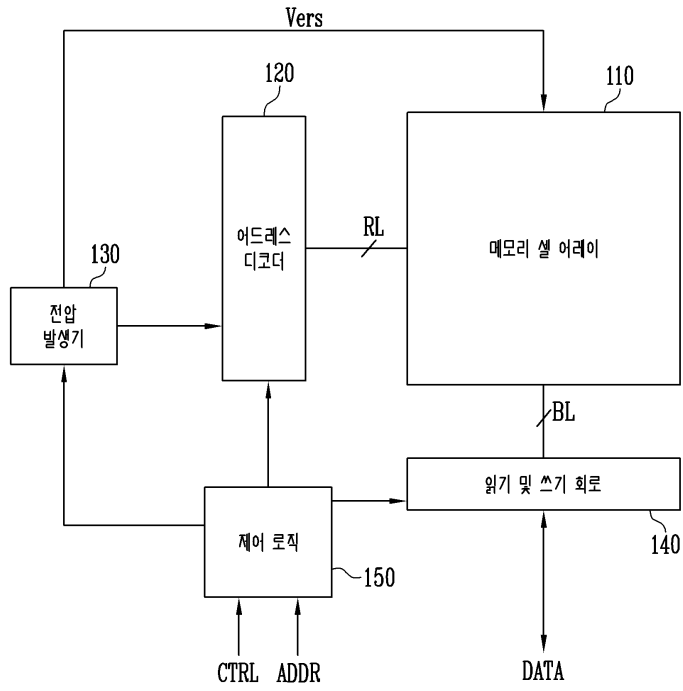
부호의 설명

- [0124] 100: 반도체 메모리 장치
- 110: 메모리 셀 어레이
- 120: 어드레스 디코더
- 130: 전압 발생기
- 140: 읽기 및 쓰기 회로
- 150: 제어 로직
- BLK1~BLKz: 제 1 내지 제 z 메모리 블록들
- CS11~CS1m, CS21~CS2m, CS11'~CS1m', CS21'~CS2m': 셀 스트링들
- SST1~SST3: 제 1 내지 제 3 소스 선택 트랜지스터들
- DMC1~DMC4: 제 1 내지 제 4 더미 메모리 셀들
- DST1~DST3: 제 1 내지 제 3 드레인 선택 트랜지스터들
- PGMS: 프로그램 상태
- ERSS: 소거 상태

도면

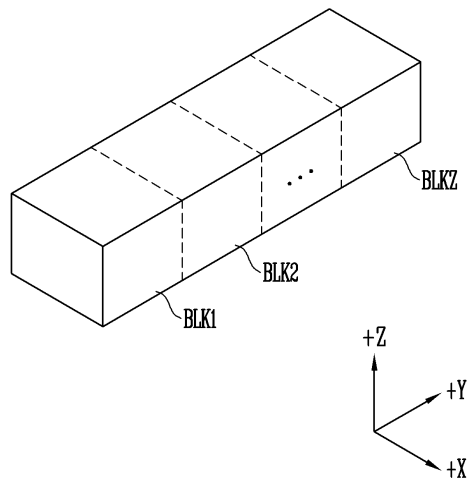
도면1

100

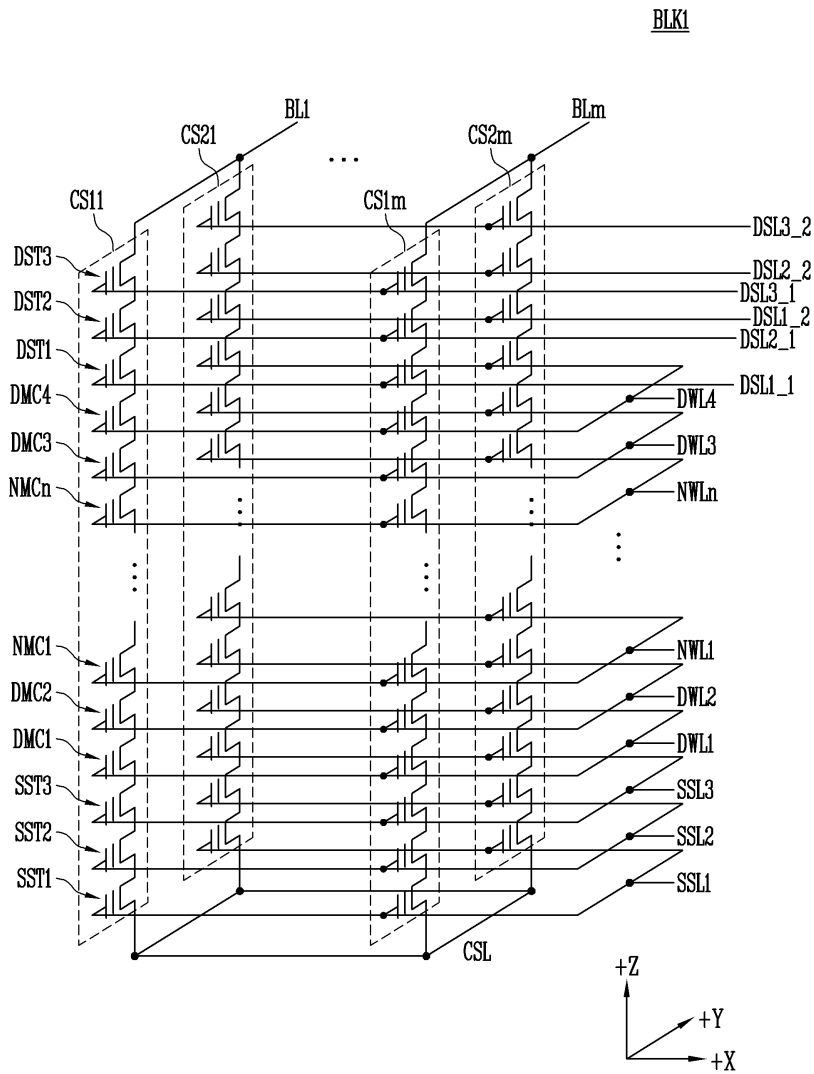


도면2

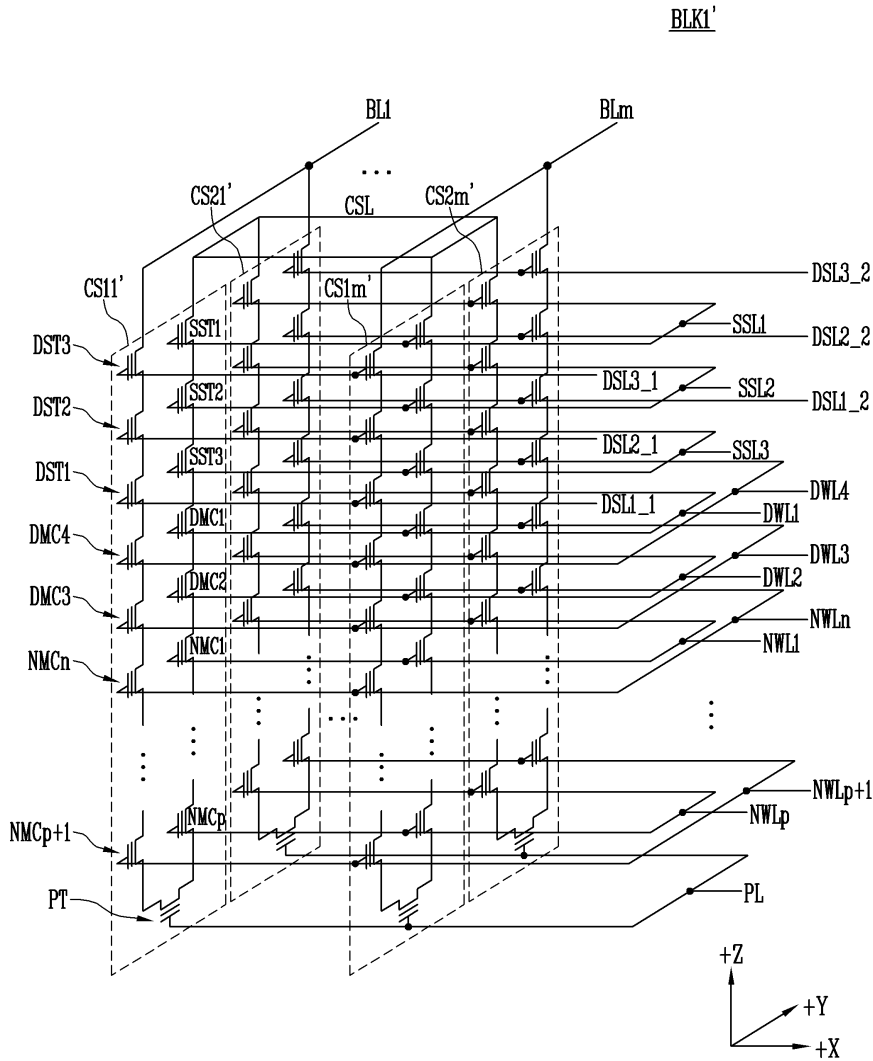
110



도면3



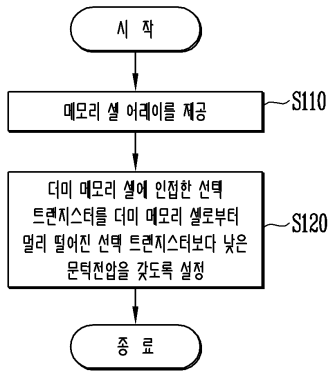
도면4



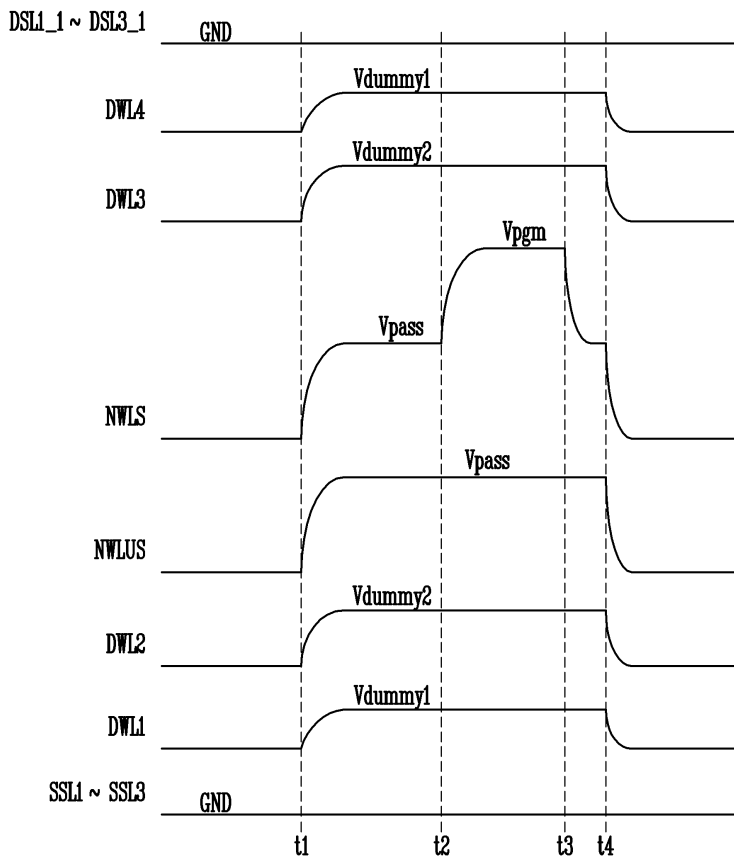
도면5

Select Transistor Group	Threshold Voltage State
DSTG3	PGMS
DSTG2	PGMS
DSTG1	ERSS
SSTG3	ERSS
SSTG2	PGMS
SSTG1	PGMS

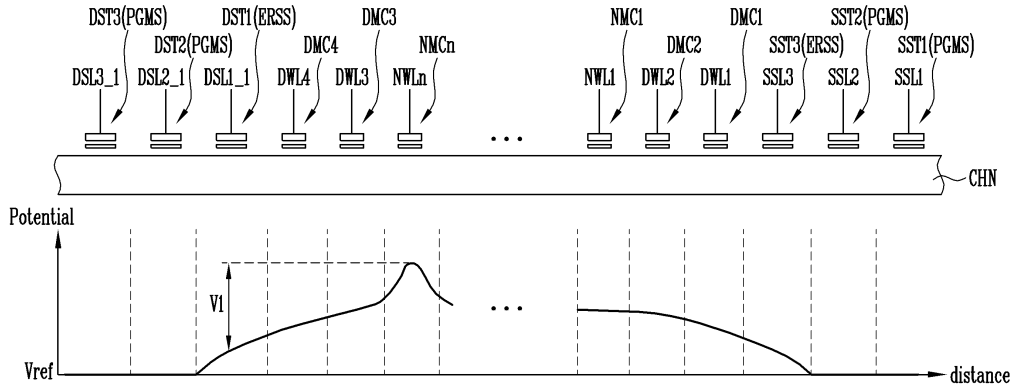
도면6



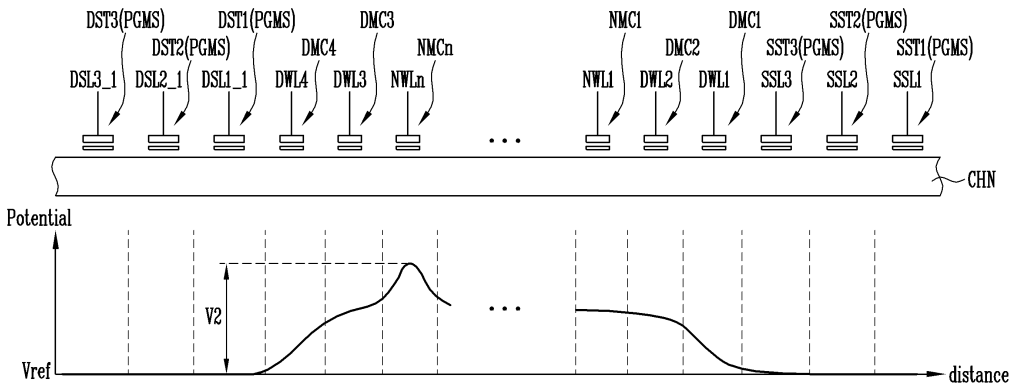
도면7



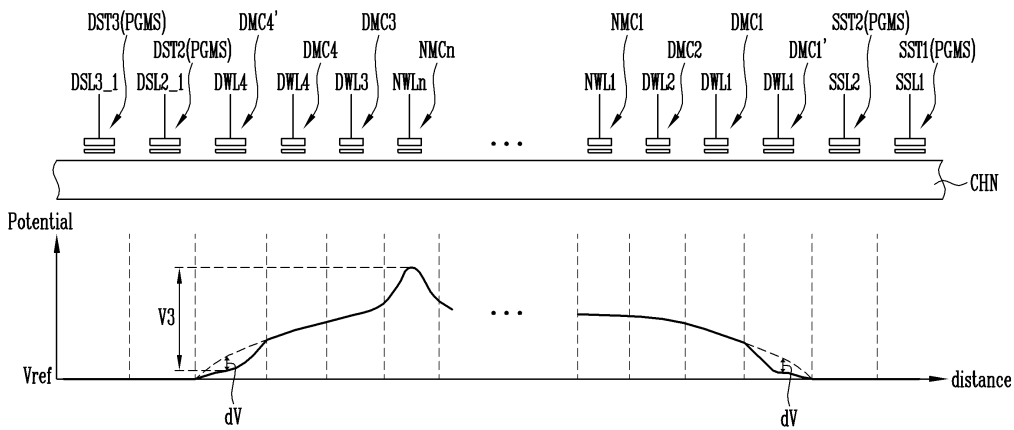
도면8



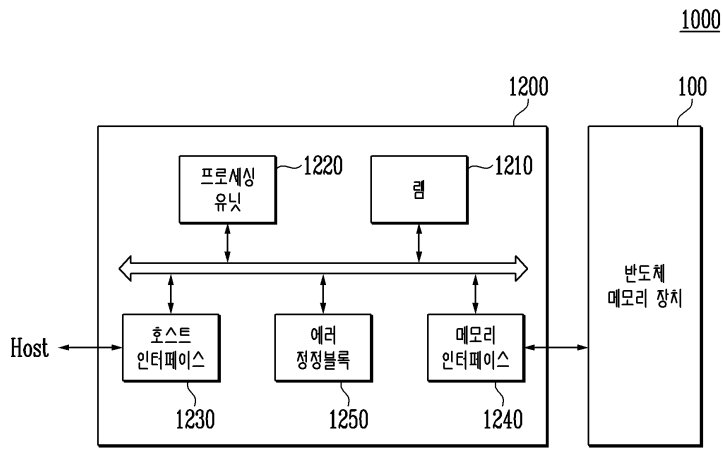
도면9



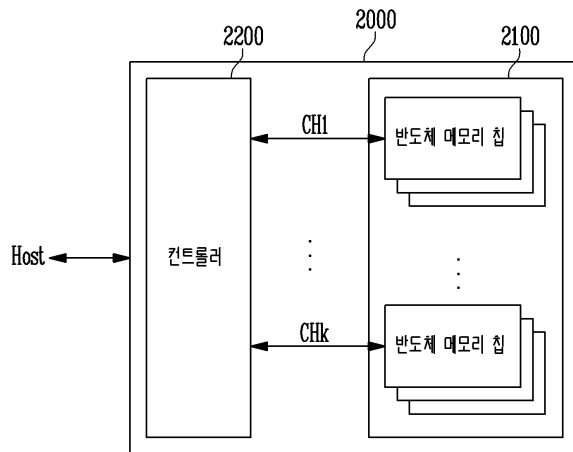
도면10



도면11



도면12



도면13

