

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-98399

(P2010-98399A)

(43) 公開日 平成22年4月30日(2010.4.30)

(51) Int.Cl.
H03K 17/00 (2006.01)F I
H03K 17/00テーマコード (参考)
5J055

審査請求 有 請求項の数 8 O L (全 15 頁)

(21) 出願番号 特願2008-265858 (P2008-265858)
(22) 出願日 平成20年10月15日(2008.10.15)(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100082762
弁理士 杉浦 正知
(72) 発明者 中田 充
東京都港区港南1丁目7番1号 ソニー株
式会社内
(72) 発明者 武居 雅暁
東京都港区港南1丁目7番1号 ソニー株
式会社内
Fターム(参考) 5J055 AX49 BX09 CX27 EY01 EY10
EZ00 EZ24 EZ39 EZ46 GX01
GX04

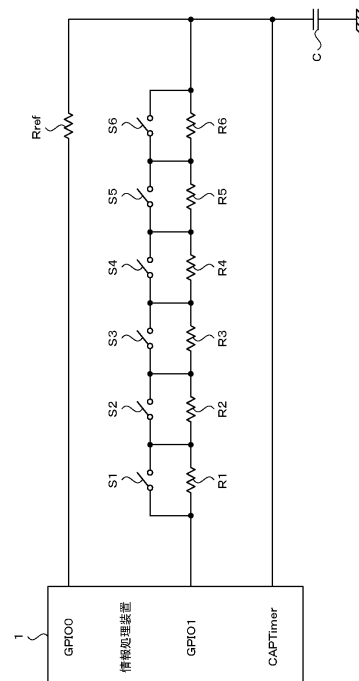
(54) 【発明の名称】 スイッチ回路

(57) 【要約】

【課題】少数の汎用入出力ポートを使用し同時に検出で
きるスイッチ数を増加させる。

【解決手段】基準充放電回路が基準抵抗 R_{ref} とコンデンサ C により構成される。被測定
充放電回路がスイッチ $S1 - S6$ 、抵抗 $R1 - R6$ およ
びコンデンサ C により構成される。被測定充放電回路の
合成抵抗値がスイッチの動作状態により一意に決まる。
コンデンサ C が放電された状態から $GPIO0$ がハイレ
ベルとされ、 $GPIO1$ および $CAPTimer$
が入力状態とされる。コンデンサ C の端子電圧がしきい
値 T_H を超えるまでの充電時間 T_{ref} が測定される。次
に、コンデンサ C が放電された状態から $GPIO1$ がハ
イレベルと
され、 $GPIO0$ および $CAPTimer$ が入力状態とされ
る。しきい値 T_H を使用して充電
時間 T_x が測定される。($T_x / T_{ref} = R_x / R_{ref}$)
の関係から合成抵抗値 R_x が求められ、スイッチの動作
状態が判別される。

【選択図】 図5



【特許請求の範囲】**【請求項 1】**

固定の第 1 の時定数を有する第 1 の充放電回路と、
複数のスイッチの動作状態に対応する第 2 の時定数を有する第 2 の充放電回路と、
上記第 1 および第 2 の充放電回路がそれぞれ接続された第 1 および第 2 の入出力ポートと、
上記制御部によって、上記第 1 および第 2 の充放電回路をそれぞれ充電または放電することによって、上記第 1 および第 2 の時定数を測定し、測定された上記第 1 および第 2 の時定数の比率から上記複数のスイッチの動作状態を判別する制御部と
を備えるキー入力装置。

10

【請求項 2】

上記制御部は、上記第 1 および第 2 の入出力ポートを通じて上記第 1 および第 2 の時定数を測定する請求項 1 記載のキー入力装置。

【請求項 3】

上記制御部は、さらに第 3 の入出力ポートを有し、
上記第 3 の入出力ポートを通じて上記第 1 および第 2 の時定数を測定する請求項 1 記載のキー入力装置。

【請求項 4】

上記第 1 の充放電回路が固定の抵抗値を有する基準抵抗と第 1 のコンデンサとからなり、
上記第 2 の充放電回路が複数の抵抗の直列回路と、上記複数の抵抗のそれぞれ並列に接続された複数のスイッチと、第 2 のコンデンサとからなり、
上記複数の抵抗の合成抵抗値が上記複数のスイッチの動作状態と 1 対 1 に対応する請求項 1 記載のキー入力装置。

20

【請求項 5】

上記複数の抵抗の値が互いに異なり、2 の巾乗の値を有する請求項 4 記載のキー入力装置。

【請求項 6】

上記第 1 および第 2 のコンデンサが共通のコンデンサとされた請求項 4 記載のキー入力装置。

30

【請求項 7】

上記基準抵抗と並列に上記共通のコンデンサの放電回路を形成する素子が接続された請求項 5 記載のキー入力装置。

【請求項 8】

上記第 1 の充放電回路が固定の容量値を有する基準コンデンサと第 1 の抵抗とからなり、
上記第 2 の充放電回路が複数のコンデンサと、上記複数のコンデンサとそれぞれ直列に接続された複数のスイッチと、第 2 の抵抗とからなる請求項 1 記載のキー入力装置。

【発明の詳細な説明】**【技術分野】**

40

【0001】

この発明は、複数のスイッチと複数のスイッチの動作状態を検出する情報処理装置とからなるスイッチ回路に関する。

【背景技術】**【0002】**

テレビジョン受像機等の電子機器の操作パネルまたはケース内に複数のキースイッチが設けられている。キースイッチの動作状態が情報処理装置例えば組み込み用マイクロコンピュータによって判別される。キースイッチの動作状態とは、キースイッチの ON / OFF を意味する。組み込み用マイクロコンピュータは、汎用コンピュータに対して、機器の制御を主として行い、CPU (Central Processing Unit) 以外に、入出力ポート、A / D

50

コンバータ、D/Aコンバータ等の周辺部まで内蔵している。

【0003】

従来のスイッチ回路の第1の例(ダイレクト方式)を図1に示す。正の電源電圧が供給されるラインと接地間にプルアップ抵抗 R_{10} 、キースイッチ S_{10} の直列回路と、プルアップ抵抗 R_{20} 、キースイッチ S_{20} の直列回路とが接続される。プルアップ抵抗 R_{10} 、 R_{20} およびキースイッチ S_{10} 、 S_{20} の接続点が情報処理装置1の入出力ポートにそれぞれ接続される。情報処理装置1は、各入出力ポートの電圧がハイレベルかローレベルかを判別することによって、各キースイッチの動作状態を判別できる。第1の例は、キースイッチの総数と同数の入出力ポートが必要となり、多数のキースイッチを使用するシステムでは、入出力ポートの数が増大する問題がある。

10

【0004】

従来のスイッチ回路の第2の例(キーマトリックス)を図2に示す。入力線 I_1 、 I_2 と出力線 O_1 、 O_2 との交差位置にキースイッチ S_{11} 、 S_{12} 、 S_{21} 、 S_{22} が接続される。一つの出力線例えば O_1 がハイレベルとされる。出力線 O_1 に接続されたキースイッチ S_{11} 、 S_{21} がOFFの場合には、プルダウン抵抗によって入力線 I_1 、 I_2 がローレベルとなる。キースイッチ S_{11} 、 S_{21} がONの場合には、入力線 I_1 、 I_2 がハイレベルとなる。キーマトリックスは、同時に複数のキースイッチの動作状態を判別することができる。キースイッチの総数に対して必要とされる入出力ポートの数が第1の方式(ダイレクト方式)に比して削減できる。

20

【0005】

従来のスイッチ回路の第3の例(電圧検出方式)を図3に示す。かかるスイッチ回路は、例えば特許文献1に記載されている。

【特許文献1】特開2008-131284号公報

【0006】

プルアップ抵抗 30 を介して正の電源電圧の印加されるラインに接続される接続位置Aがキースイッチ S_{31} を介して接地される。キースイッチ S_{31} に対して並列にチャタリング防止用のコンデンサ C_{10} が接続される。さらに、接続位置Aが抵抗 R_{31} 、 R_{32} 、 R_{33} 、 R_{34} 、 R_{35} の直列回路とキースイッチ S_{36} とを介して接地される。接続位置Aが情報処理装置1のA/Dコンバータ1aに対する入力電圧とされる。

【0007】

30

キースイッチ S_{31} - S_{36} の内の一つがONとされると、接続位置Aの電圧がONとされたキースイッチに対応する電圧となる。この電圧値がA/Dコンバータ1aによってデジタルデータに変換され、情報処理装置1において、デジタルデータからどのキースイッチがONとされたかが判別される。

【0008】

第3の例は、複数のキースイッチの同時ONを検出することができず、利用できる用途が限定される問題がある。第3の例は、第2の例(キーマトリックス)に比して入出力ポートの数を削減できる。しかしながら、アナログ電圧の入力が可能なA/Dコンバータポートを必要とし、汎用入出力ポートGPIO(General Purpose Input Output)を使用できない問題がある。汎用入出力ポートは、入力アナログ電圧がハイレベルとローレベルの何れであるかを判別することしかできない。

40

【0009】

従来のスイッチ回路の第4の例(電圧検出方式)を図4に示す。接続位置Aの電圧が情報処理装置1のA/Dコンバータ1aのアナログ電圧入力とされる。接続位置Aに対してプルアップ抵抗 R_{40} が接続され、接続位置Aに対して抵抗 R_{41} およびキースイッチ S_{41} の直列回路、抵抗 R_{42} およびキースイッチ S_{42} の直列回路、抵抗 R_{43} およびキースイッチ S_{43} の直列回路が並列に接続される。キースイッチ S_{41} 、 S_{42} 、 S_{43} の中でONとされるキースイッチに応じて並列合成抵抗値が変化し、接続位置Aの電圧値が変化する。したがって、接続位置Aのアナログ電圧値をA/Dコンバータ1aに入力することによって、情報処理装置1がキースイッチの動作状態を判別できる。

50

【 0 0 1 0 】

第 4 の例は、複数のキースイッチの中で同時に 2 つ以上のキースイッチの ON を検出することができる。しかしながら、一つの A / D コンバータポートに対して接続するキースイッチの数を増やすためには、抵抗値の精度が高いことが必要とされ、抵抗の選定作業が面倒となり、キースイッチを増加させることが困難である。第 4 の例は、第 2 の例（キーマトリクス）に比して入出力ポートの数を削減できるが、アナログ電圧の入力が可能な A / D コンバータポートを必要とし、汎用入出力ポートを使用できない問題がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

10

上述したように、従来のスイッチ回路の第 1 および第 2 の例は、第 3 および第 4 の例と比較して汎用入出力ポートのみで構成することができる。しかしながら、第 3 および第 4 の例と比較して必要とするポート数が多くなる欠点がある。第 3 の例は、同時に 2 つ以上のキースイッチの動作状態を判別することができない。第 4 の例は、同時に 2 つ以上のキースイッチの動作状態を判別できるが、判別できるキースイッチの数を増やすためには、抵抗値の精度が高いことが必要とされる。第 3 および第 4 の例は、ポート数を削減できるが、A / D コンバータポートが必要であり、全ての情報処理装置 1 に対して実装できない問題がある。

【 0 0 1 2 】

したがって、この発明の目的は、かかる従来の問題点を解決することができるスイッチ回路を提供することにある。

20

【 課題を解決するための手段 】

【 0 0 1 3 】

上述した課題を解決するために、この発明は、固定の第 1 の時定数を有する第 1 の充放電回路と、

複数のスイッチの動作状態に対応する第 2 の時定数を有する第 2 の充放電回路と、

第 1 および第 2 の充放電回路がそれぞれ接続された第 1 および第 2 の入出力ポートと、

制御部によって、第 1 および第 2 の充放電回路をそれぞれ充電または放電することによって、第 1 および第 2 の時定数を測定し、測定された第 1 および第 2 の時定数の比率から複数のスイッチの動作状態を判別する制御部と

30

を備えるスイッチ回路である。

【 0 0 1 4 】

制御部は、第 1 および第 2 の入出力ポートを通じて第 1 および第 2 の時定数を測定する。

【 0 0 1 5 】

制御部は、さらに第 3 の入出力ポートを有し、第 3 の入出力ポートを通じて第 1 および第 2 の時定数を測定する。

【 0 0 1 6 】

第 1 の充放電回路が固定の抵抗値を有する基準抵抗と第 1 のコンデンサとからなり、

第 2 の充放電回路が複数の抵抗の直列回路と、複数の抵抗のそれぞれ並列に接続された複数のスイッチと、第 2 のコンデンサとからなり、

40

複数の抵抗の合成抵抗値が複数のスイッチの動作状態と 1 対 1 に対応する。

【 0 0 1 7 】

複数の抵抗の値が互いに異なり、2 の巾乗の値を有する。

【 0 0 1 8 】

第 1 および第 2 のコンデンサが共通のコンデンサとされても良い。

【 0 0 1 9 】

基準抵抗と並列に共通のコンデンサの放電回路を形成する素子が接続される。

【 0 0 2 0 】

第 1 の充放電回路が固定の容量値を有する基準コンデンサと第 1 の抵抗とからなり、

50

第 2 の充放電回路が複数のコンデンサと、複数のコンデンサとそれぞれ直列に接続された複数のスイッチと、第 2 の抵抗とからなる。

【発明の効果】

【0021】

この発明によるスイッチ回路は、従来のスイッチ回路に比して以下の利点を有する。

- ・同時に 2 以上のキースwitchの状態を判別できる。
- ・複数のスイッチの状態を判別するために必要となる情報処理装置の入出力ポート数を従来に比して少なくできる。
- ・A/Dコンバータポートではなく、汎用入出力ポートを使用できる。
- ・この発明は、キーのとりうる全ての組合せ状態を時間軸上に分布させるので、スイッチの状態を判別するのに要する時間が長くなりすぎない範囲で、1つのポートに割り当てるスイッチの数を増やすことができる。

10

【発明を実施するための最良の形態】

【0022】

以下、この発明を実施するための最良の形態（以下実施の形態とする）について説明する。なお、説明は、以下の順序で行う。

1. 第 1 の実施の形態
2. 第 2 の実施の形態
3. 第 3 の実施の形態
4. 第 4 の実施の形態
5. 第 5 の実施の形態

20

なお、以下に説明する実施の形態は、この発明の好適な具体例であり、技術的に好ましい種々の限定が付されているが、この発明の範囲は、以下の説明において、特にこの発明を限定する旨の記載がない限り、これらの実施の形態に限定されないものとする。

【0023】

< 1. 第 1 の実施の形態 >

「第 1 の実施の形態の構成」

図 5 にこの発明の第 1 の実施の形態の構成を示す。情報処理装置 1 は、汎用入出力ポートとして G P I O 0、G P I O 1 および C A P Timer を有する。汎用入出力ポートは、ハイレベルおよびローレベルの入力または出力を扱う。入出力ポートが入力ポートして機能するか、出力ポートとして機能するかは、情報処理装置 1 内の制御部としての C P U (Central Processing Unit) によって指定される。

30

【0024】

すなわち、情報処理装置 1 内の C P U によって、各入出力ポートは、入力状態と出力状態とが選択的に指定される。出力状態において、ハイレベルおよびローレベルの指定された一方が入出力ポートから出力される。入力状態において、入出力ポートがハイインピーダンス状態とされる。ハイインピーダンス状態において、充放電回路のコンデンサの端子電圧が測定される。

【0025】

情報処理装置 1 の一例は、電子機器に組み込まれた組み込みマイクロコンピュータである。組み込みマイクロコンピュータは、汎用コンピュータと異なり、組み込まれている機械、機器の制御を行う。情報処理装置 1 においては、C P U によって、上述した入出力ポート以外に、周期測定用のカウンタ、R O M (Read Only Memory) R A M (Random Access Memory)、A/Dコンバータ、D/Aコンバータ、タイマー等が制御される。なお、C P U に代えてシーケンサを使用しても良い。

40

【0026】

入出力ポート G P I O 0 が基準抵抗 R ref およびコンデンサ C を介して接地される。入出力ポート G P I O 1 が 6 個の抵抗 R 1, R 2, R 3, R 4, R 5, R 6 とコンデンサ C を介して接地される。各抵抗に並列にキースwitch S 1, S 2, S 3, S 4, S 5 および S 6 とが接続されている。入出力ポート C A P Timer がコンデンサ C の接地されていない

50

側の電極に接続される。

【 0 0 2 7 】

この発明の第 1 の実施の形態は、基準充電時間を測定するために、基準充放電回路が基準抵抗 R_{ref} とコンデンサ C とによって構成される。さらに、キースイッチの動作状態を判別する被測定充放電回路がキースイッチ $S_1 - S_6$ 、抵抗 $R_1 - R_6$ およびコンデンサ C によって構成される。

【 0 0 2 8 】

情報処理装置 1 の CPU は、GPIO0 をハイレベルとすることによって、基準充放電回路を充電し、充電時の電圧変化が CAPTimer を通じて測定される。続いて情報処理装置 1 の CPU は、GPIO1 をハイレベルとすることによって、被測定充放電回路を充電し、充電時の電圧変化が CAPTimer を通じて測定される。このように、充電動作が時分割でなされる。

10

【 0 0 2 9 】

情報処理装置 1 の CPU によって予め設定したしきい値と充電時の電圧とが比較される。しきい値は、情報処理装置 1 がローレベルとハイレベルとを判別するための値である。充電開始時点から電圧がしきい値に達し、ローレベルからハイレベルに遷移するまでの時間（充電時間と称する）は、充電時定数と対応している。基準充放電回路の充電時定数は、 R_{ref} と C とで定まる。被測定充放電回路の充電時定数は、キースイッチ $S_1 - S_6$ の動作状態に応じて定まる合成抵抗値（ R_x と表記する。 R_x は、相対値である。）とコンデンサ C とで定まる。

20

【 0 0 3 0 】

CPU は、基準充放電回路の充電時間と、第 2 の充放電回路（被測定充放電回路と称する）の充電時間とを測定することによって、基準充放電回路の時定数（第 1 の時定数）と被測定充放電回路の時定数（第 2 の時定数）との比率を求めることができる。情報処理装置 1 における時間測定は、一例として内部クロックの数をカウンタで計数することによって行うことができる。

【 0 0 3 1 】

基準充放電回路と被測定充放電回路との間でコンデンサ C が共通であるので、時定数の比は、充電抵抗の比（ $R_{ref} : R_x$ ）となる。コンデンサ C の容量値の精度は、計測精度に影響しない。さらに、各充放電回路の電圧変化を測定するポートが共通のポート CAPTimer を使用するの、ポート間の性能差（主としてしきい値のバラツキ）の影響を受けない利点がある。

30

【 0 0 3 2 】

「抵抗値の例」

キースイッチ $S_1 - S_6$ の動作状態の全ての組合せと、合成抵抗値 R_x とが 1 対 1 に対応するようになされている。すなわち、合成抵抗値 R_x は、キースイッチの動作状態に応じて一意に定まる値となる。一例として、抵抗 $R_1 - R_6$ の値が下記の相対値（比率）で示すように 2 の巾乗の値に設定されている。2 の巾乗の値は、ソフトウェア処理に適している。さらに、一例として、基準抵抗 R_{ref} は、抵抗 $R_1 - R_6$ の何れかの値と等しい値に設定されている。

40

【 0 0 3 3 】

$$\begin{aligned} R_1 &= 2^0 = 1 \\ R_2 &= 2^1 = 2 \\ R_3 &= 2^2 = 4 \\ R_4 &= 2^3 = 8 \\ R_5 &= 2^4 = 16 \\ R_6 &= 2^5 = 32 \end{aligned}$$

【 0 0 3 4 】

図 6 に部分的に示すように、キースイッチ $S_1 - S_6$ の動作状態に応じて合成抵抗値 R_x が一意に決定される。図 6 において、「0」がキースイッチの ON 状態を表し、「1」

50

がキースイッチのOFF状態を表す。全てのキースイッチがOFFの場合には、($R_x = 63$)となる。キースイッチS1のみがONの場合には、抵抗R1がショートされるので、($R_x = 62$)となる。キースイッチS1以外のキースイッチが全てONの場合には、($R_x = 1$)となる。キースイッチのON/OFFと「0」/「1」の関係は、図6に示す6ビットのコードと63の値のコードとをEX-ORすることで反転できる。

【0035】

このような抵抗R1 - R6の値の設定方法は、一例であって、スイッチS1 - S6の動作状態と1対1に対応する合成抵抗値 R_x を生じさせるものであれば良い。例えば以下に記載するように、各抵抗の抵抗値を3の巾乗に設定しても良い。

【0036】

$$R_1 = 3^0 = 1$$

$$R_2 = 3^1 = 3$$

$$R_3 = 3^2 = 9$$

$$R_4 = 3^3 = 27$$

$$R_5 = 3^4 = 81$$

$$R_6 = 3^5 = 243$$

【0037】

図7に部分的に示すように、キースイッチS1 - S6の動作状態に応じて合成抵抗値 R_x が一意に決定される。図7において、「0」がキースイッチのON状態を表し、「1」がキースイッチのOFF状態を表す。全てのキースイッチがOFFの場合には、($R_x = 364$)となる。キースイッチS1のみがONの場合には、抵抗R1がショートされるので、($R_x = 363$)となる。キースイッチS2以外のキースイッチが全てONの場合には、($R_x = 3$)となる。

【0038】

「第1の実施の形態の動作」

上述したように、時定数の比は、基準充放電回路の基準抵抗 R_{ref} と被測定充放電回路の合成抵抗値 R_x の比の関係を利用して、合成抵抗値 R_x を求める。合成抵抗値 R_x は、キースイッチS1 - S6の動作状態と一意に対応しているので、合成抵抗値 R_x からキースイッチS1 - S6の動作状態が判別できる。

【0039】

図8を参照してこの発明の第1の実施の形態の動作について説明する。図8は、入出力ポートGPIO0, GPIO1およびCAPTimerのそれぞれにおける状態を表す。各ポートは、情報処理装置1のCPUによってハイレベルまたはローレベルを出力する出力状態と、ハイインピーダンスとされる入力状態との一方が指定される。図8において、太線で示す波形の区間が各ポートの出力状態の区間であり、細線で示す波形の区間が各ポートが入力状態の区間の波形である。

【0040】

タイミングt1およびt2の区間では、全入出力ポートGPIO0, GPIO1およびCAPTimerからローレベルが出力される。この区間は、コンデンサCが放電される放電区間である。

【0041】

次に、タイミングt2において、入出力ポートGPIO0がハイレベルとされ、他の入出力ポートGPIO1およびCAPTimerが入力状態(ハイインピーダンス)とされる。入出力ポートGPIO0がハイレベルに立ち上がり、コンデンサCが基準抵抗 R_{ref} を通じて充電される。充電によって、コンデンサCの端子電圧(GPIO1およびCAPTimerの入力電圧)が基準抵抗 R_{ref} とコンデンサCとで定まる時定数をもって徐々に大きくなる。

【0042】

タイミングt3において、入出力ポートCAPTimerに入力される電圧がしきい値THに到達し、入出力ポートCAPTimerがローレベルからハイレベルに遷移することが情報

10

20

30

40

50

処理装置 1 の CPU によって検出される。タイミング t_3 において、CPU が全ての入出力ポート GPIO0、GPIO1 および CAPTimer をローレベルに変化させる。これによって、コンデンサ C の充電電荷が放電される。

【0043】

次に、タイミング t_4 において、入出力ポート GPIO1 がハイレベルとされ、他の入出力ポート GPIO0 および CAPTimer が入力状態（ハイインピーダンス）とされる。入出力ポート GPIO1 がハイレベルに立ち上がり、コンデンサ C が OFF しているキースイッチと並列の抵抗（合成抵抗値 R_x ）を通じて充電される。充電によって、コンデンサ C の端子電圧（GPIO0 および CAPTimer の入力電圧）が合成抵抗値 R_x とコンデンサ C とで定まる時定数をもって徐々に大きくなる。

10

【0044】

タイミング t_5 において、入出力ポート CAPTimer に入力される電圧がしきい値 T_H に到達し、入出力ポート CAPTimer がローレベルからハイレベルに遷移することが情報処理装置 1 の CPU によって検出される。タイミング t_5 において、CPU が全ての入出力ポート GPIO0、GPIO1 および CAPTimer をローレベルに変化させる。これによって、コンデンサ C の充電電荷が放電される。 $t_1 - t_2$ の期間の長さ、並びに $t_3 - t_4$ の期間の長さは、コンデンサ C を放電させるのに必要な長さに設定される。

【0045】

基準充放電回路の充電時の電圧がしきい値 T_H に達するのに要する充電時間 $T_{ref} (t_3 - t_2)$ と、被測定充放電回路の充電時の電圧がしきい値 T_H に達するのに要する充電時間 $T_x (t_5 - t_4)$ とがそれぞれ CPU によって測定される。充電時間の比率から時定数の比を求めることができる。コンデンサ C が二つの充放電回路の間で共通とされているので、時定数の比は、充電抵抗の比となる。

20

【0046】

すなわち、 $(T_{ref} : T_x = R_{ref} : R_x)$ の関係が成立する。この関係は、 $(T_x / T_{ref} = R_x / R_{ref})$ となる。この関係から合成抵抗値 R_x が求められる。合成抵抗値 R_x は、上述したように、キースイッチ $S_1 - S_6$ の動作状態の組合せに対応するので、情報処理装置 1 は、合成抵抗値 R_x からキースイッチ $S_1 - S_6$ の動作状態を判別することができる。なお、充電時間の比率 (T_x / T_{ref}) または抵抗値の比率 (R_x / R_{ref}) を予めテーブルとしてメモリに記憶しておき、CPU がテーブルを参照してキースイッチの動作状態を判別しても良い。

30

【0047】

第 1 の実施の形態によれば、同時に 2 以上のキースイッチの状態を判別でき、情報処理装置の入出力ポート数を少なくでき、A/D コンバータポートではなく、汎用入出力ポートを使用できる。さらに、充電時間の測定の精度を高くすることができる。

【0048】

< 第 2 の実施の形態 >

図 9 に示すように、入出力ポート GPIO0 および GPIO1 をそれぞれ入出力ポート CAPTimer として使用することによって、ポート数をより少なくすることができる。基準抵抗 R_{ref} と並列にダイオード D が接続される。ダイオード D のアノードがコンデンサ C と接続され、ダイオード D のカソードが入出力ポート GPIO0 と接続される。

40

【0049】

「第 2 の実施の形態の動作」

図 10 を参照してこの発明の第 2 の実施の形態の動作について説明する。図 10 は、入出力ポート GPIO0 (CAPTimer0) および GPIO1 (CAPTimer1) のそれぞれにおける状態を表す。さらに、コンデンサ C の端子電圧 V_c の変化が図 10 に示されている。各ポートは、情報処理装置 1 の CPU によってハイレベルまたはローレベルを出力する出力状態と、ハイインピーダンスとされる入力状態との一方が指定される。図 10 において、太線で示す波形の区間が各ポートの出力状態の区間であり、細線で示す波形の区間が各ポートが入力状態の区間の波形である。

50

【 0 0 5 0 】

第 2 の実施の形態では、プリチャージを行ってから基準充放電回路の充電時間と被測定充放電回路の充電時間とが測定される。タイミング t_{11} より前の区間では、全入出力ポート $GPIO0$ および $GPIO1$ からローレベルが出力される。この区間は、コンデンサ C の電荷が放電される放電区間である。

【 0 0 5 1 】

次に、タイミング t_{11} において、入出力ポート $GPIO0$ がハイレベルとされ、他の入出力ポート $GPIO1$ が入力状態（ハイインピーダンス）とされる。入出力ポート $GPIO0$ がハイレベルに立ち上がり、コンデンサ C が基準抵抗 R_{ref} を通じて充電される。充電によって、コンデンサ C の端子電圧 V_c が基準抵抗 R_{ref} とコンデンサ C とで定まる時定数をもって徐々に大きくなる。

10

【 0 0 5 2 】

タイミング t_{12} において、入出力ポート $GPIO1$ （CAPTimer1）に入力される電圧がしきい値 TH に到達し、入出力ポート $GPIO1$ （CAPTimer1）の入力がローレベルからハイレベルに遷移することが情報処理装置 1 の CPU によって検出される。タイミング t_{12} において、CPU が入出力ポート $GPIO0$ および $GPIO1$ をローレベルに変化させる。これによって、コンデンサ C の充電電荷がダイオード D および入出力ポート $GPIO0$ を通じて放電される。

【 0 0 5 3 】

ダイオード D の順方向電圧降下によってコンデンサ C の充電電荷が完全には放電されずに多少残っている。この条件から基準充電時間の測定がなされる。タイミング t_{12} から所定の時間の経過後のタイミング t_{13} において、入出力ポート $GPIO0$ がハイレベルとされ、他の入出力ポート $GPIO1$ が入力状態（ハイインピーダンス）とされる。入出力ポート $GPIO0$ がハイレベルに立ち上がり、コンデンサ C が基準抵抗 R_{ref} を通じて充電される。充電によって、コンデンサ C の端子電圧 V_c が基準抵抗 R_{ref} とコンデンサ C とで定まる時定数をもって徐々に大きくなる。

20

【 0 0 5 4 】

タイミング t_{14} において、入出力ポート $GPIO1$ （CAPTimer1）に入力される電圧がしきい値 TH に到達し、入出力ポート $GPIO1$ （CAPTimer1）の入力がローレベルからハイレベルに遷移することが情報処理装置 1 の CPU によって検出される。タイミング t_{14} において、CPU が入出力ポート $GPIO0$ および $GPIO1$ をローレベルに変化させる。これによって、コンデンサ C の充電電荷がダイオード D および入出力ポート $GPIO0$ を通じて放電される。 $t_{14} - t_{13}$ が基準充電時間 T_{ref} である。

30

【 0 0 5 5 】

ダイオード D の順方向電圧降下によってコンデンサ C の充電電荷が完全には放電されずに多少残っている。この条件から被測定充放電回路の充電時間の測定がなされる。タイミング t_{14} から所定の時間の経過後のタイミング t_{15} において、入出力ポート $GPIO1$ がハイレベルとされ、他の入出力ポート $GPIO0$ が入力状態（ハイインピーダンス）とされる。入出力ポート $GPIO1$ がハイレベルに立ち上がり、コンデンサ C が基準抵抗 R_{ref} を通じて充電される。充電によって、コンデンサ C の端子電圧 V_c が合成抵抗値 R_x とコンデンサ C とで定まる時定数をもって徐々に大きくなる。

40

【 0 0 5 6 】

タイミング t_{16} において、入出力ポート $GPIO0$ （CAPTimer0）に入力される電圧がしきい値 TH に到達し、入出力ポート $GPIO0$ （CAPTimer0）の入力がローレベルからハイレベルに遷移することが情報処理装置 1 の CPU によって検出される。タイミング t_{16} において、CPU が入出力ポート $GPIO0$ および $GPIO1$ をローレベルに変化させる。これによって、コンデンサ C の充電電荷がダイオード D および入出力ポート $GPIO0$ を通じて放電される。 $t_{16} - t_{15}$ が充電時間 T_x である。

【 0 0 5 7 】

< 第 3 の実施の形態 >

50

図 1 1 に示すように、入出力ポート G P I O 0、G P I O 1 および C A P Timer を使用する点では、第 1 の実施の形態と同様の構成である。基準充放電回路のためのコンデンサ C 1 1 と被測定充放電回路のためのコンデンサ C 1 2 とが別々に設けられている。コンデンサ C 1 1 および C 1 2 の容量が同一とされる。コンデンサ C 1 1 および C 1 2 の容量の差は、信号処理（ソフトウェア処理）によってキャンセルするようになされる。

【 0 0 5 8 】

< 第 4 の実施の形態 >

図 1 2 に示すように、基準充放電回路が固定の容量値を有する基準コンデンサ C ref と第 1 の抵抗 R とから構成される。被測定充放電回路が複数のコンデンサ C 1 - C 6 と、複数のコンデンサ C 1 - C 6 とそれぞれ直列に接続された複数のスイッチ S 1 - S 6 と、抵抗 R とから構成される。

10

【 0 0 5 9 】

コンデンサの合成容量値は、スイッチ S 1 - S 6 の動作状態と 1 対 1 に対応する。充電時間を測定することによって、コンデンサの合成容量を求め、合成容量値がスイッチ S 1 - S 6 の動作状態を判別できる。

【 0 0 6 0 】

< 第 5 の実施の形態 >

以上の第 1 乃至第 4 の実施の形態は、充電時間を測定する例である。しかしながら、この発明では、放電時間を測定しても良い。図 1 3 は、放電時間を測定する場合のタイミングチャートである。

20

【 0 0 6 1 】

タイミング t 2 1 および t 2 2 の区間では、全入出力ポート G P I O 0、G P I O 1 および C A P Timer からハイレベルが出力される。この区間は、コンデンサ C が充電される充電区間である。

【 0 0 6 2 】

次に、タイミング t 2 2 において、入出力ポート G P I O 0 がローレベルとされ、他の入出力ポート G P I O 1 および C A P Timer が入力状態（ハイインピーダンス）とされる。入出力ポート G P I O 0 がローレベルに立ち下がり、コンデンサ C が基準抵抗 R ref を通じて放電される。放電によって、コンデンサ C の端子電圧（G P I O 1 および C A P Timer の入力電圧）が基準抵抗 R ref とコンデンサ C とで定まる放電時定数をもって徐々に小さくなる。

30

【 0 0 6 3 】

タイミング t 2 3 において、入出力ポート C A P Timer に入力される電圧がしきい値 T H に到達し、入出力ポート C A P Timer がハイレベルからローレベルに遷移することが情報処理装置 1 の C P U によって検出される。タイミング t 2 3 において、C P U が全ての入出力ポート G P I O 0、G P I O 1 および C A P Timer をハイレベルに変化させる。これによって、コンデンサ C が充電される。

【 0 0 6 4 】

次に、タイミング t 2 4 において、入出力ポート G P I O 1 がローレベルとされ、他の入出力ポート G P I O 0 および C A P Timer が入力状態（ハイインピーダンス）とされる。入出力ポート G P I O 1 がローレベルに立ち下がり、コンデンサ C が O F F しているキースイッチと並列の抵抗（合成抵抗値 R x ）を通じて放電される。放電によって、コンデンサ C の端子電圧（G P I O 0 および C A P Timer の入力電圧）が合成抵抗値 R x とコンデンサ C とで定まる時定数をもって徐々に小さくなる。

40

【 0 0 6 5 】

タイミング t 2 5 において、入出力ポート C A P Timer に入力される電圧がしきい値 T H に到達し、入出力ポート C A P Timer がハイレベルからローレベルに遷移することが情報処理装置 1 の C P U によって検出される。タイミング t 2 5 において、C P U が全ての入出力ポート G P I O 0、G P I O 1 および C A P Timer をハイレベルに変化させる。これによって、コンデンサ C が充電される。充電時間は、コンデンサを充電するのに必要

50

な時間に選定される。

【0066】

基準充放電回路の放電時の電圧がしきい値 T_H に達するのに要する放電時間 T_{ref} ($t_{23} - t_{22}$) と、被測定充放電回路の放電時の電圧がしきい値 T_H に達するのに要する放電時間 T_x ($t_{25} - t_{24}$) とがそれぞれ CPU によって測定される。放電時間の比率から時定数の比を求めることができる。コンデンサ C が二つの充放電回路の間で共通とされているので、時定数の比は、放電抵抗の比となり、合成抵抗値 R_x が求められる。合成抵抗値 R_x は、上述したように、キースイッチ $S_1 - S_6$ の動作状態の組合せに対応するので、情報処理装置 1 は、合成抵抗値 R_x からキースイッチ $S_1 - S_6$ の動作状態を判別することができる。

10

【0067】

「ポート数とキースイッチの数との関係」

従来技術とこの発明との間で、必要とする入出力ポート数を比較した結果を図 14 のグラフに示す。図 14 の横軸が使用ポート数であり、縦軸が読み取り可能なキースイッチ数である。図 14 において、線 20a が 1 ポート当たり 6 個のスイッチを割り当てたこの発明の特性を示し、線 20b が 1 ポート当たり 8 個のスイッチを割り当てたこの発明の特性を示す。さらに、線 31 は、図 1 に示した従来の第 1 の方式 (ダイレクト方式) の場合の特性であり、線 32 は、図 2 に示した従来の第 2 の方式 (キーマトリクス) の場合の特性である。

【0068】

20

図 14 のグラフによれば、検出対象のキースイッチの数が 100 ~ 200 程度までであれば、この発明が従来の方式に比して有利であると考えられ、多くの装置がこの発明の適用対象となりうるということが分かる。この発明は、汎用入出力ポート上に実装できるので、応用範囲が広い利点を有する。

【0069】

「変形例」

この発明は、電子機器のパネルに設けられた操作スイッチのみならず、機器内部のセンサスイッチからなるスイッチ回路に対しても適用することができる。

【図面の簡単な説明】

【0070】

30

【図 1】従来のスイッチ回路の第 1 の例の接続図である。

【図 2】従来のスイッチ回路の第 2 の例の接続図である。

【図 3】従来のスイッチ回路の第 3 の例の接続図である。

【図 4】従来のスイッチ回路の第 3 の例の接続図である。

【図 5】この発明の第 1 の実施の形態の接続図である。

【図 6】第 1 の実施の形態における抵抗値の一例を示す略線図である。

【図 7】第 1 の実施の形態における抵抗値の他の例を示す略線図である。

【図 8】第 1 の実施の形態の動作説明に使用するタイミングチャートである。

【図 9】この発明の第 2 の実施の形態の接続図である。

【図 10】第 1 の実施の形態の動作説明に使用するタイミングチャートである。

40

【図 11】この発明の第 3 の実施の形態の接続図である。

【図 12】この発明の第 4 の実施の形態の接続図である。

【図 13】この発明の第 5 の実施の形態の説明のためのタイミングチャートである。

【図 14】従来技術とこの発明との間で、必要とする入出力ポート数を比較した結果を示すグラフである。

【符号の説明】

【0071】

R_{ref} 基準充放電回路の抵抗

C コンデンサ

$R_1 - R_6$ 被測定充放電回路の抵抗

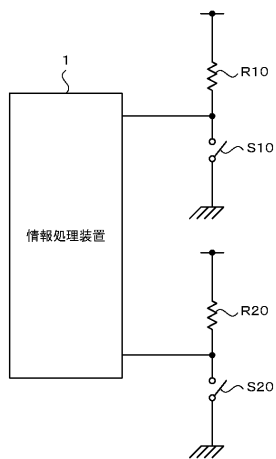
50

S 1 - S 6 スイッチ

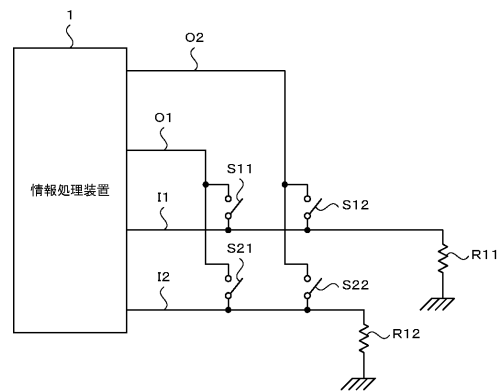
G P I O 0 , G P I O 1 , C A P T i m e r 汎用入出力ポート

1 情報処理装置

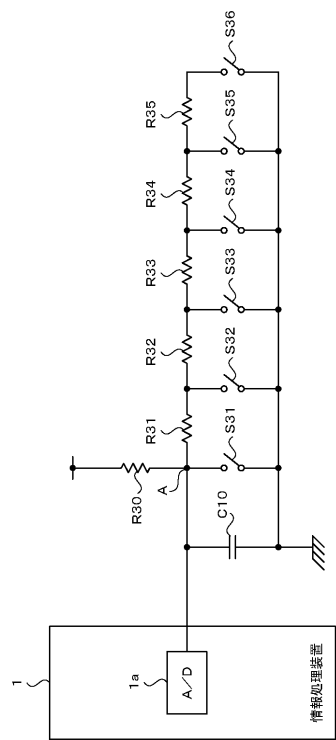
【 図 1 】



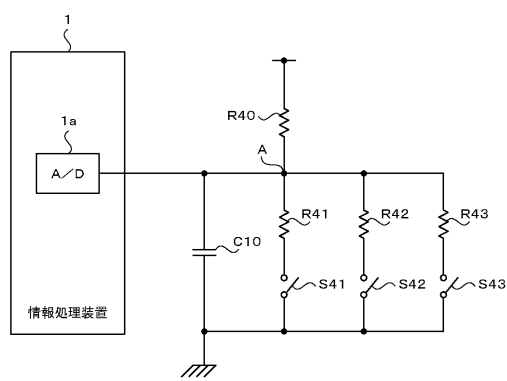
【 図 2 】



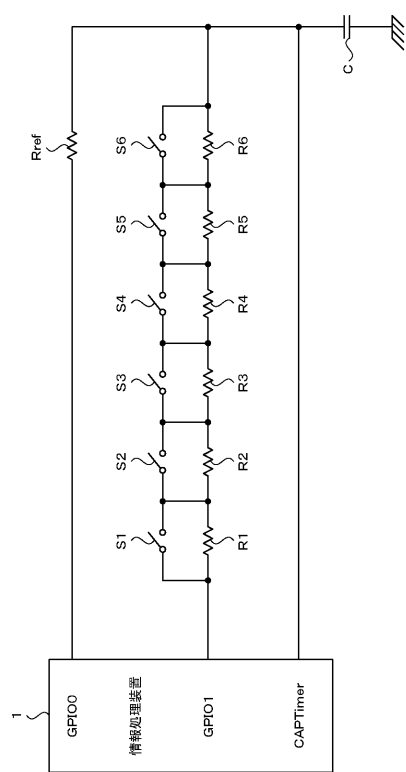
【図 3】



【図 4】



【図 5】



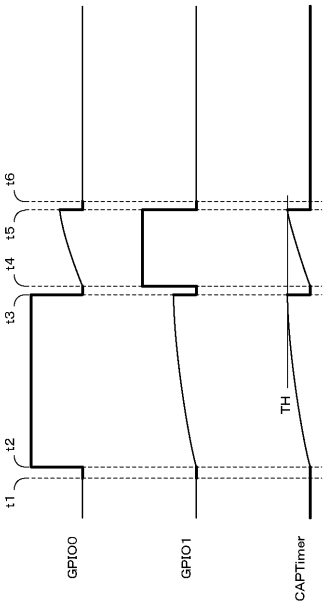
【図 6】

32	16	8	4	2	1	
S6	S5	S4	S3	S2	S1	R _x
1	1	1	1	1	1	63
1	1	1	1	1	0	62
1	1	1	1	0	1	61
1	1	1	1	0	0	60
·	·	·	·	·	·	·
·	·	·	·	·	·	·
·	·	·	·	·	·	·
0	0	0	0	1	0	2
0	0	0	0	0	1	1
0	0	0	0	0	0	0

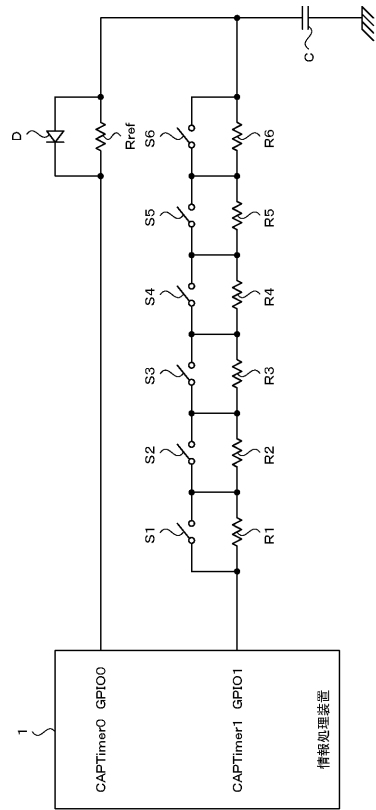
【図 7】

243	81	27	9	3	1	
S6	S5	S4	S3	S2	S1	R _x
1	1	1	1	1	1	364
1	1	1	1	1	0	363
1	1	1	1	0	1	361
1	1	1	1	0	0	360
⋮	⋮	⋮	⋮	⋮	⋮	⋮
0	0	0	0	1	0	3
0	0	0	0	0	1	1
0	0	0	0	0	0	0

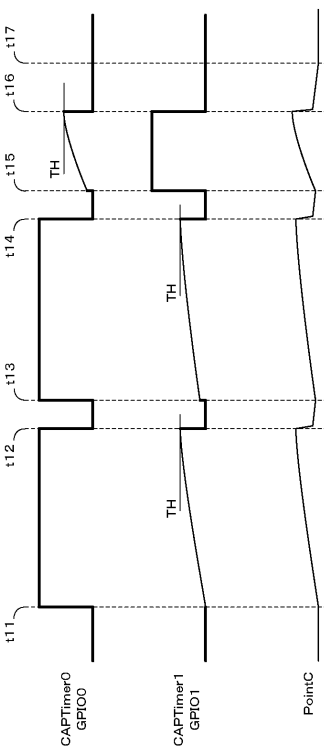
【図 8】



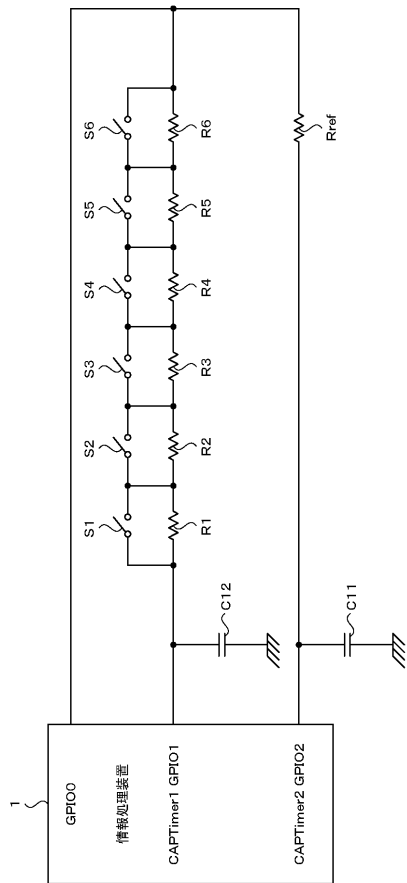
【図 9】



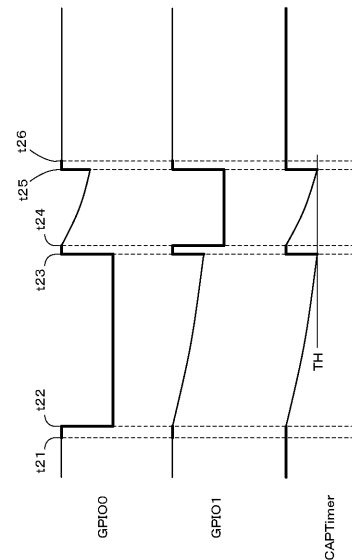
【図 10】



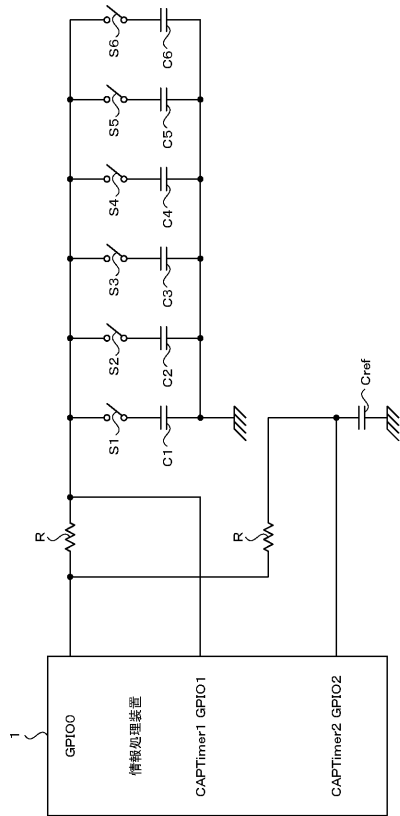
【図 1 1】



【図 1 3】



【図 1 2】



【図 1 4】

