

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年6月15日(15.06.2023)



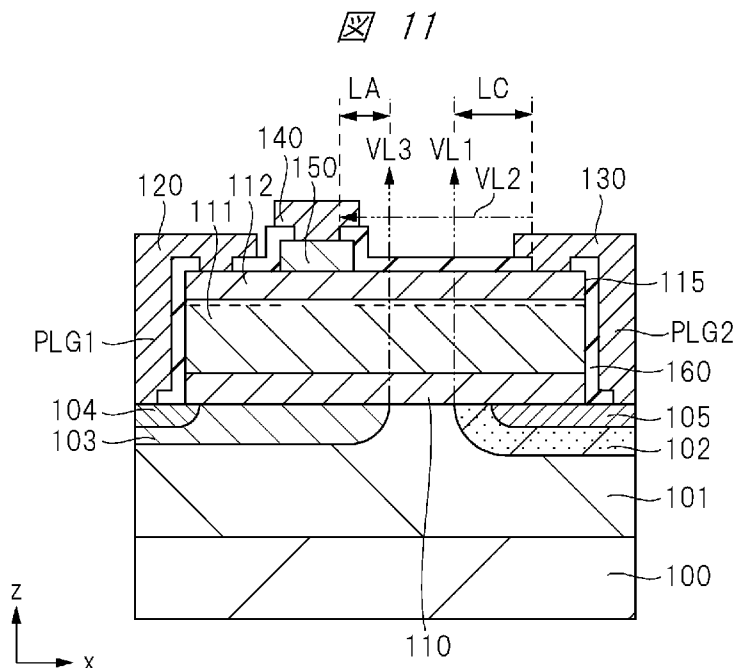
(10) 国際公開番号

WO 2023/106087 A1

- (51) 国際特許分類:  
H01L 29/778 (2006.01) H01L 27/04 (2006.01)  
H01L 21/336 (2006.01) H01L 29/78 (2006.01)  
H01L 21/337 (2006.01) H01L 29/808 (2006.01)  
H01L 21/338 (2006.01) H01L 29/812 (2006.01)  
H01L 21/822 (2006.01)
- (21) 国際出願番号: PCT/JP2022/043169
- (22) 国際出願日: 2022年11月22日(22.11.2022)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2021-199975 2021年12月9日(09.12.2021) JP
- (71) 出願人: 国立研究開発法人産業技術総合研究所(NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY)
- [JP/JP]; 〒1008921 東京都千代田区霞が関 1丁目3番1号 Tokyo (JP).
- (72) 発明者: 中島 昭(NAKAJIMA, Akira); 〒3058560 茨城県つくば市梅園1-1-1 中央第1 国立研究開発法人産業技術総合研究所内 Ibaraki (JP).  
原田 信介(HARADA, Shinsuke); 〒3058560 茨城県つくば市梅園1-1-1 中央第1 国立研究開発法人産業技術総合研究所内 Ibaraki (JP).  
児島 一聡(KOJIMA, Kazutoshi); 〒3058560 茨城県つくば市梅園1-1-1 中央第1 国立研究開発法人産業技術総合研究所内 Ibaraki (JP).
- (74) 代理人: 弁理士法人筒井国際特許事務所 (TSUTSUI & ASSOCIATES); 〒1600022 東京都新宿区新宿2丁目3番10号 新宿御苑ビル3階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The present invention suppresses a fracture mode that leads to breakage of a device in cases where a gallium nitride high-electron-mobility transistor is used as a power device. According to the present invention, a diode is connected in inverse parallel with an HEMT, and this inverse parallel connected diode is designed such that avalanche breakdown occurs therein before the drain-source voltage, which is the difference between the drain potential applied to a drain electrode 130 and the source potential applied to a source electrode 120, exceeds the breakdown voltage of the HEMT.



WO 2023/106087 A1

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

---

(57) 要約: 窒化ガリウム系の高電子移動度トランジスタをパワーデバイスとして使用する場  
合において、デバイスの破壊に至る破壊モードを抑制する。HEMTと逆並列にダイオード  
を接続し、ドレイン電極130に印加されるドレイン電位とソース電極120に印加される  
ソース電位の差であるドレイン-ソース間電圧がHEMTの耐圧を超える前に、この逆並列  
接続されたダイオードがアバランシェ降伏するように設計する。

## 明 細 書

発明の名称：半導体装置

### 技術分野

[0001] 本発明は、半導体装置に関し、例えば、高電子移動度トランジスタとダイオードとを含む半導体装置に適用して有効な技術に関する。

### 背景技術

[0002] 特開2007-226475号公報（特許文献1）には、Ga N系の電界効果トランジスタと、その保護素子としてのダイオードとを集積する半導体装置が記載されている。特に、ダイオードを形成する基板としては、窒化ガリウム（Ga N）、炭化珪素（Si C）、シリコン（Si）が例示されており、基板の素子形成面とは反対の裏面にショットキーダイオードを形成するとしている。

[0003] 特開2009-004398号公報（特許文献2）には、Ga N系の横型高電子移動度トランジスタと、ダイオードとを集積する半導体装置が記載されている。ここで、ダイオードとしては、シリコン系の横型pn接合ダイオード、シリコン系の縦型ショットキーダイオード、炭化珪素系の縦型ショットキーダイオードが記載されている。

[0004] 特開2010-010262号公報（特許文献3）には、シリコン基板上に形成されたGa N系の横型高電子移動度トランジスタと、pn接合ダイオードとを集積する半導体装置が記載されている。ここで、pn接合ダイオードは、シリコン基板にイオン注入で形成された横型pn接合ダイオードが記載されている。

[0005] 特開2010-267958号公報（特許文献4）には、Ga N系の横型高電子移動度トランジスタと、pn接合ダイオードとを集積する半導体装置が記載されている。ここで、pn接合ダイオードは、Ga N系の横型pn接合ダイオード、シリコン系の縦型pn接合ダイオードが記載されている。

[0006] 特開2019-004084号公報（特許文献5）には、炭化珪素基板上

にGaN系の横型高電子移動度トランジスタと、炭化珪素系の縦型の接合型電界効果トランジスタとを直列接続した素子を集積する半導体装置が記載されている。ここで、炭化珪素系の接合型電界効果トランジスタのドレイン電極は、炭化珪素基板の素子形成面とは反対の裏面に形成されていることから、電流経路は、炭化珪素基板の厚さ方向となっている。

[0007] 非特許文献1には、0度～2度のオフ角を持つ炭化珪素基板上にAlGaN/GaN HEMT構造をエピタキシャル成長する技術が記載されている。

### 先行技術文献

#### 特許文献

- [0008] 特許文献1：特開2007-226475号公報  
特許文献2：特開2009-004398号公報  
特許文献3：特開2010-010262号公報  
特許文献4：特開2010-267958号公報  
特許文献5：特開2019-004084号公報

#### 非特許文献

- [0009] 非特許文献1：M. Leszczynski et al., ECS Transactions, 50 (3), (2012), pp.163-171  
非特許文献2：E. A. Jones et al., IEEE JOURNAL OF EMERGING AND SELECTED TOPICS IN POWER ELECTRONICS, VOL. 4, NO. 3, SEPTEMBER 2016, pp.707-719  
非特許文献3：W. Saito et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 52, NO. 1, JANUARY 2005, pp.106-111  
非特許文献4：W. Saito et al., IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 54, NO. 8, AUGUST 2007, pp.1825-1830  
非特許文献5：S. Karmalkar et al., Solid State Electronics 45, (2001), pp.1645-1652  
非特許文献6：T. Deguchi et al., ELECTRONICS LETTERS Vol. 48 No. 2, (2

012), pp.109-110

非特許文献7: O. Ambacher et al., Journal of Applied Physics, 85 (6), (1999), pp.3222-3233

## 発明の概要

### 発明が解決しようとする課題

[0010] 昨今、低炭素化社会に向けて更なるエネルギーの高効率利用が重要かつ早急な課題となっている。エネルギーの高効率利用のためには、例えば、インバータ等の電力変換器における電力損失の低減効果が寄与できるため、電力変換器を構成するパワーデバイスの開発が重要となる。このような研究開発状況の中、パワーデバイスの材料として、Si（シリコン）に代えて、SiC（炭化珪素）やGaN（窒化ガリウム）等の窒化物半導体への転換が検討されている。これは、SiCや窒化物半導体は、Siと比較して、絶縁破壊電界強度および禁制帯幅（バンドギャップ）が大きいことから、オン抵抗の低減と絶縁耐圧の両立を図ることができる高性能のパワーデバイスを提供できるからである。さらに、窒化物半導体は、AlGaN/GaN等のヘテロ接合により高電子移動度トランジスタを作製することが可能であり、SiCのパワーMOSFETに比べて高周波特性に優れるという特性を持ち、電力変換器の小型・高周波用途に有利である。

[0011] ところが、パワーデバイスの材料として窒化物半導体を使用した高電子移動度トランジスタでは、耐圧を超えるドレインソース間電圧が加えられると、アバランシェ降伏という回復可能なブレイクダウンではなく、回復せずに破壊に至る破壊モードが生じる。この結果、窒化ガリウム系の高電子移動度トランジスタをパワーデバイスとして使用する場合、デバイスの破壊に至る破壊モードを抑制することが望まれている。

### 課題を解決するための手段

[0012] 一実施の形態における半導体装置は、炭化珪素基板上に形成されたpn接合ダイオードと、pn接合ダイオード上に形成された高電子移動度トランジスタと、を有する。

[0013] ここで、pn接合ダイオードは、炭化珪素基板上に形成された第1導電型の炭化珪素エピタキシャル層と、炭化珪素エピタキシャル層に形成され、かつ、第1導電型とは逆導電型である第2導電型の電界緩和領域と、を含む。

[0014] これに対し、高電子移動度トランジスタは、第1窒化物半導体層からなるチャンネル層と、チャンネル層と接する第2窒化物半導体層からなるバリア層と、チャンネル層と炭化珪素エピタキシャル層との間に設けられ、炭化珪素エピタキシャル層よりもバンドギャップの大きな第3窒化物半導体層からなるバッファ層と、バリア層の第1領域と接するソース電極と、バリア層の第2領域と接するドレイン電極と、ソース電極とドレイン電極の間に設けられたゲート電極と、を含む。

[0015] このとき、炭化珪素エピタキシャル層は、ソース電極と電氣的に接続され、電界緩和領域は、ドレイン電極と電氣的に接続される。そして、平面視において、電界緩和領域は、ドレイン電極から張り出している領域を含む。

### 発明の効果

[0016] 一実施の形態によれば、高電子移動度トランジスタの破壊を防止できる。

### 図面の簡単な説明

[0017] [図1]スイッチング回路の構成例を示す図である。

[図2]U-I-S試験回路を示す図である。

[図3]基本思想に基づく半導体装置の構成を示す断面図である。

[図4]基本思想に基づく半導体装置の構成を示す平面図である。

[図5]基本思想に基づく半導体装置の変形例を示す断面図である。

[図6]基本思想に基づく半導体装置の変形例を示す平面図である。

[図7]シミュレーションを行ったデバイス構造を示す図である。

[図8]シミュレーション結果を示すグラフである。

[図9]オフ状態での耐圧試験の評価結果を示すグラフである。

[図10]耐圧試験における複数回の掃引結果を示すグラフである。

[図11]実施の形態における半導体装置の構成を示す断面図である。

[図12]半導体装置の製造工程の流れを示すフローチャートである。

[図13]オン状態における  $I_d - V_{ds}$  特性の実験結果を示すグラフである。

[図14]  $V_{ds} = 5V$ における伝達特性の実験結果を示すグラフである。

[図15]  $V_{gs} = -4V$ における、負の  $V_{ds}$  に対する  $I_d - V_{ds}$  特性の実験結果を示すグラフである。

[図16]変形例を示す断面図である。

[図17]変形例を示す断面図である。

[図18]変形例を示す断面図である。

[図19]変形例を示す断面図である。

[図20]変形例を示す断面図である。

[図21]変形例を示す断面図である。

[図22]シミュレーション結果を示すグラフである。

### 発明を実施するための形態

[0018] 実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

[0019] <スイッチング回路の構成例>

図1は、スイッチング回路の構成例を示す図である。

[0020] 図1において、スイッチング回路10は、パワートランジスタQ1とダイオードFRDとを有し、パワートランジスタQ1とダイオードFRDは、逆並列に接続されている。すなわち、パワートランジスタQ1は、ゲート電極GとソースSとドレインDとを有している一方、ダイオードFRDは、アノードAとカソードCを有している。そして、パワートランジスタQ1のソースSとダイオードFRDのアノードAが電氣的に接続されている一方、パワートランジスタQ1のドレインDとダイオードFRDのカソードCが電氣的に接続されている。このように構成されているパワートランジスタQ1のゲート電極Gには、ゲート制御回路（図示せず）が接続されており、このゲート制御回路によって、パワートランジスタQ1のスイッチング動作（オン／オフ動作）が制御されるようになっている。

[0021] <スイッチング素子の種類>

例えば、パワートランジスタQ1としては、パワーMOSFET、IGBT (Insulated Gate Bipolar Transistor)、接合型電界効果トランジスタ (JFET)、高電子移動度トランジスタ (HEMT: High Electron Mobility Transistor)などを挙げるができる。

[0022] <ダイオード>

例えば、パワートランジスタQ1として、IGBTを使用する場合、IGBTと逆並列接続されるダイオードFRDを設ける必要がある。

[0023] 単に、パワートランジスタQ1によってスイッチング機能を実現する観点からは、パワートランジスタQ1としてのIGBTは必要であるが、ダイオードFRDを設ける必要性はないものと考えられる。この点に関し、例えば、負荷がモータである場合のように、スイッチング回路10に接続される負荷にインダクタンスが含まれている場合には、ダイオードFRDを設ける必要がある。以下に、この理由について説明する。

[0024] ダイオードFRDは、負荷がインダクタンスを含まない純抵抗である場合、還流するエネルギーがないため不要である。しかし、負荷にモータのようなインダクタンスを含む回路が接続されている場合、オンしているスイッチとは逆方向に負荷電流が流れるモード（還流モード）がある。すなわち、負荷にインダクタンスが含まれている場合、負荷のインダクタンスからスイッチング回路10へエネルギーが戻ることがある（電流が逆流することがある）。

[0025] このとき、IGBT単体では、この還流電流を流し得る機能をもたないので、IGBTと逆並列にダイオードFRDを接続する必要がある。すなわち、スイッチング回路10において、モータ制御のように負荷にインダクタンスを含む場合、IGBTをターンオフしたとき、インダクタンスに蓄えられたエネルギー ( $1/2 L I^2$ ) を必ず放出しなければならない。ところが、IGBT単体では、インダクタンスに蓄えられたエネルギーを開放するための還流電流を流すことができない。そこで、このインダクタンスに蓄えられた

電気エネルギーを還流するため、IGBTと逆並列にダイオードFRDを接続する。つまり、ダイオードFRDは、インダクタンスに蓄えられた電気エネルギーを開放するために還流電流を流すという機能を有している。以上のことから、インダクタンスを含む負荷に接続されるスイッチング回路10においては、パワートランジスタQ1としてIGBTを採用する場合、IGBTと逆並列にダイオードFRDを設ける必要性があることがわかる。このダイオードFRDは、「フリーホイールダイオード」と呼ばれる。

[0026] これに対し、パワートランジスタQ1として、パワーMOSFETを使用する場合、原理的に、パワーMOSFETと逆並列接続されるフリーホイールダイオードを設ける必要はない。なぜなら、パワーMOSFETのデバイス構造では、必然的に、pn接合ダイオードであるボディダイオードが寄生的に形成される結果、このボディダイオードがフリーホイールダイオードとして機能するからである。

[0027] さらに言うと、IGBTと異なり、ユニポーラトランジスタ（接合型電界効果トランジスタ、高電子移動度トランジスタ等）は、ボディダイオードの有無に関わらず、フリーホイールダイオードを必ずしも設ける必要はない。なぜなら、ユニポーラトランジスタでは、ソースとドレインとが対称構造をしており、還流モードの電流を流すことができるからである。したがって、高電子移動度トランジスタに着目すると、還流電流を流す本来の目的からは、「フリーホイールダイオード」を設ける必要はないといえる。

[0028] <高電子移動度トランジスタに着目した知見>

以下では、パワートランジスタQ1として、窒化ガリウムを使用した高電子移動度トランジスタ（以下、HEMTという場合がある）に着目する。

[0029] この場合、上述したように、還流電流を流すという本来の目的からは、「フリーホイールダイオード」を必ずしも設ける必要はないと言える。

[0030] ここで、パワーデバイスの材料として窒化ガリウム系結晶を使用したHEMTでは、耐圧を超えるドレイン-ソース間電圧が加えられると、アバランシェ降伏という回復可能なブレークダウンではなく、回復せずに破壊に至る

破壊モードというHEMTに特有の現象が生じる。この結果、窒化ガリウム系のHEMTをパワーデバイスとして使用する場合、デバイスの破壊に至る破壊モードを抑制することが重要である。

[0031] 窒化ガリウム系結晶は、III族窒化物半導体もしくは窒化物半導体とも呼ばれ、GaN、AlN、InN、及びそれらの混晶（AlGaN、InGaN等）に代表されるような半導体である。「窒化ガリウム系」や「GaN系」という省略した名称も使われる。

[0032] そこで、本発明者は、窒化ガリウム系のHEMTにおいて、デバイスの破壊に至る破壊モードを抑制する観点から、上述した「フリーホイールダイオード」を利用することを検討している。すなわち、本発明者は、窒化ガリウム系のHEMTでは、還流電流を流す本来の目的からは必ずしも必要ではない「フリーホイールダイオード」に着目して、HEMTの破壊に至る破壊モードを抑制する観点から、この「フリーホイールダイオード」を利用することを思い付いたのである。

[0033] <pn接合ダイオードに着目した知見>

以下では、ダイオードFRDとして、炭化珪素を使用したpn接合ダイオードに着目する。炭化珪素を使用したpn接合ダイオードは、シリコンのpn接合ダイオードに比べて、リカバリー損失を大幅に低減できることが分かっている。

[0034] しかしながら、炭化珪素を使用したダイオードは、ショットキーバリアダイオードと呼ばれるユニポーラ型ダイオードが主流である。バイポーラ型のpn接合ダイオードは実用化された例が非常に少ない。この理由は、炭化珪素を使用したpn接合ダイオードの順方向に電流を通電させると、順方向劣化と呼ばれる素子劣化が発生するためである。ここで、順方向劣化とは、SiC基板に関係した基底面転位に起因して、もともと存在する結晶欠陥の増大により起こる現象である。

[0035] そこで、本発明者は、炭化珪素によるpn接合ダイオードにおいて、順方向劣化を抑制する観点から、横方向（基板表面に水平方向）に電流を流す横

型 p n 接合ダイオードを検討している。すなわち、本発明者は、炭化珪素で通常用いられる縦型（基板表面に垂直方向）の p n 接合ダイオードではなく、普通は用いられることのない横型の p n 接合ダイオードを利用することを思い付いたのである。

[0036] <パワートランジスタの電力変換器への応用に着目した知見>

さらに以下では、窒化ガリウム系の高電子移動度トランジスタと、p n 接合ダイオードとの一体化により非破壊ブレークダウンが得られた場合を前提に考察を進める。具体的には、電力変換器への応用においてパワートランジスタがブレークダウンとなる状況に着目し、そこで求められるデバイス動作について考察する。

[0037] ブレークダウンとなる状況を想定した試験として、U I S (Unclamped Inductive Switching) 回路によるスイッチング試験が、パワーデバイスにおいては一般的に実施されている。図 2 は U I S 試験回路を示す回路図である。図 2 において、パワートランジスタをオンすると直流電源から L 負荷にエネルギーが溜め込まれる。所定のエネルギーが溜め込まれたのち、パワートランジスタをオフすると、ドレイン電圧が跳ね上がりブレークダウンに至る。このとき、パワートランジスタが、非破壊のアバランシェ降伏が安定して起こり、L 負荷の蓄積エネルギーを吸収できることが重要である。具体的には、図 2 の降伏電流経路 A に降伏電流を流すことが求められる。

[0038] 一方、降伏電流経路 B を電流が流れた場合、回路の誤動作が起こり、安定なアバランシェ降伏が崩れ、パワートランジスタがオンとオフを繰り返す発振モードに突入する。具体的には、降伏電流経路 B に電流が流れると、有限のゲート抵抗  $R_g$  によりゲート電圧が上昇し、誤ターンオンとオフを繰り返す発振モードとなる。特に、パワートランジスタでは、ノーマリーオフ型であっても、ターンオフの高速化のため、オフ時にソース電極に対して、ゲート電極にマイナスの電圧が印加される。ゲート電極が最も電位が低くなり、アバランシェ降伏で発生した正孔の流れ込みが懸念される。したがって、パワートランジスタのゲート電極に流れ込む降伏電流を抑制することが重要とな

る。

[0039] そこで、本発明者は、窒化ガリウム系のHEMTと上述した「フリーホイールダイオード」の間に、バンドギャップの大きなバッファ層を設け、これによって「フリーホイールダイオード」で発生する降伏電流がHEMTに流れ込まない構造を思い付いたのである。

[0040] <実施の形態における基本思想>

以下では、この本発明者の知見に基づく技術的思想について説明する。

[0041] 本実施の形態における基本思想は、HEMTと逆並列にダイオードを接続し、ドレイン電極に印加されるドレイン電位とソース電極に印加されるソース電位の差であるドレイン－ソース間電圧がHEMTのオフ状態における耐圧を超える前に、この逆並列接続されたダイオードがアバランシェ降伏するように設計する思想である。また、基本思想は、ダイオードのアバランシェ降伏で発生した電子および正孔（特に正孔）がHEMTのゲート電極に流れ込むことを極力抑える思想も含んでいる。

[0042] この基本思想によれば、ドレイン－ソース間電圧がHEMTの耐圧を超える前に、ダイオードがアバランシェ降伏することにより、ドレイン－ソース間電圧がHEMTの耐圧を超える場合に生じるHEMTの破壊モードを防止することができる。つまり、本実施の形態における基本思想は、HEMTの耐圧を超える前に、ダイオードがアバランシェ降伏するように設計することにより、ドレイン－ソース間電圧がクランプされて、HEMTの破壊が防止されるという思想である。さらに、基本思想には、アバランシェ降伏により発生する電子および正孔（特に正孔）がゲート電極へ流れ込むことを防止するため、ダイオードとHEMTの間に、ダイオードを形成する半導体のバンドギャップエネルギーに対して大きなバンドギャップエネルギーを有する半導体層を挿入する思想も含まれている。

[0043] このような基本思想は、HEMTでは、還流電流を流す本来の目的からは必ずしも必要ではないダイオードに着目して、HEMTの破壊に至る破壊モードを抑制する観点から、このダイオードを積極的に利用して、HEMTに

特有の破壊モードの発生を効果的に抑制しており、かつ実際の電力変換器への応用における誤ターンオンを抑制している点で、斬新で優れた技術的思想である。

[0044] <基本思想に基づく半導体装置>

次に、上述した基本思想に基づく半導体装置について説明する。

[0045] 図3は、基本思想に基づく半導体装置の構成を示す断面図である。

[0046] 図3に示すように、基本思想に基づく半導体装置は、炭化珪素基板100上に形成されたpn接合ダイオードと、pn接合ダイオード上に形成されたHEMTとを有する。

[0047] 具体的に、pn接合ダイオードは、炭化珪素基板100上に形成されたp型の炭化珪素エピタキシャル層101と、炭化珪素エピタキシャル層101に形成され、かつ、n型の電界緩和領域（リサーフ領域）102とを含む。すなわち、p型の炭化珪素エピタキシャル層101とn型の電界緩和領域102との境界領域にpn接合が形成される結果、p型の炭化珪素エピタキシャル層101とn型の電界緩和領域102とによって、pn接合ダイオードが構成されることになる。ここで、電界緩和領域102に導入されているn型不純物（ドナー）の不純物濃度は、炭化珪素エピタキシャル層101に導入されているp型不純物（アクセプタ）の不純物濃度よりも高くなっている。

[0048] 一方、HEMTは、炭化珪素エピタキシャル層101に対してバンドギャップが大きなバッファ層110と、バッファ層110と接するチャンネル層111と、チャンネル層111と接するバリア層112と、バリア層112の第1領域と接するソース電極120と、バリア層112の第2領域と接するドレイン電極130と、ソース電極120とドレイン電極130の間に設けられたゲート電極140とを含む。このように構成されたHEMTでは、チャンネル層111とバリア層112との界面に2次元電子ガスが生じる。なお、炭化珪素エピタキシャル層101は、プラグPLG1を介してソース電極120と電氣的に接続され、電界緩和領域102は、プラグPLG2を介して

ドレイン電極130と電氣的に接続されている。

[0049] そして、図3において、pn接合ダイオードと高電子移動度トランジスタの積層方向を第1方向（図3のz方向）とし、ドレイン電極130からゲート電極140に向かう方向を第2方向（図3の-x方向）とする場合、断面視において、電界緩和領域102の一端部からz方向に延在させた第1仮想線VL1は、-x方向に延在させた第2仮想線VL2に対して、ドレイン電極130とゲート電極140の間で交差する。

[0050] なお、第1方向および第2方向は、炭化珪素基板を基準とすれば、第1方向は炭化珪素基板の主面に垂直な方向であり、第2方向は炭化珪素基板の主面に並行な方向（第1方向に直交する方向）と理解することもできる。

[0051] 図4は、基本思想に基づく半導体装置の構成を示す平面図であり、図4のA-A線で切断した断面図が図3に対応する。図4において、ソース電極120およびドレイン電極130のそれぞれは、互いに対向しながらx方向に延在しているとともに、y方向に突出する複数のフィンガ部を有している。すなわち、半導体装置のソース電極120およびドレイン電極130は、「マルチフィンガ構造」をしている。そして、電界緩和領域102は、ゲート電極140に向かってドレイン電極130から張り出している領域を含む。

[0052] 続いて、このように構成されている半導体装置が基本思想を実現していることについて説明する。基本思想は、HEMTと逆並列に接続されたpn接合ダイオードに対し、ドレイン-ソース間電圧がHEMTの耐圧を超える前に、この逆並列接続されたpn接合ダイオードがアバランシェ降伏するように設計する思想である。ただし、ここで重要なのは、HEMTの耐圧よりも非常に低いドレイン-ソース間電圧でpn接合ダイオードがアバランシェ降伏することを回避することである。言い換えれば、HEMTの耐圧よりは低い、できるだけHEMTの耐圧に近いドレイン-ソース間電圧でpn接合ダイオードがアバランシェ降伏するようにすることが重要である。なぜなら、例えば、HEMT自体の耐圧が600Vや1.2kVもある場合に、pn接合ダイオードが100V程度でアバランシェ降伏してしまうと、半導体装

置の耐圧として、600Vや1.2kVとすることができなくなってしまうからである。つまり、基本思想は、HEMTと逆並列に接続されたpn接合ダイオードに対し、ドレインソース間電圧がHEMTの耐圧を超える前に、この逆並列接続されたpn接合ダイオードがアバランシェ降伏するように設計するとともに、できるだけHEMTの耐圧に近いドレインソース間電圧でpn接合ダイオードがアバランシェ降伏するように設計する思想ということができる。

[0053] この基本思想は、例えば、図3において、電界緩和領域102の一端部からz方向に延在させた第1仮想線VL1が、-x方向に延在させた第2仮想線VL2に対して、ドレイン電極130とゲート電極140の間で交差するように、電界緩和領域102を設計することにより実現されている。言い換えれば、基本思想は、図3および図4に示すように、電界緩和領域102がゲート電極140に向かってドレイン電極130から張り出している領域を含むように構成されることで実現される。

[0054] 例えば、基本思想が実現されていない場合、すなわち、電界緩和領域102がゲート電極140に向かってドレイン電極130から張り出していない場合、ドレイン電極130に100V程度の正電位を印加した場合でも、電界緩和領域102の長さが短いことに起因して、空乏層が十分に延びないため、pn接合ダイオードがアバランシェ降伏してしまう。この結果、例えば、HEMT自体の耐圧が600V程度ある場合でも、半導体装置としての耐圧は、後述するように100V程度となってしまう。

[0055] これに対し、電界緩和領域102がゲート電極140に向かってドレイン電極130から張り出している領域を含むように構成されている場合、電界緩和領域102の長さが長いことに起因して、空乏層が十分に延びる結果、低いドレインソース間電圧でpn接合ダイオードがアバランシェ降伏しにくくなる。これにより、HEMT自体の耐圧が600V程度ある場合でも、半導体装置としての耐圧は、100V程度となることを回避できる。

[0056] つまり、電界緩和領域102の不純物濃度および電界緩和領域102の長

さが基本思想を実現するように設計することにより（具体的には、電界緩和領域102がゲート電極140に向かってドレイン電極130から張り出している領域を含むように設計する）、電界緩和領域102内において空乏層を十分に延ばすことができる。この結果、ドレインーソース間電圧がHEMTの耐圧を超える前に、この逆並列接続されたpn接合ダイオードがアバランシェ降伏するように設計しながらも、HEMTの耐圧よりは低いながら、できるだけHEMTの耐圧に近いドレインーソース間電圧でpn接合ダイオードがアバランシェ降伏するようにすることができる。さらには、電界緩和領域102がゲート電極140に向かってドレイン電極130から張り出している領域を含むように構成されると、電界緩和領域102の表面の電界強度が小さくなる結果、電界緩和領域102の上方に形成されているHEMTに与える電界の影響を低減できる。

[0057] <変形例>

図5は、基本思想に基づく半導体装置の変形例を示す断面図である。

[0058] 図6は、基本思想に基づく半導体装置の変形例を示す平面図であり、図6のA-A線で切断した断面図が図5に対応する。

[0059] 図6に示すように、ソース電極120と炭化珪素エピタキシャル層を電氣的に接続するプラグPLG1や、ドレイン電極130と電界緩和領域102とを電氣的に接続するプラグPLG2は、「マルチフィンガ構造」の外側に配置することもできる。この場合、セルピッチを縮小化することが可能となり、これによって、半導体装置を小型化できる。

[0060] <検証結果>

続いて、基本思想の有用性を示す検証結果について説明する。

[0061] 具体的には、pn接合ダイオードの耐圧についてのシミュレーション結果を説明する。

[0062] 図7は、シミュレーションを行ったデバイス構造（シミュレーション構造）を示す図である。図7に示すように、シミュレーションは、p-SiC領域とp<sup>+</sup>SiC領域と電界緩和領域とn<sup>+</sup>SiC領域とを有するpn接合ダイオ

ード上に、GaN-HEMTが形成され、このGaN-HEMT上に絶縁膜（SiO<sub>2</sub>膜）が形成されているシミュレーション構造に基づいて実施した。例えば、p-SiC領域のアクセプタ濃度 $N_{ax}$ を $1 \times 10^{16}$  (cm<sup>-3</sup>)、p<sup>+</sup>SiC領域（アノード側）とn<sup>+</sup>SiC領域（カソード側）との間の距離 $L_X$ を $11 \mu\text{m}$ とし、電界緩和領域の長さ $L_N$ とドナーのドーピング濃度とを変化させて、pn接合ダイオードの耐圧を計算した。この計算結果を図8に示す。

[0063] 図8に示すように、例えば、600V以上の高耐圧（ブレイクダウン電圧）を得るためには、電界緩和領域のシート濃度（DN）として、 $3 \times 10^{12}$  (cm<sup>-2</sup>)以上が必要であることが予測される。また、電界緩和領域の長さ（ $L_N$ ）を $6 \mu\text{m}$ 以上とすることにより、1.2kV以上の耐圧を得られることが予想される。この図8において、シート濃度（DN）が $1.05 \times 10^{13}$  (cm<sup>-2</sup>)まではブレイクダウン電圧が単調に増加されるのに対して、 $1.80 \times 10^{13}$  (cm<sup>-2</sup>)では減少してしまう。

[0064] さらに詳細な耐圧のシミュレーション結果を図22に示す。図22では、図7におけるp-SiC領域のアクセプタ濃度 $N_{ax} = 7 \times 10^{15}$  (cm<sup>-3</sup>)とし、p<sup>+</sup>SiC領域とn<sup>+</sup>SiC領域との間の距離 $L_X = 18$  (μm)とした。図22では、シート濃度（DN）の刻みを細かくしている。図22から、600Vを耐圧目標とした場合にはシート濃度（DN）は $3.42 \times 10^{12}$  (cm<sup>-2</sup>)以上とさらに絞り込まれた。1200V以上を耐圧目標とした場合のシート濃度（DN）は $8.55 \times 10^{12}$  (cm<sup>-2</sup>)以上、および $1.27 \times 10^{13}$  (cm<sup>-2</sup>)以下とすればよいことがわかる。

[0065] 加えて、様々なシミュレーションの結果、以下のことが明らかになった。目標とする耐圧によって、p-SiC領域の厚さ、p-SiC領域のアクセプタ濃度 $N_{ax}$ 、p<sup>+</sup>SiC領域（アノード側）とn<sup>+</sup>SiC領域（カソード側）との間の距離（ $L_X$ ）、および電界緩和領域の長さ（ $L_N$ ）は、適時調整する必要があった。また、同じ耐圧目標であっても、必要となるp-SiC領域のアクセプタ濃度 $N_{ax}$ は、p-SiC領域の厚さに依存することが分かっ

た。一方、最適となる電界緩和領域のシート濃度 ( $DN$ ) については、目標とする耐圧に依存しないことが分かった。つまり、シート濃度 ( $DN$ ) を  $8.55 \times 10^{12} \text{ (cm}^{-2}\text{)}$  以上、および  $1.27 \times 10^{13} \text{ (cm}^{-2}\text{)}$  以下とすることで、より短い  $p^+SiC$  領域 (アノード側) と  $n^+SiC$  領域 (カソード側) との間の距離 ( $LX$ ) において、目的とする耐圧が得られることが分かった。

[0066] さらに、図9は、オフ状態での耐圧試験の評価結果を示すグラフである。

[0067] 図9および図10は、図12～図15で後述する試作素子の評価結果の一部を先取りして説明するものであり、ゲート・ソース間に  $-3 \text{ V}$  を印加したトランジスタがオフ状態である場合の試験結果である。

[0068] 図9に示すように、シミュレーションではなく、実際の耐圧試験においても、ドレイン電流 ( $ID$ ) が徐々に増加して、 $2 \text{ mA/mm}$  まで増加しても破壊は起こらなかった。測定に用いた試作素子は、 $LX = 18 \text{ (}\mu\text{m)}$ 、 $LN = 13 \text{ (}\mu\text{m)}$ 、 $Nax = 1 \times 10^{16} \text{ (cm}^{-3}\text{)}$ 、 $DN = 1.0 \times 10^{13} \text{ (cm}^{-2}\text{)}$  であった。また、バンドギャップが  $6.2 \text{ eV}$  と大きな  $AlN$  バッファ層を  $HEMT$  とダイオードの間に設けた。これにより、降伏時のゲート電流 ( $IG$ ) はドレイン電流の  $1/200$  以下であり、かつソース電流 ( $IS$ ) はドレイン電流の  $1/50$  以下であり、降伏電流が  $pn$  接合ダイオードに流れていることがわかる。すなわち、 $pn$  接合ダイオードの非破壊のアバランシェ降伏が起こって  $HEMT$  の破壊が防止されつつ、 $HEMT$  への降伏電流の流れ込みが抑制されていることがわかる。

[0069] そのため、図10に示すように、同一デバイスに対して複数回の耐圧試験が可能であった。図10は、図9をリニアプロットとして、かつ複数回の掃引結果を重ねたグラフである。図10に示すように、 $pn$  接合ダイオードの非破壊のアバランシェ降伏が起こっているため、何度でも安定してブレークダウンしていることがわかる。

[0070] ドレイン電流が  $2 \text{ mA/mm}$  に達した電圧を耐圧とした場合、耐圧は  $1.27 \text{ kV}$  であった。シミュレーション結果と同様に、電界緩和領域をドレイ

ン電極から張り出して形成することで、1. 2 k V以上の高耐圧動作が実験的に確認できた。

[0071] 以上のことから、電界緩和領域がゲート電極に向かってドレイン電極から張り出している領域を含むように設計することにより、p n接合ダイオードのブレークダウン電圧を高電圧に調整可能なことがわかる。このことは、基本思想に基づく半導体装置の構成によれば、ドレインーソース間電圧がHEMTの耐圧を超える前に、この逆並列接続されたp n接合ダイオードがアバランシェ降伏するように設計しながらも、HEMTの耐圧よりは低いが、できるだけHEMTの耐圧に近いドレインーソース間電圧でp n接合ダイオードがアバランシェ降伏するように設計できることを意味している。したがって、上述した検証結果によると、基本思想に基づく半導体装置によれば、HEMTの破壊を防止しながら、HEMTへの降伏電流の流れ込みを抑制し、かつ高い耐圧を有する半導体装置を提供することができることが裏付けられている。

[0072] <具体的態様>

次に、本実施の形態における基本思想を具現化した具体的態様について説明する。

[0073] 図11は、本実施の形態における半導体装置の構成を示す断面図である。

[0074] 図11において、半導体装置は、炭化珪素基板100上に形成されたp n接合ダイオードと、p n接合ダイオード上に形成されたHEMTとを有する。

[0075] 具体的に、p n接合ダイオードは、炭化珪素基板100上に形成されたp型の炭化珪素エピタキシャル層101と、炭化珪素エピタキシャル層101に形成され、かつ、n型の電界緩和領域（リサーフ領域）102とを含む。さらに、p n接合ダイオードは、炭化珪素エピタキシャル層101に形成され、炭化珪素エピタキシャル層101よりもアクセプタ濃度の高いp型半導体領域103と、このp型半導体領域103に内包されるp<sup>+</sup>型半導体領域104を有している。また、p n接合ダイオードは、電界緩和領域102に内

包される $n^+$ 型半導体領域105を有している。

[0076]  $pn$ 接合ダイオード上には、HEMTが形成されている。具体的に、例えば、炭化珪素を主材料とする $pn$ 接合ダイオード上に、窒化アルミニウム（AlN）からなるバッファ層110が形成されており、このバッファ層110上に、アンドープの窒化ガリウム（GaN）からなるチャンネル層111が形成されている。このとき、バッファ層は、アンドープ層、または不純物（カーボン、鉄、マグネシウム等）がドーピングされた層である。

[0077] ここで、バッファ層110は、 $pn$ 接合ダイオードを構成する炭化珪素の格子間隔と、チャンネル層111を構成する窒化ガリウム（GaN）の格子間隔の不整合を緩和する目的で形成される。すなわち、炭化珪素上に、直接、窒化ガリウム（GaN）からなるチャンネル層111を形成すると、チャンネル層111に結晶欠陥が多数形成されることになり、HEMTの性能低下を招くことになる。

[0078] また、炭化珪素のバンドギャップエネルギーは3.2 eVであるのに対して、AlNのバンドギャップエネルギーは6.2 eVと大きいため、炭化珪素を使用した $pn$ 接合ダイオードのアバランシェ降伏によって発生した電子および正孔がGaN側へ流れ込むことを防止できる。

[0079] このことから、 $pn$ 接合ダイオードを構成する炭化珪素とチャンネル層111との間に格子緩和、および炭化珪素側の降伏で発生した電子および正孔のGaN側への流れ込み防止を目的とした、バンドギャップの大きなバッファ層110を挿入しているのである。このバッファ層110を形成することにより、バッファ層110上に形成されるチャンネル層111の品質を向上させることができ、かつ降伏時にGaN側への電子および正孔の侵入を抑制することができる。これにより、HEMTの性能向上を図ることができる。

[0080] 続いて、チャンネル層111上には、例えば、アンドープの窒化アルミニウムガリウム（AlGaN）からなるバリア層112が形成されている。そして、バリア層112上に離間してソース電極120およびドレイン電極130が形成されている。すなわち、バリア層112の第1領域と接するように

ソース電極 120 が形成されているとともに、バリア層 112 の第 2 領域と接するようにドレイン電極 130 が形成されている。

[0081] このソース電極 120 とバリア層 112、あるいは、ドレイン電極 130 とバリア層 112 とは、オーミック接触となるようにソース電極 120 およびドレイン電極 130 の材料が選択されている。

[0082] 次に、離間したソース電極 120 とドレイン電極 130 に挟まれるバリア層 112 上には、例えば、p 型窒化ガリウム (p-GaN) からなる p 型キャップ層 150 が形成され、この p 型キャップ層 150 上にゲート電極 140 が形成されている。

[0083] ここで、本実施の形態では、HEMT を構成するバッファ層 110、チャネル層 111 およびバリア層 112 はメサ構造 115 として形成されており、このメサ構造 115 の両側の側面には、例えば、酸化シリコン膜からなる絶縁膜 160 が形成されている。

[0084] そして、HEMT のソース電極 120 は、プラグ PLG1 を介して、pn 接合ダイオードの p<sup>+</sup> 型半導体領域 104 と電氣的に接続されており、プラグ PLG1 と p<sup>+</sup> 型半導体領域 104 は、オーミック接触している。同様に、HEMT のドレイン電極 130 は、プラグ PLG2 を介して、pn 接合ダイオードの n<sup>+</sup> 型半導体領域 105 と電氣的に接続されており、プラグ PLG2 と n<sup>+</sup> 型半導体領域 105 は、オーミック接触している。

[0085] これにより、図 11 に示す半導体装置では、HEMT と pn 接合ダイオードが逆並列に接続されていることになる (図 1 参照)。

[0086] 以上のように構成された HEMT では、チャネル層 111 とバリア層 112 の界面近傍に、2 次元電子ガスが生成される。すなわち、チャネル層 111 を構成する窒化ガリウム (GaN) の電子親和力と、バリア層 112 を構成する窒化アルミニウムガリウム (AlGaN) の電子親和力とは相違する。このため、電子親和力の相違に基づく伝導帯オフセットと、チャネル層 111 およびバリア層 112 に存在するピエゾ分極と自発分極の影響により、チャネル層 111 とバリア層 112 の界面近傍にフェルミ準位よりも低い井

戸型ポテンシャルが生成される。この結果、この井戸型ポテンシャル内に電子が蓄積されることになり、これによって、チャンネル層111とバリア層112の界面近傍に2次元電子ガスが生成される。

[0087] ここで、図11に示すHEMTでは、p型キャップ層150がゲート電極140の下に形成されているため、バリア層112の構造で閾値電圧を正または負に設計することができる。例えば、バリア層112を構成するAlGaInが厚く、かつそのAl組成が大きいほど、閾値電圧は負の方向にシフトする。具体的には、非特許文献7で開示される計算方法によりAl組成に対する分極電荷密度を算出し、かつAlGaIn層の厚さと誘電率から閾値電圧を設計することができる。より具体的にはバリア層112の厚さが15nmの場合は、Al組成を23%以下にすることで閾値電圧が正となり、ノーマリーオフ型となる。HEMTを電力変換器に応用する場合、ノーマリーオフ型のデバイスが要求される場合が多いが、そのためにはAl組成を下げる必要が生じ、それに伴いゲート電極直下以外の2次元電子ガス濃度も低下するため、オン抵抗が増加する傾向にある。よって、オン抵抗とのトレードオフを考慮しながら閾値電圧を設計することが重要となる。

[0088] このように構成されている半導体装置では、図11において、pn接合ダイオードとHEMTの積層方向を第1方向（図11のz方向）とし、ドレイン電極130からゲート電極140に向かう方向を第2方向（図11の-x方向）とする場合、断面視において、電界緩和領域102の一端部からz方向に延在させた第1仮想線VL1は、-x方向に延在させた第2仮想線VL2に対して、ドレイン電極130とゲート電極140の間で交差する。つまり、電界緩和領域102は、ゲート電極140に向かってドレイン電極130から張り出している領域を含む。また、断面視において、p型半導体領域103の一端部からz方向に延在させた第3仮想線VL3も、-x方向に延在させた第2仮想線VL2に対して、ドレイン電極130とゲート電極140の間で交差する。つまり、p型半導体領域103は、ドレイン電極130に向かってゲート電極140から張り出している領域を含む。

[0089] 図11に示すように実際のデバイスでは半導体層の上に形成された絶縁膜に設けられたコンタクトホールを介して電極が半導体層と接触させられるため、より詳細には、ソース領域、ゲート領域、ドレイン領域は電極が半導体層に接触する領域となる。電界緩和領域102の張り出し距離LCは、ドレイン領域の端からゲート電極方向への張り出し距離として定義される。ドレイン領域とはドレイン電極130がバリア層112に接する領域であり、ドレイン領域の端とは当該ドレイン領域のゲート電極140に近い側の端である。p型半導体領域103の張り出し距離LAは、ゲート領域の端からドレイン電極方向への張り出し距離として定義される。ゲート領域とはゲート電極140がp型キャップ層150に接する領域であり、ゲート領域の端とは当該ゲート領域のドレイン電極130に近い側の端である。ゲート・ドレイン間距離はゲート領域の端とドレイン領域の端との間の距離となる。

[0090] 以上のようにして、本実施の形態における半導体装置が構成されている。

[0091] <半導体装置の製造方法>

次に、本実施の形態における半導体装置の製造方法について説明する。

[0092] 図12は、実際に試作した図11に示す半導体装置の製造工程の流れを示すフローチャートである。図12に示すように、(0001)面から2度よりも大きく4度以下のオフ角を有する炭化珪素基板100を準備する(S101)。試作では、<11-20>方向に4度オフ角を持つn型の4H-SiC基板(4H-炭化珪素基板)を用いた。次に、CVD法によるエピタキシャル成長法を使用することにより、例えば、第1p型炭化珪素エピタキシャル層(厚さ1 $\mu$ m、アクセプタ濃度 $1 \times 10^{18}$  (cm<sup>-3</sup>))、および第2p型炭化珪素エピタキシャル層(厚さ16 $\mu$ m、アクセプタ濃度 $1 \times 10^{16}$  (cm<sup>-3</sup>))を形成する(S102)。アクセプタドーパントにはアルミニウム(Al)を用いた。ここで、第1p型炭化珪素エピタキシャル層は、図11の断面図で省略しているように必須ではない。つまり、図11に示す炭化珪素エピタキシャル層101は、第2p型炭化珪素エピタキシャル層を示している。そして、フォトリソグラフィ技術とイオン注入法を使用すること

により、電界緩和領域102、p型半導体領域103、p<sup>+</sup>型半導体領域104およびn<sup>+</sup>型半導体領域105を第2p型炭化珪素エピタキシャル層内に選択的に形成した後、高温アニール処理で不純物を活性化させる(S103)

。

[0093] ここで、試作素子において、電界緩和領域102、p型半導体領域103、p<sup>+</sup>型半導体領域104およびn<sup>+</sup>型半導体領域105のシート不純物濃度は、それぞれ $1.0 \times 10^{13}$  (cm<sup>-2</sup>) (窒素(N)注入)、 $1.2 \times 10^{14}$  (cm<sup>-2</sup>) (アルミニウム(Al)注入)、 $5 \times 10^{15}$  (cm<sup>-2</sup>) (Al注入)、 $7 \times 10^{14}$  (cm<sup>-2</sup>) (リン(P)注入)とした。

[0094] なお、各領域のドーパント濃度は以下のような変形も可能である。例えば、第2p型炭化珪素エピタキシャル層(炭化珪素エピタキシャル層101)のアクセプタ濃度は $2 \times 10^{15}$  (cm<sup>-3</sup>) ~  $1 \times 10^{17}$  (cm<sup>-3</sup>)としてもよい。ただし、濃度を上げるに従って炭化珪素エピタキシャル層101の厚さを薄くする必要があり、アクセプタ濃度を $1 \times 10^{17}$  (cm<sup>-3</sup>)とする場合においては、炭化珪素エピタキシャル層101の厚さを1(μm)以下に薄くし、かつ炭化珪素基板100は高抵抗基板とすることが望ましい。

[0095] 電界緩和領域102、p型半導体領域103、p<sup>+</sup>型半導体領域104およびn<sup>+</sup>型半導体領域105のそれぞれのシート不純物濃度(cm<sup>-2</sup>)の範囲は以下の通りである。例えば、電界緩和領域102のシート不純物濃度の範囲は、図8や図22で前述した通りである。p型半導体領域103は、炭化珪素エピタキシャル層101に対して、同じ導電性をもつ領域であり、デバイス動作として必ずしも必須となる領域ではない。ただし、炭化珪素エピタキシャル層101より高濃度のp型半導体領域103を形成することにより、ゲート電極140の下への空乏層の侵入を防ぐことが可能となり、p型半導体領域103を設けることで破壊防止の長期信頼性を高めることができる。したがって、p型半導体領域103を設ける場合の不純物濃度としては、2次元電子ガスの濃度より高いことが望ましく、具体的には $1 \times 10^{13}$  (cm<sup>-2</sup>)以上のシート不純物濃度が好ましい。p<sup>+</sup>型半導体領域104およびn<sup>+</sup>型

半導体領域105のそれぞれのシート不純物濃度は、オーミックコンタクトを取ればよいので、 $5 \times 10^{14} \text{ (cm}^{-2}\text{)}$ 以上であることが好ましい。

[0096] また、炭化珪素基板100としては、上述のとおり典型的には(0001)面(Si面)から $\langle 11-20 \rangle$ 方向に所定角度で傾斜を持った4H-SiCオフ基板が選択される。ここで、基板主面は、Si面に替えて(000-1)面(C面)を使用する選択肢もある。(0001)面と(000-1)面の両方をまとめて記載する場合には{0001}面と表記する。オフ基板の傾斜する結晶方向(オフ方向)は、 $\langle 11-20 \rangle$ に替えて $\langle 01-10 \rangle$ を使用する選択肢もある。

[0097] その後、MOCVD法により、AlNからなるバッファ層110、GaNからなるチャンネル層111(厚さ800nm)、AlGaNからなるバリア層112(Al組成23%、厚さ20nm)およびp型GaNからなるp型キャップ層150(厚さ60nm)を形成し、マグネシウム(Mg)からなる不純物の活性化処理を行う(S104)。

[0098] 次に、フォトリソグラフィ技術およびドライエッチング技術を使用することにより、メサ構造を形成する(S105)。続いて、炭化珪素表面上にニッケル膜(Ni膜)を堆積した後、シンター処理によりオーミック電極となるプラグPLG1およびプラグPLG2を形成する。さらに、バリア層112上にソース電極120およびドレイン電極130としてAl/Ti系の電極を形成するとともに、ゲート電極140としてニッケル膜(Ni)を堆積した後、熱処理を施すことによりオーミック電極を形成する(S106)。その後は、例えば、表面を絶縁膜で保護した後、パッド電極を形成する。このようにして、本実施の形態における半導体装置を製造することができる。なお、この試作ではゲート電極140はNiを用いたオーミック電極としたが、例えばTiN系合金、またはAl/Ti系合金などによるショットキー電極としてもよい。

[0099] <試作したデバイスの素子特性>

続いて、上述した製造方法で試作したデバイスの素子特性の評価結果を述

べる。

[0100] 以下の評価結果は、試作したデバイスの中で、ゲート・ドレイン間距離が26 ( $\mu\text{m}$ )、および電界緩和領域102の張り出し距離(図11のLC)が15 ( $\mu\text{m}$ )、電界緩和領域102のドナーのシート不純物濃度が $1.0 \times 10^{13}$  ( $\text{cm}^{-2}$ )の条件であった。また、p型半導体領域103の張り出し距離(図11のLA)が6 ( $\mu\text{m}$ )、アクセプタのシート不純物濃度が $1.2 \times 10^{14}$  ( $\text{cm}^{-2}$ )であった。SiCに対して良好なオーミック接触を形成するためのp<sup>+</sup>型半導体領域104およびn<sup>+</sup>型半導体領域105のシート不純物濃度は $5 \times 10^{14}$  ( $\text{cm}^{-2}$ )以上であった。

[0101] 図13にオン状態における $I_D - V_{DS}$ 特性の実験結果を示す。図13に示すように、このデバイスは300 mA/mmの高い通電能力を示し、ゲート幅当たりのオン抵抗は47  $\Omega\text{mm}$ と低い値が得られた。今回の試作では通常のHEMTで用いられる「on-axis基板」と異なり、4度オフの炭化珪素基板を用いているため、HEMT構造の表面は30 nm程度の荒れが観察された。しかし、オン状態の特性としては、通常のHEMTと同程度の値が得られており、2次元電子ガスの高い移動度が得られていることが分かった。

[0102] なお、2次元電子ガスの移動度については、別途ホール測定を行った。すなわち、 $\langle 11-20 \rangle$ 方向へ4度オフの炭化珪素基板にHEMT構造を形成したホール効果測定用のサンプルを作成した。その結果、室温(300 K)における移動度は1550 ( $\text{cm}^2/\text{Vs}$ )であり、温度低下と共に単調増加の傾向が得られ、低温(80 K)における移動度は8720 ( $\text{cm}^2/\text{Vs}$ )であった。この結果は、2次元電子ガスが物性的にもつフォノン散乱に律速された移動度を有していることを示すものである。つまり、これまでGaN系結晶成長で敬遠されてきた4度オフの炭化珪素基板でも、一般的なHEMTで用いられる「on-axis基板」と同等の電気的特性が得られることを確認した。

[0103] これまで報告された、「on-axis基板」を用いた1.2 kV耐圧の

HEMTのトップデータは $20\ \Omega\text{mm}$ 程度である。今回の試作デバイスは、初期試作においてオン抵抗としてはトップデータと同じオーダーの良好な特性が得られており、Si横型トランジスタの材料限界と比較すると $1/100$ 程度の低いオン抵抗が得られた。

[0104] 図14に $V_{ds} = 5\text{V}$ における伝達特性の実験結果を示す。ゲート閾値電圧は、HEMTにおける一般的定義である $I_d = 1\ \mu\text{A}/\text{mm}$ で判定した場合、 $-0.25\text{V}$ であった。閾値電圧が負であるため、今回の試作したデバイスはノーマリーオン型であった。

[0105] 同デバイスの耐圧は、上記図9および図10に示した通り、 $1.2\text{kV}$ 以上であり、かつ非破壊であり、かつブレークダウン時のゲート電流は、ドレイン電流に対して $1/200$ 以下に抑制されていた。

[0106] 図15に $V_{gs} = -4\text{V}$ における、負の $V_{ds}$ に対する $I_d - V_{ds}$ 特性の実験結果を示す。ここで、負の $V_{ds}$ は、炭化珪素pn接合ダイオードに対して順バイアスに相当する。そのため、ドレインソース電圧が、炭化珪素のpn接合におけるビルトイン電圧である約 $-3\text{V}$ に達すると集積した炭化珪素pn接合ダイオードを介して電流が流れ始める(図15中のIB)。更に電圧が下がると、従来のHEMTと同様に、HEMTのゲートチャネルが開き、HEMTのチャネルからも電流が流れるため、炭化珪素pn接合ダイオードを介して流れる電流が加算して観察されている(図15中のID)。

[0107] また、併せて図11において電界緩和領域102のドーピングがされていない、つまり電界緩和領域がドレイン電極から張り出していない比較デバイスの作成を行った。比較デバイスにおけるダイオードの降伏電圧の評価結果は $100\text{V}$ 程度と低かった。電界緩和領域102がドレイン電極から張り出していることが、高い降伏電圧を得るために必要不可欠であることが分かった。

[0108] <実施の形態における特徴>

続いて、本実施の形態における特徴点について説明する。

[0109] 本実施の形態における第1特徴点は、例えば、図11に示すように、電界緩和領域102がゲート電極140に向かってドレイン電極130から張り出している領域を含む点にある。言い換えれば、本実施の形態における第1特徴点は、図11において、pn接合ダイオードとHEMTの積層方向を第1方向（図11のz方向）とし、ドレイン電極130からゲート電極140に向かう方向を第2方向（図11の-x方向）とする場合、断面視において、電界緩和領域102の一端部からz方向に延在させた第1仮想線VL1は、-x方向に延在させた第2仮想線VL2に対して、ドレイン電極130とゲート電極140の間で交差している点にある。これにより、本実施の形態によれば、電界緩和領域102の長さが長くなることから、pn接合ダイオードに逆バイアスが印加された場合において、電界緩和領域102内において空乏層を十分に延ばすことができる。この結果、ドレイン-ソース間電圧がHEMTの耐圧を超える前に、この逆並列接続されたpn接合ダイオードがアバランシェ降伏するように設計しながらも、HEMTの耐圧よりは低いが、できるだけHEMTの耐圧に近いドレイン-ソース間電圧でpn接合ダイオードがアバランシェ降伏するようにすることができる。つまり、pn接合ダイオードの降伏電圧は、HEMTのドレイン-ソース間の耐圧より低い。したがって、本実施の形態における第1特徴点によれば、HEMTの破壊を防止しながら、半導体装置の耐圧を確保することができる。

[0110] 次に、本実施の形態における第2特徴点は、HEMTとpn接合ダイオード間に、炭化珪素に対してバンドギャップの大きなバッファ層が設けられている点にある。これにより、pn接合ダイオードのアバランシェ降伏時に発生する電子および正孔が、HEMTのゲート電極に流れ込むことを抑制できる。なぜなら、炭化珪素に対するバッファ層のバンドオフセットが、電子および正孔に対する壁として機能するためである。

[0111] 続いて、本実施の形態における第3特徴点は、パワートランジスタとしてHEMTを使用している点にある。これにより、HEMTとpn接合ダイオードとを含む半導体装置において、順方向における高い導通能力を確保する

ことができる。つまり、本実施の形態によれば、順方向における導通損失を低減することができる。なぜなら、HEMTは、高い導通能力を有しているからである。

[0112] ここで、HEMTの高い導通能力が得られた理由は、GaNに匹敵する絶縁破壊強度をもつ炭化珪素によるpn接合ダイオードと一体化させたためである。そのため、ゲートドレイン間距離が $26\mu\text{m}$ と小さな寸法で、炭化珪素pn接合ダイオードの非破壊ブレイクダウン電圧として $1.2\text{kV}$ 程度を得ることができた。仮に、シリコンによるpn接合ダイオードと組み合わせた場合、 $1.2\text{kV}$ の耐圧を得るためにはカソードーアノード間が水平方向に $120\mu\text{m}$ 以上が必要となり、HEMTのゲートドレイン間距離はこれより長くなる。当然、オン抵抗やチップ面積の大幅な増大を招く。このことから、シリコンによるpn接合ダイオードを用いることは、現実的ではない。すなわち、HEMTを炭化珪素によるpn接合ダイオードと一体化させたからこそ、炭化珪素pn接合ダイオードの非破壊ブレイクダウン電圧として $1.2\text{kV}$ 程度を確保しながら、HEMTのゲートドレイン間距離を短くできることによって、HEMTにおいて高い導通能力を得ることができるのである。

[0113] 一方、チャンネル層とバッファ層の間にGaN系によるpn接合ダイオード形成するアイデアも考えられる。しかしながら、GaN系はp型領域をイオン注入により形成することが非常に困難である。具体的には、アクセプタ不純物であるMgをイオン注入後に活性化するためには $1300^\circ\text{C}$ 以上の高温アニールが必要となる。一方、GaN系は大気圧下では $1000^\circ\text{C}$ 以上の温度で熱分解が発生する。熱分解を抑制するためには1万気圧以上の高圧窒素雰囲気下でアニールを行う必要である。よって、GaN系による横型pn接合ダイオードの作製は、工業的に非常に困難である。なお、GaN系のpn接合ダイオードのp型領域を平面上に選択的に形成する方法として、エッチング、選択領域結晶成長、CMP等による結晶面の平坦化等の組み合わせ技術のアイデアもある。しかしこの技術は、量産化や歩留まりなどの工業的な

ハードルは高く、コスト上昇が懸念される。

[0114] 本実施の形態における第4特徴点は、HEMTと逆並列にpn接合ダイオードが接続されている点にある。これにより、逆方向における高い導通能力を確保することができる。すなわち、本実施の形態によれば、逆方向における導通損失を低減することができる。

[0115] 例えば、負荷にモータのようなインダクタンスを含む回路が接続されている場合、オンしているスイッチとは逆方向に負荷電流が流れるモード（還流モード）がある。この還流モードでは、ソース電位がドレイン電位よりも高くなり、通常の順方向とは異なる逆方向（ソース電極120からドレイン電極130への方向）に電流が流れる。

[0116] このとき、本実施の形態では、HEMTと逆並列にpn接合ダイオードが接続されている。この結果、還流モードにおいては、HEMTによる逆方向電流に加えて、HEMTと逆並列接続されたpn接合ダイオードによる順方向電流も流れる。したがって、本実施の形態における第4特徴点によれば、通常のHEMT単体から構成される半導体装置よりも、HEMTと逆並列接続されたpn接合ダイオードを流れる順方向電流の分だけ多くの逆方向電流を流すことができる。これにより、本実施の形態における半導体装置によれば、逆方向における導通損失を低減できるという顕著な効果が得られる。

[0117] 続いて、本実施の形態における第5特徴点について説明する。

[0118] 例えば、本実施の形態では、高抵抗の炭化珪素基板上に炭化珪素系のpn接合ダイオードが形成され、このpn接合ダイオード上にGaN系のHEMTが形成されている。ここで、高抵抗の炭化珪素基板を使用している理由は、高周波損失を低減できる利点と、高い熱伝導性を有していることから、放熱特性に優れている利点を得ることができるからである。したがって、本実施の形態では、高抵抗の炭化珪素基板上に炭化珪素系のpn接合ダイオードを形成し、このpn接合ダイオード上にGaN系のHEMTを形成している。

[0119] この点に関し、炭化珪素基板上に炭化珪素系のpn接合ダイオードを形成

する場合、例えば、基板の厚さ方向に電流を流す縦型のpn接合ダイオードを採用することが考えられる。ところが、炭化珪素基板上に縦型のpn接合ダイオードを形成する場合、縦方向（基板の厚さ方向）に長時間の電流を流すことにより、順方向電流が減少するという「順方向劣化現象」が生じることが知られている。これは、炭化珪素基板と炭化珪素エピタキシャル層との界面に形成される基底面転位に起因すると考えられている。

[0120] そこで、本実施の形態では、炭化珪素基板上に縦型のpn接合ダイオードを形成するのではなく、基板の水平方向に電流を流す横型のpn接合ダイオードを形成している。この点が本実施の形態における第5特徴点である。すなわち、本実施の形態における第5特徴点は、高抵抗の炭化珪素基板上に横型のpn接合ダイオードを形成する点にある。

[0121] この場合、横型のpn接合ダイオードでは、炭化珪素エピタキシャル層の表面を電流が流れることから、炭化珪素基板と炭化珪素エピタキシャル層との界面に形成される基底面転位に電流が流れることはない。この結果、本実施の形態における第5特徴点によれば、順方向電流が減少するという「順方向劣化現象」を抑制することができる。

[0122] 次に、本実施の形態における第6特徴点は、例えば、図11に示すように、p型半導体領域103を設け、断面視において、p型半導体領域103の一端部からz方向に延在させた第3仮想線VL3が、-x方向に延在させた第2仮想線VL2に対して、ドレイン電極130とゲート電極140の間で交差する点にある。つまり、本実施の形態における第6特徴点は、p型半導体領域103がドレイン電極130に向かってゲート電極140から張り出している領域を含む点にある。

[0123] これにより、本実施の形態によれば、pn接合ダイオードのオン抵抗を低減することができる。さらには、p型半導体領域103は、ソース電極120と電氣的に接続されており、かつ、ソース電極120には「0V」が印加される。このことから、p型半導体領域103にも「0V」が印加される。そして、本実施の形態における第6特徴点によれば、p型半導体領域103

がドレイン電極130に向かってゲート電極140から張り出している領域を含んでいることから、このp型半導体領域103は、pn接合ダイオードの上方に形成されているHEMTに対して、「フィールドプレート」と同様に、HEMTに加わる電界の影響を緩和する機能を有する。この結果、本実施の形態における第6特徴点によれば、HEMTの耐圧を向上させることができる。

[0124] なお、ここでは、p型半導体領域103を設ける例について説明したが、p型半導体領域103は必ず必要な構成要素ではなく、p型半導体領域103を設けなくてもよい。

[0125] 本実施の形態における第7特徴点は、例えば、図11に示すように、メサ構造115の側面が絶縁膜160に覆われている点にある。これにより、本実施の形態によれば、HEMTにおいて、メサ構造115の側面からのリーク電流を低減することができる。

[0126] なお、ここでは、メサ構造115の側面を覆うように絶縁膜160を形成する例について説明したが、メサ構造115の側面を覆う絶縁膜160は必ず必要な構成要素ではなく、絶縁膜160を設けなくてもよい。

[0127] 次に、本実施の形態における第8特徴点について説明する。

[0128] 本実施の形態では、4H-SiC基板（炭化珪素基板）に炭化珪素エピタキシャル層および窒化物半導体層（AlN層、GaN層、AlGaN層）の結晶成長が求められる。

[0129] ここで、4H-SiC基板に4H-SiC層をエピタキシャル成長するいわゆるホモエピタキシャル結晶成長では、例えば、6Hなどの4H以外の各種ポリタイプの混入を防止するため、成長面である(0001)面に対して、結晶方位<11-20>方向へ4度以上の微傾斜（オフ角）が設けられた4H-SiC基板が一般には用いられる。

[0130] 一方、GaN単結晶基板は開発途上で極めて高価であるため、格子不整合を前提とした代替単結晶基板を用いたヘテロエピタキシャル結晶成長法が実用化されている。4H-SiC基板は、GaN単結晶に対して格子定数差が

約3.3%程度で、比較的結晶性の良い窒化物半導体層をその上に成長する技術が知られている。この技術は、量産性にすぐれた有機金属気相成長法（MOCVD法）で実用化されている。この目的の炭化珪素基板は、SiC層を成長させずに窒化物半導体層を直接形成するためのテンプレートであり、「on-axis基板」が良いとされている。「on-axis基板」とは、成長面（0001）面から傾斜していない（オフ角を有さない）基板のことで、「on-axis基板」のオフ角の誤差は標準規格では0.25度以内である。このような「on-axis基板」は、ポリタイプの抑制が困難であるため通常のSiC層のホモエピタキシャル成長には不向きであるとされている。

[0131] 以上のことから、本実施の形態では、炭化珪素基板上に炭化珪素エピタキシャル層および窒化物半導体層の結晶成長が必要であるが、炭化珪素エピタキシャル層の結晶成長には、オフ角を有する炭化珪素基板を使用することが一般的である（知見1）。これに対し、MOCVD法による窒化物半導体層の結晶成長では、「on-axis基板」が用いられることが一般的である（知見2）。したがって、本実施の形態における半導体装置を製造するにあたっては、互いに相反する知見1と知見2を両立することが困難であり、炭化珪素基板上に炭化珪素エピタキシャル層および窒化物半導体層の結晶成長を良好に行なうための技術的困難性がある。

[0132] この点に関し、本発明者は、この技術的困難性について鋭意検討した結果、例えば、2度よりも大きく4度以下のオフ角を有する炭化珪素基板を使用することによって、良好な炭化珪素エピタキシャル層を結晶成長させながら、MOCVD法で結晶成長させた窒化物半導体層を使用したHEMTの移動度を確保することができることを新規に見出した。すなわち、本実施の形態における第8特徴点は、2度よりも大きく4度以下のオフ角を有する炭化珪素基板を使用する点にある。そして、この本実施の形態における第8特徴点によれば、HEMTとpn接合ダイオードを含む半導体装置の性能を確保できる。

## [0133] &lt;変形例&gt;

## &lt;&lt;電界緩和領域のバリエーション&gt;&gt;

以下では、実施の形態の主要構成要素である電界緩和領域102の変形例を説明する。変形例が必要となる理由は以下のとおりである。一般的に、トランジスタの性能向上およびコスト低減のためには、所望の耐圧を維持しつつ、ゲート電極140とドレイン電極130の距離を短くすることが求められる。すなわち、 $p^+SiC$ 領域（アノード側）と $n^+SiC$ 領域（カソード側）との間の距離（ $L_X$ ）についても、所望の耐圧を維持しつつ、より短くすることが求められる。さらに、コスト低減のためには、より薄い $p-SiC$ 領域（炭化珪素エピタキシャル層101）において、目標とする耐圧が得られることが望ましい。そのためには、電界緩和領域102のシート濃度（ $D_N$ ）を空間的に変調する手法が、有効となる。ただし、シート濃度（ $D_N$ ）を空間的に変調した場合においても、電界緩和領域102の少なくとも一か所は、シート濃度（ $D_N$ ）が $8.55 \times 10^{12} \text{ (cm}^{-2}\text{)}$ 以上、および $1.27 \times 10^{13} \text{ (cm}^{-2}\text{)}$ 以下とすることが求められる。以下では、上記の観点から、電界緩和領域のバリエーションを示す。

[0134] 図16に示すように、プラグPLG2の直下の電界緩和領域102の部分を浅くすることにより、炭化珪素エピタキシャル層101の厚さを薄くしながらも、縦方向の耐圧を確保することができる。この場合、炭化珪素エピタキシャル層101の厚さを薄くすることができることから、半導体装置の製造コストを削減することができる。

[0135] 図17に示すように、電界緩和領域102に傾斜を設けることにより、同じゲート電極ードレイン電極間距離において、耐圧を向上させることができる。この結果、半導体装置の小型化を推進することができる。なお、図17の断面図では示されていないが、島状に設けられた電界緩和領域102は、奥行き方向等ですべてドレイン電極と接触させている。これによって、ターンオン時に速やかに電界緩和領域102に電子が再注入される。

[0136] ただし、図17に示す傾斜した電界緩和領域102は、製造プロセス上、

製造することが困難である。したがって、製造容易性を考慮すると、例えば、図18に示すように、電界緩和領域102を形成するために、注入エネルギーを変えたイオン注入を複数回行うことで、図17に示す傾斜した電界領域102に相当する構造を容易に製造することができる。また、図19に示すような電界緩和領域102を形成することによって、イオン注入の回数を低減することができ、これによって、半導体装置の製造コストを削減できる。

[0137] 図20に示すように、電界緩和領域102の一部分を炭化珪素エピタキシャル層101の内部に埋め込むことにより、pn接合ダイオードの耐圧を確保しながらも、電界緩和領域102の不純物濃度を高めることができる。この結果、半導体装置における導通損失を低減することができる。さらに、図21に示すように、p型半導体領域103と電界緩和領域102を重ねて、いわゆる「スーパージャンクション構造」を形成することにより、電界緩和領域102の不純物濃度を高濃度化することができるとともに、電界緩和領域102の長さを長くすることができるため、耐圧を確保しながら、導通損失を低減できる。

[0138] <<HEMT構造のバリエーション>>

実施の形態では、HEMTのバッファ層はAlN層を用いたが、炭化珪素に対してバンドギャップエネルギーが十分に大きなAlGaNに変更することもできる。具体的には、バンドギャップエネルギーが4eV以上となる、Al組成が30%以上のAlGaNを用いることができる。すなわち、バッファ層は、アルミニウム（Al）組成Xが30%よりも大きな $Al_xGa_{1-x}N$ から構成することもできる。

[0139] また、HEMTのバリア層にはAlGaNを使用しているが、InAlN、InGaAlN等の、チャネル層となるGaNに比べて、バンドギャップエネルギーが大きなIII-V族窒化物半導体混晶に変更することが可能である。また、バリア層は単層ではなく、複数のIII-V族窒化物半導体混晶とすることで、HEMTの性能向上が可能である。例えば、バリア層をAlGaN

／A l N (A l Nが下側) とすることが可能である。これによって、2次元電子ガスの移動度を高めることができる。また、バリア層をG a N／A l G a N (A l G a Nが下側) とすることが可能である。これにより電流コラプスを低減することができる。

[0140] さらに、バッファ層とチャネル層の間に、チャネルとなるG a Nに比べて、バンドギャップエネルギーが大きなIII－V族窒化物半導体を追加で挿入することが可能である。これによって、2次元電子ガスの閉じ込めが高くなり、オフ状態でのドレインリーク電流を低減することができる。

[0141] 実施の形態では、HEMTのゲート構造としてp型G a N (p型キャップ層150) に対して、N i系合金を用いたオーミック電極を形成する構造を採用している。この点に関し、P t系合金を用いて同様のオーミック電極を形成することも可能である。

[0142] また、ゲート電極下のp型G a Nに替えて、その他のp型III－V族窒化物半導体混晶を採用することも可能である。例えば、p型のI n G a N、A l I n N、またはA l G a N (非特許文献2、F i g. 8 (b)) などを採用することができる。

[0143] さらに、ゲート電極をp型G a Nに対するショットキー電極に変更することも可能である。代表的なショットキー電極はA l／T iまたはT i N等のT i系合金が挙げられる。これによって、ゲート電極へ正電圧が印加されたときのゲートリーク電流を減らすことができ、ゲート電極へより高い電圧 (5 V～8 V程度) を印加することができる。

[0144] また、ゲート電極下のp型G a Nを無くして、絶縁層を設けることができる (非特許文献2、F i g. 8 (c)、(e)、(f))。このとき、ゲート電極下のA l G a Nバリア層にフッ素系プラズマ処理 (非特許文献2、F i g. 8 (c))、または、ドライエッチングでバリア層を途中までエッチング (非特許文献2、F i g. 8 (e))、または、バリア層を貫通してエッチング (非特許文献2、F i g. 8 (f)) することにより、閾値電圧を制御しつつ、絶縁ゲート構造によりゲートリーク電流を減らし、これによって

、より高いゲート電圧（15V～30V程度）を使用することが可能となる。

[0145] <<HEMTのフィールドプレート構造のバリエーション>>

図中では描かれていないが、実施の形態における半導体装置では、これまで報告されている各種のフィールドプレート構造を採用することができる。例えば、実施の形態では、ゲート電極140、ソース電極120、および、ドレイン電極130に接続された3種類のフィールドプレート構造を具備していることを想定している。これにより、GaN構造内（HEMTでの破壊を防ぐことができ、1.2kV以上の高耐圧動作を実現できる。

[0146] フィールドプレート構造のバリエーションとしては、ソース電極120と接続されたフィールドプレート構造を採用することができる（非特許文献3、Fig. 1(a)）。また、ドレイン電極130と接続されたフィールドプレート構造を採用することもできる（非特許文献3、Fig. 1(b)）。さらに、ソース電極120に接続されたフィールドプレート構造に加えて、ゲート電極140に接続されたフィールドプレート構造を採用することもできる（非特許文献4、Fig. 1(a)）。

[0147] ゲート電極140、ソース電極120、および、ドレイン電極130に接続されたフィールドプレートにおいて、段数を増やすこともできる。例えば、ゲート電極140に接続されたフィールドプレートを2段にすることによる高耐圧化が報告されている（非特許文献5、Fig. 1(a)）。このようにフィールドプレートの段数を増やした構造の採用が可能である。ただし、段数を増やすためには、フォトリソグラフィ工程が増加し、製造コストが増大する。このことを考慮して、フィールドプレートを傾斜させた構造を採用することも可能である（非特許文献6、Fig. 1）。

[0148] 以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

## 符号の説明

- [0149] 1 0 スイッチング回路
- 1 0 0 炭化珪素基板
  - 1 0 1 炭化珪素エピタキシャル層
  - 1 0 2 電界緩和領域
  - 1 0 3 p型半導体領域
  - 1 0 4 p<sup>+</sup>型半導体領域
  - 1 0 5 n<sup>+</sup>型半導体領域
  - 1 1 0 バッファ層
  - 1 1 1 チャネル層
  - 1 1 2 バリア層
  - 1 1 5 メサ構造
  - 1 2 0 ソース電極
  - 1 3 0 ドレイン電極
  - 1 4 0 ゲート電極
  - 1 5 0 p型キャップ層
  - 1 6 0 絶縁膜
- A アノード
- C カソード
- D ドレイン
- F R D ダイオード
- G ゲート電極
- P L G 1 プラグ
- P L G 2 プラグ
- Q 1 パワートランジスタ
- S ソース
- V L 1 第1仮想線
- V L 2 第2仮想線
- V L 3 第3仮想線

## 請求の範囲

[請求項1]

炭化珪素基板上に形成されたpn接合ダイオードと、  
前記pn接合ダイオード上に形成された高電子移動度トランジスタと、  
と、  
を有する、半導体装置において、  
前記pn接合ダイオードは、  
前記炭化珪素基板上に形成された第1導電型の炭化珪素エピタキシャル層と、  
前記炭化珪素エピタキシャル層に形成され、かつ、前記第1導電型とは逆導電型である第2導電型の電界緩和領域と、  
を含み、  
前記高電子移動度トランジスタは、  
第1窒化物半導体層からなるチャンネル層と、  
前記チャンネル層と接する第2窒化物半導体層からなるバリア層と、  
前記チャンネル層と前記炭化珪素エピタキシャル層との間に設けられ、  
前記炭化珪素エピタキシャル層よりもバンドギャップの大きな第3窒化物半導体層からなるバッファ層と、  
前記バリア層の第1領域と接するソース電極と、  
前記バリア層の第2領域と接するドレイン電極と、  
前記ソース電極と前記ドレイン電極の間に設けられたゲート電極と、  
、  
を含み、  
前記炭化珪素エピタキシャル層は、前記ソース電極と電氣的に接続され、  
前記電界緩和領域は、前記ドレイン電極と電氣的に接続され、  
平面視において、前記電界緩和領域は、前記ドレイン電極から張り出している領域を含む、半導体装置。

[請求項2]

請求項1に記載の半導体装置において、

前記 p n 接合ダイオードと前記高電子移動度トランジスタの積層方向を第 1 方向とし、

前記第 1 方向と直交する方向を第 2 方向とする場合、

断面視において、前記電界緩和領域の一端部から前記第 1 方向に延在させた第 1 仮想線は、前記第 2 方向に延在させた第 2 仮想線に対して、前記ドレイン電極と前記ゲート電極の間で交差する、半導体装置。

[請求項3] 請求項 1 または 2 に記載の半導体装置において、

前記 p n 接合ダイオードの降伏電圧は、前記ドレイン電極に印加されるドレイン電位と前記ソース電極に印加されるソース電位の差であるドレイン-ソース間電圧における前記高電子移動度トランジスタの耐圧よりも低い、半導体装置。

[請求項4] 請求項 3 に記載の半導体装置において、

前記 p n 接合ダイオードは、アバランシェ降伏することにより、前記ドレイン-ソース間電圧が前記高電子移動度トランジスタの耐圧を超える場合に生じる前記高電子移動度トランジスタの破壊モードを防止する機能を有する、半導体装置。

[請求項5] 請求項 2 に記載の半導体装置において、

前記 p n 接合ダイオードは、前記炭化珪素エピタキシャル層に形成され、かつ、前記炭化珪素エピタキシャル層よりも不純物濃度が高く、かつ、前記ソース電極と電氣的に接続された前記第 1 導電型の半導体領域を有する、半導体装置。

[請求項6] 請求項 5 に記載の半導体装置において、

断面視において、前記半導体領域の一端部から前記第 1 方向に延在させた第 3 仮想線は、前記第 2 方向に延在させた第 2 仮想線に対して、前記ドレイン電極と前記ゲート電極の間で交差する、半導体装置。

[請求項7] 請求項 5 または 6 に記載の半導体装置において、

前記半導体領域は、前記高電子移動度トランジスタに加わる電界の

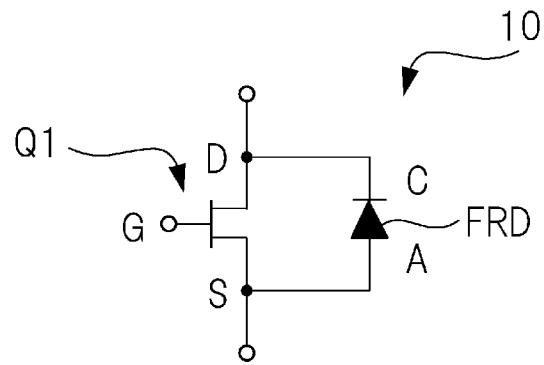
影響を緩和する機能を有する、半導体装置。

- [請求項8] 請求項1～7のいずれか一つに記載の半導体装置において、  
前記バッファ層は、アルミニウム（Al）組成Xが30%よりも大きな $Al_xGa_{1-x}N$ である、半導体装置。
- [請求項9] 請求項1～7のいずれか一つに記載の半導体装置において、  
前記バッファ層は、AlNである、半導体装置。
- [請求項10] 請求項1～9のいずれか一つに記載の半導体装置において、  
前記第1導電型はp型であり、  
前記第2導電型はn型であり、  
前記pn接合ダイオードは、前記炭化珪素エピタキシャル層の主面と並行な方向に主たる電流経路を持つ横型ダイオードである、半導体装置。
- [請求項11] 請求項1～10のいずれか一つに記載の半導体装置において、  
前記炭化珪素基板は、前記炭化珪素エピタキシャル層が形成される主面を有する4H-炭化珪素基板であって、前記主面は{0001}面から所定の結晶方向に2度よりも大きく4度以下のオフ角を有する、半導体装置。
- [請求項12] 請求項1～11のいずれか一つに記載の半導体装置において、  
前記チャネル層および前記バリア層は、メサ構造として形成され、  
前記メサ構造の側面は、絶縁膜で覆われている、半導体装置。
- [請求項13] 請求項1～12のいずれか一つに記載の半導体装置は、前記ソース電極と前記ドレイン電極の間で600V以上のブレイクダウン電圧を有し、  
前記電界緩和領域に添加されたドナーのシート不純物濃度は、 $3.42 \times 10^{12} \text{ (cm}^{-2}\text{)}$ 以上である、半導体装置。
- [請求項14] 請求項1～12のいずれか一つに記載の半導体装置は、前記ソース電極と前記ドレイン電極の間で1200V以上のブレイクダウン電圧を有し、

前記電界緩和領域に添加されたドナーのシート不純物濃度は、 $8.55 \times 10^{12} \text{ (cm}^{-2}\text{)}$  以上で、 $1.27 \times 10^{13} \text{ (cm}^{-2}\text{)}$  以下である、半導体装置。

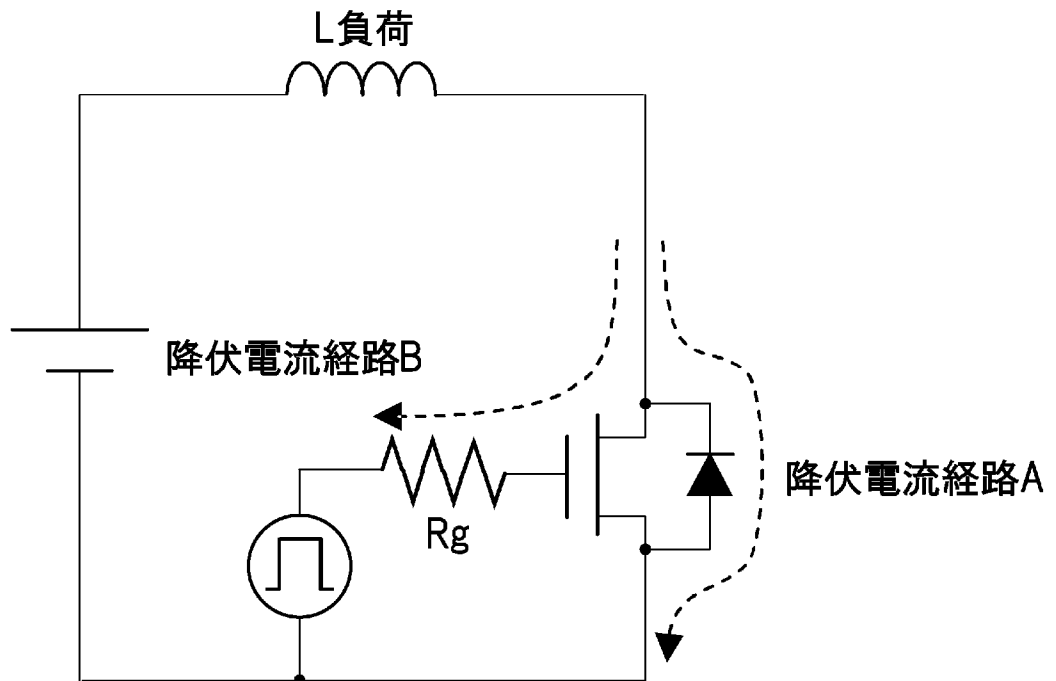
[圖1]

図 1

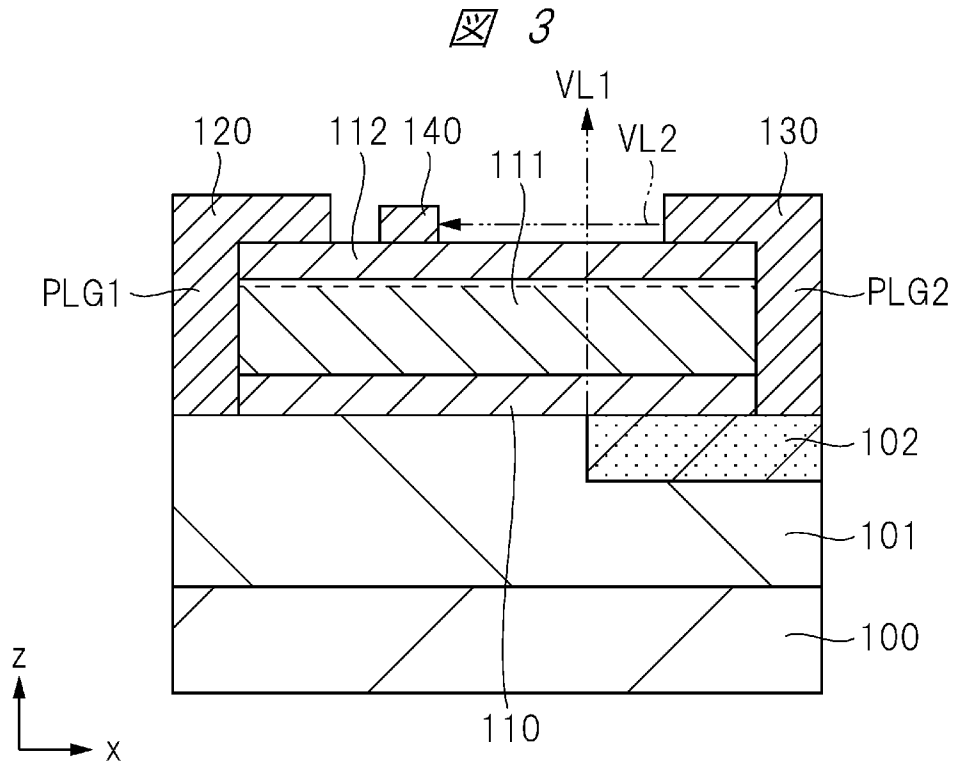


[圖2]

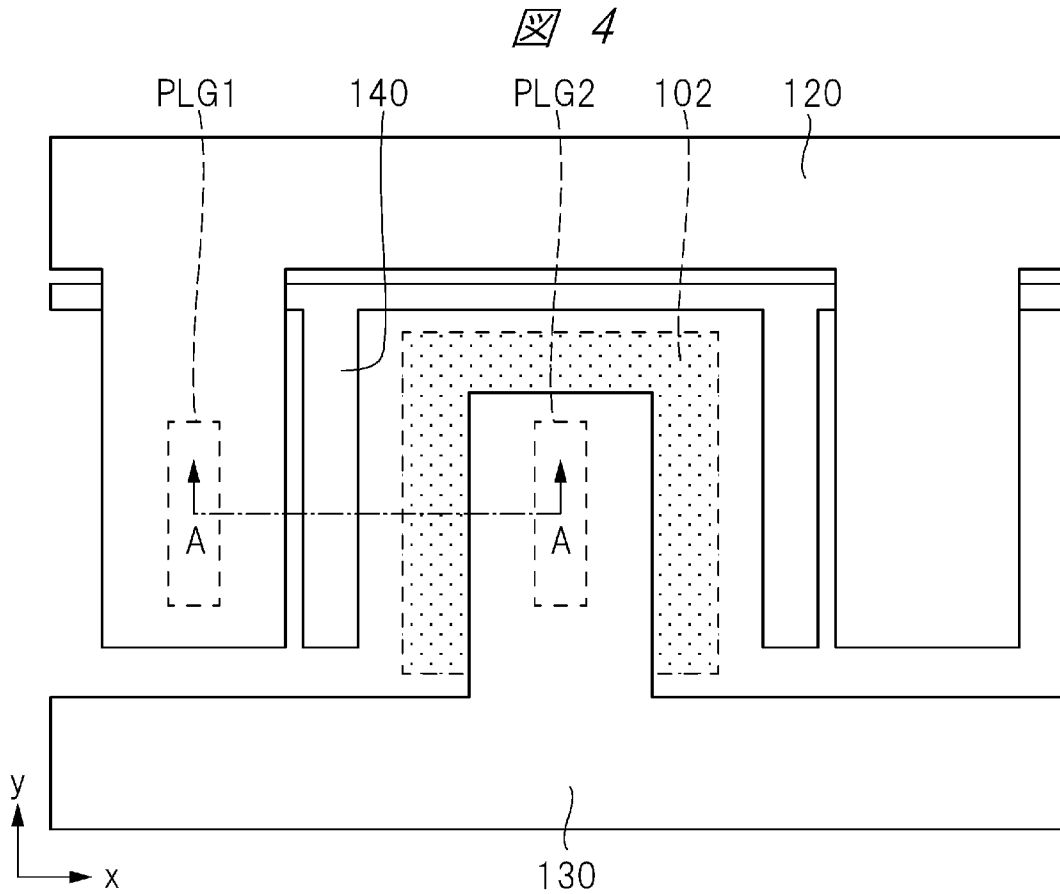
図 2



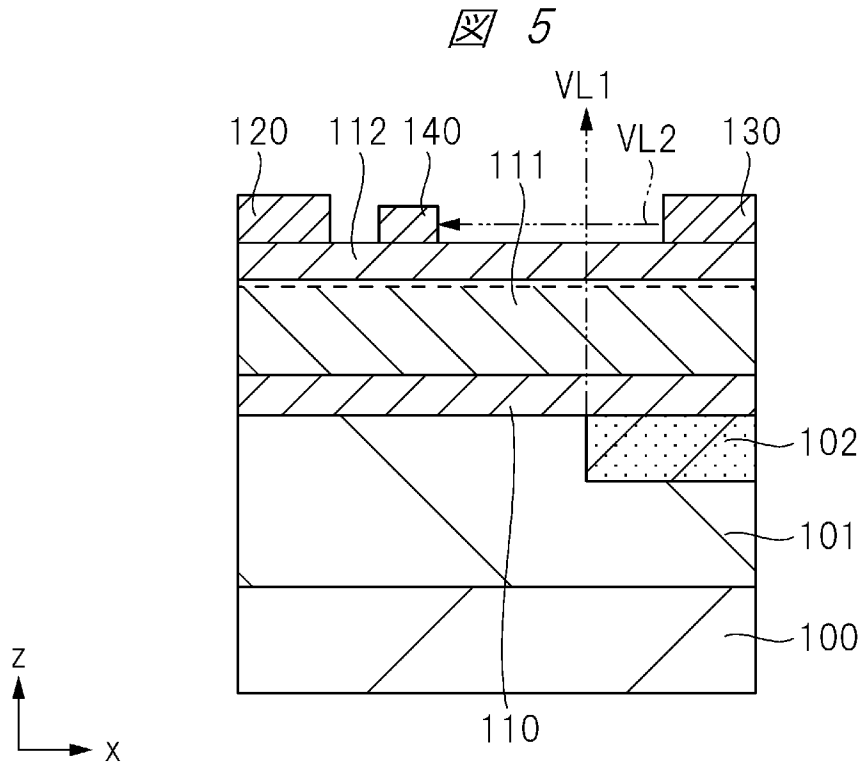
[図3]



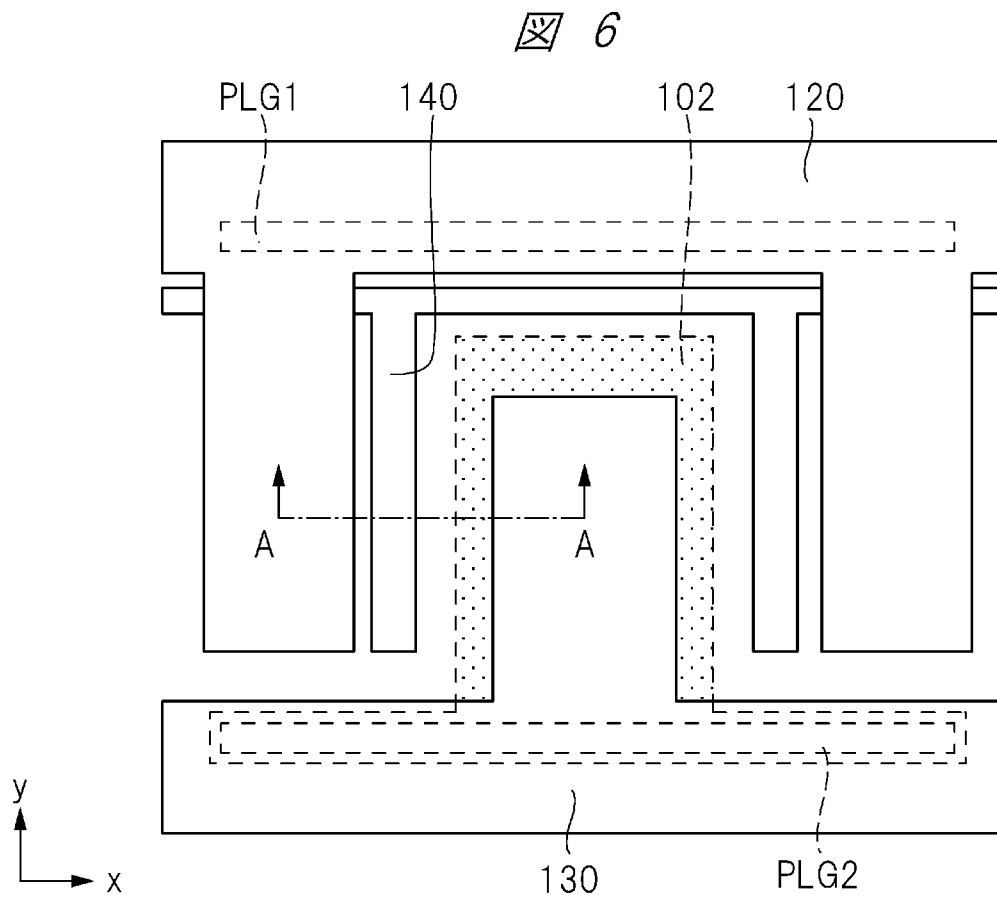
[図4]



[図5]

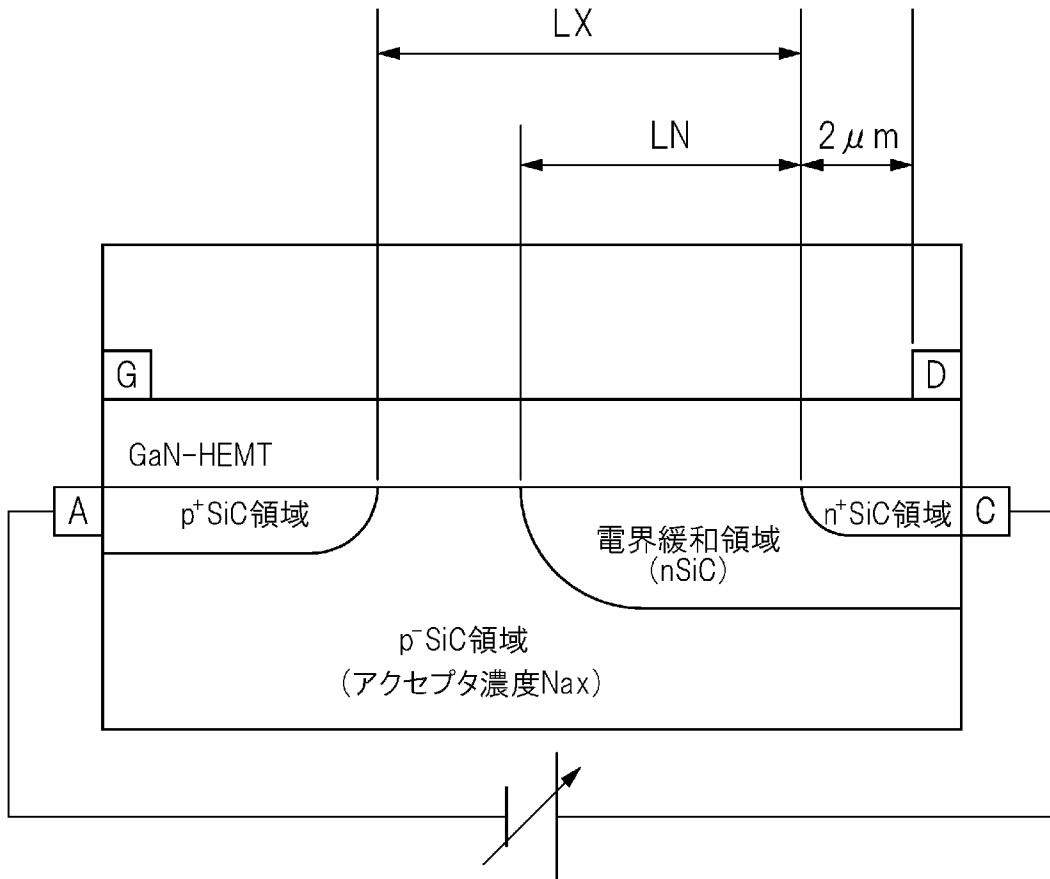


[図6]



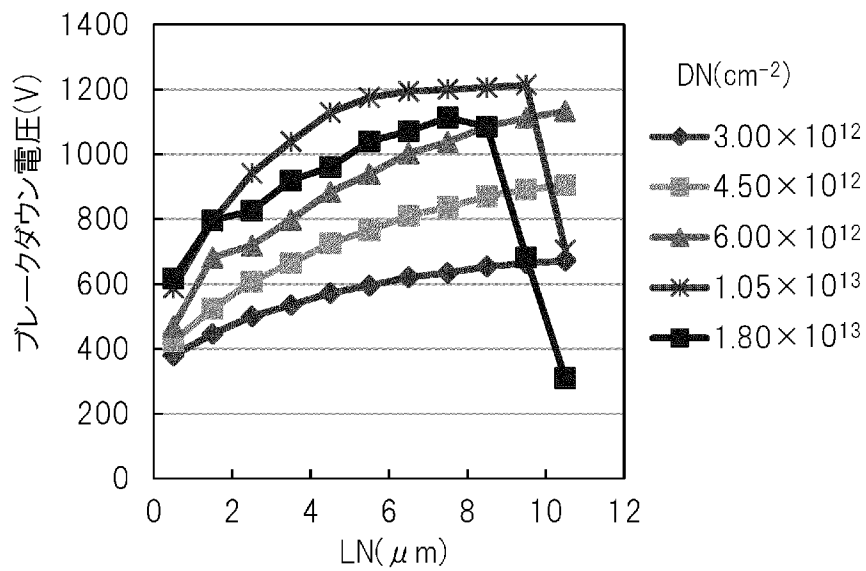
[図7]

図 7



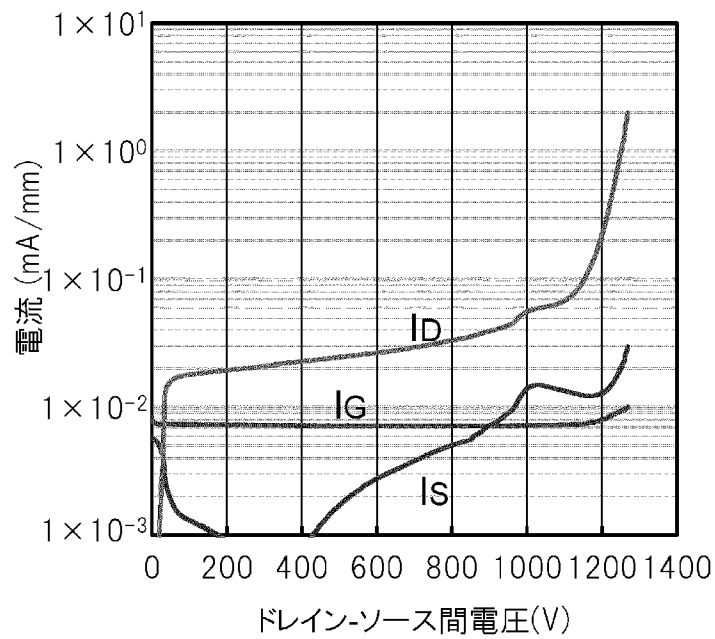
[図8]

図 8



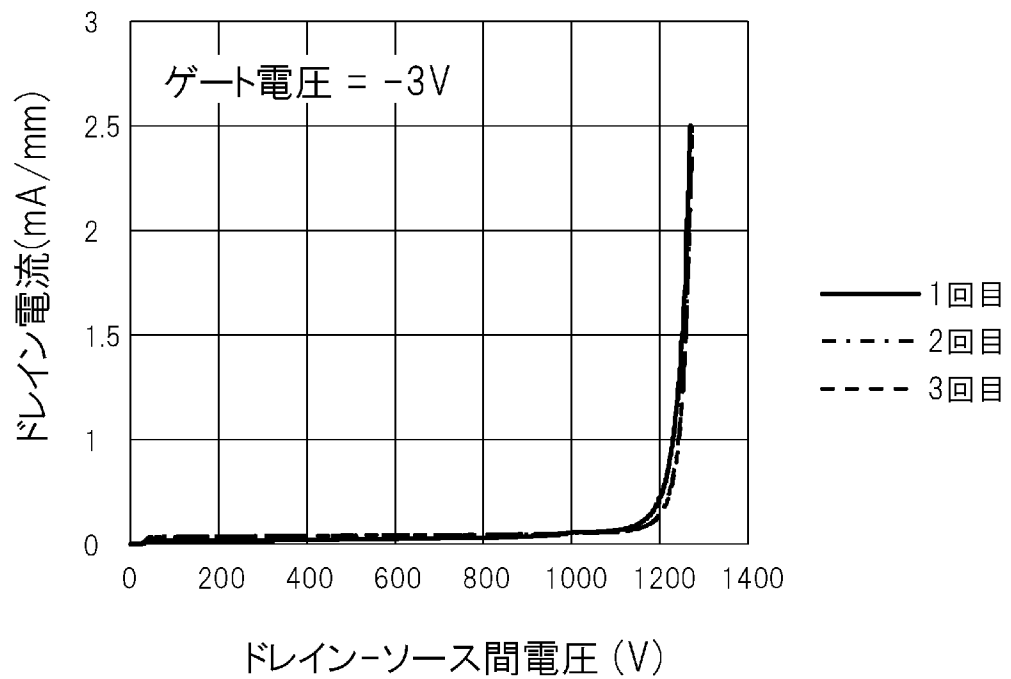
[図9]

図 9



[図10]

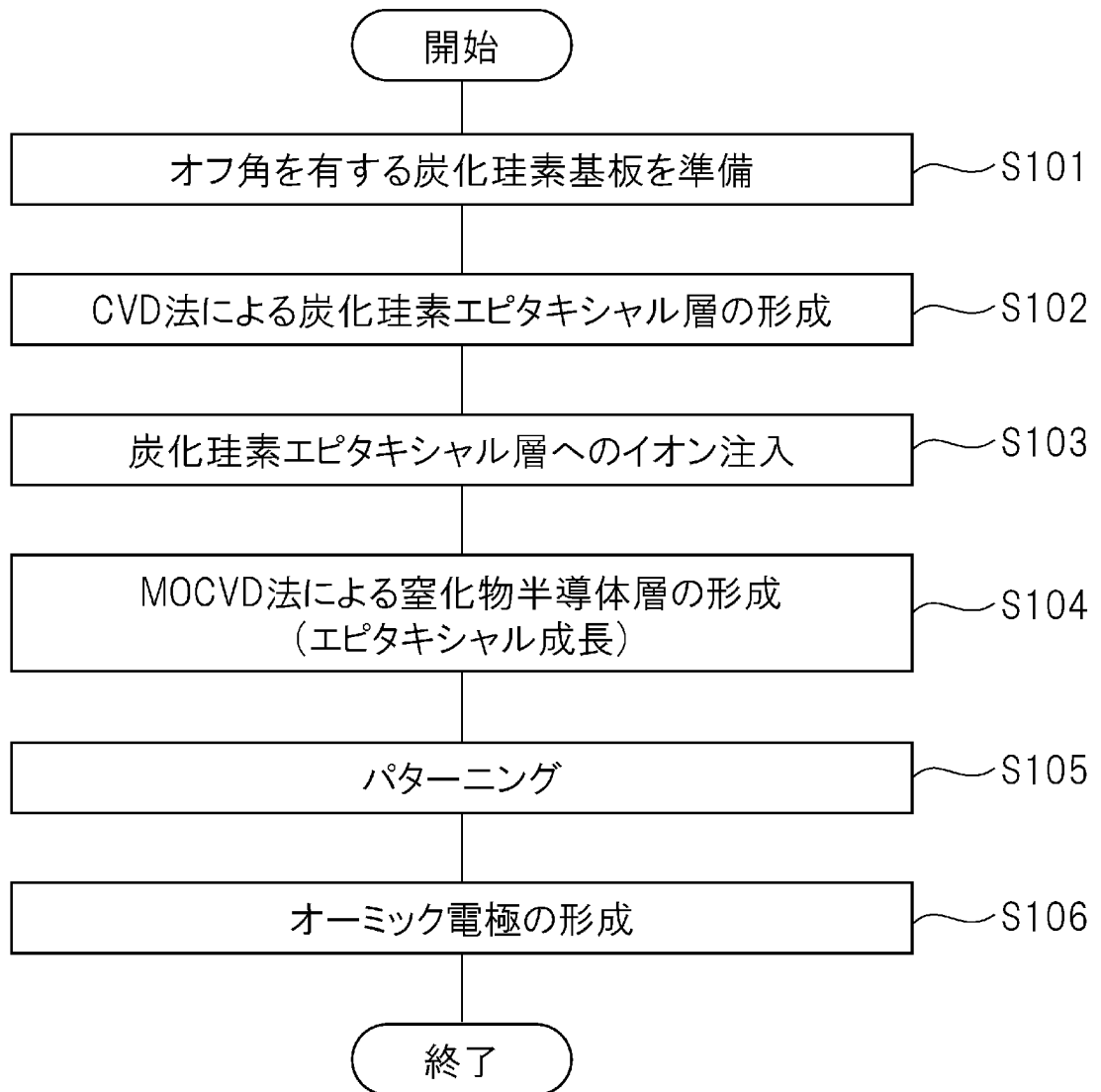
図 10





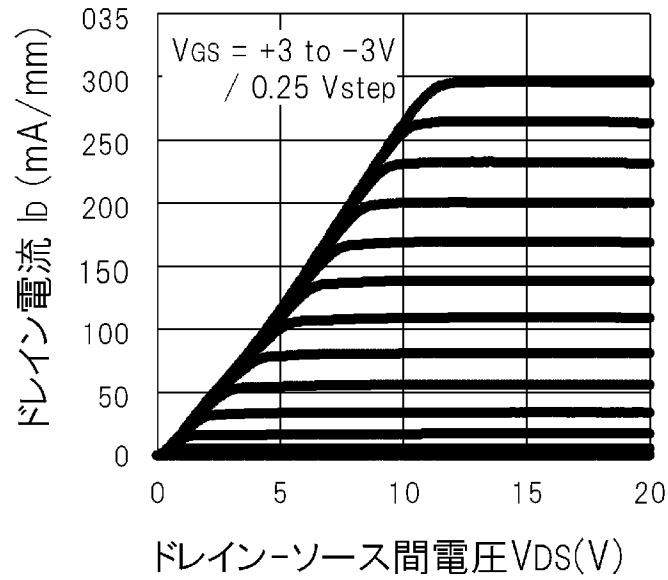
[図12]

図 12



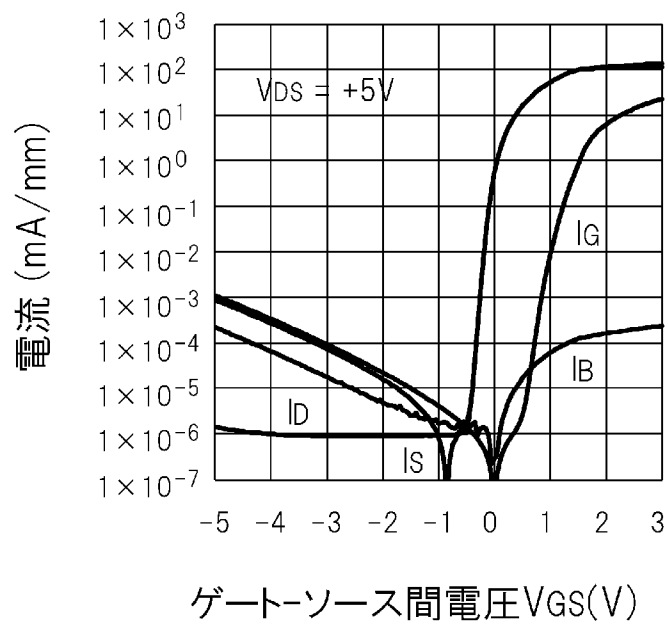
[図13]

図 13



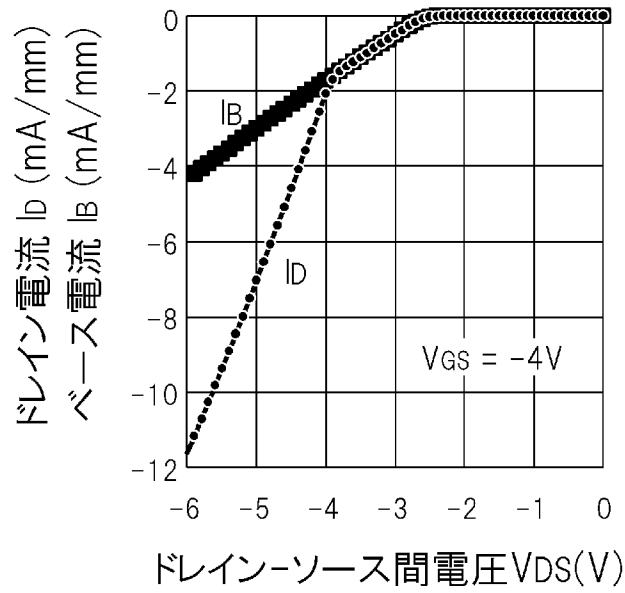
[図14]

図 14



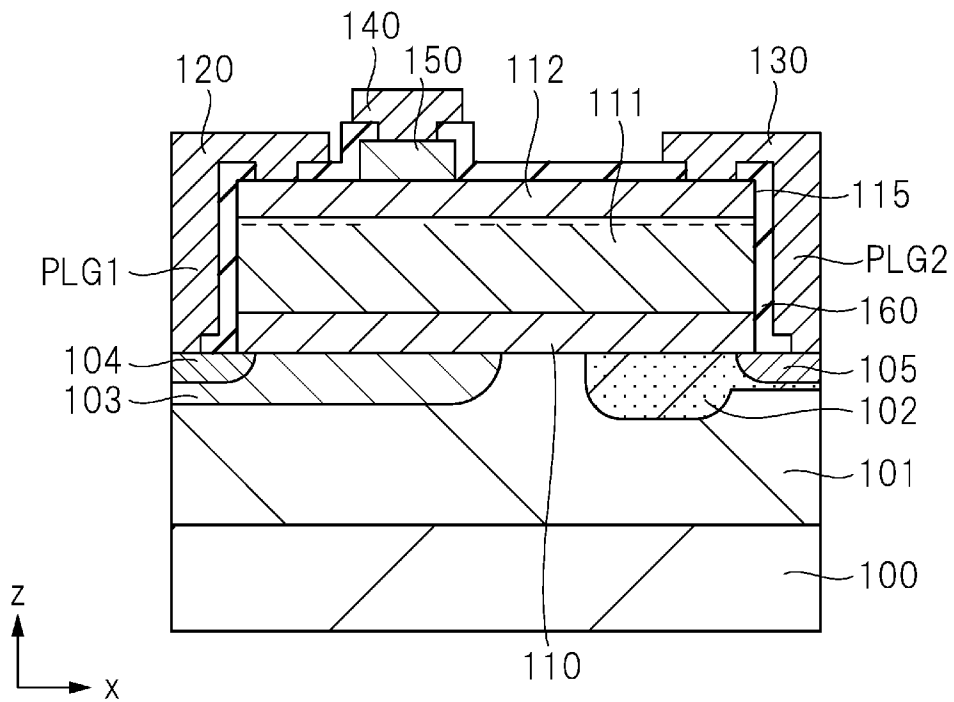
[図15]

図 15



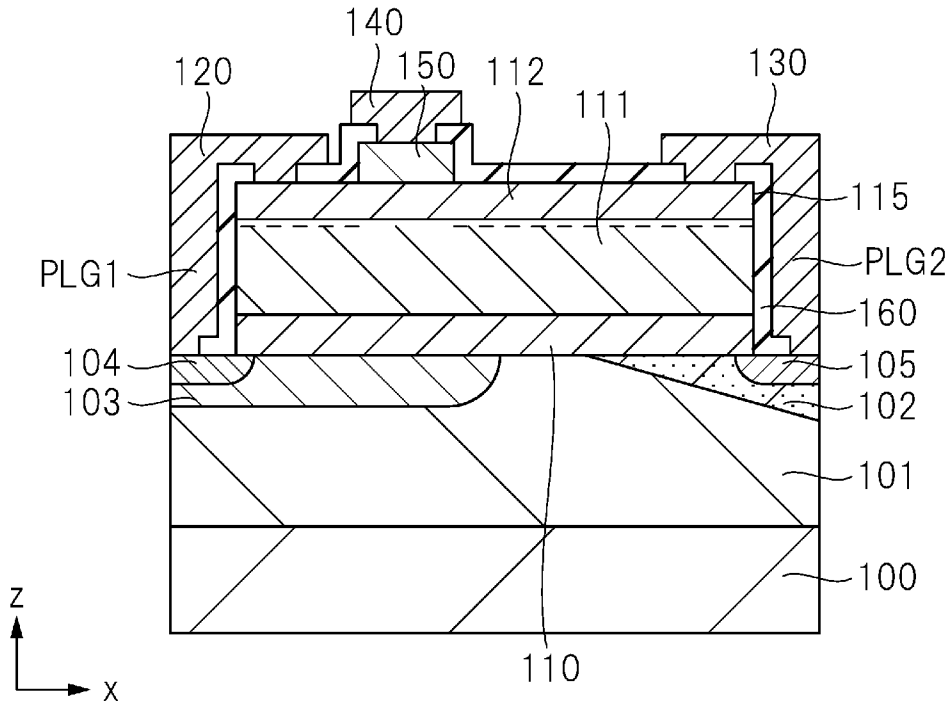
[図16]

図 16



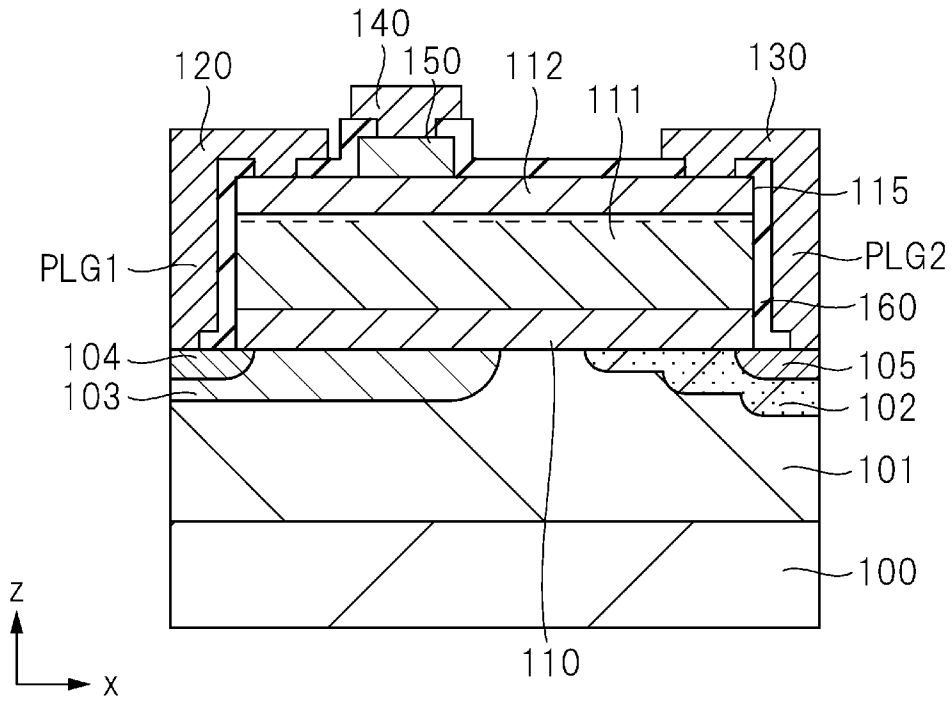
[図17]

図 17



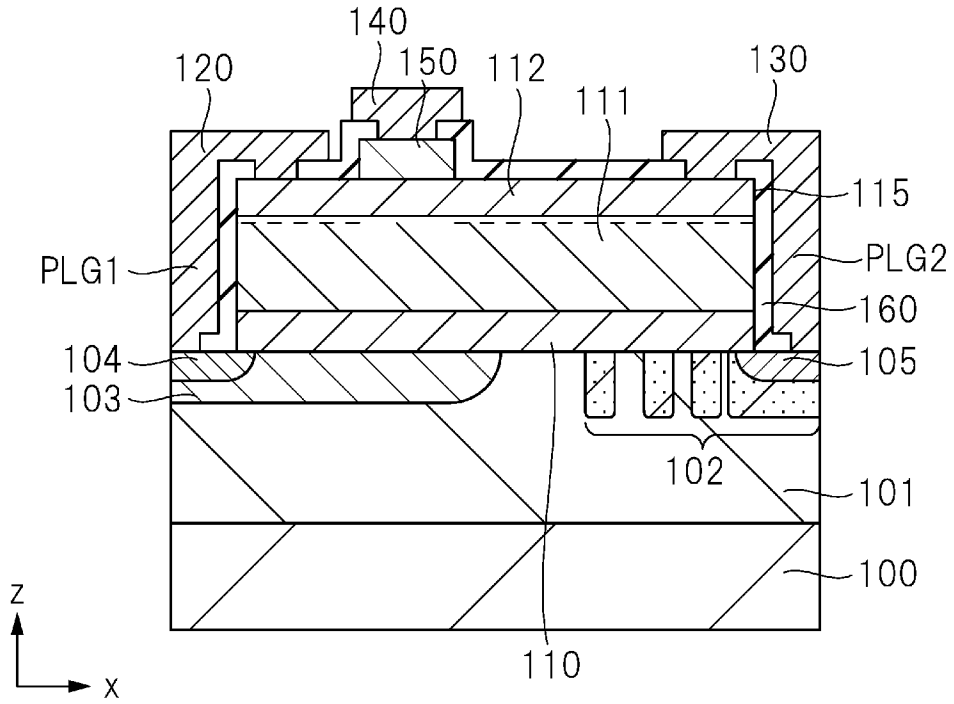
[図18]

図 18



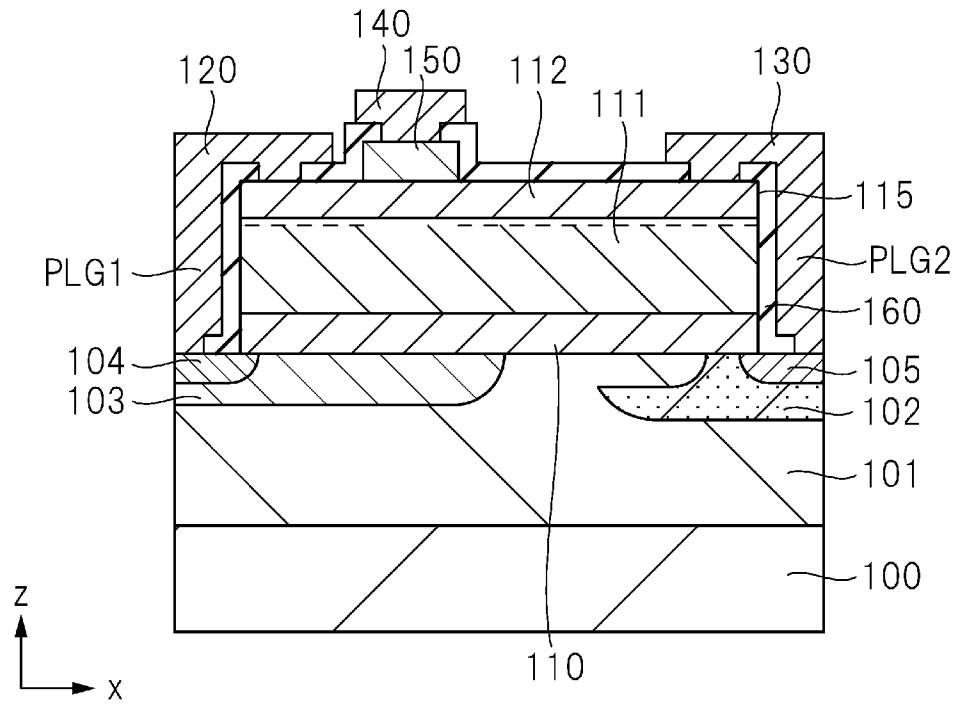
[図19]

図 19



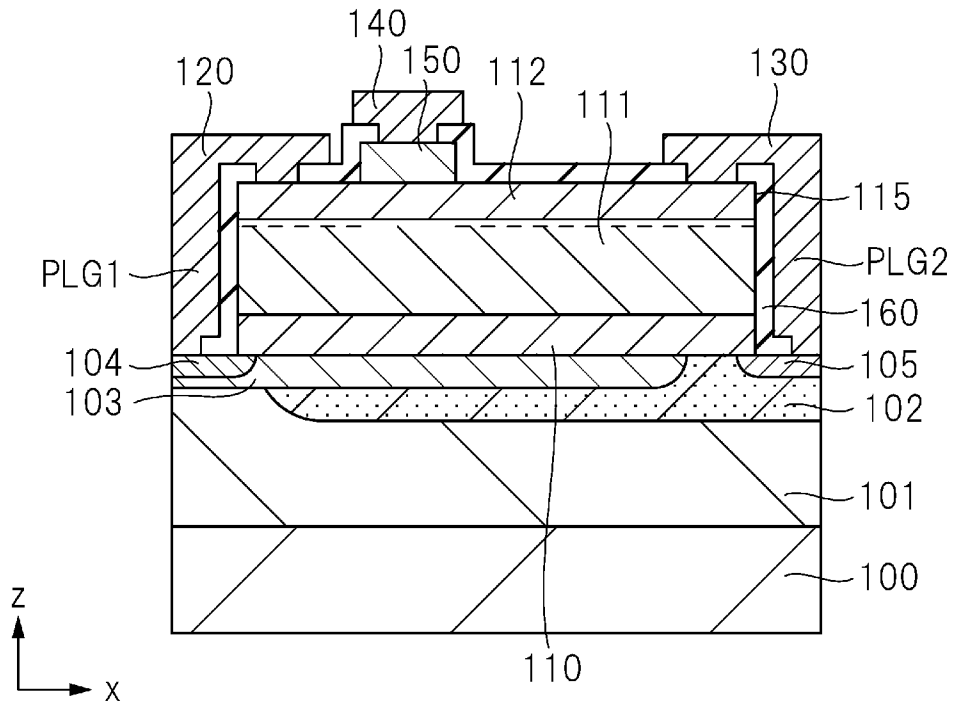
[図20]

図 20



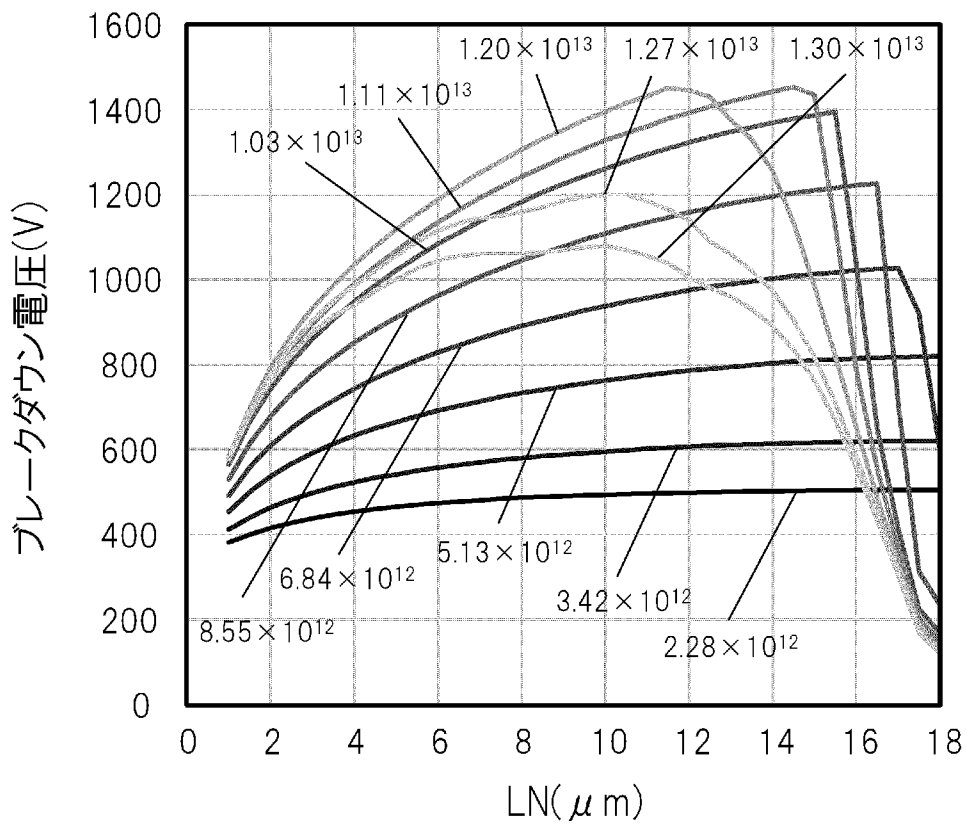
[図21]

図 21



[図22]

図 22



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/043169

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 29/778</i> (2006.01)i; <i>H01L 21/336</i> (2006.01)i; <i>H01L 21/337</i> (2006.01)i; <i>H01L 21/338</i> (2006.01)i; <i>H01L 21/822</i> (2006.01)i; <i>H01L 27/04</i> (2006.01)i; <i>H01L 29/78</i> (2006.01)i; <i>H01L 29/808</i> (2006.01)i; <i>H01L 29/812</i> (2006.01)i FI: H01L29/80 P; H01L29/80 E; H01L29/80 H; H01L29/80 C; H01L29/80 F; H01L27/04 H; H01L29/78 301K; H01L29/78 301B; H01L29/78 657A		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L29/778; H01L21/336; H01L21/337; H01L21/338; H01L21/822; H01L27/04; H01L29/78; H01L29/808; H01L29/812		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-153209 A (INFINEON TECHNOLOGIES AUSTRIA AG) 08 August 2013 (2013-08-08) paragraphs [0083]-[0092], fig. 6	1-5, 8-10, 12-14  6, 7, 11
Y A	JP 2010-040814 A (SHARP CORP) 18 February 2010 (2010-02-18) paragraphs [0014], [0045], [0057]-[0070], fig. 10-14	1-5, 8-10, 12-14  6, 7, 11
Y A	JP 2014-036115 A (RENESAS ELECTRONICS CORP) 24 February 2014 (2014-02-24) paragraphs [0017]-[0019], [0059]-[0060], fig. 2, 16	5, 12-14  1-4, 6-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>31 January 2023</b>		Date of mailing of the international search report <b>14 February 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/043169

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-010262 A (PANASONIC ELECTRIC WORKS CO LTD) 14 January 2010 (2010-01-14)	5, 12-14
A	paragraph [0009], fig. 2	1-4, 6-11
Y	JP 2009-164289 A (SANKEN ELECTRIC CO., LTD.) 23 July 2009 (2009-07-23)	12-14
A	paragraphs [0020], [0036], [0038], [0040], [0051], fig. 1, 10	1-11
Y	JP 2008-091394 A (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL & TECHNOLOGY, TAIYO NIPPON SANZO CORP) 17 April 2008 (2008-04-17)	12-14
A	paragraph [0025]	1-11

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/043169**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2013-153209	A	08 August 2013	US 2010/0264462 A1 paragraphs [0075]-[0081], fig. 6 US 2013/0075790 A1 DE 102009018054 A1	
JP	2010-040814	A	18 February 2010	(Family: none)	
JP	2014-036115	A	24 February 2014	(Family: none)	
JP	2010-010262	A	14 January 2010	(Family: none)	
JP	2009-164289	A	23 July 2009	US 2009/0166678 A1 paragraphs [0036], [0052], [0054], [0056], [0067], fig. 1, 10 US 2010/0193842 A1	
JP	2008-091394	A	17 April 2008	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/778(2006.01)i; H01L 21/336(2006.01)i; H01L 21/337(2006.01)i; H01L 21/338(2006.01)i;                  H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 29/78(2006.01)i; H01L 29/808(2006.01)i;                  H01L 29/812(2006.01)i                  FI: H01L29/80 P; H01L29/80 E; H01L29/80 H; H01L29/80 C; H01L29/80 F; H01L27/04 H; H01L29/78 301K;                  H01L29/78 301B; H01L29/78 657A</p>														
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/778; H01L21/336; H01L21/337; H01L21/338; H01L21/822; H01L27/04; H01L29/78; H01L29/808;                  H01L29/812</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>JP 2013-153209 A（インフィネオン テクノロジーズ オーストリア アクチエンゲゼルシャフト）08.08.2013（2013 - 08 - 08） 段落0083-0092, 図6</td> <td>1-5, 8-10, 12-14  6, 7, 11</td> </tr> <tr> <td>Y A</td> <td>JP 2010-040814 A（シャープ株式会社）18.02.2010（2010 - 02 - 18） 段落0014, 0045, 0057-0070, 図10-14</td> <td>1-5, 8-10, 12-14  6, 7, 11</td> </tr> <tr> <td>Y A</td> <td>JP 2014-036115 A（ルネサスエレクトロニクス株式会社）24.02.2014（2014 - 02 - 24） 段落0017-0019, 0059-0060, 図2, 16</td> <td>5, 12-14  1-4, 6-11</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー                  “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの                  “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                  “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）                  “O” 口頭による開示、使用、展示等に言及する文献                  “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献                  “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの                  “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                  “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの                  “&amp;” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y A	JP 2013-153209 A（インフィネオン テクノロジーズ オーストリア アクチエンゲゼルシャフト）08.08.2013（2013 - 08 - 08） 段落0083-0092, 図6	1-5, 8-10, 12-14  6, 7, 11	Y A	JP 2010-040814 A（シャープ株式会社）18.02.2010（2010 - 02 - 18） 段落0014, 0045, 0057-0070, 図10-14	1-5, 8-10, 12-14  6, 7, 11	Y A	JP 2014-036115 A（ルネサスエレクトロニクス株式会社）24.02.2014（2014 - 02 - 24） 段落0017-0019, 0059-0060, 図2, 16	5, 12-14  1-4, 6-11
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	JP 2013-153209 A（インフィネオン テクノロジーズ オーストリア アクチエンゲゼルシャフト）08.08.2013（2013 - 08 - 08） 段落0083-0092, 図6	1-5, 8-10, 12-14  6, 7, 11												
Y A	JP 2010-040814 A（シャープ株式会社）18.02.2010（2010 - 02 - 18） 段落0014, 0045, 0057-0070, 図10-14	1-5, 8-10, 12-14  6, 7, 11												
Y A	JP 2014-036115 A（ルネサスエレクトロニクス株式会社）24.02.2014（2014 - 02 - 24） 段落0017-0019, 0059-0060, 図2, 16	5, 12-14  1-4, 6-11												
国際調査を完了した日	31.01.2023	国際調査報告の発送日	14.02.2023											
名称及びあて先	日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官）	恩田 和彦 5F 5896  電話番号 03-3581-1101 内線 3516											

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-010262 A (パナソニック電気株式会社) 14.01.2010 (2010 - 01 - 14)	5,12-14
A	段落0009, 図2	1-4, 6-11
Y	JP 2009-164289 A (サンケン電気株式会社) 23.07.2009 (2009 - 07 - 23)	12-14
A	段落0020, 0036, 0038, 0040, 0051, 図1, 10	1-11
Y	JP 2008-091394 A (独立行政法人産業技術総合研究所, 太陽日酸株式会社)	12-14
A	17.04.2008 (2008 - 04 - 17) 段落0025	1-11

国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/JP2022/043169

引用文献	公表日	パテントファミリー文献	公表日
JP 2013-153209 A	08.08.2013	US 2010/0264462 A1 段落0075-0081, 図6 US 2013/0075790 A1 DE 102009018054 A1	
JP 2010-040814 A	18.02.2010	(ファミリーなし)	
JP 2014-036115 A	24.02.2014	(ファミリーなし)	
JP 2010-010262 A	14.01.2010	(ファミリーなし)	
JP 2009-164289 A	23.07.2009	US 2009/0166678 A1 段落 0036, 0052, 0054, 0056, 0067, 図1, 10 US 2010/0193842 A1	
JP 2008-091394 A	17.04.2008	(ファミリーなし)	