

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4229996号
(P4229996)

(45) 発行日 平成21年2月25日 (2009. 2. 25)

(24) 登録日 平成20年12月12日 (2008. 12. 12)

(51) Int. Cl.

F I

H O 1 L 21/8247 (2006. 01)

H O 1 L 29/78 3 7 1

H O 1 L 29/788 (2006. 01)

G 1 1 C 17/00 6 2 1 B

H O 1 L 29/792 (2006. 01)

H O 1 L 27/10 4 3 4

G 1 1 C 16/04 (2006. 01)

H O 1 L 27/115 (2006. 01)

請求項の数 2 (全 9 頁)

(21) 出願番号 特願平9-345429
 (22) 出願日 平成9年12月15日 (1997. 12. 15)
 (65) 公開番号 特開平10-178115
 (43) 公開日 平成10年6月30日 (1998. 6. 30)
 審査請求日 平成16年10月7日 (2004. 10. 7)
 (31) 優先権主張番号 032847
 (32) 優先日 平成8年12月13日 (1996. 12. 13)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 590000879
 テキサス インストルメンツ インコーポ
 レイテッド
 アメリカ合衆国テキサス州ダラス、ノース
 セントラルエクスプレスウェイ 135
 O O
 (74) 代理人 100066692
 弁理士 浅村 皓
 (74) 代理人 100072040
 弁理士 浅村 肇
 (74) 代理人 100094673
 弁理士 林 拓三
 (74) 代理人 100091339
 弁理士 清水 邦明

最終頁に続く

(54) 【発明の名称】 チャンネル・ホット電子によりプログラム可能なメモリ・デバイス

(57) 【特許請求の範囲】

【請求項 1】

信頼性と動作性を改良したチャンネル・ホット電子によりプログラム可能なメモリ・デバイスにおいて、

P 形基板と、

前記 P 形基板内の N 形ウエル領域と、

前記 N 形ウエル領域内の分離した P 形ウエル領域と、

前記分離した P 形ウエル領域内のソース領域と、

前記分離した P 形ウエル領域内のドレイン領域と、

前記ソース領域と前記ドレイン領域との間のゲート領域と、

前記分離した P 形ウエル領域と前記 N 形ウエル領域との間の接合のダイオード・ターン・オン電圧以下に、前記分離した P 形ウエル領域の電圧ポテンシャルを保持するために、前記分離した P 形ウエル領域に対して前記 N 形ウエル領域に順方向のバイアスを加えるための前記 N 形ウエル領域に接続された順方向バイアス回路と、
 を備えた、チャンネル・ホット電子によりプログラム可能なメモリ・デバイス。

【請求項 2】

P 形基板と、前記 P 形基板内の N 形ウエル領域と、前記 N 形ウエル領域内の分離した P 形ウエル領域と、前記分離した P 形ウエル領域内のソース領域と、前記分離した P 形ウエル領域内のドレイン領域と、前記ソース領域と前記ドレイン領域との間のゲート領域と、
 を備えたチャンネル・ホット電子によるプログラム可能なメモリ・デバイスの動作を改良

10

20

するための方法であって、

前記分離したP形ウエル領域の電圧ポテンシャルを、前記分離したP形ウエル領域と前記N形ウエル領域内の間のダイオード・ターン・オン電圧以下に保持するために、前記分離したP形ウエル領域に対して前記N形ウエル領域を順方向にバイアスする、方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体デバイスに関する。さらに詳細に言えば、本発明はE P R O MおよびフラッシュE P R O Mのようなメモリ・デバイスに関する。さらに詳細に言えば、本発明は、信頼性と動作性を改良したチャンネル・ホット電子(C H E、Channel Hot Electron)によるプログラム化されたメモリ・デバイスに関する。

10

【0002】

【発明が解決しようとする課題】

電氣的に消去可能・プログラム可能な読出し専用メモリE P R O MおよびフラッシュE P R O MのC H Eプログラミングは、50 μ Aと100 μ Aとの間のセル電流を発生することができる。先行技術のデバイスは、低抵抗率を有する基板の上に作成されたP形エピタキシャル層の上にデバイスが作成されることが多いが、この場合の基板電流は低抵抗率の層の中に流れ去り、そのために大幅に大きな電圧降下が生ずることはない。けれども、非エピタキシャル層の基板を用いたE P R O MおよびフラッシュE P R O Mの場合、またはトリプル・ウエル工程の場合のような深いN形ウエルで取り囲まれた分離したP形ウエルの上にE P R O MおよびフラッシュE P R O Mが作成される場合、プログラミングの期間中に発生する基板電流が、抵抗を有する浮動ゲート・アバランシェ注入 - 金属・酸化物・半導体(F A M O S、Floating - gate Avalanche - injection Metal Oxide Semiconductor)のP形ウエル領域の両端に、大きな電圧降下を生ずることが可能である。

20

【0003】

もしこの電圧降下が約0.7ボルトのダイオード・ターン・オン電圧を越えるならば、ソース接合は順方向にバイアスされるであろう。抵抗を有するP形ウエルの場合のこの問題点は、浮動ゲート・アバランシェ注入 - 金属・酸化物・半導体(F A M O S)のB V C E O電圧値の低下において見ることができる。不幸なことに、B V C E O値が低下すると、デバイスの最大ドレイン電位が減少する。定電流プログラミング負荷線路の場合、このことはゲート電流を減少させ、そしてE P R O MまたはフラッシュE P R O Mのプログラミング可能性を劣化させる。

30

【0004】

図1および図2は、低下したB V C E O電圧値の好ましくない効果を示した図である。特に図1は、深いN形ウエルの中に分離したP形ウエルを有するトリプル・ウエル構造体の上に作成された、フラッシュE P R O Mセルに対する2個のB V C E O曲線を示したグラフである。曲線10の第1の場合、分離したP形ウエルは十分にアースされ、そして深いN形ウエルはアース電位にある。抵抗Rは15 Ω に等しい。曲線12の第2の場合、分離したP形ウエルは15 K Ω の抵抗値を有するとシュミレートされる。曲線10はプログラミング電圧を低下させるようにB V C E O特性がシフトしていることを示し、そしてこのことは通常はメモリの特性を劣化させる。

40

【0005】

基板電流が抵抗を有するF A M O S - P形ウエルの両端に電圧降下を発生させる時に生ずるまた別の問題点は、ソース接合がいったん順方向にバイアスされると、電子が基板の中に注入されることである。これらの電子の中の幾分かは、ビット線路ストレス・モードにある隣接するセルのドレイン接合により収集されるであろう。この場合、ドレインの近傍の高電界領域に入った電子は、ホットな電子・ホール対を生ずる。ゲート電界の極性により、これらのホットな電子・ホール対は多分ゲート酸化物の中に注入され、そして浮動ゲ

50

ートからの電荷損失のを引き起こすであろう。

【 0 0 0 6 】

図 2 は、増大するボディ電位がビット線路ストレスに及ぼす効果を示した表である。図 2 の表において、ゲート電圧 V_g はゼロに等しく、ドレイン電圧 V_d は 6 ボルトに等しく、およびソース電圧 V_s はゼロに等しい。この実施例では、ビット線路ストレスは約 1 秒間起こる。パラメータ V_b は、抵抗を有する F A M O S - P 形ウエルの両端のピン電圧を表す。図 2 の表に示されているように、 V_b が 0.7 ボルトを越える場合、 V_b が 0.7 ボルトであったまたは 0.7 ボルト以下であった時の 0.10、0.05 および 0.5 の閾値電圧 V_t 値を示す。したがって、低下した V_t はソース接合ダイオードのブレークダウンを引き起こし、プログラム可能性の劣化を示す。基本的には、基板電位が増大する時、それに対応して浮動ゲートからの電荷損失が増大する。この現象の原因と結果の関係は、ほぼ指数関数的である。またホット・ホールが注入される結果としてある程度预期されることは、前記のビット線路ストレス機構がフラッシュ・メモリ・デバイスの中に粒状劣化を引き起こすことである。

10

【 0 0 0 7 】

前記の結果を回避するために、プログラミングの期間中の基板の中の電圧降下は、約 0.7 ボルトのダイオード・ターン・オン電圧以下でなければならない。この結果を達成するための 1 つの方法は、F A M O S - P 形ウエルのシート抵抗値を小さくすることである。不幸なことにトリプル・ウエル技術の場合、この解決法は処理工程を非常に複雑にする。したがって、負電圧スイッチングに対する C M O S の要求を満たすために、単一の分離した P 形ウエルを作成することと、F A M O S デバイスのために同じ分離したウエルを用いることが望ましい。この場合、分離した P 形ウエルが高いシート抵抗値を有すると、F A M O S の要求を満たすことができない。大型のアレイの場合、プログラミングの期間中に生成する基板バイアスはソース接合を順方向にバイアスし、そして前記で説明したデバイスの信頼性に関する問題点を生ずる原因となる。

20

【 0 0 0 8 】

この問題点に対する従来の他の解決方法は、低いシート抵抗値を有する F A M O S - P 形ウエルを用いるまたは非常に高いエネルギーでの注入を用いるのいずれかのような処理工程を中心とした方法である。けれどもこのいずれの解決方法も、処理工程の数が増大しそしてデバイスの設計が複雑になる。

30

【 0 0 0 9 】

【課題を解決するための手段】

前記の制約を考えるならば、従来の方法およびデバイスに対して影響を与えるような好ましくない処理工程を用いないでおよびデバイスの設計をそれ程複雑にすることなく、分離した P 形ウエル接合を順方向にバイアスする問題点および P 形基板の中に電子を放射する問題点が事実上ないまたは大幅に小さい、改良された信頼性と動作性とを有する、C H E プログラムド・メモリ・デバイスが要請されている。

【 0 0 1 0 】

本発明の 1 つの特徴により、分離した P 形ウエルに対して深い N 形ウエルをわずかに順方向にバイアスすることにより、分離した P 形ウエル接合を順方向にバイアスすることおよび基板の中に電子を放射することを回避することができ、改良された信頼性と動作性とを有する、C H E プログラムド・メモリ・デバイスが得られる。

40

【 0 0 1 1 】

本発明の 1 つの実施例では、順方向バイアスが、深い N 形ウエルに -0.3 ~ -0.5 V の範囲の電圧として加えられる、またはアースされ分離した P 形ウエルでもって深い N 形ウエルに供給される約 -10 μ A の負の定電流として加えられる。わずかに順方向にバイアスされ分離した P 形ウエルと深い N 形ウエルのダイオードの場合、プログラミングの期間中に発生するすべての基板電流は、容易にこのダイオードをさらに順方向にバイアスすることができる。この結果、ホールが P 形基板内に供給される。この場合、分離した P 形ウエルの電位は 0.2 V ~ 0.3 V 以上には増大しない。このことは、分離した P 形ウエル接合を順方向

50

にバイアスする問題点およびP形基板の中に電子を注入する問題点を本質的になくする。

【0012】

本発明の1つの技術的な利点は、プログラミングの期間中、低抵抗率のP形基板の中に基板電流を供給することにより、抵抗を有する分離したP形ウエルをトリプル・ウエル設計の中で使用することを実用的なものにすることである。本発明は、分離した低シート抵抗値のFAMOS-P形ウエルに対する要請をなくすることにより、トリプル・ウエルの上にフラッシュEPROMを作成する処理工程を簡単にし、そしてそれにより製造コストが低下する。本発明は付加的なウエルを必要とせず、そして必要なのは小さな回路変更のみである。さらに本発明は、トリプル・ウエルの上に作成されるすべてのEPROMに対して効果的に応用することができる。

10

【0013】

【発明の実施の形態】

添付図面を参照しての下記説明により、本発明およびその利点をさらに完全に理解することができるであろう。添付図面において、同等な番号を有する部品は同等な特性を有することを示す。

【0014】

本発明の好ましい実施例が添付図面に示されている。添付図面において、同等な部品および対応する部品には同等な番号が付されている。

【0015】

図3はBVCEO曲線14を示した図である。図3のBVCEO曲線14は、 $R_B = 15 \Omega$ およびN形ウエル電流が $-5 \mu A$ で一定である場合に対しこの概念を適用し、約 $-0.4V$ の深いN形ウエル電位を生ずるという結果を示している。わずかに負である電圧を深いN形ウエルの中に供給することにより、図1のBVCEO曲線の場合のような、BVCEO特性曲線のシフトは起こらない。したがって、ビット線路ストレスの後の V_t の減少は起こらない。その結果、プログラム可能性の劣化、またはゲート電流の減少は本発明により起こらない。

20

【0016】

図4は、本発明の1つの実施例を示した図である。この実施例は、P形基板32の上に作成されたメモリ・セル30を有する。P形基板32それ自身は、アース接続体34によりアースされる。メモリ・セル30の部品は、従来の種々の製造工程のいずれを用いても作成することができる。深いN形ウエル36は、分離したP形ウエル38を取り囲んでいる。深いN形ウエル36をアースする代わりに、約 $-0.4V$ のわずかに負の電圧 V_{DN} が接続体40において深いN形ウエル36に加えられる。分離したP形ウエル38は、アース電位の接続体42によりアースに接続される。分離したP形ウエル38の中で、 N^+ 領域44はメモリ・セルのソース領域を形成し、そして N^+ 領域46は付随するドレイン領域を形成する。ゲート誘電体領域48が、ソース N^+ 領域44とドレイン N^+ 領域46との間のP形ウエル38の上に配置される。

30

【0017】

図5は、本発明のまた別の実施例を示した図である。この実施例のエレメントの番号は、図4の実施例のエレメントの番号とほぼ対応している。けれども図5は、深いN形ウエル電圧源40の代わりに、深いN形ウエル36に接続された深いN形ウエル電流源50を有している。電流源50は、深いN形ウエル36に約 $-10 \mu A$ の負電流を供給する。分離したP形ウエル38は、前記と同じようにアースに接続される。深いN形ウエル36と分離したP形ウエル38との間の接合がわずかに順方向にバイアスされると、P形基板32の中にいくらかの電流 I_{SUB} が流れる。その結果、P形ウエル38の電位は $0.2 \sim 0.3$ ボルトを越えないであろう。このことにより、先行技術のデバイスの減少したゲート電流およびプログラム可能性に関する問題点はなくなる。

40

【0018】

例示された実施例について本発明が詳細に説明されたが、この説明は単に例示された実施例についての説明であって、本発明の範囲がこれらの実施例に限定されることを意味する

50

ものではない。したがって、本発明の実施例の細部を種々に変更した実施例および本発明のその他の付加的实施例が可能であることは、前記説明から当業者には容易に理解されるはずである。このような変更実施例および付加的实施例はすべて、本発明の範囲内に含まれるものと理解されなければならない。

【0019】

以上の説明に関して更に以下の項を開示する。

(1) P形基板と、

前記P形基板の中の深いN形ウエル領域と、

前記N形基板の中の分離したP形ウエル領域と、

前記分離したP形ウエル領域の中のソース領域と、

前記分離したP形ウエル領域の中のドレイン領域と、

前記ソース領域と前記ドレイン領域との間のゲート領域と、

前記分離したP形ウエル領域と前記深いN形ウエル領域との間の接合のダイオード・ターン・オン電圧以下に前記分離したP形ウエル領域の電圧降下を保持するために、前記分離したP形ウエル領域に対して前記深いN形ウエル領域に順方向のバイアスを加えるための前記深いN形ウエル領域に接続された順方向バイアス回路と、

を有する、改良された信頼性と動作可能性とを有するチャンネル・ホット電子プログラムド・メモリ・デバイス。

【0020】

(2) 第1項記載のデバイスにおいて、前記順方向バイアス回路が前記N形ウエルの中にバイアス電流を供給する電流バイアス回路を有する、前記デバイス。

(3) 第1項記載のデバイスにおいて、前記順方向バイアス回路が前記深いN形ウエルの中にバイアス電流を供給する電圧バイアス回路を有する、前記デバイス。

(4) 第1項記載のデバイスにおいて、前記メモリ・デバイスが電氣的に消去可能・プログラム可能な読出し専用メモリを有する、前記デバイス。

(5) 第1項記載のデバイスにおいて、前記メモリ・デバイスがフラッシュ電氣的に消去可能・プログラム可能な読出し専用メモリを有する、前記デバイス。

(6) 第1項記載のデバイスにおいて、前記順方向バイアス回路が前記分離したP形ウエルの電位を約0.3ボルトを越えないように制限するのに十分な電圧を供給する電圧バイアス回路を有する、前記デバイス。

(7) 第1項記載のデバイスにおいて、前記順方向バイアス回路が前記分離したP形ウエルの電位を約0.3ボルトを越えないように制限するのに十分な電流を供給する電流源バイアス回路を有する、前記デバイス。

【0021】

(8) P形基板と、前記P形基板の中の深いN形ウエル領域と、前記N形基板の中の分離したP形ウエル領域と、前記分離したP形ウエル領域の中のソース領域と、前記分離したP形ウエル領域の中のドレイン領域と、前記ソース領域と前記ドレイン領域との間のゲート領域と、を有するチャンネル・ホット電子プログラムド・メモリ・デバイスの動作を改良するための方法であって、

前記分離したP形ウエル領域の電圧降下をダイオード・ターン・オン電圧以下に保持するために、前記分離したP形ウエル領域に対して前記深いN形ウエル領域を順方向にバイアスする段階、

を有する、前記方法。

【0022】

(9) 第8項記載の方法において、前記順方向バイアス段階が前記N形ウエルの中にバイアス電流を大量に供給する段階をさらに有する、前記方法。

(10) 第8項記載の方法において、前記順方向バイアス段階が前記N形ウエルの中にバイアス電流を供給する段階をさらに有する、前記方法。

(11) 第8項記載の方法において、前記順方向バイアス段階が前記分離したP形ウエルの電位を約0.2ボルトを越えないように制限するのに十分な電圧を供給する段階をさら

10

20

30

40

50

に有する、前記方法。

(12) 第8項記載の方法において、前記順方向バイアス段階が前記分離したP形ウエルの電位を約0.2ボルトを越えないように制限するのに十分な電流を供給する段階をさらに有する、前記方法。

【0023】

(13) P形基板を作成する段階と、
前記P形基板の中に深いN形ウエル領域を作成する段階と、
前記N形基板の中に分離したP形ウエル領域を作成する段階と、
前記分離したP形ウエル領域の中にソース領域を作成する段階と、
前記分離したP形ウエル領域の中にドレイン領域を作成する段階と、
前記ソース領域と前記ドレイン領域との間にゲート領域を作成する段階と、
前記分離したP形ウエル領域の電圧降下をダイオード・ターン・オン電圧以下に保持するために、前記分離したP形ウエル領域に対して前記深いN形ウエル領域をわずかにバイアスするための前記深いN形ウエル領域に接続された順方向バイアス回路を作成する段階と、
を有する、改良された信頼性と動作可能性を有するチャンネル・ホット電子プログラムド・メモリ・デバイスを作成する方法。

10

【0024】

(14) 第13項記載の方法において、前記順方向バイアス回路作成段階が前記N形ウエルの中にバイアス電流を大量に供給するための電流バイアス回路を作成する段階をさらに有する、前記方法。

20

(15) 第13項記載の方法において、前記順方向バイアス回路作成段階が前記深いN形ウエルの中にバイアス電流を供給するための電圧バイアス回路を作成する段階をさらに有する、前記方法。

(16) 第13項記載の方法において、前記メモリ・デバイスが電氣的に消去可能・プログラム可能な読出し専用メモリを有する、前記方法。

(17) 第13項記載の方法において、前記メモリ・デバイスがフラッシュ電氣的に消去可能・プログラム可能な読出し専用メモリを有する、前記方法。

(18) 第13項記載の方法において、前記順方向バイアス回路作成段階が前記分離したP形ウエルの電位を約0.2ボルトを越えないように制限するのに十分な電圧を供給するための電圧バイアス回路を作成する段階をさらに有する、前記方法。

30

(19) 第13項記載の方法において、前記順方向バイアス回路作成段階が前記分離したP形ウエルの電位を約0.2ボルトを越えないように制限するのに十分な電流を供給するための電流源バイアス回路を作成する段階をさらに有する、前記方法。

【0025】

(20) CHEプログラムド・メモリ・デバイス30は、深いN形ウエル36と分離したP形ウエル38との間の接合に順方向バイアスすることを回避する。そして深いN形ウエル領域をわずかに順方向にバイアスするために、深いN形ウエル領域36に接続された順方向バイアス電流源50または順方向バイアス電圧源40を加えることにより、分離したP形ウエル領域38を横断して電圧を発生させる原因となる電子の放射が防止される。このことにより、分離したP形ウエル領域38の電圧降下がダイオード・ターン・オン電圧以下に保持される。

40

【図面の簡単な説明】

【図1】トリプル・ウエル工程におけるように、深いN形ウエルの上に非エピタクシャル層を使用したフラッシュEPROMにおいて生ずるBVCEOを、ドレイン電流の関数として示したグラフ。

【図2】ビット線路ストレスに及ぼす増大するボディ電位の好ましくない作用を要約した表。

【図3】図1および図2が関係しているが本発明に開示された内容を用いているフラッシュEPROMに生ずるBVCEOをドレイン電流の関数として示したグラフ。

50

【図 4】本発明の 1 つの実施例の図。

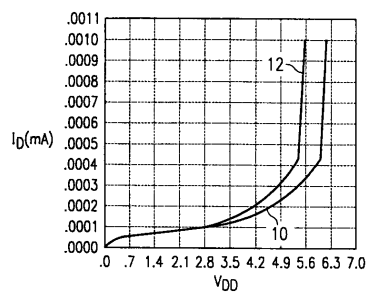
【図 5】本発明のまた別の実施例の図。

【符号の説明】

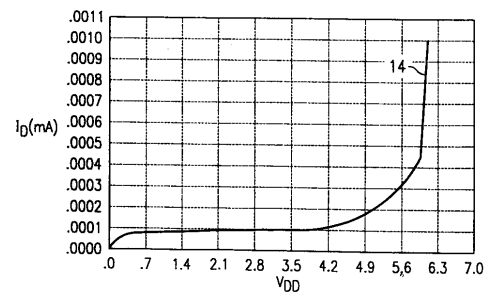
- 30 チャンネル・ホット電子プログラムド・メモリ・デバイス
- 32 P形基板
- 36 深いN形ウエル領域
- 38 分離したP形ウエル領域
- 40 順方向バイアス電圧源
- 44 ソース領域
- 46 ドレイン領域
- 48 ゲート領域
- 50 順方向バイアス電流源

10

【図 1】



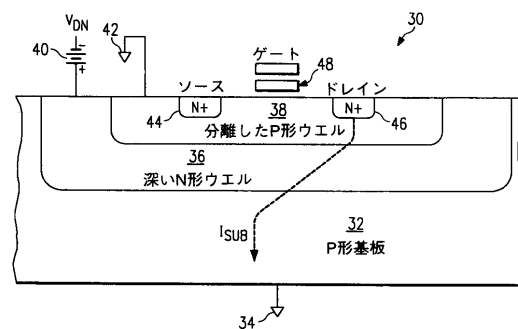
【図 3】



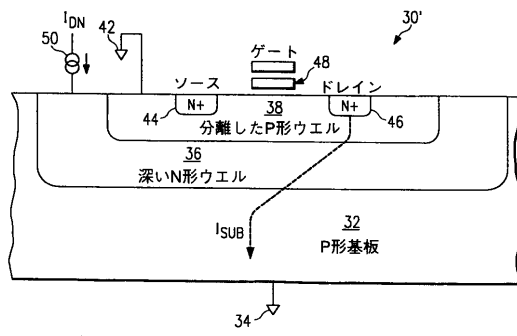
【図 2】

V _b	初期の V _t	ストレスの 後のV _t	デレイト V _t
0.0	6.50	6.40	0.10
0.6	6.50	6.45	0.05
0.7	6.50	6.00	0.05
0.8	6.45	3.60	2.85

【図 4】



【図5】



フロントページの続き

(72)発明者 セチン カヤ
アメリカ合衆国テキサス州ダラス, アデルタ ブールバード 9900, アpartment ナンバ
ー 1114

審査官 井原 純

(56)参考文献 特開平09-022598(JP, A)
特開平08-063985(JP, A)
特開平08-051193(JP, A)
特開平06-119790(JP, A)
特開平06-268231(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
G11C 16/04
H01L 27/115
H01L 29/788
H01L 29/792