

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5777302号
(P5777302)

(45) 発行日 平成27年9月9日 (2015.9.9)

(24) 登録日 平成27年7月17日 (2015.7.17)

(51) Int. Cl.

F I

H O 1 G 4/12 (2006.01)

H O 1 G 4/12 3 6 4

H O 1 G 4/30 (2006.01)

H O 1 G 4/12 3 4 9

H O 5 K 3/46 (2006.01)

H O 1 G 4/30 3 O 1 F

H O 5 K 3/46 H

請求項の数 6 (全 17 頁)

(21) 出願番号 特願2010-164112 (P2010-164112)
 (22) 出願日 平成22年7月21日 (2010.7.21)
 (65) 公開番号 特開2012-28456 (P2012-28456A)
 (43) 公開日 平成24年2月9日 (2012.2.9)
 審査請求日 平成25年5月17日 (2013.5.17)
 審判番号 不服2014-15368 (P2014-15368/J1)
 審判請求日 平成26年8月5日 (2014.8.5)

(73) 特許権者 000006231
 株式会社村田製作所
 京都府長岡京市東神足1丁目10番1号
 (74) 代理人 110001232
 特許業務法人 宮▲崎▼・目次特許事務所
 (72) 発明者 佐藤 浩司
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内
 (72) 発明者 眞田 幸雄
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内
 (72) 発明者 西坂 康弘
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内

最終頁に続く

(54) 【発明の名称】 セラミック電子部品の製造方法、セラミック電子部品及び配線基板

(57) 【特許請求の範囲】

【請求項 1】

長さ方向及び幅方向に沿って延びており、互いに対向する第1及び第2の主面と、長さ方向及び厚み方向に沿って延びており、互いに対向する第1及び第2の側面と、幅方向及び厚み方向に沿って延びており、互いに対向する第1及び第2の端面とを有し、長さ寸法をL、幅寸法をW、厚み寸法をTとしたときに、 $T < W < L$ 、 $1/5 W \leq T \leq 1/2 W$ 、 $T \leq 0.3 \text{ mm}$ を満たす直方体状のセラミック素体と、

前記セラミック素体の内部において、少なくとも一部同士が厚み方向に対向するように形成されている第1及び第2の内部電極と、

前記第1の主面上の長さ方向の一方側端部に形成されており、前記第1の内部電極に電気的に接続されている第1の外部電極と、

前記第1の主面上の長さ方向の他方側端部に形成されており、前記第2の内部電極に電気的に接続されている第2の外部電極と、

を備えるセラミックコンデンサの製造方法であって、

重合度が1000～1500である有機バインダーを含むセラミックグリーンシートを用意する工程と、

前記セラミックグリーンシートの表面に、導電性ペーストを塗布することにより、前記第1または第2の内部電極形成用の第1の導電性ペースト層を形成する工程と、

前記セラミックグリーンシートを積層することにより、内部に前記第1の導電性ペースト層が形成されている生のセラミック積層体を形成する工程と、

10

20

前記生のセラミック積層体の表面に、導電性ペーストを塗布することにより前記第 1 及び第 2 の外部電極形成用の第 2 の導電性ペースト層を形成する工程と、

前記第 2 の導電性ペースト層が形成された前記生のセラミック積層体を焼成する工程と、

前記第 2 の導電性ペースト層が形成された前記生のセラミック積層体を、前記焼成の前にプレスするプレス工程と、

を備え、

前記プレス工程において、厚みが 0.05 ~ 0.15 mm の弾性体を介して、前記生のセラミック積層体を厚み方向にプレスする、セラミックコンデンサの製造方法。

【請求項 2】

前記焼成された第 2 の導電性ペースト層の上に、Cuめっきを施す工程をさらに備える、請求項 1 に記載のセラミックコンデンサの製造方法。

【請求項 3】

前記有機バインダーとして、重合度が 1000 ~ 1500 のポリビニルブチラルを用いる、請求項 1 または 2 に記載のセラミックコンデンサの製造方法。

【請求項 4】

長さ方向及び幅方向に沿って延びており、互いに対向する第 1 及び第 2 の主面と、長さ方向及び厚み方向に沿って延びており、互いに対向する第 1 及び第 2 の側面と、幅方向及び厚み方向に沿って延びており、互いに対向する第 1 及び第 2 の端面とを有し、長さ寸法を L、幅寸法を W、厚み寸法を T としたときに、 $T < W < L$ 、 $1/5 W \leq T \leq 1/2 W$ 、 $T \leq 0.3 \text{ mm}$ を満たす直方体状のセラミック素体と、

前記セラミック素体の内部において、少なくとも一部同士が厚み方向に対向するように形成されている第 1 及び第 2 の内部電極と、

前記第 1 の主面上の長さ方向の一方側端部に形成されており、前記第 1 の内部電極に電氣的に接続されている第 1 の外部電極と、

前記第 1 の主面上の長さ方向の他方側端部に形成されており、前記第 2 の内部電極に電氣的に接続されている第 2 の外部電極と、

を備えるセラミックコンデンサであって、

前記第 1 の主面の前記第 1 の外部電極の長さ方向の一方側の端部が位置している部分と、前記第 1 の主面の前記第 2 の外部電極の長さ方向の他方側の端部が位置している部分とを通過する平面と、前記第 1 の主面のうちの前記平面と最も離れた部分との間の距離が $4.9 \mu\text{m}$ 以下であり、かつ $0 \mu\text{m}$ よりも大きく、

前記第 1 及び第 2 の外部電極のそれぞれの表面の表面粗さ (Ra) が $1.55 \mu\text{m}$ 以下である、セラミックコンデンサ。

【請求項 5】

請求項 4 に記載のセラミックコンデンサと、

前記セラミックコンデンサが埋め込まれている配線基板本体と、を備える、配線基板。

【請求項 6】

前記配線基板本体には、前記セラミックコンデンサの前記第 1、第 2 の外部電極に向かって開口する貫通孔が形成されている、請求項 5 に記載の配線基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、セラミック電子部品の製造方法、セラミック電子部品及び配線基板に関する。特に、本発明は、配線基板に埋め込まれて好適に使用されるセラミック電子部品の製造方法、セラミック電子部品及びそれが埋め込まれたセラミック電子部品埋め込み型配線基板に関する。

【背景技術】

【0002】

10

20

30

40

50

近年、携帯電話機や携帯音楽プレイヤーなどの電子機器の小型化や薄型化に伴い、電子機器に搭載される配線基板の小型化が進んでいる。

【 0 0 0 3 】

配線基板を小型化する方法としては、例えば、下記の特許文献 1 において、チップコンデンサを配線基板の内部に埋め込み、配線基板のチップコンデンサの上に位置する部分にレーザーにより貫通孔を形成し、貫通孔内部にめっきを施すことにより、チップコンデンサへの配線を構成する方法が提案されている。この方法によれば、配線基板の表面における部品の実装面積を小さくすることが可能となり、配線基板を小型化することができる。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 1 - 3 5 2 1 4 1 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、特許文献 1 に記載の方法でチップコンデンサを配線基板内に埋め込んだ場合に、チップコンデンサが埋め込まれた配線基板の特性がばらつく場合があるという問題がある。

【 0 0 0 6 】

本発明は、係る点に鑑みてなされたものであり、その目的は、配線基板に埋め込まれて使用された際にも特性のばらつきが少ないセラミック電子部品の製造方法を提供することにある。

20

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明に係るセラミックコンデンサの製造方法は、長さ方向及び幅方向に沿って延びており、互いに対向する第 1 及び第 2 の主面と、長さ方向及び厚み方向に沿って延びており、互いに対向する第 1 及び第 2 の側面と、幅方向及び厚み方向に沿って延びており、互いに対向する第 1 及び第 2 の端面とを有し、長さ寸法を L、幅寸法を W、厚み寸法を T としたときに、 $T \leq W < L$ 、 $1/5 W \leq T \leq 1/2 W$ 、 $T \leq 0.3 \text{ mm}$ を満たす直方体状のセラミック素体と、セラミック素体の内部において、少なくとも一部同士が厚み方向に対向するように形成されている第 1 及び第 2 の内部電極と、第 1 の主面上の長さ方向の一方側端部に形成されており、第 1 の内部電極に電気的に接続されている第 1 の外部電極と、第 1 の主面上の長さ方向の他方側端部に形成されており、第 2 の内部電極に電気的に接続されている第 2 の外部電極とを備えるセラミックコンデンサの製造方法に関する。本発明に係るセラミックコンデンサの製造方法では、重合度が 1 0 0 0 ~ 1 5 0 0 である有機バインダーを含むセラミックグリーンシートを用意する。セラミックグリーンシートの表面に、導電性ペーストを塗布することにより、第 1 または第 2 の内部電極形成用の第 1 の導電性ペースト層を形成する。セラミックグリーンシートを積層することにより、内部に第 1 の導電性ペースト層が形成されている生のセラミック積層体を形成する。生のセラミック積層体の表面に、導電性ペーストを塗布することにより第 1 及び第 2 の外部電極形成用の第 2 の導電性ペースト層を形成する。第 2 の導電性ペースト層が形成された生のセラミック積層体を焼成する。生のセラミック積層体を、焼成の前にプレスするプレス工程をさらに備えている。プレス工程において、厚みが 0.05 ~ 0.15 mm の弾性体を介して、生のセラミック積層体を厚み方向にプレスする。この場合、第 1 及び第 2 の外部電極の表面粗さを小さくできる。従って、第 1 及び第 2 の外部電極にレーザー光を照射したときの、レーザー光の第 1 及び第 2 の外部電極表面における乱反射を抑制することができる。

30

40

【 0 0 0 9 】

本発明に係るセラミックコンデンサの製造方法の他の特定の局面では、セラミックコンデンサの製造方法は、焼成された第 2 の導電性ペースト層の上に、Cuめっきを施す工程をさらに備えている。この場合、第 1 及び第 2 の外部電極のレーザー光に対する反射率を

50

高くすることができる。

【 0 0 1 0 】

本発明に係るセラミックコンデンサの製造方法の別の特定の局面では、有機バインダーとして、重合度が1000～1500のポリビニルブチラールを用いる。

【 0 0 1 1 】

本発明に係るセラミックコンデンサは、直方体状のセラミック素体と、第1及び第2の内部電極と、第1の外部電極と、第2の外部電極とを備えている。セラミック素体は、第1及び第2の主面と、第1及び第2の側面と、第1及び第2の端面とを有する。第1及び第2の主面は、長さ方向及び幅方向に沿って延びている。第1及び第2の側面は、長さ方向及び厚み方向に沿って延びている。第1及び第2の端面は、幅方向及び厚み方向に沿って延びている。第1及び第2の端面は、互いに対向している。セラミック素体は、長さ寸法をL、幅寸法をW、厚み寸法をTとしたときに、 $T < W < L$ 、 $1/5 W \leq T \leq 1/2 W$ 、 $T \leq 0.3 \text{ mm}$ を満たす。第1及び第2の内部電極は、セラミック素体の内部において、少なくとも一部同士が厚み方向に対向するように形成されている。第1の外部電極は、第1の主面上の長さ方向の一方側端部に形成されている。第1の外部電極は、第1の内部電極に電氣的に接続されている。第2の外部電極は、第1の主面上の長さ方向の他方側端部に形成されている。第2の外部電極は、第2の内部電極に電氣的に接続されている。第1の主面の第1の外部電極の長さ方向の一方側の端部が位置している部分と、第1の主面の第2の外部電極の長さ方向の他方側の端部が位置している部分とを通過する平面と、第1の主面のうちの平面と最も離れた部分との間の距離が $4.9 \mu\text{m}$ 以下であり、かつ $0 \mu\text{m}$ よりも大きい。第1及び第2の外部電極のそれぞれの表面の表面粗さ(Ra)が $1.55 \mu\text{m}$ 以下である。この構成によれば、第1及び第2の外部電極の表面粗さを小さくできる。従って、第1及び第2の外部電極にレーザー光を照射したときの、レーザー光の第1及び第2の外部電極表面における乱反射を抑制することができる。

【 0 0 1 3 】

なお、本発明において、表面粗さ(Ra)とは、JIS B 0601 - 1994で規定される算術平均粗さRaのことである。

【 0 0 1 4 】

本発明に係る配線基板は、上記本発明に係るセラミックコンデンサと、セラミックコンデンサが埋め込まれている配線基板本体とを備えている。

【 0 0 1 5 】

本発明に係る配線基板のある特定の局面では、配線基板本体には、セラミックコンデンサの第1、第2の外部電極に向かって開口する貫通孔が形成されている。

【発明の効果】

【 0 0 1 6 】

本発明によれば、配線基板に埋め込まれて使用された際にも特性のばらつきが少ないセラミック電子部品の製造方法及びセラミック電子部品を提供することができる。

【図面の簡単な説明】

【 0 0 1 7 】

【図1】第1の実施形態に係るセラミック電子部品の略図的斜視図である。

【図2】第1の実施形態に係るセラミック電子部品の略図的側面図である。

【図3】図1の線I-Iにおける略図的断面図である。

【図4】第1の実施形態に係るセラミック電子部品の一部分を拡大した略図的断面図である。

【図5】図3の線V-Vにおける略図的断面図である。

【図6】導電パターンが形成されたセラミックグリーンシートの略図的平面図である。

【図7】マザー積層体の略図的平面図である。

【図8】マザー積層体のプレス工程を説明するための略図的断面図である。

【図9】ベース基板に接着剤を塗布する工程を説明するための略図的断面図である。

【図 10】セラミック電子部品をベース基板に接着する工程を説明するための略図的断面図である。

【図 11】配線基板本体を形成する工程を説明するための略図的断面図である。

【図 12】ビアホールを形成する工程を説明するための略図的断面図である。

【図 13】配線基板の一部分の略図的拡大断面図である。

【図 14】セラミック電子部品の反り量を説明するための模式図である。

【図 15】セラミック素体が沿っている場合に、レーザー光によりビアホールを形成する工程を説明するための模式図である。

【図 16】外部電極の表面の表面粗さが大きい場合に、レーザー光によりビアホールを形成する工程を説明するための模式図である。

10

【図 17】第 2 の実施形態に係るセラミック電子部品の略図的断面図である。

【発明を実施するための形態】

【0018】

(第 1 の実施形態)

以下、本発明の好ましい実施形態について、図 1 に示すセラミック電子部品 1 を例に挙げて説明する。但し、セラミック電子部品 1 は、単なる例示である。本発明は、以下に示すセラミック電子部品 1 及びその製造方法に何ら限定されない。

【0019】

図 1 は、第 1 の実施形態に係るセラミック電子部品の略図的斜視図である。図 2 は、第 1 の実施形態に係るセラミック電子部品の略図的側面図である。図 3 は、図 1 の線 I I I - I I I における略図的断面図である。図 4 は、第 1 の実施形態に係るセラミック電子部品の一部分を拡大した略図的断面図である。図 5 は、図 3 の線 V - V における略図的断面図である。

20

【0020】

まず、図 1 ~ 図 5 を参照しながら、セラミック電子部品 1 の構成について説明する。

【0021】

図 1 ~ 図 3 に示すように、セラミック電子部品 1 は、セラミック素体 10 を備えている。セラミック素体 10 は、セラミック電子部品 1 の機能に応じた適宜のセラミック材料からなる。具体的には、セラミック電子部品 1 がコンデンサである場合は、セラミック素体 10 を誘電体セラミック材料により形成することができる。誘電体セラミック材料の具体例としては、例えば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 などが挙げられる。なお、セラミック素体 10 には、所望するセラミック電子部品 1 の特性に応じて、上記セラミック材料を主成分として、例えば、Mn 化合物、Mg 化合物、Si 化合物、Fe 化合物、Cr 化合物、Co 化合物、Ni 化合物、希土類化合物などの副成分を適宜添加してもよい。

30

【0022】

セラミック電子部品 1 がセラミック圧電素子である場合は、セラミック素体 10 を圧電セラミック材料により形成することができる。圧電セラミック材料の具体例としては、例えば、PZT (チタン酸ジルコン酸鉛) 系セラミック材料などが挙げられる。

【0023】

セラミック電子部品 1 がサーミスタ素子である場合は、セラミック素体 10 を半導体セラミック材料により形成することができる。半導体セラミック材料の具体例としては、例えば、スピネル系セラミック材料などが挙げられる。

40

【0024】

セラミック電子部品 1 が、インダクタ素子である場合は、セラミック素体 10 を磁性体セラミック材料により形成することができる。磁性体セラミック材料の具体例としては、例えば、フェライトセラミック材料などが挙げられる。

【0025】

セラミック素体 10 は、直方体状に形成されている。図 1 ~ 図 3 に示すように、セラミック素体 10 は、第 1 及び第 2 の主面 10a、10b と、第 1 及び第 2 の側面 10c、1

50

0 dと、第1及び第2の端面10 e、10 fとを有する。図1～図3に示すように、第1及び第2の主面10 a、10 bは、長さ方向L及び幅方向Wに沿って延びている。第1及び第2の主面10 a、10 bは、互いに対向している。図1及び図5に示すように、第1及び第2の側面10 c、10 dは、厚み方向T及び長さ方向Lに沿って延びている。第1及び第2の側面10 c、10 dは、互いに対向している。図3及び図5に示すように、第1及び第2の端面10 e、10 fは、厚み方向T及び幅方向Wに沿って延びている。第1及び第2の端面10 e、10 fは、互いに対向している。

【0026】

なお、本明細書において、「直方体状」には、角部や稜線部が面取り状またはR面取り状である直方体が含まれるものとする。すなわち、「直方体状」の部材とは、第1及び第2の主面、第1及び第2の側面並びに第1及び第2の端面とを有する部材全般を意味する。また、主面、側面、端面の一部または全部に凹凸などが形成されていてもよい。すなわち、主面、側面及び端面のそれぞれが平坦である必要は必ずしもない。

【0027】

セラミック素体10の寸法は、特に限定されないが、セラミック素体10の厚み寸法をH、長さ寸法をL、幅寸法をWとしたときに、セラミック素体10は、 $T \leq W < L$ 、 $1/5 W \leq T \leq 1/2 W$ 、 $T \leq 0.3 \text{ mm}$ を満たす薄型のものであることが好ましい。具体的には、 $0.1 \text{ mm} \leq T \leq 0.3 \text{ mm}$ 、 $0.4 \text{ mm} \leq L \leq 1 \text{ mm}$ 、 $0.2 \text{ mm} \leq W \leq 0.5 \text{ mm}$ であることが好ましい。

【0028】

セラミック層10 g (図3を参照)の厚さは、特に限定されない。セラミック層10 gの厚さは、例えば、 $0.5 \mu\text{m} \sim 10 \mu\text{m}$ 程度とすることができる。

【0029】

図3に示すように、セラミック素体10の内部には、略矩形状の複数の第1及び第2の内部電極11, 12が厚み方向Tに沿って等間隔に交互に配置されている。第1及び第2の内部電極11, 12のそれぞれは、第1及び第2の主面10 a、10 bと平行である。

【0030】

図3に示すように、第1の内部電極11は、長さ方向L及び幅方向Wに沿って延びるように形成されている。第1の内部電極11は、セラミック素体10の第1の端面10 eに露出しており、第1の端面10 eから第2の端面10 f側に向かって延びている。第1の内部電極11は、第2の端面10 f、第1及び第2の側面10 c、10 dのそれぞれには至っていない。一方、第2の内部電極12も、長さ方向L及び幅方向Wに沿って延びるように形成されている。第2の内部電極12は、図3に示すように、セラミック素体10の第2の端面10 fに露出しており、第2の端面10 fから第1の端面10 e側に向かって延びている。第2の内部電極12は、第1の端面10 e、第1及び第2の側面10 c、10 dのそれぞれには至っていない。第1及び第2の内部電極11, 12は、幅方向Wにおいて同じ位置に形成されている。このため、第1の内部電極11と第2の内部電極12とは、セラミック素体10の長さ方向Lにおける中央部において、セラミック層10 gを介して、互いに対向している。第1の内部電極11と第2の内部電極12とは、セラミック素体10の長さ方向Lにおける両端部においては、厚み方向Tに対向していない。

【0031】

セラミック素体10のうち、第1及び第2の内部電極11, 12が互いに対向している部分が、コンデンサとしての機能を発現している有効部10 Aを構成している。

【0032】

なお、第1及び第2の内部電極11, 12の材質は、特に限定されない。第1及び第2の内部電極11, 12は、例えば、Ni、Cu、Ag、Pd、Auなどの金属や、Ag-Pd合金などの、これらの金属の一種以上を含む合金により形成することができる。

【0033】

第1及び第2の内部電極11, 12の厚さも、特に限定されない。第1及び第2の内部電極11, 12の厚さは、例えば、 $0.3 \mu\text{m} \sim 2 \mu\text{m}$ 程度とすることができる。

【 0 0 3 4 】

図 1 ~ 図 3 に示すように、セラミック素体 1 0 の表面の上には、第 1 及び第 2 の外部電極 1 3 , 1 4 が形成されている。第 1 の外部電極 1 3 は、第 1 の内部電極 1 1 に電氣的に接続されている。第 1 の外部電極 1 3 は、第 1 の主面 1 0 a の長さ方向 L の一方側端部の上に形成されている第 1 の部分 1 3 a と、第 2 の主面 1 0 b の上に形成されている第 2 の部分 1 3 b と、第 1 の端面 1 0 e の上に形成されている第 3 の部分 1 3 c とを備えている。本実施形態では、第 1 の外部電極 1 3 は、第 1 及び第 2 の側面 1 0 c 、 1 0 d の端部に浅く回り込むように形成されている。具体的には、第 1 の外部電極 1 3 の第 1 及び第 2 の側面 1 0 c 、 1 0 d における長さ方向 L に沿った長さは、第 1 の部分 1 3 a の長さ方向 L に沿った長さの半分よりも短い。そして、第 1 の外部電極 1 3 は、幅方向 W に沿って第 1 及び第 2 の側面 1 0 c 、 1 0 d からほとんど突出していない。このようにすることで、セラミック電子部品 1 の幅方向 W 寸法を小さくすることができる。なお、第 1 の外部電極 1 3 は、第 1 及び第 2 の側面 1 0 c 、 1 0 d に実質的に形成されないようにしてもよい。

10

【 0 0 3 5 】

一方、第 2 の外部電極 1 4 は、第 2 の内部電極 1 2 に電氣的に接続されている。第 2 の外部電極 1 4 は、第 1 の主面 1 0 a の長さ方向 L の他方側端部の上に形成されている第 1 の部分 1 4 a と、第 2 の主面 1 0 b の上に形成されている第 2 の部分 1 4 b と、第 2 の端面 1 0 f の上に形成されている第 3 の部分 1 4 c とを備えている。本実施形態では、第 2 の外部電極 1 4 は、第 1 及び第 2 の側面 1 0 c 、 1 0 d の長さ方向 L の端部に浅く回り込むように形成されている。具体的には、第 2 の外部電極 1 4 の第 1 及び第 2 の側面 1 0 c 、 1 0 d における長さ方向 L に沿った長さは、第 1 の部分 1 4 a の長さ方向 L に沿った長さの半分よりも短い。そして、第 2 の外部電極 1 4 は、幅方向 W に沿って第 1 及び第 2 の側面 1 0 c 、 1 0 d からほとんど突出していない。このようにすることで、セラミック電子部品 1 の幅方向 W 寸法を小さくすることができる。なお、第 2 の外部電極 1 4 は、第 1 及び第 2 の側面 1 0 c 、 1 0 d に実質的に形成されないようにしてもよい。

20

【 0 0 3 6 】

本実施形態では、第 1 及び第 2 の外部電極 1 3 , 1 4 の第 1 及び第 2 の部分 1 3 a 、 1 3 b 、 1 4 a 、 1 4 b の一部は、有効部 1 0 A と厚み方向 T に対向している。

【 0 0 3 7 】

次に、図 4 を参照しながら、本実施形態における第 1 及び第 2 の外部電極 1 3 , 1 4 の具体的構成について説明する。第 1 及び第 2 の外部電極 1 3 , 1 4 は、第 1 及び第 2 の導電層 1 5 , 1 6 の積層体により構成されている。第 1 の導電層 1 5 は、セラミック素体 1 0 の上に形成されている。第 2 の導電層 1 6 は、第 1 の導電層 1 5 の一部分の上に形成されている。このため、本実施形態では、第 2 の導電層 1 6 が第 1 及び第 2 の外部電極 1 3 , 1 4 の最外層を構成している。

30

【 0 0 3 8 】

第 1 の導電層 1 5 は、適宜の導電材料により形成することができる。第 1 の導電層 1 5 は、例えば、Ni、Cu、Ag、Pd、Auなどの金属や、Ag-Pd合金などの、これらの金属の一種以上を含む合金により形成することができる。第 1 の導電層 1 5 の厚みは、例えば、3 μ m ~ 20 μ m 程度とすることができる。

40

【 0 0 3 9 】

第 1 の導電層 1 5 は、無機結合材を含んでいる。無機結合材は、セラミック素体 1 0 に対する密着強度を高めるための成分である。第 1 の導電層 1 5 がコファイアにより形成される場合は、無機結合材は、共材とも呼ばれ、例えば、セラミック素体 1 0 に含まれるセラミック材料と同種のセラミック材料であってもよい。無機結合材は、例えば、セラミック素体 1 0 に含まれるセラミック材料と主成分が同じセラミック材料であってもよい。また、第 1 の導電層 1 5 がポストファイアにより形成される場合は、無機結合材は、例えば、ガラス成分であってもよい。

【 0 0 4 0 】

第 1 の導電層 1 5 における無機結合材の含有量は、例えば、40 体積% ~ 60 体積%の

50

範囲内であることが好ましい。

【0041】

第2の導電層16は、例えば、Cu、Ni、Sn、Pb、Au、Ag、Pd、Al、BiおよびZnからなる群から選ばれる1種の金属または当該金属を含む合金を用いることが好ましい。

【0042】

なかでも、セラミック電子部品1を配線基板に埋め込む場合、めっき層の最外層を構成する金属としては、Cu、Au、Ag、およびAlからなる群から選ばれる1種の金属または当該金属を含む合金を用いることが好ましい。埋め込みの際には、第1及び第2の外部電極13, 14を狙って、配線基板を貫通するレーザー光を照射することがあり、これらの金属はレーザー光を効率よく反射するためである。

10

【0043】

第2の導電層16は、めっき膜により構成されていることが好ましく、厚みは、 $1\mu\text{m}$ ~ $15\mu\text{m}$ 程度であることが好ましい。

【0044】

また、第2の導電層16は、第1の導電層15を完全に被覆するように形成されていることが好ましい。

【0045】

更に、第2の導電層16と第1の導電層15との間に、例えば樹脂層などのさらなる導電層が設けられていてもよい。

20

【0046】

なお、本実施形態では、第1及び第2の外部電極13, 14の第1及び第2の部分13a、13b、14a、14bのそれぞれの一部は、第1及び第2の主面10a、10bのそれぞれに埋め込まれている。このため、第1及び第2の主面10a、10bのそれぞれのうち、第1及び第2の部分13a、13b、14a、14bが上に位置している部分は、第1及び第2の部分13a、13b、14a、14bが上に位置していない部分よりも厚み方向において中央寄りに位置している。

【0047】

第1及び第2の外部電極13, 14の第1及び第2の部分13a、13b、14a、14bのそれぞれの厚みを t_0 とし、第1及び第2の外部電極13, 14の第1及び第2の部分13a、13b、14a、14bが、セラミック素体10に埋め込まれている部分の厚みを t_1 とすると、本実施形態では、 t_1 と t_0 とは、 $1/10t_0 < t_1 \leq 2/5 \cdot t_0$ を満たしている。このため、セラミック電子部品の薄型化と高い信頼性との両立が図られている。

30

【0048】

t_1 が $1/10t_0$ 未満であると、第1及び第2の外部電極13, 14の第1及び第2の部分13a、13b、14a、14bとセラミック素体10との密着性が低くなりすぎ、第1及び第2の部分13a、13b、14a、14bの剥離が生じやすくなり、信頼性が低くなる場合がある。また、 t_1 が $1/10t_0$ 未満であると、第1及び第2の外部電極13, 14の第1及び第2の部分13a、13b、14a、14bの埋め込まれていない部分の厚み t_2 が大きくなりすぎ、セラミック電子部品の薄型化を十分に図れない場合がある。

40

【0049】

一方、 t_1 が $2/5 \cdot t_0$ よりも大きい場合は、セラミック電子部品の信頼性が低下してしまう場合がある。これは、第1及び第2の部分13a、13b、14a、14bがセラミック素体10に埋め込まれる際に第1及び第2の内部電極11, 12に大きな応力が付与され、第1及び第2の内部電極11, 12が損傷してしまい、所望の容量が得られなかったり、短絡が生じてしまったりする場合があるためであると考えられる。

【0050】

なお、本実施形態において、 t_0 は、例えば、 $10\mu\text{m}$ ~ $50\mu\text{m}$ 程度とすることがで

50

きる。

【 0 0 5 1 】

次に、図 6 ～ 図 8 を主として参照しながら、本実施形態のセラミック電子部品 1 の製造方法の一例について説明する。

【 0 0 5 2 】

まず、セラミック素体 1 0 を構成するためのセラミック材料と、有機バインダーとを含むセラミックグリーンシート 2 0 (図 6 を参照) を用意する。ここで、本実施形態では、有機バインダーの重合度は、1 0 0 0 ～ 1 5 0 0 の範囲内とされている。好ましく用いられる有機バインダーの具体例としては、例えば、重合度が 1 0 0 0 ～ 1 5 0 0 の範囲内であるポリビニルブチラール (P V B) などが挙げられる。

10

【 0 0 5 3 】

次に、図 6 に示すように、そのセラミックグリーンシート 2 0 の上に、導電性ペーストを塗布することにより、第 1 または第 2 の内部電極 1 1 , 1 2 形成用の第 1 の導電性ペースト層 2 1 を形成する。なお、導電パターンの塗布は、例えば、スクリーン印刷法などの各種印刷法により行うことができる。導電性ペーストは、導電性微粒子の他に、公知のバインダーや溶剤を含んでいてもよい。

【 0 0 5 4 】

次に、第 1 の導電性ペースト層 2 1 が形成されていないセラミックグリーンシート 2 0 と、第 1 の導電性ペースト層 2 1 が形成されているセラミックグリーンシート 2 0 とを長さ方向 L に沿って適宜ずらしながら積層し、静水圧プレスなどの手段で積層方向にプレスすることにより、図 7 に示すマザー積層体 2 2 を作製する。

20

【 0 0 5 5 】

次に、図 7 に示すように、マザー積層体 2 2 の上に、スクリーン印刷法などの適宜の印刷法により導電性ペーストを塗布することにより、第 1 及び第 2 の外部電極 1 3 , 1 4 の第 1 の導電層 1 5 の第 1 及び第 3 の部分 1 3 a 、 1 3 b を構成している部分に対応した形状の第 2 の導電性ペースト層 2 3 を形成する。

【 0 0 5 6 】

次に、マザー積層体 2 2 を再び積層方向 (厚み方向) にプレスする。このプレス工程によって、第 2 の導電性ペースト層 2 3 の一部が埋め込まれる。第 2 の導電性ペースト層 2 3 の埋め込み量は、例えば、プレス量、プレス圧や、プレス時にマザー積層体 2 2 に接触する部材の硬度や弾性率を調整することによって行うことができる。

30

【 0 0 5 7 】

具体的には、例えば、対向する金型とマザー積層体 2 2 の両主面の間に、ゴムなどの弾性体を介在させないでマザー積層体 2 2 をプレスした場合には、第 2 の導電性ペースト層 2 3 の埋め込み量が大きくなる。それに対して、図 8 に示すように、対向する金型 2 6 a 、 2 6 b とマザー積層体 2 2 の両主面との間にゴムなどの弾性体 2 4 a 、 2 4 b を接触させた状態でプレスを行った場合は、埋め込み量が相対的に小さくなる。そして、弾性体 2 4 a 、 2 4 b の弾性率などを調整することによって埋め込み量を調整することができる。

【 0 0 5 8 】

また、このプレス工程によって、第 2 の導電性ペースト層 2 3 の表面の表面粗さを小さくすることができる。従って、第 1 及び第 2 の外部電極 1 3 , 1 4 の表面の表面粗さを小さくすることができる。

40

【 0 0 5 9 】

次に、図 7 に示す仮想のカットライン C L に沿ってマザー積層体 2 2 をカッティングすることにより、マザー積層体 2 2 から複数の生のセラミック積層体を作製する。なお、マザー積層体 2 2 のカッティングは、ダイシングや押切により行うことができる。

【 0 0 6 0 】

生のセラミック積層体作成後、バレル研磨などにより、生のセラミック積層体の稜線部及び稜線部の面取りまたは R 面取り及び表層の研磨を行うようにしてもよい。

【 0 0 6 1 】

50

その後、生のセラミック積層体の両端面に、例えば、ディップ法などにより、導電性ペーストを塗布する。これにより、セラミック積層体の両端面にも導電性ペースト層を形成する。

【0062】

次に、生のセラミック積層体の焼成を行う。この焼成工程において、上記形成の導電性ペースト層が同時焼成される（コファイア）。なお、焼成温度は、使用するセラミック材料や導電性ペーストの種類により適宜設定することができる。焼成温度は、例えば、900～1300程度とすることができる。

【0063】

その後、必要に応じて、パレル研磨などの研磨を行う。

10

【0064】

同時焼成された導電性ペースト層の上に、例えば、Cuめっきなどのめっきを施すことにより第2の導電層16を形成し、第1及び第2の外部電極13，14を完成させる。

【0065】

本実施形態のセラミック電子部品1は、配線基板に埋め込まれて好適に使用されるものである。次に、セラミック電子部品1が埋め込まれたセラミック電子部品埋め込み型配線基板の製造方法について、主として図9～図13を参照しながら説明する。

【0066】

まず、図9に示すように、ベース基板30の上に、接着剤31を塗布する。ベース基板30は、特に限定されない。ベース基板30は、例えば、ガラスエポキシ樹脂などの樹脂基板などにより形成することができる。また、ベース基板30の厚みも特に限定されず、例えば、25μm～50μm程度とすることができる。接着剤31としては、例えば、エポキシ樹脂系接着剤を用いることができる。接着剤31は、例えば、熱硬化型の樹脂接着剤であってもよいし、光硬化型の樹脂接着剤であってもよい。

20

【0067】

次に、接着剤31の上にセラミック電子部品1を配置し、接着剤31を硬化させ、図10に示すように、接着剤32を形成することにより、セラミック電子部品1をベース基板30に対して接着させる。

【0068】

次に、図11に示すように、ベース基板30のセラミック電子部品1が配置されていない部分の上に、コア材33を配置する。そして、コア材33及びセラミック電子部品1の上に、半硬化状態の硬化型樹脂を含むシート34を押し当ててプレスし、その状態でシート34を本硬化させる。これにより、図12に示すように、ベース基板30、コア材33及びシート34からなる配線基板本体35内にセラミック電子部品1が埋め込まれてなる配線基板37を完成させることができる。なお、コア材33は、例えば、ガラスエポキシ樹脂など樹脂基板などにより形成することができる。

30

【0069】

次に、ベース基板30の上に、パターンニングされたCu層36の上から配線基板37にレーザー光線を照射する（コンフォーマルマスク法）。これにより、配線基板37に第1，第2の外部電極13，14に開口するビアホール39（図13を参照）が形成される。なお、通常は、レーザー光線のスポット径が100μm程度であるため、第1の部分13a、14aの長さ方向Lに沿った長さは、170μm～250μm程度であることが好ましい。

40

【0070】

その後、ビアホール39の側壁などに付着したスミアを除去するデスミア処理を行う。具体的には、過マンガン酸カリウムなどの強アルカリで処理することによりスミアを除去した後に、酸リンスを施す。

【0071】

なお、ビアホール39内に第1，第2の外部電極13，14に接続された導体を形成するために、無電解めっきなどのめっきをさらに行ってもよい。

50

【0072】

ところで、従来の角柱状であり、第1及び第2の内部電極が多数設けられているセラミック電子部品においては、セラミック電子部品が厚み方向Tに反りにくく、セラミック電子部品の反りは、それほど大きな問題にはならなかった。しかしながら、本実施形態のように、 $T < W$ 、 $1/5 W < T < 1/2 W$ 、 $T = 0.3 \text{ mm}$ であるような、扁平形状の薄型セラミック電子部品では、セラミック素体10の厚み寸法Tが小さいため、セラミック素体10が厚み方向に反りやすいという問題が生じる。

【0073】

例えば、図14に示すように、セラミック素体10が厚み方向に反っている場合は、セラミック電子部品を埋め込んだ配線基板に対してレーザー光を照射してビアホールを形成する際に、図15に模式的に示すように、第1、第2の外部電極13、14によりレーザー光40が、入射方向と異なる方向に反射されてしまう。このため、所望の形状ではない形状のビアホール39が形成されてしまう。その結果、セラミック電子部品1が埋め込まれた配線基板37の電気的特性にばらつきが生じてしまう。

【0074】

それに対して、本実施形態では、セラミックグリーンシート20（図6を参照）が含まれている有機バインダーの重合度が、1000～1500とされている。このため、下記の実験例によっても裏付けられるように、セラミック素体10の反り量を小さくすることができる。具体的には、第1の主面の第1の外部電極の長さ方向の一方側の端部が位置している部分と、第1の主面の第2の外部電極の長さ方向の他方側の端部が位置している部分とを通過する平面と、第1の主面のうちの平面と最も離れた部分との間の距離X1を4.9 μm 以下とすることができる。これにより、セラミック素体10の反り量を好適に低減できる。従って、ビアホール39を高い形状精度で形成でき、配線基板37の電気的特性のばらつきを低減できる。

【0075】

また、本実施形態では、第2の導電性ペースト層23が形成されたマザー積層体22のプレス工程によって、第2の導電性ペースト層23の表面の表面粗さが小さくされる。その結果、第1及び第2の外部電極13、14の表面の表面粗さを小さくすることができる。具体的には、第1及び第2の外部電極13、14のそれぞれの表面の表面粗さ(Ra)を、1.55 μm 以下とすることができる。従って、図16に示すように、レーザー光40の反射散乱を抑制することができる。その結果、ビアホール39の形状精度をより高めることができ、配線基板37の電気的特性のばらつきをより効果的に低減できる。

【0076】

以下、本発明を実施した好ましい形態の他の例について説明する。以下の説明において、上記第1の実施形態と実質的に同様の機能を有する部材を同じ符号で参照し、説明を省略する。

【0077】

（第2の実施形態）

図17は、第2の実施形態に係るセラミック電子部品の略図的断面図である。

【0078】

上記第1の実施形態では、第1及び第2の内部電極11、12を第1または第2の端面10e、10fに引き出すと共に、第1及び第2の端面10e、10fの上に、第1または第2の外部電極13、14を形成することにより、第1及び第2の内部電極11、12を第1または第2の外部電極13、14と電気的に接続する例について説明した。但し、本発明は、この構成に限定されない。

【0079】

例えば、図17に示すように、ビアホール電極25a、25bを形成し、第1及び第2の内部電極11、12を第1及び第2の主面10a、10bに引き出し、第1及び第2の主面10a、10bにおいて、第1及び第2の外部電極13、14と電気的に接続させてもよい。この場合は、第1及び第2の外部電極13、14は、第1及び第2の主面10a

、10bの少なくとも一方に形成されていればよく、第1及び第2の側面10c、10dや第1及び第2の端面10e、10fの上には、第1及び第2の外部電極13、14は、必ずしも形成されていなくてもよい。

【0080】

(実験例1～5)

下記の表1に示すようにバインダーの重合度を種々異ならせて、上記第1の実施形態のセラミック電子部品1と同様の構成を有する、セラミックコンデンサとしてのセラミック電子部品を、上記第1の実施形態に記載の製造方法で10000個ずつ作製し、配線基板に実装した。そして、実装に際して、マウント機の吸着ヘッドに吸着されなかったものの数量(吸着不良数量)をカウントした。また、マウント時に割れや欠けが発生したものの数量(割れ欠け数量)をカウントした。結果を下記の表1に示す。

【0081】

また、第1の主面の形状をレーザー変位計をもちいて計測し、X1、X2を測定した。結果を下記の表1に示す。

【0082】

なお、実験例1～5における詳細な条件は以下の通りである。

【0083】

(実験例1～5の条件)

セラミック層の厚み(焼成後): 4 μm

バインダー: ポリビニルブチラール

セラミック材料: BaTiO₃

内部電極の数量: 23枚

設計容量: 100 pF

セラミック電子部品の寸法: 長さ1mm、幅0.5mm、厚み0.14mm

第2の導電層: Cuめっき層2層の積層体(全体厚: 7.5 μm)

焼成最高温度: 1200

焼成最高温度でのキープ時間: 2時間

第2の導電性ペースト層形成後のマザー積層体のプレス圧: 77.2 MPa

コア材の厚み: 0.15mm

ベース基板の厚み: 25 μm

ビアホール of 長さ: 25 μm

ビアホール形成時に照射したレーザー光: CO₂レーザー

レーザー光の照射条件: 2mjで16 μ秒間照射

【0084】

【表1】

実験例	1	2	3	4	5
重合度	900	1000	1200	1500	1600
X1(μm)	5.9	4.9	1.9	1.7	形成不能
吸着不良(個)	48/10000	0/10000	0/10000	0/10000	
割れ欠け(個)	12/10000	0/10000	0/10000	0/10000	

【0085】

上記表1に示すように、X1が4.9 μmより大きい実験例1では、吸着不良が発生したり、マウント時に割れや欠けが発生する場合があった。それに対して、X1が4.9 μm以下である実験例2～5は、吸着不良が発生せず、また、マウント時に割れや欠けも発生しなかった。重合度が1600である実験例5では、ペーストが好適に形成できず、セラミック素体を形成できなかった。以上の結果より、樹脂バインダーの重合度を1000～1500とし、X1を4.9以下とすることが好ましいことが分かる。

【0086】

(実験例6～10)

実験例 6 ～ 10 では、実験例 3 と同様の条件で、下記の表 2 に示すように、第 2 の導電性ペースト層形成後のマザー積層体のプレス圧を種々異ならせてセラミックコンデンサとしてのセラミック電子部品を各 30 個作製した。作製した各 30 個のセラミック電子部品のそれぞれについて、第 1 の外部電極の第 1 の部分の形状をレーザー変位計を用いて測定し、表面粗さ (Ra) を計測した。結果を下記の表 2 に示す。

【 0087 】

また、上記作製のセラミック電子部品を上記第 1 の実施形態に記載の方法で配線基板に実装した。その実装時において、第 1 の電極の第 1 の部分に対して、直径 100 μm のレーザー光を照射し、ピアホールを形成した。そして、形成されたピアホールの直径をマイクロスコプを用いて測定し、反射レーザー光の直径とした。そして、反射レーザー光の直径を入射レーザー光の直径で除算することにより、反射散乱率を算出した。結果を下記の表 2 に示す。

【 0088 】

【表 2】

実験例	1	2	3	4	5
弾性体の厚み(mm)	0.05	0.10	0.10	0.15	0.20
プレス圧(MPa)	77.2	77.2	71.5	77.2	77.2
表面粗さ(Ra)	0.80	0.90	1.23	1.55	2.00
反射散乱率(%)	3	3	5	8	12

【 0089 】

上記表 2 に示す結果から、第 1 , 第 2 の外部電極の第 1 の部分の表面の表面粗さ (Ra) を 1.55 μm 以下とすることにより、反射散乱率を 10 % 以下にできることが分かる。

【符号の説明】

【 0090 】

1 ... セラミック電子部品

10 ... セラミック素体

10A ... 有効部

10a ... 第 1 の主面

10b ... 第 2 の主面

10c ... 第 1 の側面

10d ... 第 2 の側面

10e ... 第 1 の端面

10f ... 第 2 の端面

10g ... セラミック層

11 ... 第 1 の内部電極

12 ... 第 2 の内部電極

13 ... 第 1 の外部電極

13a ... 第 1 の部分

13b ... 第 2 の部分

13c ... 第 3 の部分

14 ... 第 2 の外部電極

14a ... 第 1 の部分

14b ... 第 2 の部分

14c ... 第 3 の部分

15 ... 第 1 の導電層

16 ... 第 2 の導電層

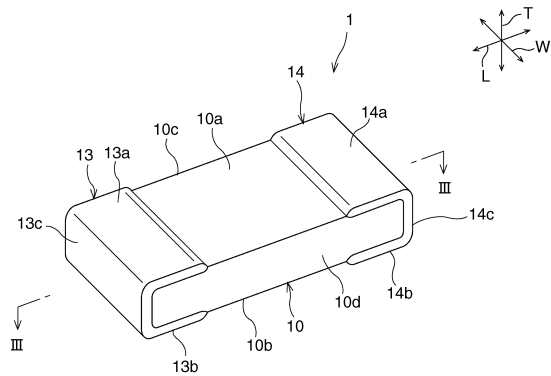
20 ... セラミックグリーンシート

21 ... 第 1 の導電性ペースト層

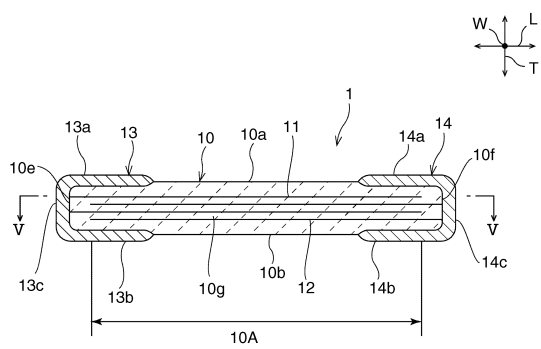
- 2 2 ... マザー 積層体
- 2 3 ... 第 2 の 導 電 性 ペースト 層
- 2 4 a、2 4 b ... 弾 性 体
- 2 5 a、2 5 b ... ピアホール電極
- 3 0 ... ベース基板
- 3 1 ... 接着剤
- 3 2 ... 接着剤
- 3 3 ... コア材
- 3 4 ... シート
- 3 5 ... 配線基板本体
- 3 6 ... C u 層
- 3 7 ... 配線基板
- 3 9 ... ピアホール
- 4 0 ... レーザー光

10

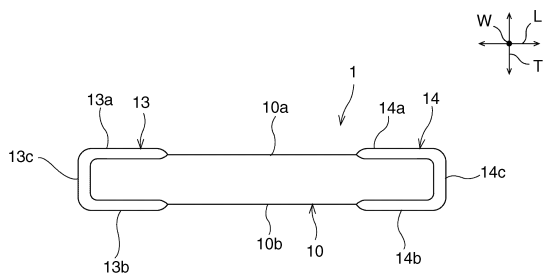
【図 1】



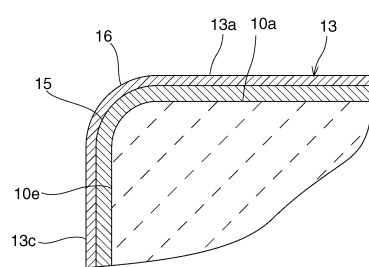
【図 3】



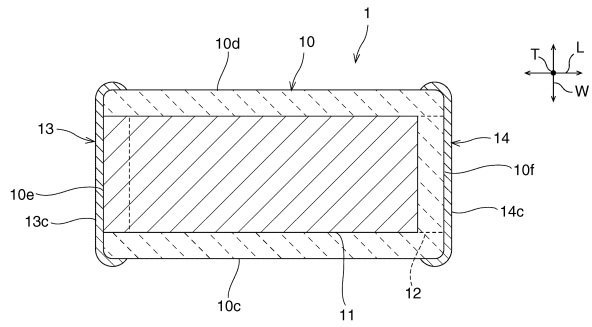
【図 2】



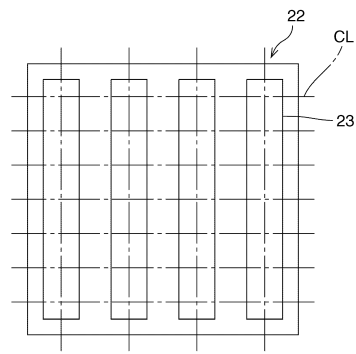
【図 4】



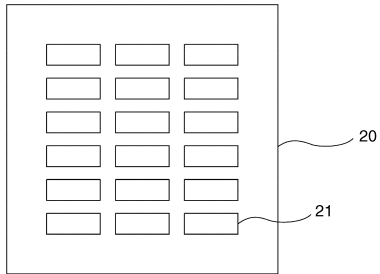
【図 5】



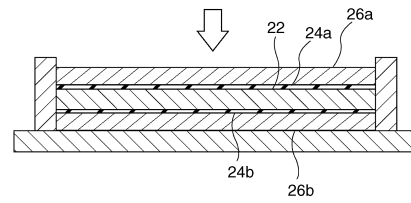
【図 7】



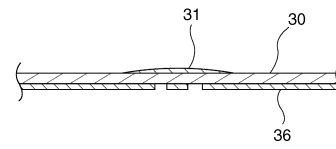
【図 6】



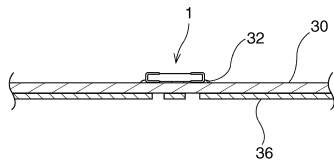
【図 8】



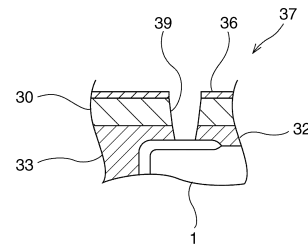
【図 9】



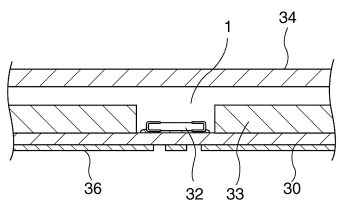
【図 10】



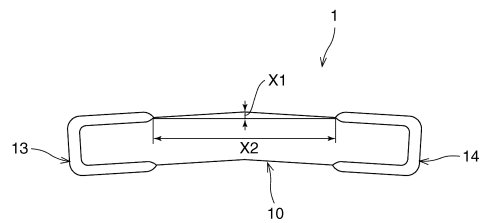
【図 13】



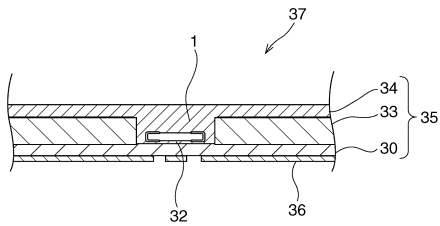
【図 11】



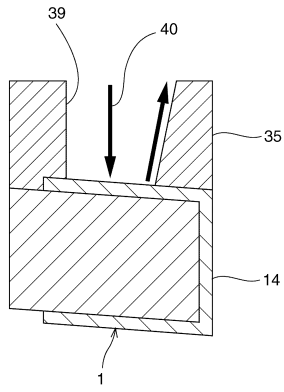
【図 14】



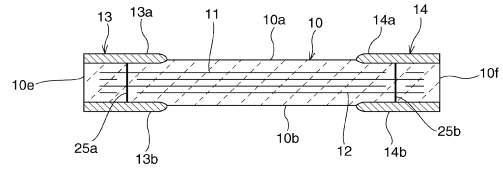
【図 12】



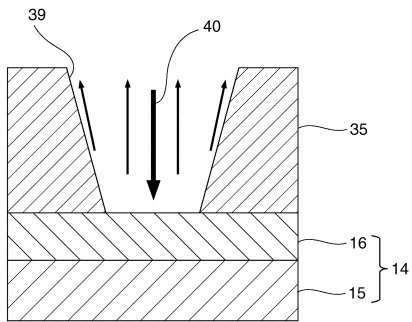
【図 15】



【図 17】



【図 16】



フロントページの続き

合議体

審判長 酒井 朋広

審判官 関谷 隆一

審判官 井上 信一

- (56)参考文献 特開2010-141300(JP,A)
特開平10-106882(JP,A)
特開2006-83060(JP,A)
特許第4299833(JP,B2)
特開平10-270283(JP,A)
特開2010-129737(JP,A)
特開2003-37022(JP,A)
特開2002-100527(JP,A)
特開平6-112085(JP,A)
特開2004-289090(JP,A)
特開2003-77756(JP,A)