(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3768608号
(P3768608)
(45)発行日　平成18年4月19日(2006.4.19)　(24)登録日　平成18年2月10日(2006.2.10)

(51)Int.Cl.　F I
G11C 11/401 (2006.01)　G11C 11/34 362C

請求項の数 17 (全 20 頁)

(21)出願番号　特願平8-212423
(22)出願日　平成8年8月12日(1996.8.12)
(65)公開番号　特開平9-213067
(43)公開日　平成9年8月15日(1997.8.15)
審査請求日　平成13年11月14日(2001.11.14)
(31)優先権主張番号　60/010,072
(32)優先日　平成8年1月30日(1996.1.30)
(33)優先権主張国　米国(US)

前置審査

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　中村　正行
アメリカ合衆国、テキサス州　７５０２４、プラノ、プレストン・ロード　６９００、＃２５１４

審査官　加藤　俊哉

最終頁に続く

(54)【発明の名称】半導体装置および半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
第１クロック信号を受取るための第１外部端子と、
第２クロック信号を受取るための第２外部端子と、
複数の外部データ出力端子と、
前記第１クロック信号に応答してイネーブル信号を出力するための第１回路と、
前記第２クロック信号に応答してタイミング信号を出力するための第２回路と、
前記複数の外部データ出力端子にそれぞれ結合された複数のデータ出力回路と、
チップセレクト信号を受取るための第３外部端子と、
カラムアドレスストローブ信号を受取るための第４外部端子と、
ロウアドレスストローブ信号を受取るための第５外部端子と、
ライトイネーブル信号を受取るための第６外部端子と、
データを格納するためのメモリアレイと、
前記第１外部端子に結合された制御回路とを具備し、
前記複数のデータ出力回路の各々は、前記イネーブル信号を受取るための第１入力ノードと、前記タイミング信号を受取るための第２入力ノードとを有しており、
前記複数のデータ出力回路は、前記イネーブル信号がアクティブのときに、前記タイミング信号に応答してデータを出力するものであり、
前記制御回路は、前記第１クロック信号に応答してメモリアクセスを指示し、それによって、前記メモリアレイに格納されている前記データが前記複数のデータ出力回路へと読

み出されることを特徴とする半導体装置。
【請求項２】
請求項１記載の半導体装置において、
前記第１外部端子は、前記複数の外部データ出力端子が配列されている領域の外部に配置されており、
前記第２外部端子は、前記領域の内部に配置されていることを特徴とする半導体装置。
【請求項３】
請求項１又は２記載の半導体装置において、
前記第１外部端子が前記半導体装置の中央部に配置されていることを特徴とする半導体装置。
【請求項４】
請求項１、２又は３記載の半導体装置において、
前記第１外部端子、前記第２外部端子、および前記複数の外部データ出力端子が直線に沿って配列されていることを特徴とする半導体装置。
【請求項５】
第１クロック信号を受取るための第１外部端子と、
第２クロック信号を受取るための第２外部端子と、
複数の外部データ出力端子と、
前記複数の外部データ出力端子にそれぞれ結合された複数のデータ出力回路と、
前記第１クロック信号に応答してイネーブル信号を出力するための第１回路と、
前記第２クロック信号を受取るための第１入力ノードと、前記イネーブル信号を受取るための第２入力ノードとを有する第２回路と、
チップセレクト信号を受取るための第３外部端子と、
カラムアドレスストローブ信号を受取るための第４外部端子と、
ロウアドレスストローブ信号を受取るための第５外部端子と、
ライトイネーブル信号を受取るための第６外部端子と、
前記第３乃至第６外部端子から入力される信号を受けてコマンドを設定するモードレジスタとを具備し、
前記第２回路は、前記イネーブル信号がアクティブのときに、前記第２クロック信号に応答してタイミング信号を出力し、
前記複数のデータ出力回路は、前記タイミング信号に応答してデータを出力するものであり、
前記第１外部端子が前記半導体装置の中央部に配置されていることを特徴とする半導体装置。
【請求項６】
請求項５記載の半導体装置において、
前記第１外部端子は、前記複数の外部データ出力端子が配列されている領域の外部に配置されており、
前記第２外部端子は、前記領域の内部に配置されていることを特徴とする半導体装置。
【請求項７】
請求項５又は６記載の半導体装置において、
前記データを格納するためのメモリアレイと、
前記第１外部端子に結合された制御回路とを有し、
前記制御回路が、前記第１クロック信号に応答してメモリアクセスを指示し、それによって、前記メモリアレイに格納されている前記データが前記複数のデータ出力回路へと読み出されることを特徴とする半導体装置。
【請求項８】
請求項５、６又は７記載の半導体装置において、
前記第１外部端子、前記第２外部端子、および前記複数の外部データ出力端子が直線に沿って配列されていることを特徴とする半導体装置。

【請求項９】
メモリアレイと、
第１クロック信号を受けるための第１外部端子と、
前記第１外部端子と離れた位置に配置され、第２クロック信号を受けるための第２外部端子と、
第３クロック信号を受けるための第３外部端子と、
前記メモリアレイから読み出された第１データを保持するための第１出力回路とを有し、
前記第１クロック信号に基づいて前記第１出力回路は出力イネーブル状態にされ、前記第１出力回路から前記第１データが出力されるタイミングが前記第２クロック信号に基づいて制御され、
前記第３クロック信号に基づいて第２データの出力のタイミングが制御されることを特徴とする半導体記憶装置。
【請求項１０】
メモリアレイと、
第１クロック信号を受けるための第１外部端子と、
第２クロック信号を受けるための第２外部端子と、
第３クロック信号を受けるための第３外部端子と、
前記メモリアレイから読み出された第１データを保持するための第１出力回路と、
前記メモリアレイから読み出された第２データを保持するための第２出力回路とを具備し、
前記第１出力回路は、前記第１クロック信号に基づいて出力イネーブル状態とされ、
前記第１出力回路から前記第１データが出力されるタイミングは、前記第２クロック信号に基づいて制御され、
前記第２出力回路から前記第２データが出力されるタイミングは、前記第３クロック信号に基づいて制御されることを特徴とする半導体記憶装置。
【請求項１１】
請求項１０記載の半導体記憶装置において、
前記第１、第２及び第３クロック信号は同相の信号であることを特徴とする半導体記憶装置。
【請求項１２】
メモリアレイと、
第１クロック信号を受けるための第１外部端子と、
第２クロック信号を受けるための第２外部端子と、
第３クロック信号を受けるための第３外部端子と、
前記メモリアレイから読み出されたデータを出力するための第４外部端子とを備え、
前記メモリアレイ内のメモリセルに対する選択動作は、前記第１クロック信号に基づいて制御され、
前記メモリセルからの読出しデータが前記第３外部端子から出力されるタイミングは前記第２クロック信号に基づいて制御され、
前記第３クロック信号に基づいて第２データの出力のタイミングが制御され、
前記第２クロック信号は前記第１クロック信号と同相の信号であり、
前記第１外部端子は半導体チップの中心部に配置され、前記第２外部端子は前記中心部から離間した位置に配置されたことを特徴とする半導体記憶装置。
【請求項１３】
第１クロック信号を受取るための第１外部端子と、
第２クロック信号を受取るための第２外部端子と、
複数の外部データ入力端子と、
前記第１クロック信号に基づいてイネーブル信号を出力するための第１回路と、
前記第２クロック信号に応答してタイミング信号を出力するための第２回路と、

前記複数の外部データ入力端子にそれぞれ結合された複数のデータ入力回路と、
複数のビット線と複数のワード線と前記複数のワード線と前記複数のビット線の交点に設けられた複数のメモリセルを有するメモリアレイと、
チップセレクト信号を受取るための第３外部端子と、
カラムアドレスストローブ信号を受取るための第４外部端子と、
ロウアドレスストローブ信号を受取るための第５外部端子と、
ライトイネーブル信号を受取るための第６外部端子と、
前記第３乃至第６外部端子から入力される信号を受けるコントローラとを具備し、
前記複数のデータ入力回路の各々は、前記イネーブル信号を受取るための第１入力ノードと、前記タイミング信号を受取るための第２入力ノードとを有し、
前記複数のデータ入力回路は、前記イネーブル信号がアクティブのときに、前記タイミング信号に応答してデータが入力されるものであり、
前記コントローラはモードレジスタを具備し、内部タイミング信号を形成し、
前記メモリアレイ内のメモリセルに対する選択動作が前記第１クロック信号に基づいて制御されることを特徴とする半導体装置。

【請求項１４】
請求項１３記載の半導体装置において、
前記半導体装置は、前記第１クロック信号をマスタクロックとして動作するＳＤＲＡＭであることを特徴とする半導体装置。

【請求項１５】
第１クロック信号を受取るための第１外部端子と、
第２クロック信号を受取るための第２外部端子と、
複数の外部データ入力端子と、
複数のビット線と複数のワード線と前記複数のワード線と前記複数のビット線の交点に設けられた複数のメモリセルを有するメモリアレイと、
前記第２クロック信号に応答してタイミング信号を出力するための第１回路と、
前記複数の外部データ入力端子にそれぞれ結合された複数のデータ入力回路と、
チップセレクト信号を受取るための第３外部端子と、
カラムアドレスストローブ信号を受取るための第４外部端子と、
ロウアドレスストローブ信号を受取るための第５外部端子と、
ライトイネーブル信号を受取るための第６外部端子と、
前記第３乃至第６外部端子から入力される信号を受けるコントローラとを具備し、
前記複数のデータ入力回路の各々は、前記タイミング信号を受取るための第１入力ノードを有し、
前記複数のメモリセルへの選択動作は、前記第１クロック信号に基づいて制御され、
前記複数のデータ入力回路は、前記タイミング信号に応答してデータが入力されるものであり、
前記コントローラはモードレジスタを具備し、内部タイミング信号を形成することを特徴とする半導体装置。

【請求項１６】
請求項１５記載の半導体装置において、
前記半導体装置は、前記第１クロック信号に基づいてイネーブル信号を出力するための第２回路を更に具備し、
前記第１回路は、前記イネーブル信号が入力される第２入力ノードを更に有し、前記イネーブル信号により動作状態が制御されることを特徴とする半導体装置。

【請求項１７】
請求項１６記載の半導体装置において、
前記半導体装置は、前記第１クロック信号をマスタクロックとして動作するＳＤＲＡＭであることを特徴とする半導体装置。

【発明の詳細な説明】

【０００１】
【発明の属する技術分野】
本発明は一般的に半導体設計技術に関し、特に、半導体装置の多重入力／出力の同期化のための方法および装置に関するものである。
【０００２】
【従来の技術】
電子システムの設計においては、速度およびタイミングの制約は常に考慮すべき重要な要素であった。ほとんどのシステム設計の場合、使用されるすべての構成要素のタイミング上の要求に適合させつつ、且つ、高速を実現するために最適化する必要がある。その結果、多くの集積回路、即ち“チップ”が、同期設計を用いている。同期化チップとは、チップの素子が共通のシステムクロックに接続されたチップのことである。同期化チップは、入力および出力に接続されたラッチあるいはレジスタを有しており、そのすべてが単一のモノリシックチップ上に存在している。更に、同期化チップは、外部の論理チップが少なく、高速である等、システム設計者に多くの便益を提供している。一方、同期化チップは、チップ設計者に幾つかの設計上の困難さをも課している。
【０００３】
【発明が解決しようとする課題】
そのような設計上の困難さの１つに、チップにおけるクロック信号の配線決定の問題がある。伝送線のインピーダンスの影響のために、チップの１つの側におけるクロック信号が、チップの反対側におけるクロック信号より遅延してしまうのが典型的である。この問題は、チップサイズの増大により、又、入出力（“Ｉ／Ｏ”）ポートの数の増加によって、悪化される。例えば、２５６Ｍビットのダイナミックランダムアクセスメモリ（“ＤＲＡＭ”）ではサイズが非常に大きく、単一チップで１６個ものＩ／Ｏポートを有することがある。
【０００４】
以下、図１、図２及び図３を用いて、本発明に先立って本発明者が検討した課題を説明する。
【０００５】
図１は、従来の２５６Ｍビットの同期化ＤＲＡＭデバイスのブロック図であり、ＤＲＡＭは全体として参照番号１０で示されている。デバイス１０は、４個のアレイ１２～１５を有しており、そのアレイの各々は６４メガビットのメモリ、複数のＩ／Ｏポート（外部端子）ＤＱ０～ＤＱ７，ＤＱ８～ＤＱ１５、クロック信号（“ＣＬＫ”）を受取るクロック（ＣＬＫ）入力、および全体として参照番号１６で示されている付加的なアドレスおよび制御ポートを有している。
【０００６】
図２は、１６個のＩ／ＯポートＤＱ０～ＤＱ１５に付属するＩ／Ｏレジスタを制御するために、ＣＬＫ信号がどのように用いられるかを示している。１６個のＩ／ＯポートＤＱ０～ＤＱ１５の各々には、レジスタＲＥＧ０～ＲＥＧ１５および論理ゲートＡＮＤ０～ＡＮＤ１５が、それぞれ接続されている。伝送線ＩＮＴによって、論理ゲートＡＮＤ０～ＡＮＤ１５の各々へＣＬＫ信号の経路が設けられている。伝送線ＩＮＴのインピーダンスは、一連の抵抗Ｒおよびコンデンサ Ｃにより示されている。論理ゲートＡＮＤ０～ＡＮＤ１５の各々へ入力される伝送線ＩＮＴ上の点は、ＩＮＴ（０）～ＩＮＴ（１５）としてそれぞれ示されている。
【０００７】
ＣＬＫ信号は、又、コントローラ１９を介してデータ出力イネーブル（“ＤＯＥ”）信号を生成するために用いられている。論理ゲートＡＮＤ０～ＡＮＤ１５は、ＤＯＥ信号とＣＬＫ信号を論理的に組み合わせて、レジスタクロックＣ０～Ｃ１５をそれぞれ生成している。このようにして、ＣＬＫ信号およびＤＯＥ信号は、内部信号ＤＡＴ０～ＤＡＴ１５のＩ／ＯポートＤＱ０～ＤＱ１５への出力のタイミングをそれぞれ同時に制御している。しかし、ＣＬＫ信号に対する伝送線ＩＮＴのインピーダンスのために、後に示すように、内

部信号ＤＡＴ０～ＤＡＴ１５は同時に出力されない。

【０００８】

図３は、デバイス１０（図２）の読み出し動作のタイミング図を示している。デバイス１０全体へのアクセス時間は、時点Ｐ１でのＣＬＫ信号の立ち上がりから、Ｉ／ＯポートＤＱ０～ＤＱ１５のうち最後のものが有効な出力データを有するまでの時間として計測される。デバイス１０では、出力データＱ０が最後の有効なデータを持つものである。これは、伝送線ＩＮＴのインピーダンスのために、ＣＬＫ入力（図２）から点ＩＮＴ（０）まで計測されたＣＬＫ信号の伝搬遅延が最も長い遅延となるからである。遅延ｔＲＣ０は、ＣＬＫ入力におけるＣＬＫ信号と点ＩＮＴ（０）におけるＣＬＫ信号との差を表している。伝送線の影響は点ＩＮＴ（０）～ＩＮＴ（１５）がＣＬＫ入力に近ければ近いほど少なく現れるので、遅延ｔＲＣ０は、ＣＬＫ入力と点ＩＮＴ（７）とにおけるＣＬＫ信号の差である遅延ｔＲＣ７より大きい。その結果、ＣＬＫ入力から最も遠いＩ／Ｏポートに対するインピーダンスの影響が大きいために、遅延ｔＲＣ０およびｔＲＣ７によって示されるように、伝送線ＩＮＴによってデバイス１０のアクセス時間が遅くなってしまう。従って、必要とされているのは、伝送線インピーダンスのＣＬＫ信号に対する影響を減少させて、デバイス１０の速度および精度を向上させることである。

【０００９】

高速性能を妨げ、チップのサイズを増大させる設計上の他の問題は、列冗長構成を実現するために必要な余分の回路に関するものである。列冗長構成についてはこの技術分野ではよく知られており、欠陥を含むビット列を他の冗長なビット列によって単純に置き換えることを可能にするものである。例えば、図１を参照すると、アレイ１２～１５の各々は、例えば、アレイ１２の列Ｃ１およびＣＲのように、列に配列された複数のビットを含んでいる。ＣＲ列は冗長列であり、他の列に何の欠陥も無い場合には未使用のままとされる。しかし、ある列に欠陥がある場合、例えば列Ｃ１のビットＢ１が欠陥ビットであるとすれば、列Ｃ１をディスエーブルとし冗長列ＣＲをイネーブルとすることにより、冗長列ＣＲにより列Ｃ１を“救済”することができる。冗長列ＣＲによって列Ｃ１を救済することを可能にする情報が、冗長デコーダ回路１７に格納されている。

【００１０】

動作の際には、デバイス１０はアドレスおよび制御ポート１６から行信号および列信号（図示されていない）を受取る。最初に行信号が受取られて行アドレスバッファ（“ＲＡＢ”）１８ａに格納され、そこで個々のビット行をアドレスするために用いられる。次に列信号が受取られて列アドレスバッファ（“ＣＡＢ”）１８ｂに格納され、そこで列Ｃ１等の個々のビット列をアドレスするために用いられる。次いで、列信号は冗長デコーダ回路１７へと駆動され、そこにおいて、アドレスされた行と列が救済された列であるかチェックされる。そこから、列信号は、バス１７ａおよび１７ｂを介して、それぞれ１群の列デコーダＣＤ１およびＣＤ２へと駆動される。列アドレス信号がアドレスおよび制御ポート１６から列デコーダＣＤ１およびＣＤ２に達する時間が、直接デバイス１０の速度を左右する。従って、ＣＡＢ１８ｂおよび冗長デコーダ回路１７は、アドレスおよび制御ポート１６と列デコーダＣＤ１およびＣＤ２との間に直接配置され、それによって列信号が伝送される距離を最小にし、デバイス１０の速度を増加させるようにしている。

【００１１】

その結果、アドレスおよび制御ポート１６と列デコーダＣＤ１およびＣＤ２との間の領域は非常に密集することになる。従って、アドレスおよび制御ポート１６と列デコーダＣＤ１およびＣＤ２との間に存在する回路の数およびサイズを減少させ、列信号が伝送される距離を短くし、そのような密集した領域の設計の煩わしさを簡単にすることが必要とされている。更に、アドレスおよび制御ポート１６と列デコーダＣＤ１およびＣＤ２との間にある回路の数およびサイズを減少させれば、必ずデバイス１０の速度に直接的な影響を及ぼすことになる。

【００１２】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から

明らかになるであろう。
【００１３】
【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。
【００１４】
すなわち、本発明は、半導体装置においてクロック信号に対する伝送線のインピーダンスの影響を減少させる方法および装置を提供するものである。先行技術とは異なり、本発明は、デバイスの同期的なＩ／Ｏポートの近くに配置された多重クロック入力を含むものであり、それにより内部クロック信号が伝送される最大距離を減少させ、更に、内部クロック信号の伝送線のインピーダンスにより引き起こされる遅延の量を減少させるものである。
【００１５】
第２の実施形態では、本発明のデバイスは読み出し専用メモリ（“ＲＯＭ”）を含んでおり、それは冗長列へのアクセスを実行するのに有用な情報を得るために行アドレスを解読するようにプログラムされたものであり、それにより、デバイスの速度が向上され、デバイスの列デコーダとアドレスポートとの間の非常に密集した領域に余分のスペースを提供することができる。
【００１６】
本発明により達成される技術的に有利な点は、伝送線のインピーダンスのクロック信号に対する影響を減少させることにより、集積回路の速度を向上させることができることである。
【００１７】
本発明により達成される技術的に他の有利な点は、個々の素子におけるクロック信号の変動を減少させることにより、集積回路の精度を向上させることができることである。
【００１８】
本発明により達成される技術上の他の有利な点は、集積回路のＩ／Ｏを異なる周波数で動作させることができることである。
【００１９】
本発明により達成される技術上の他の有利な点は、個々の素子におけるクロック信号の変動を減少させることにより、データ入力のセットアップタイムおよびホールドタイムを改善することができることである。
【００２０】
本発明により達成される技術上の他の有利な点は、アドレスポートと列デコーダとの間のアクセス経路が密集度の少ないものになることである。
【００２１】
本発明により達成される技術上の他の有利な点は、ＲＯＭの使用により、アドレスと制御ポートとの間の距離が減少され、救済されたデバイスの速度を改善させることができることである。
【００２２】
本発明により達成される技術上の他の有利な点は、ＲＯＭの使用により、列アドレスサイクルに先行する行アドレスサイクルにおける列冗長性についてのある計算を行うことにより、救済されたデバイスの速度を改善させることができることである。
【００２３】
【発明の実施の形態】
上述のように、図１、図２および図３は、１６個のＩ／Ｏを備えた、本発明に先立って本願発明者が検討した同期化２５６Ｍビットダイナミックランダムアクセスメモリ（“ＤＲＡＭ”）を示すものである。
【００２４】
図４では、参照番号２０によって、本発明の特徴を実現した同期化メモリデバイスが示さ

れている。本発明の好適な実施形態では、デバイス２０は２５６ＭビットＤＲＡＭであるが、本発明はＤＲＡＭへの適用に限定されることはなく、単一のクロック信号あるいは制御信号によって制御される多重ポートを有する任意の集積回路デバイス、例えばプログラマブル論理アレイや他のタイプのＲＡＭに適用することができる。

【００２５】

デバイス２０はデバイス１０（図１）を改善したものであり、そのため、デバイス２０においてデバイス１０の回路および信号と同一な回路および信号は、同じ参照符号あるいは参照番号により示され、変更、修正あるいは改善がなされた回路および信号はどれも新たな符号あるいは番号で示されている。デバイス２０は４個のアレイ１２～１５を含んでおり、その各々は、１６Ｍバイトのメモリ、複数のＩ／Ｏポート（外部端子）ＤＱ０～ＤＱ７およびＤＱ８～ＤＱ１５、３つのクロック信号ＣＬＫ０、ＣＬＫ１およびＣＬＫ２を受取るための３つのクロック入力、および全体として参照番号１６で示される付加的なポート（外部端子）を有している。

【００２６】

図５を参照すると、１６個のＩ／ＯポートＤＱ０～ＤＱ１５の各々にはレジスタＲＥＧ０～ＲＥＧ１５および論理ゲートＡＮＤ０～ＡＮＤ１５がそれぞれ対応しており、内部信号ＤＡＴ０～ＤＡＴ１５のためのレジスタクロックＣ０～Ｃ１５をそれぞれ生成するようになっている。これらの回路はＩ／Ｏバッファに含まれる。図５では、８個の第１のＩ／Ｏポート、論理ゲート、レジスタ、レジスタクロックおよび内部信号だけが示されているが、残り８個のＩ／Ｏポート、論理ゲート、レジスタ、レジスタクロックおよび内部信号は同様に機能し、説明の簡単化のために省略されている。更に、本発明は異なる数のＩ／Ｏ、例えば２４個のＩ／Ｏ、３２個のＩ／Ｏの場合についても同様に適切に作用するので、多くの類似のデバイスに拡張することができる。

【００２７】

ＣＬＫ０信号は、コントローラ１９を介して出力イネーブル信号ＤＯＥを生成するために用いられる。ＣＬＫ１信号は、伝送線ＩＮＴ１を介して論理ゲートＡＮＤ０～ＡＮＤ７の各々に入力される。伝送線ＩＮＴ１のインピーダンスは一連の抵抗ＲおよびコンデンサＣにより表されている。論理ゲートＡＮＤ０～ＡＮＤ７の各々へ入力される伝送線ＩＮＴ１上の点はＩＮＴ１（０）～ＩＮＴ１（７）としてそれぞれ示されている。図示されてはいないが、同様に、第２の伝送線、第２のグループの論理ゲートおよび第２のグループのレジスタがＩ／ＯポートＤＱ８～ＤＱ１５に接続されている。このようにして、ＣＬＫ１信号およびＤＯＥ信号が同時に、ポートＤＱ０～ＤＱ７におけるそれぞれ内部信号ＤＡＴ０～ＤＡＴ７の出力のタイミングを制御しており、同様に、ＣＬＫ２およびＤＯＥ信号が同時に、ポートＤＱ８～ＤＱ１５におけるそれぞれ内部信号ＤＡＴ８～ＤＡＴ１５の出力のタイミングを制御している。ＣＬＫ１信号およびＣＬＫ２信号はそれぞれに対応する伝送線の負荷により影響を受けるが、後に示すように、デバイス２０の速度に対する影響は従来のデバイス１０（図３）の場合に比べて大幅に減少される。

【００２８】

図６を参照すると、デバイス２０全体に関するアクセス時間は、時点Ｐ３でのＣＬＫ０信号の立ち上がりから、Ｉ／ＯポートＤＱ０～ＤＱ１４のうち最後のものが有効なデータを有するまでの時間として計測される。図５の改善された回路によれば、ＣＬＫ１信号がＣＬＫ１入力から点ＩＮＴ１（０）まで伝送される伝搬時間を表す伝送線の遅延ｔＲＣ０は、ＣＬＫ１信号がＣＬＫ１入力から点ＩＮＴ１（３）まで伝送される伝搬時間を表す伝送線の遅延ｔＲＣ３よりわずかに大きい。その結果、Ｉ／ＯポートＤＱ０～ＤＱ１５のうち最後の有効なデータを持つものはやはりＩ／ＯポートＤＱ０であり、デバイス２０全体に関するアクセス時間はＩ／ＯポートＤＱ０のアクセス時間ｔＡＣ０によって決定される。これは、ＩＮＴ１（０）での伝送線のインピーダンスが、ＩＮＴ１（３）での伝送線のインピーダンスより大きいからである。しかし、最も遅いアクセス時間ｔＡＣ０と最も速いアクセス時間ｔＡＣ３との差は非常に小さい。これは、ＣＬＫ１入力と最も遠い伝送線の点ＩＮＴ１（０）との間の最大距離が、図２の伝送線の点ＩＮＴ（０）の場合の２分の１

に減少されているからである。

【００２９】

図７は、本発明の別の実施形態で、より少ない回路を用いるものを示している。特に、図７に示された実施形態は、１６個のＩ／ＯポートＤＱ０～ＤＱ１５の各々が内部信号ＤＡＴ０～ＤＡＴ１５のためのレジスタＲＥＧ０～ＲＥＧ１５にそれぞれ接続されている点で、図５に示された実施形態と類似している。しかし、ＤＯＥ信号は、論理ゲートＡＮＤ０～ＡＮＤ１５に入力される代わりに、ＣＬＫ１信号のための入力バッファ３０とＣＬＫ２信号（図示されていない）のための入力バッファ（図示されていない）とに対するイネーブル入力として機能している。入力バッファ３０は、図５の伝送線ＩＮＴ１と同様の伝送線ＩＮＴ３を駆動している。伝送線ＩＮＴ３のインピーダンスは一連の抵抗ＲおよびコンデンサＣにより表されている。レジスタＲＥＧ０～ＲＥＧ７の各々に対する入力として機能する伝送線ＩＮＴ３上の点は、それぞれＩＮＴ３（０）～ＩＮＴ３（７）によって示されている。

【００３０】

図８を参照すると、図７の実施形態のタイミング図は、図５の実施形態のタイミング図である図６と類似していることが分かる。更に、付加的な入力バッファ３０により引き起こされる伝搬遅延は、論理ゲートＡＮＤ０～ＡＮＤ７を取り除くことにより補償されている。

【００３１】

再び図５および図７を参照すると、本発明の両方の実施形態とも、既に説明したものに加えて更に図２に示す技術に対して技術的に有利な点がある。有利な点の１つは、２つの追加的なクロック信号ＣＬＫ１およびＣＬＫ２を備えることにより、システム設計者は、２つのクロックを異なる周波数で動作させることが可能になることである。図９に示されているように、これによりシステム設計者は１バイト分のデータを進めることが可能になる。例えば、上位バイトだけを進める必要のあるバースト動作において、バーストアドレスカウンタ（図示されていない）は、ＤＲＡＭ２０のアドレスを進めることになる。ＣＬＫ２信号はバーストカウンタと共に遷移するが、ＣＬＫ１信号は１度だけ点Ｐ４において遷移する。このように、Ｉ／ＯポートＤＱ０～ＤＱ７（図９ではＩ／ＯポートＤＱ０により代表されている）は定常状態に留まるのに対して、Ｉ／ＯポートＤＱ８～ＤＱ１５（図９ではＩ／ＯポートＤＱ１３により代表されている）はバーストカウンタと共に進める。

【００３２】

図１０を参照すると、本発明の他の有利な点は、書き込み動作の際のセットアップタイミングおよびホールドタイミングに関連したものである。特に、同期的な書き込み動作の際、時点Ｐ５でのＣＬＫ０信号の立ち上がりのそれぞれ前および後にある、共通部分のないセットアップタイムｔＳおよびホールドタイムｔＨの間に、入力データＤ０～Ｄ１５がＩ／ＯポートＤＱ０～ＤＱ１５に提供されなければならない。Ｉ／ＯポートＤＱ０およびＩ／ＯポートＤＱ３を例として考慮すると、データＤ０およびＤ３はそれぞれレジスタＲＥＧ０およびＲＥＧ３によって受取られる。更に、レジスタＲＥＧ０に対するクロックは、Ｐ５におけるＣＬＫ０信号の立ち上がりから遅延ｔＲＣ０だけ遅延し、ＲＥＧ３に対するクロックは、Ｐ５におけるＣＬＫ０信号の立ち上がりから遅延ｔＲＣ３だけ遅延している。しかし、本発明においては、最も長い遅延ｔＲＣ０と最も短い遅延ｔＲＣ３との差は最小限のものとされている。その結果、セットアップタイムｔＳおよびホールドタイムｔＨを短縮することができ、それによってデバイス２０の設計者は、データＤ０～Ｄ１５の有効性を維持しなければならないウィンドウを小さくすることができる。

【００３３】

図１１を参照すると、デバイス２０の一部が拡大されており、列アドレスバッファ（“ＣＡＢ”）３１ａ、行アドレスバッファ（“ＲＡＢ”）３１ｂ、読み出し専用メモリ（“ＲＯＭ”）３１ｃ、列冗長検出（“ＣＲＤ”）回路３２、２つの列デコーダ領域ＣＤ１、ＣＤ２および行デコーダ領域ＲＤ１が示されている。更に、付加的ポート１６は、行アドレス選択ポート１６ａ、列アドレス選択ポート１６ｂ、および複数のアドレスポート（アド

レスポート１６ｃおよび１６ｄなど）を含んでいる。アドレスバッファＣＡＢ３１ａ，ＲＡＢ３１ｂ、デコーダ領域ＣＤ１，ＣＤ２，ＲＤ、および付加的ポート１６ａ～１６ｄはすべて従来の設計のものである。　デバイス２０の上述の素子は、特に、列冗長構成が組み込まれているときの動作の際に有益である。列冗長構成についてはこの技術分野では良く知られているが、列冗長構成とすることにより、デバイスの速度とサイズの面で制約が加わる。

【００３４】

デバイス２０の速度およびサイズは、ＲＯＭ３１ｃおよびＣＲＤ回路３２を用いることにより改善される。ＲＯＭ３１ｃは、行アドレス（図示されていない）を救済された列にリンクさせる回路を含んでいる。ＲＯＭ３１ｃは多くの方法で実現できるが、例えば、フューズの組合せによって実現することもできる。

【００３５】

図１２をも参照すると、動作の際に、デバイス２０はまず行アドレスを受取る。行アドレスはＲＡＢ３１ｂに伝送され、そこで従来の行アドレスバス３３を介して行デコーダ領域ＲＤへと駆動される。又、行アドレスは、第２の行アドレスバス３４上にあるＲＯＭ３１ｃへと駆動され、そこでは、現在のメモリオペレーションが冗長アドレスに対するものであるかどうかについての情報にアクセスするために用いられる。ＲＯＭ３１ｃは、列冗長アドレス情報をバス３６に沿ってＣＲＤ回路３２へと駆動する。それが完了すると、列アドレスが列アドレスバッファＣＡＢ３１ａに受取られる。次いで、列アドレスは、列アドレスバス３８に沿ってＣＲＤ回路３２へと駆動される。次に、ＣＲＤ回路３２は、ＲＯＭ３１ｃからの列冗長アドレス情報とＣＡＢ３１ａからの列アドレスとを用いて、列デコーダＣＤ１，ＣＤ２へ送る正常な列アドレスを決定する。

【００３６】

ＣＲＤ回路３２の列冗長に関する幾らかの処理を予め実施することに加えて、ＲＯＭ３１ｃは密集していない領域に配置することもできる。ＣＲＤ回路３２およびＣＡＢ３１ａはアドレスポート１６ｃ，１６ｄ、および列デコーダＣＤ１，ＣＤ２の近くに配置されており、それによってアドレスポートから列デコーダへの伝搬遅延を最小限のものとすることができる。その結果、この領域は非常に密集することになる。しかし、ＲＯＭ３１ｃは、行アドレスを１サイクル前に受取って、行アドレスについての処理を終えているため、速度上の不利を招くことなしにＲＯＭ３１ｃを離れた領域に配置することができる。従って、列冗長に関するチェックのための処理の一部が予めＲＯＭ３１ｃによってなされるため、又、このＲＯＭがデバイス２０の密集していない領域に配置されているため、ＣＲＤ回路３２はより小さく又より速くでき、本デバイスの速度を速くすることができる。

【００３７】

ＲＯＭ３１ｃとＣＲＤ回路３２との間にある領域を、所定の回路及び所定の配線を形成する領域として用いることができる。上記所定の回路の例として行デコーダ駆動回路４０がある。また、上記所定の配線の例としては行アドレスバス３３がある。行アドレスバス３３は、ＲＯＭ３１ｃとＣＲＤ回路３２との間に結合された配線３６と交差している。

【００３８】

図１３には、図５及び図７に示す回路が適用されたシンクロナスＤＲＡＭ（以下、単にＳＤＲＡＭという）の一実施例のブロック図が示されている。同図に示されたＳＤＲＡＭは、特に制限されないが、公知の半導体集積回路の製造技術によって単結晶シリコンのような１つの半導体基板上に形成される。

【００３９】

この実施例のＳＤＲＡＭは、メモリバンクＡ（ＢＡＮＫＡ）を構成するメモリアレイ２００Ａと、メモリバンクＢ（ＢＡＮＫＢ）を構成するメモリアレイ２００Ｂを備える。それぞれのメモリアレイ２００Ａと２００Ｂは、マトリクス配置されたダイナミック型メモリセルを備え、図に従えば同一列に配置されたメモリセルの選択端子は列毎のワード線（図示せず）に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

【００４０】
上記メモリアレイ２００Ａの図示しないワード線はロウデコーダ２０１Ａによるロウアドレス信号のデコード結果に従って１本が選択レベルに駆動される。メモリアレイ２００Ａの図示しない相補データ線はセンスアンプ及びカラム選択回路２０２Ａに結合される。センスアンプ及びカラム選択回路２０２Ａにおけるセンスアンプは、メモリセルからのデータ読出しによってそれぞれの相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補共通データ線２０４に導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコータ２０３Ａによるカラムアドレス信号のデコード結果に従って選択動作される。
【００４１】
メモリアレイ２００Ｂ側にも同様にロウデコーダ２０１Ｂ，センスアンプ及びカラム選択回路２０２Ｂ，カラムデコーダ２０３Ｂが設けられる。上記相補共通データ線２０４は入力バッファ２１０の出力端子及び出力バッファ２１１の入力端子に接続される。入力バッファ２１０の入力端子及び出力バッファ２１１の出力端子は１６ビットのデータ入出力端子ＤＱ００～ＤＱ１５に接続される。
【００４２】
アドレス入力端子Ａ０～Ａ９から供給されるロウアドレス信号とカラムアドレス信号はカラムアドレスバッファ２０５とロウアドレスバッファ２０６にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファが保持する。ロウアドレスバッファ２０６はリフレッシュ動作モードにおいてはリフレッシュカウンタ２０８から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ２０５の出力はカラムアドレスカウンタ２０７のプリセットデータとして供給され、カラムアドレスカウンタ２０７は後述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ２０３Ａ，２０３Ｂに向けて出力する。
【００４３】
コントローラ１９は、クロック信号ＣＬＫ０、クロックイネーブル信号ＣＫＥ、チップセレクト信号／ＣＳ、カラムアドレスストローブ信号／ＣＡＳ（記号／はこれが付された信号がロウイネーブルの信号であることを意味する）、ロウアドレスストローブ信号／ＲＡＳ、及びライトイネーブル信号／ＷＥなどの外部制御信号と、アドレス入力端子Ａ０～Ａ９からの制御データとが供給され、それらの信号のレベルの変化やタイミングなどに基づいてＳＤＲＡＭの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、そのためのコントロールロジック（図示せず）とモードレジスタ３０を備える。
【００４４】
クロック信号ＣＬＫ０は、ＳＤＲＡＭのマスタクロックとされ、その他の外部入力信号は当該クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号／ＣＳはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号／ＣＳがハイレベルのとき（チップ非選択状態）やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。／ＲＡＳ，／ＣＡＳ，／ＷＥの各信号は通常のＤＲＡＭにおける対応信号とは機能が相違され、後述するコマンドサイクルを定義するときに有意の信号とされる。クロック信号ＣＬＫ０を受ける外部端子は図４に示す様に半導体チップの中心部に配置され、クロック信号ＣＬＫ１及びＣＬＫ２を受ける外部端子は上記中心部から離間して配置される。
【００４５】
クロックイネーブル信号ＣＫＥは次のクロック信号の有効性を指示する信号であり、当該信号ＣＫＥがハイレベルであれば次のクロック信号ＣＬＫ０の立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。さらに、図示しないがリードモードにおいて

、出力バッファ２１１に対するアウトプットイネーブルの制御を行う外部制御信号もコントローラ１９に供給され、その信号が例えばハイレベルのときには出力バッファ２１１は前記ＤＯＥ信号に基づいて高出力インピーダンス状態にされる。

【００４６】

上記ロウアドレス信号は、クロック信号ＣＬＫ０の立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるＡ０～Ａ８のレベルによって定義される。

【００４７】

Ａ９からの入力は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、Ａ９の入力がロウレベルの時はメモリバンクＢＡＮＫＡが選択され、ハイレベルの時はメモリバンクＢＡＮＫＢが選択される。メモリバンクの選択制御は、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入力バッファ２１０及び出力バッファ２１１への接続などの処理によって行うことができる。

【００４８】

後述のプリチャージコマンドサイクルにおけるＡ８の入力は相補データ線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのロウレベルは、Ａ９で指示されている一方のメモリバンクがプリチャージの対象であることを指示する。

【００４９】

上記カラムアドレス信号は、クロック信号ＣＬＫ０の立ち上がりエッジに同期するリード又はライトコマンド（後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド）サイクルにおけるＡ０～Ａ７のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【００５０】

次に、コマンドによって指示されるＳＤＲＡＭの主な動作モードを説明する。

【００５１】

（１）モードレジスタセットコマンド（Ｍｏ）

上記モードレジスタ３０をセットするためのコマンドであり、／ＣＳ，／ＲＡＳ，／ＣＡＳ，／ＷＥ＝ロウレベルによって当該コマンド指定され、セットすべきデータ（レジストセットデータ）はＡ０～Ａ９を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレングス、ＣＡＳレイテンシイ、ライトモードなどとされる。特に制限されないが、設定可能なバーストレングスは、１，２，４，８，フルページ（２５６）とされ、設定可能なＣＡＳレイテンシイは１，２，３とされ、設定可能なライトモードは、バーストライトとシングルライトとされる。

【００５２】

上記ＣＡＳレイテンシイは、後述のカラムアドレス・リードコマンドによって指示されるリード動作において／ＣＡＳの立ち下がりから出力バッファ２１１の出力動作までに内部クロック信号の何サイクル分を費やすかを指示するものである。読出しデータが確定するまでにはデータ読出しのための内部動作時間が必要とされ、それを内部クロック信号の使用周波数に応じて設定するためのものである。換言すれば、周波数の高い内部クロック信号を用いる場合にはＣＡＳレイテンシイを相対的に大きな値に設定し、周波数の低い内部クロック信号を用いる場合にはＣＡＳレイテンシイを相対的に小さな値に設定する。

【００５３】

（２）ロウアドレスストローブ・バンクアクティブコマンド（Ａｃ）

これは、ロウアドレスストローブの指示とＡ９によるメモリバンクの選択を有効にするコマンドであり、／ＣＳ，／ＲＡＳ＝ロウレベル、／ＣＡＳ，／ＷＥ＝ハイレベルによって指示され、このときＡ０～Ａ８に供給されるアドレスがロウアドレス信号として、Ａ９に供給される信号がメモリバンクの選択信号として取り込まれる。取り込み動作は上述のように内部クロック信号の立ち上がりエッジに同期して行われる。例えば、当該コマンドが

指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルがそれぞれ対応する相補データ線に導通される。

【００５４】

（３）カラムアドレス・リードコマンド（Ｒｅ）

このコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストローブの指示を与えるコマンドであり、／ＣＳ，／ＣＡＳ＝ロウレベル、／ＲＡＳ，／ＷＥ＝ハイレベルによって指示され、このときＡ０～Ａ７に供給されるカラムアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ２０７に供給される。これによって指示されたバーストリード動作においては、その前にロウアドレスストローブ・バンクアクティブコマンドサイクルでメモリバンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、内部クロック信号に同期してカラムアドレスカウンタ２０７から出力されるアドレス信号に従って順次選択されて連続的に読出される。連続的に読出されるデータ数は上記バーストレングスによって指定された個数とされる。また、出力バッファ２１１からのデータ読出し開始は上記ＣＡＳレイテンシイで規定される内部クロック信号のサイクル数を待って行われる。

【００５５】

（４）カラムアドレス・ライトコマンド（Ｗｒ）

ライト動作の態様としてモードレジスタ３０にバーストライトが設定されているときは当該バーストライト動作を開始するために必要なコマンドとされ、ライト動作の態様としてモードレジスタ３０にシングルライトが設定されているときは当該シングルライト動作を開始するために必要なコマンドとされる。更に当該コマンドは、シングルライト及びバーストライトにおけるカラムアドレスストローブの指示を与える。当該コマンドは、／ＣＳ，／ＣＡＳ，／ＷＥ＝ロウレベル、／ＲＡＳ＝ハイレベルによって指示され、このときＡ０～Ａ７に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ２０７に供給される。これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはＣＡＳレイテンシイはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【００５６】

（５）プリチャージコマンド（Ｐｒ）

これは、Ａ８，Ａ９によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、／ＣＳ，／ＲＡＳ，／ＷＥ＝ロウレベル、／ＣＡＳ＝ハイレベルによって指示される。

【００５７】

（６）オートリフレッシュコマンド

このコマンドはオートリフレッシュを開始するために必要とされるコマンドであり、／ＣＳ，／ＲＡＳ，／ＣＡＳ＝ロウレベル、／ＷＥ，ＣＫＥ＝ハイレベルによって指示される。

【００５８】

（７）バーストストップ・イン・フルページコマンド

フルページに対するバースト動作を全てのメモリバンクに対して停止させるために必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマンドは、／ＣＳ，／ＷＥ＝ロウレベル、／ＲＡＳ，／ＣＡＳ＝ハイレベルによって指示される。

【００５９】

（８）ノーオペレーションコマンド（Ｎｏｐ）

これは実質的な動作を行わないことを指示するコマンドであり、／ＣＳ＝ロウレベル、／ＲＡＳ，／ＣＡＳ，／ＷＥ＝ハイレベルによって指示される。

【００６０】

ＳＤＲＡＭにおいては、一方のメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。例えば、ＳＤＲＡＭは外部から供給されるデータ、アドレス、及び制御信号を内部に保持する手段を有し、その保持内容、特にアドレス及び制御信号は、特に制限されないが、メモリバンク毎に保持されるようになっている。或いは、ロウアドレスストローブ・バンクアクティブコマンドサイクルによって選択されたメモリブロックにおけるワード線１本分のデータがカラム系動作の前に予め読み出し動作のために図示しないラッチ回路にラッチされるようになっている。

【００６１】

したがって、データ入出力端子ＤＱ０～ＤＱ１５においてデータが衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストローブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。

【００６２】

クロック信号ＣＬＫ０に同期してメモリバンクに対するリード・ライト動作が制御され、図１３に示すＳＤＲＡＭは、クロック信号ＣＬＫ１及びＣＬＫ２に同期してデータを入出力できるため、ＤＲＡＭと同様の大容量メモリをＳＲＡＭに匹敵する高速動作させることが可能であり、また、選択された１本のワード線に対して幾つのデータをアクセスするかをバーストレングスによって指定することによって、内蔵カラムアドレスカウンタ２０７で順次カラム系の選択状態を切り換えていって複数個のデータを連続的にリード又はライトできることが理解されよう。

【００６３】

以上、本発明の例示的な実施形態に基づき説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。ある場合には、本発明のある特徴を用いる一方、本発明の別の特徴は用いないこともできる。

【００６４】

例えば、本発明を任意の信号に対して有益に適用することができる。更に、本発明の範囲を逸脱しないで、例示した実施形態に対して付加的なバッファ、ドライバ、遅延回路および他の回路を追加することができる。従って、添付の特許請求の範囲は本発明の範囲と整合する仕方で広く解釈すべきである。

【００６５】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【００６６】

(1).伝送線のインピーダンスのクロック信号に対する影響を減少させることにより、集積回路の速度を向上させることができる。

【００６７】

(2).個々の素子におけるクロック信号の変動を減少させることにより、集積回路の精度を向上させることができる。

【００６８】

(3).集積回路のＩ／Ｏを異なる周波数で動作させることができる。

【００６９】

(4).個々の素子におけるクロック信号の変動を減少させることにより、データ入力のセットアップタイムおよびホールドタイムを改善することができる。

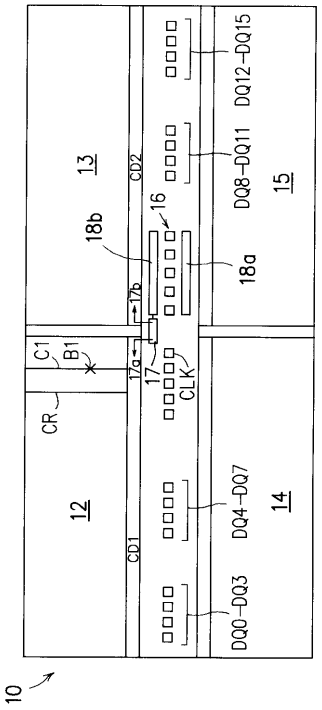
【００７０】

(5).アドレスポートと列デコーダとの間のアクセス経路が密集度の少ないものにすること

ができる。
【００７１】
(6).ＲＯＭの使用により、アドレスと制御ポートとの間の距離が減少され、救済されたデバイスの速度を改善させることができる。
【００７２】
(7).ＲＯＭの使用により、列アドレスサイクルに先行する行アドレスサイクルにおける列冗長性についてのある計算を行うことにより、救済されたデバイスの速度を改善させることができる。
【図面の簡単な説明】
【図１】本発明に先立って本願発明者が検討したＤＲＡＭのブロック図である。
【図２】図１のＤＲＡＭのＩ／Ｏセクションの回路図である。
【図３】図２のＩ／Ｏセクションのタイミング図である。
【図４】本発明の特徴を実現したＤＲＡＭのブロック図である。
【図５】図４のＤＲＡＭのＩ／Ｏセクションの第１の実施形態の回路図である。
【図６】図５のＩ／Ｏセクションのタイミング図である。
【図７】図４のＤＲＡＭのＩ／Ｏセクションの第２の実施形態の回路図である。
【図８】図７のＩ／Ｏセクションのタイミング図である。
【図９】図５および図７の回路の技術的に有利な点を示すタイミング図である。
【図１０】図５および図７の回路の技術的に有利な他の点を示すタイミング図である。
【図１１】図４のＤＲＡＭの他の部分のブロック図である。
【図１２】図１１のＤＲＡＭ部分のタイミング図である。
【図１３】本発明が適用されたＳＤＲＡＭの回路ブロック図である。
【符号の説明】
１２，１３，１４，１５　アレイ
１６　アドレスおよび制御ポート
１６ａ　行アドレス選択ポート
１６ｂ　列アドレス選択ポート
１６ｃ　アドレスポート
１６ｄ　アドレスポート
１９　コントローラ
２０　メモリデバイス
３０　入力バッファ
３１ａ　列アドレスバッファ
３１ｂ　行アドレスバッファ
３１ｃ　ＲＯＭ
３２　列冗長検出回路
３３，３４　行アドレスバス
３６　バス
３８　列アドレスバス
ＡＮＤ０～ＡＮＤ１５　論理ゲート
ＣＤ１，ＣＤ２　列デコーダ
ＣＬＫ０～ＣＬＫ２　クロック入力（クロック信号）
ＤＡＴ０～ＤＡＴ１５　内部信号
ＤＯＥ　データ出力イネーブル信号
ＤＱ０～ＤＱ１５　Ｉ／Ｏポート
ＩＮＴ，ＩＮＴ１，ＩＮＴ３　伝送線
ＩＮＴ１（０）～ＩＮＴ１（７）　伝送線上の点
ＩＮＴ３（０）～ＩＮＴ３（７）　伝送線上の点
ＲＤ１　行デコーダ
ＲＥＧ０～ＲＥＧ１５　レジスタ

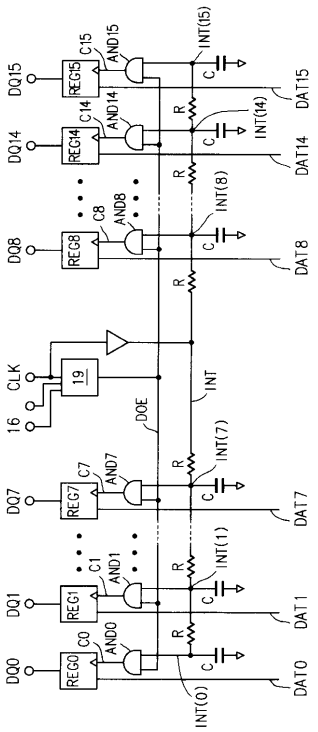
【図１】

図１



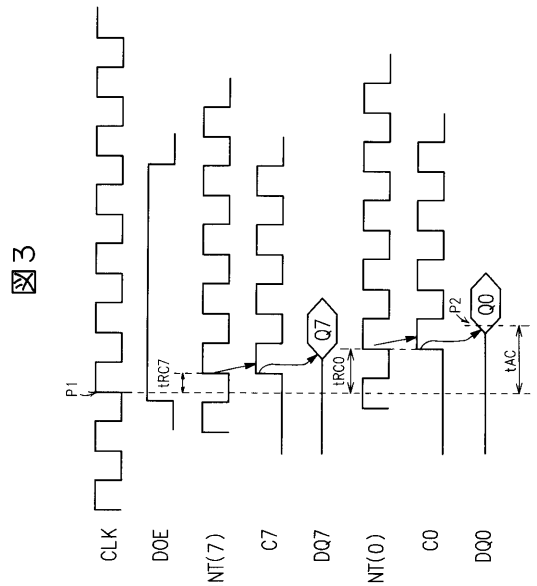
【図２】

図２



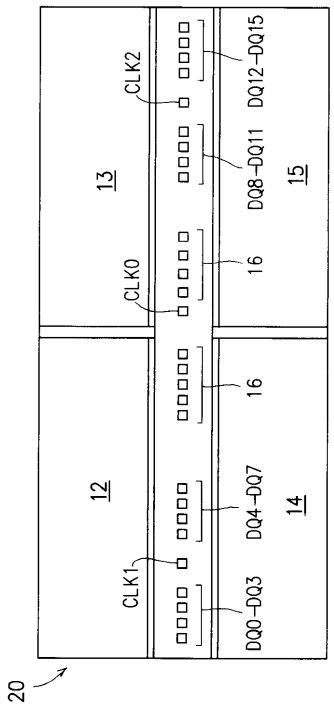
【図３】

図３



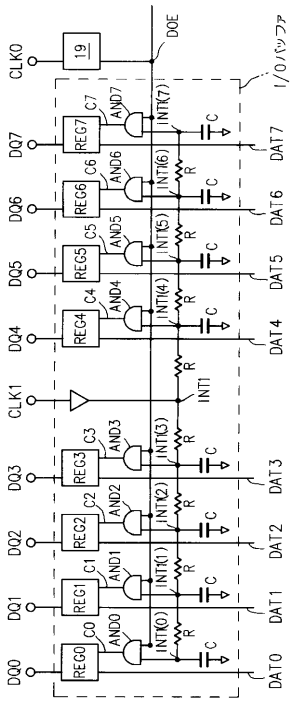
【図４】

図４



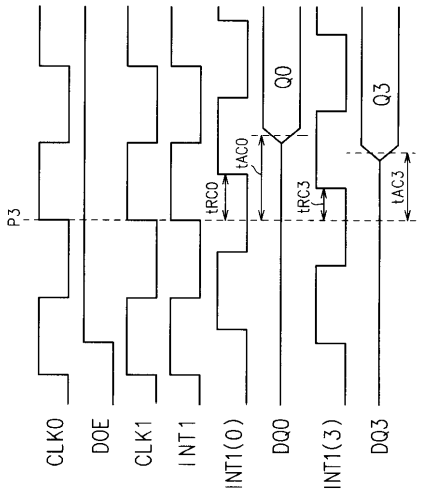
【図５】

図５



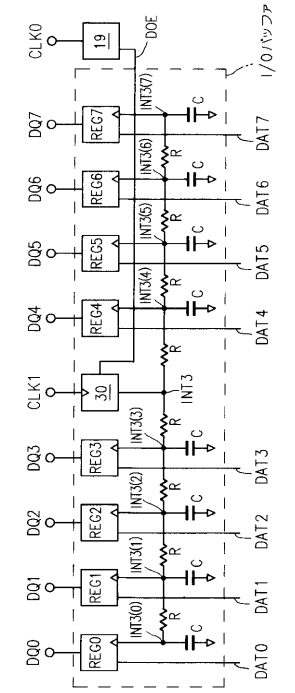
【図６】

図６



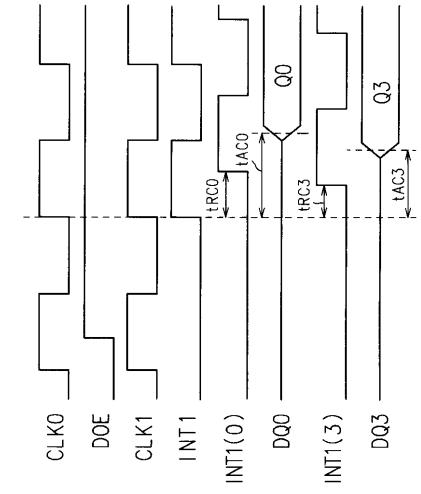
【図７】

図７



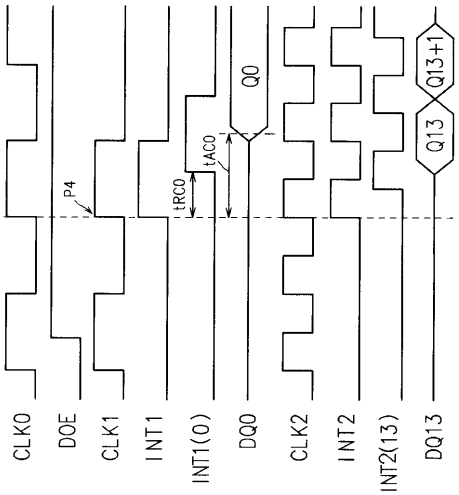
【図８】

図８



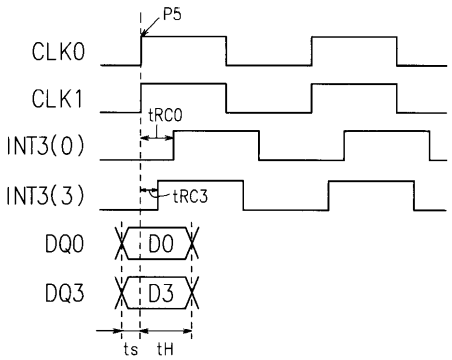
【図９】

図９



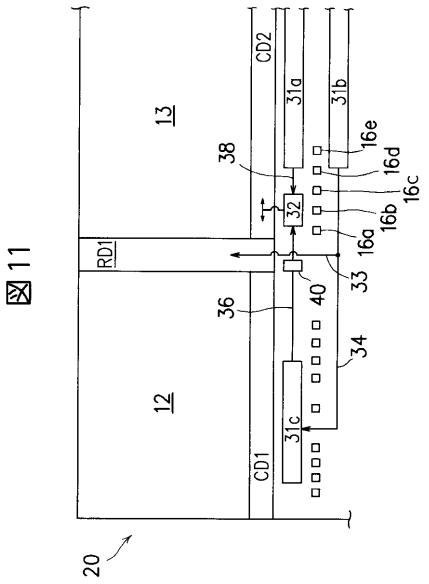
【図１０】

図10



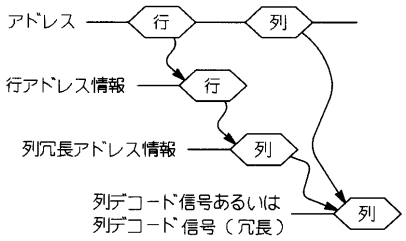
【図１１】

図11



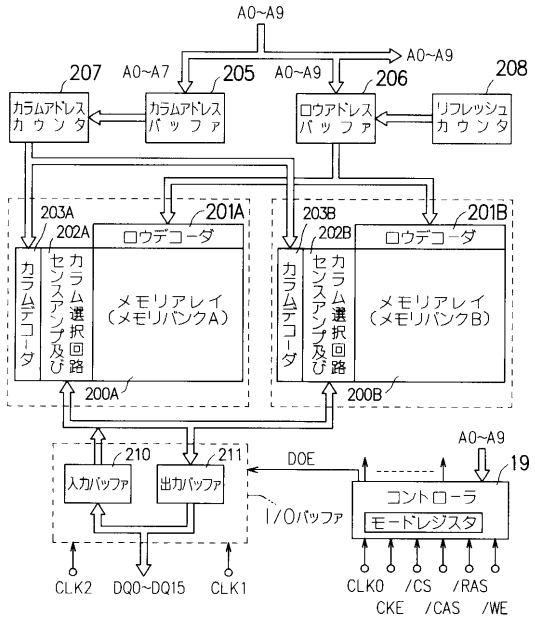
【図１２】

図12



【図１３】

図13


A0~A9
A0~A9
207
A0~A7
205
A0~A9
206
208
カラムアドレス カウンタ
カラムアドレス バッファ
ロウアドレス バッファ
リフレッシュ カウンタ
203A
202A
201A
ロウデコーダ
203B
202B
201B
ロウデコーダ
カラムデコーダ
カラムセンスアンプ及び
カラム選択回路
メモリアレイ（メモリバンクA）
メモリアレイ（メモリバンクB）
200A
200B
A0~A9
DOE
210
211
19
入力バッファ
出力バッファ
I/Oバッファ
コントローラ
モードレジスタ
CLK2
DQ0~DQ15
CLK1
CLK0
/CS
/RAS
CKE
/CAS
/WE

フロントページの続き

(56)参考文献 特開平０７－３２６１８５（ＪＰ，Ａ）
特開平０８－０１７９４１（ＪＰ，Ａ）
特開平０７－１２２７１６（ＪＰ，Ａ）
特開平０７－３２６１８５（ＪＰ，Ａ）
特開平０８－０１７９４１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/401