

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 3 月 31 日 (31.03.2016)



(10) 国际公布号
WO 2016/045138 A1

- (51) 国际专利分类号:
G02F 1/1362 (2006.01) *G02F 1/1343* (2006.01)
- (21) 国际申请号: PCT/CN2014/087792
- (22) 国际申请日: 2014 年 9 月 29 日 (29.09.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410495663.5 2014 年 9 月 24 日 (24.09.2014) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 郑华 (ZHENG, Hua); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 深圳市威世博知识产权代理事务所 (普通合伙) (CHINA WISPRO INTELLECTUAL PROPERTY LLP.); 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: ARRAY SUBSTRATE AND LIQUID CRYSTAL DISPLAY PANEL

(54) 发明名称: 阵列基板及液晶显示面板

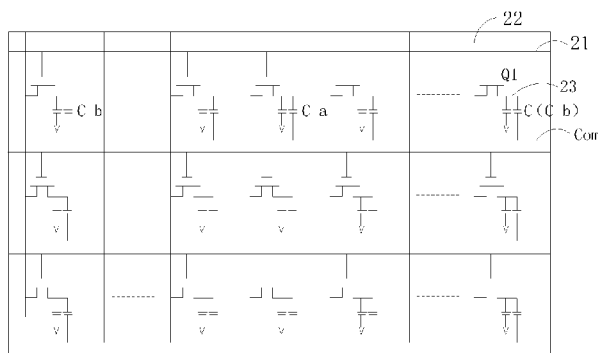


图 2 / Fig. 2

(57) Abstract: Disclosed are an array substrate and a liquid crystal display panel. In a thin film transistor (Q1) connected to a scanning line (21) in the array substrate, a capacitance value of a storage capacitor corresponding to the middle of the scanning line (21) is less than capacitance values of storage capacitors corresponding to both ends of the scanning line (21), so that when a data line (22) inputs a voltage signal, a voltage difference between a pixel electrode (23) of the storage capacitor corresponding to the middle of the scanning line (21) and pixel electrodes (23) of the storage capacitors corresponding to both ends of the scanning line (21) is less than a threshold value. By means of the above-mentioned method, the uniformity of the brightness of a picture can be improved.

(57) 摘要: 一种阵列基板及液晶显示面板, 所述阵列基板中, 与一条扫描线 (21) 连接的薄膜晶体管 (Q1) 中, 对应于所述扫描线 (21) 中间的存储电容的电容值小于对应于所述扫描线 (21) 两端的存储电容的电容值, 以在数据线 (22) 输入电压信号时使得对应于所述扫描线 (21) 中间的存储电容的像素电极 (23) 和对应于所述扫描线 (21) 两端的存储电容的像素电极 (23) 之间的电压差小于阈值。通过上述方式, 能够提高画面亮度的均匀性。



WO 2016/045138 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD,
TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

阵列基板及液晶显示面板

【技术领域】

本发明涉及液晶显示技术领域，特别是涉及一种阵列基板及液晶显示面板。

【背景技术】

液晶显示面板具有色彩表现优异、可视角度大、对比度高等优点，使得其具有广阔的市场前景。

如图 1 所示，液晶显示面板 11 通常由位于其周围的数据驱动器 12 和扫描驱动器 13 驱动显示。一条扫描线的扫描信号分别由与扫描线两端连接的扫描驱动器 13 输入，以控制与该条扫描线连接的薄膜晶体管（TFT）打开，从而数据驱动器 12 可通过薄膜晶体管对液晶显示面板 11 的像素电极 14 输入显示画面所需的电压信号，以实现液晶显示面板 11 的显示。

然而，由于扫描线的信号的阻容延迟（RC Delay），导致输入至扫描线的扫描信号波形发生失真，即从扫描线两端输入的原本波形正常的扫描信号在向扫描线的中间传输时，受扫描线的 RC Delay 影响，扫描信号会逐渐减小，在传输到中间部分的扫描线时扫描信号的减小程度尤为严重，从而导致液晶显示面板 11 中间的像素电极 14 的充电率降低，使得液晶显示面板 11 中间的像素电极 14 的电压 15 低于液晶显示面板 11 两侧边的像素电极 14 的电压 16，造成液晶显示面板 11 的中间区域的亮度低于两侧边区域的亮度，即出现液晶显示面板“两侧发白”的现象，降低液晶显示面板 11 亮度的均匀性。

【发明内容】

本发明主要解决的技术问题是提供一种阵列基板及液晶显示面板，能够提高画面亮度的均匀性。

为解决上述技术问题，本发明采用的一个技术方案是：提供一种阵列基板，扫描线、数据线、薄膜晶体管以及存储电容；所述存储电容由像素电极和公共电极所形成；所述薄膜晶体管的栅极与所述扫描线连接，所述薄膜晶体管的源极与所述数据线连接，所述薄膜晶体管的漏极与所述存储电容的像素电极连接；所述薄膜晶体管为马蹄形结构；其中，在一条所述扫描线所对应的存储电容中，

存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的电容值相等，以使得对应于所述扫描线中间的存储电容的电容值小于对应于所述扫描线两端的存储电容的电容值，以在所述数据线输入电压信号时使得对应于所述扫描线中间的存储电容的像素电极和对应于所述扫描线两端的存储电容的像素电极之间的电压差小于阈值。

其中，所述存储电容的像素电极和公共电极之间的重叠面积由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的像素电极和公共电极之间的重叠面积相等。

其中，所述存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离依次递增 2%。

为解决上述技术问题，本发明采用的另一个技术方案是：提供一种阵列基板，包括扫描线、数据线、薄膜晶体管以及存储电容；所述存储电容由像素电极和公共电极所形成；所述薄膜晶体管的栅极与所述扫描线连接，所述薄膜晶体管的源极与所述数据线连接，所述薄膜晶体管的漏极与所述存储电容的像素电极连接；其中，在一条所述扫描线所对应的存储电容中，对应于所述扫描线中间的存储电容的电容值小于对应于所述扫描线两端的存储电容的电容值，以在所述数据线输入电压信号时使得对应于所述扫描线中间的存储电容的像素电极和对应于所述扫描线两端的存储电容的像素电极之间的电压差小于阈值。

其中，在一条所述扫描线所对应的存储电容中，存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的电容值相等。

其中，所述存储电容的像素电极和公共电极之间的重叠面积由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的像素电极和公共电极之间的重叠面积相等。

其中，所述存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离依次递增 2%。

其中，在一条所述扫描线所对应的存储电容中，存储电容的电容值由所述扫描线中间至所述扫描线两端依次递增。

为解决上述技术问题，本发明采用的又一个技术方案是：提供一种液晶显示面板，包括阵列基板、彩色滤光基板及位于所述阵列基板和所述彩色滤光基板之间的液晶层；所述阵列基板包括扫描线、数据线、薄膜晶体管以及存储电

容；所述存储电容由像素电极和公共电极所形成；所述薄膜晶体管的栅极与所述扫描线连接，所述薄膜晶体管的源极与所述数据线连接，所述薄膜晶体管的漏极与所述存储电容的像素电极连接；其中，在一条所述扫描线所对应的存储电容中，对应于所述扫描线中间的存储电容的电容值小于对应于所述扫描线两端的存储电容的电容值，以在所述数据线输入电压信号时使得对应于所述扫描线中间的存储电容的像素电极和对应于所述扫描线两端的存储电容的像素电极之间的电压差小于阈值。

其中，在一条所述扫描线所对应的存储电容中，存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的电容值相等。

其中，所述存储电容的像素电极和公共电极之间的重叠面积由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的像素电极和公共电极之间的重叠面积相等。

其中，所述存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离依次递增 2%。

其中，在一条所述扫描线所对应的存储电容中，存储电容的电容值由所述扫描线中间至所述扫描线两端依次递增。

本发明的有益效果是：区别于现有技术的情况，本发明的阵列基板中，通过设置对应于扫描线不同位置的存储电容的不同电容值，使得对应于扫描线不同位置的像素电极之间的电压差小于阈值，从而可以使得对应于扫描线不同位置的像素电极的电压大致相等，进而使得对应于扫描线不同位置的显示画面的亮度大致相同，由此能够提高画面亮度的均匀性。

【附图说明】

图1是现有技术中一种液晶显示面板的像素电极的电压波形图；

图2是本发明阵列基板中像素结构一实施方式的等效电路图；

图3是本发明阵列基板一实施方式中，像素电极的充电率的曲线示意图，其中，图中示出了现有技术的像素电极的充电率的曲线图；

图4是本发明阵列基板一实施方式中，像素电极的电压波形图，其中，图中示出了现有技术的像素电极的电压波形图；

图5是本发明阵列基板一实施方式中，沿扫描线的长度方向以预定距离长度对阵列基板进行划分区域的示意图；

图6是本发明阵列基板一实施方式中，存储电容的电容值变化曲线示意图；

图7是本发明阵列基板一实施方式中，对应扫描线中间的像素结构的结构示意图；

图8是本发明阵列基板一实施方式中，对应扫描线两端的像素结构示意图；

图9是本发明阵列基板另一实施方式中，存储电容的电容值变化曲线示意图；

图10是本发明液晶显示面板一实施方式的结构示意图。

【具体实施方式】

下面将通过附图和实施方式对本发明进行详细说明。

参阅图2，图2是本发明阵列基板中像素结构一实施方式的等效电路图。阵列基板包括扫描线21、数据线22、存储电容C以及薄膜晶体管Q1。扫描线21和数据线22相互交叉，由一个存储电容C、一个薄膜晶体管Q1和相互交叉的一条扫描线21、一条数据线22共同定义一个像素结构，阵列基板包括多个矩阵排列的像素结构。其中，存储电容C由像素电极23和公共电极Com所形成。

薄膜晶体管Q1的栅极和扫描线21连接，源极和数据线22连接，漏极和像素电极23连接。在驱动像素电极23以实现画面显示时，扫描线21两端的扫描驱动器（图未示）分别自扫描线21两端输入扫描信号至扫描线21中以控制薄膜晶体管Q1打开，数据线22通过薄膜晶体管Q1对像素电极23输入显示所需的电压信号，以对存储电容C进行充电，由此实现画面的显示。

每条扫描线21用于驱动一行像素电极23，通过一条扫描线21和多条数据线22的共同作用，以实现在一行存储电容C的充电，一条扫描线21对应一行存储电容C。其中，在与一条扫描线21所对应的存储电容C中，对应于扫描线21中间的存储电容C_a的电容值小于对应于扫描线21两端的存储电容C_b的电容值。所述对应于扫描线21中间的存储电容C_a即是指与扫描线21中间连接的薄膜晶体管Q1所连接的存储电容C_a，所述对应于扫描线21两端的存储电容C_b即是指与扫描线21两端连接的薄膜晶体管Q1_b所连接的存储电容C_a。在此，仅是以一条扫描线21所对应的一行存储电容C为例进行说明，其

他扫描线 21 对应的存储电容 C 均具有上述特征。

存储电容 C 越大, 像素电极 23 越难以充电达到饱和状态 (即数据线 22 的电压), 使得像素电极 23 的充电率越低; 反之, 存储电容 C 越小, 像素电极 23 越容易达到饱和状态, 使得像素电极 23 的充电率也就越高。像素电极 23 的充电率是指像素电极 23 的电压和数据线 22 的电压的比值, 在理想情况下, 在数据线 22 对像素电极 23 充电后, 像素电极 23 的电压应达到数据线 22 的电压。

需要说明的是, 在图 2 中, 对应于扫描线 21 中间的存储电容 C_a 仅是标示一个存储电容, 但是并不代表本实施方式所述的对应于扫描线 21 中间的存储电容 C_a 仅是指代与扫描线 21 中点连接的一个薄膜晶体管 Q1 所连接的存储电容 C_a, 可以是指代与扫描信号失真较严重的中间部分的扫描线 21 所对应的多个存储电容 C_a。而对应于扫描线两端的存储电容 C_b 同理亦然。

现有技术中, 所有存储电容的电容值通常都是相同的, 而由于扫描线的 RC Delay, 导致到达扫描线中间的扫描信号低于扫描线两端的扫描信号, 即扫描线中间的扫描信号发生较严重的失真, 使得在数据线对像素电极完成充电后, 对应扫描线中间的像素电极的电压远低于对应扫描线两端的像素电极的电压, 造成两侧边发白的现象。扫描信号越小像素电极的充电率越低, 而存储电容的电容值越小, 像素电极的充电率越高。本实施方式中, 使对应于扫描线 21 中间的存储电容 C_a 具有较小值, 并使对应于扫描线 21 两端的存储电容 C_b 具有较大值, 以利用不同位置的存储电容的不同电容值来应对不同位置的扫描信号的不同失真程度, 从而可以使得对应于扫描线 21 不同位置的像素电极 23 的充电率之间的差异减小, 甚至趋近于相同。

例如, 参阅图 3 和图 4, 图 3 是现有技术的像素电极和本实施方式的像素电极的充电率的波形图, 图 4 是现有技术的像素电极和本实施方式的像素电极的电压波形图, 其中, 图 4 中仅示出两侧边和中间区域的像素电极的电压波形。现有技术的像素电极, 受扫描信号的 RC Delay 的影响, 对应于扫描线中间的像素电极的充电率一般仅为 90%, 而对应于扫描线两端的像素电极尤其是最靠近扫描信号输入端的像素电极的充电率可以达到 100%, 如图 3 所示的曲线 a。而现有技术中, 两侧边的像素电极的电压波形和中间的像素电极的电压波形则分别为图 4 所示的波形 e₁、e₂, 由该波形图可看出, 两侧边像素电极的电压高于中间像素电极的电压。而本发明实施方式中, 通过使对应于扫描线 21 左右两端的存储电容 C_b 的电容值大于对应于扫描线 21 中间的存储电容 C_a 的电容

值，从而可以降低与对应于扫描线 21 左右两端的存储电容 C_b 的像素电极 23 的充电率，如图 3 所示的曲线 b，以减小对应于扫描线 21 左右两端的存储电容 C_b 的像素电极 23 和对应于扫描线 21 中间的存储电容 C_a 的像素电极 23 之间充电率的差异，从而可以使得对应于扫描线 21 中间的存储电容 C_a 的像素电极 23 和对应于扫描线两端的存储电容 C_b 的像素电极 23 之间的电压差小于阈值，即可以使得对应于扫描线 21 中间的存储电容 C_a 的像素电极 23 的电压和对应于扫描线两端的存储电容 C_b 的像素电极 23 的电压大约相等，由此在显示画面时，可以使得对应于扫描线 21 中间的画面亮度和对应于扫描线 21 两端画面亮度大致相同，从而能够提高画面亮度的均匀性。而本发明实施方式中，对应于扫描线 21 两端的像素电极 23 的电压波形和对应于扫描线 21 中间的像素电极 23 的电压波形则分别为图 4 所示的波形 f_1 、 f_2 ，由该电压波形可看出，两侧边的像素电极 23 的电压较低于现有技术的两侧边的像素电极的电压，其与中间的像素电极 23 的电压大致相同。

在实际应用中，受制造工艺等因素的影响，有可能难以使得对应于扫描线 21 中间的存储电容 C_a 的像素电极 23 的电压和对应于扫描线 21 两端的存储电容 C_b 的像素电极 23 的电压完全相等。本领域技术人员可以理解的是，根据本发明实施方式所提供的方案，可以根据扫描信号的失真程度来设置对应于扫描线 21 不同位置的存储电容 C 的电容值，即对应扫描信号失真轻微的扫描线 21 两端的存储电容 C_b 的电容值可以设置得较大，对应扫描信号失真较严重的扫描线 21 中间的存储电容 C_a 可以设置得较小，从而完全可以使得中间的像素电极 23 和两侧边的像素电极 23 之间的电压差尽可能地小，进而使得中间画面的亮度和两侧边画面的亮度趋近于相同，以提高画面亮度的均匀性。

越远离信号输入端扫描信号失真越严重。为了进一步提高画面亮度的均匀性，在本发明阵列基板的一实施方式中，如图 5 所示，在与一条扫描线 21 对应的所有存储电容 C 中，即一条扫描线 21 所驱动的所有像素电极 23 所形成的存储电容 C ，存储电容 C 的电容值由扫描线 21 中间至扫描线 21 两端每间隔预定距离 d 逐级递增，在同一预定距离 d 内的存储电容 C 的电容值相等。通常在扫描线 21 的一小段范围内，不同位置的扫描线 21 其扫描信号的失真程度差异并不大，因此与这一段扫描线 21 对应的多个像素电极 23 之间的充电率差异也并不大，本实施方式所述的预定距离 d 即为扫描信号失真程度差异不大的这一段扫描线 21 的长度，可以根据扫描信号的失真程度设置该距离长度。

例如, 根据扫描信号的失真程度将阵列基板沿扫描线 21 的长度方向均分成距离长度为 d 的 11 个区域, 中间区域 1st 即对应扫描线 21 中间的区域, 位于中间区域 1st 的存储电容 C 即为对应于扫描线 21 中间的存储电容; 两最侧边区域 6th 即对应扫描线 21 两端的区域, 位于两最侧边区域 6th 的存储电容即为对应扫描线 21 两端的存储电容。其中, 中间区域 1st 的左右两边的基板结构对称设置, 因此仅以右边进行说明。因此, 在一条扫描线 21 所对应的所有存储电容 C 中, 存储电容 C 的电容值由中间区域 1st 至最右侧区域 6th 逐级递增, 在同一个区域中的存储电容 C 的电容值相等。因此, 本实施方式中, 位于中间区域 1st 的存储电容 C 的电容值最小, 位于最右侧区域 6th 的存储电容 C 的电容值最大。

其中, 图 5 中仅是示意性地示出以对应两个存储电容 C 的一段扫描线 21 作为一个间隔距离 d , 在其他实施方式中, 可以根据扫描信号的失真程度将对应于更多个 (如十个、二十个等) 存储电容 C 的一段扫描线 21 作为一个间隔距离 d 。

此外, 本实施方式中, 如图 6 所示, 存储电容 C 的电容值由中间区域 1st 至最右侧区域 6th 以等差方式依次递增, 即任意两个相邻区域之间的存储电容 C 的电容值的差值相等。当然, 其他实施方式中, 任意两个相邻区域之间的存储电容 C 的电容值的差值也可以设置为不相等, 可以根据扫描信号的失真情况设置各个区域中的存储电容 C 的电容值, 以使得对应不同失真情况的扫描线 21 所对应的像素电极 23 的电压大致相等即可, 从而以提高画面亮度的均匀性。

存储电容 C 具体由像素电极 23 和公共电极 Com 的重叠部分所形成, 像素电极 23 和公共电极 Com 之间的重叠面积越大, 存储电容 C 的电容值越大, 反之越小。参阅图 7, 在本发明阵列基板的实施方式中, 薄膜晶体管 Q1 为马蹄形结构, 公共电极 Com 位于像素电极 23 的下层。像素电极 23 为鱼骨状电极, 像素电极 23 中在扫描线 21 的长度方向的主干部分与公共电极 Com 重叠以形成存储电容 C 。通过改变存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠面积来改变存储电容 C 的电容值。

具体地, 在一条扫描线 21 对应的所有存储电容 C 中, 存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠面积由扫描线 21 中间至扫描线 21 两端每间隔预定距离 d 逐级递增, 而在同一预定距离 d 内的存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠面积相等, 也即存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠面积由中间区域 1st 至两最侧边区域 6th 逐级递增, 在同一区域内的存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠面积相等。如图 7

和图 8 所示, 图 7 为对应扫描线 21 中间的像素结构的结构示意图, 其中图中椭圆虚线部分为本实施方式中位于中间区域 1st 中的存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠区域; 图 8 为对应扫描线 21 两端的像素结构的结构示意图, 其中图中椭圆虚线部分为本实施方式中位于最侧边区域 6th 中的存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠区域。最侧边区域 6th 中的像素电极 23 和公共电极 Com 之间的重叠面积最大, 中间区域 1st 中的像素电极 23 和公共电极 Com 之间的重叠面积最小。

其中, 在增大像素电极 23 和公共电极 Com 的重叠面积时, 同时增大像素电极 23 中在扫描线 21 的长度方向的主干部分的面积和公共电极 Com 的面积, 从而增大两者之间的重叠面积。

存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠面积增大了多少, 存储电容 C 的电容值即增大了多少。在本发明实施方式中, 存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠面积由扫描线 21 中间至扫描线 21 两端每间隔预定距离 d 依次增大 2%, 从而使得存储电容 C 的电容值自扫描线由扫描线 21 中间至扫描线 21 两端每间隔预定距离 d 依次递增 2%, 如下表 1 所示,

分区	1st	2nd	3rd	4th	5th	6th
C 的电容值增大百分比	0	2%	4%	6%	8%	10%

表 1 阵列基板右侧各区域存储电容的电容值增大百分比

因此, 位于最侧边区域 6th 中的存储电容 C 的电容值相较于中间区域 1st 内的存储电容 C 的电容值而言, 增大了 10%。

当然, 在其他实施方式中, 也可以使存储电容 C 的像素电极 23 和公共电极 Com 之间的重叠面积由扫描线 21 中间至扫描线 21 两端每间隔预定距离 d 依次增大 1.5%、3%、5%或 5.5%等, 具体地可根据扫描信号在扫描线 21 的不同位置的失真程度进行选择, 此处不进行具体限定, 只要能够使得对应于扫描线 21 不同位置的像素电极 23 的充电率趋近于相等即可, 以提高画面亮度的均匀性。此外, 在其他实施方式中, 像素电极也可以是其他的形状, 例如为整体的条状电极, 此时, 在改变像素电极和公共电极之间的重叠面积时, 只需改变公共电极的面积即可改变像素电极和公共电极之间的有效重叠面积。

上述实施方式中, 通过改变像素电极 23 和公共电极 Com 之间的重叠面积

来改变存储电容 C 的电容值大小，在其他实施方式中，也可以通过改变像素电极 23 和公共电极 Com 之间的距离来改变存储电容 C 的电容值大小，像素电极 23 和公共电极 Com 之间的距离越大，存储电容 C 的电容值越小，反之，像素电极 23 和公共电极 Com 之间的距离越小，存储电容 C 的电容值越大。

另外，在上述各实施方式中，存储电容 C 的电容值由扫描线 21 中间至扫描线 21 两端呈阶梯状逐级递增，其在同一区域中的存储电容 C 的电容值是相同的。在本发明的其他实施方式中，如图 9 所示，在一条扫描线对应的存储电容中，存储电容的电容值也可以是由扫描线中间至扫描线两端依次递增，可以是以等公差方式依次递增，也可以是以其他方式增加，即本实施方式中，相邻两个存储电容之间的电容值不相同，而任意两个相邻的存储电容的电容值之间的差值可以相同也可以不相同，具体的可以根据扫描信号的失真情况进行设定，只要能够使得对应于扫描线不同位置的像素电极之间的充电率的差异减小即可。其中，本实施方式中，对应扫描线中间的存储电容是指与扫描线中点连接的一个薄膜晶体管所连接的存储电容，而对应扫描线两端的薄膜晶体管是指分别与扫描线两个端连接的最侧边的一个薄膜晶体管所连接的存储电容。

参阅图 10，本发明液晶显示面板一实施方式中，液晶显示面板包括阵列基板 31、彩色滤光基板 32 以及位于阵列基板 31 和彩色滤光基板 32 之间的液晶层 33。其中，阵列基板 31 为上述任一实施方式的阵列基板。

以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求

1.一种阵列基板，其中，包括扫描线、数据线、薄膜晶体管以及存储电容；
所述存储电容由像素电极和公共电极所形成；

所述薄膜晶体管的栅极与所述扫描线连接，所述薄膜晶体管的源极与所述数据线连接，所述薄膜晶体管的漏极与所述存储电容的像素电极连接；所述薄膜晶体管为马蹄形结构；

其中，在一条所述扫描线所对应的存储电容中，存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的电容值相等，以使得对应于所述扫描线中间的存储电容的电容值小于对应于所述扫描线两端的存储电容的电容值，以在所述数据线输入电压信号时使得对应于所述扫描线中间的存储电容的像素电极和对应于所述扫描线两端的存储电容的像素电极之间的电压差小于阈值。

2.根据权利要求1所述的阵列基板，其中，

所述存储电容的像素电极和公共电极之间的重叠面积由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的像素电极和公共电极之间的重叠面积相等。

3.根据权利要求2所述的阵列基板，其中，

所述存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离依次递增2%。

4.一种阵列基板，其中，包括扫描线、数据线、薄膜晶体管以及存储电容；
所述存储电容由像素电极和公共电极所形成；

所述薄膜晶体管的栅极与所述扫描线连接，所述薄膜晶体管的源极与所述数据线连接，所述薄膜晶体管的漏极与所述存储电容的像素电极连接；

其中，在一条所述扫描线所对应的存储电容中，对应于所述扫描线中间的存储电容的电容值小于对应于所述扫描线两端的存储电容的电容值，以在所述数据线输入电压信号时使得对应于所述扫描线中间的存储电容的像素电极和对应于所述扫描线两端的存储电容的像素电极之间的电压差小于阈值。

5.根据权利要求4所述的阵列基板，其中，

在一条所述扫描线所对应的存储电容中，存储电容的电容值由所述扫描线

中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的电容值相等。

6.根据权利要求 5 所述的阵列基板，其中，

所述存储电容的像素电极和公共电极之间的重叠面积由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的像素电极和公共电极之间的重叠面积相等。

7.根据权利要求 5 所述的阵列基板，其中，

所述存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离依次递增 2%。

8.根据权利要求 4 所述的阵列基板，其中，

在一条所述扫描线所对应的存储电容中，存储电容的电容值由所述扫描线中间至所述扫描线两端依次递增。

9.一种液晶显示面板，其中，包括阵列基板、彩色滤光基板及位于所述阵列基板和所述彩色滤光基板之间的液晶层；

所述阵列基板包括扫描线、数据线、薄膜晶体管以及存储电容；

所述存储电容由像素电极和公共电极所形成；

所述薄膜晶体管的栅极与所述扫描线连接，所述薄膜晶体管的源极与所述数据线连接，所述薄膜晶体管的漏极与所述存储电容的像素电极连接；

其中，在一条所述扫描线所对应的存储电容中，对应于所述扫描线中间的存储电容的电容值小于对应于所述扫描线两端的存储电容的电容值，以在所述数据线输入电压信号时使得对应于所述扫描线中间的存储电容的像素电极和对应于所述扫描线两端的存储电容的像素电极之间的电压差小于阈值。

10.根据权利要求 9 所述的液晶显示面板，其中，

在一条所述扫描线所对应的存储电容中，存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的电容值相等。

11.根据权利要求 10 所述的液晶显示面板，其中，

所述存储电容的像素电极和公共电极之间的重叠面积由所述扫描线中间至所述扫描线两端每间隔预定距离逐级递增，在同一所述预定距离内的存储电容的像素电极和公共电极之间的重叠面积相等。

12.根据权利要求 10 所述的液晶显示面板，其中，

所述存储电容的电容值由所述扫描线中间至所述扫描线两端每间隔预定距离依次递增 2%。

13.根据权利要求 9 所述的液晶显示面板，其中，

在一条所述扫描线所对应的存储电容中，存储电容的电容值由所述扫描线中间至所述扫描线两端依次递增。

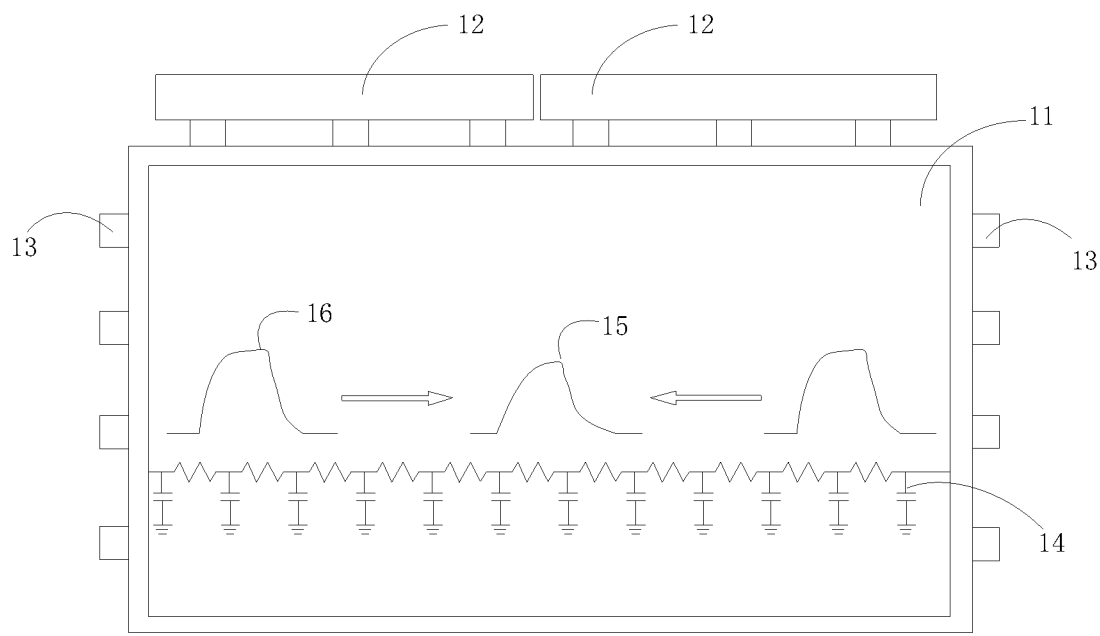


图 1

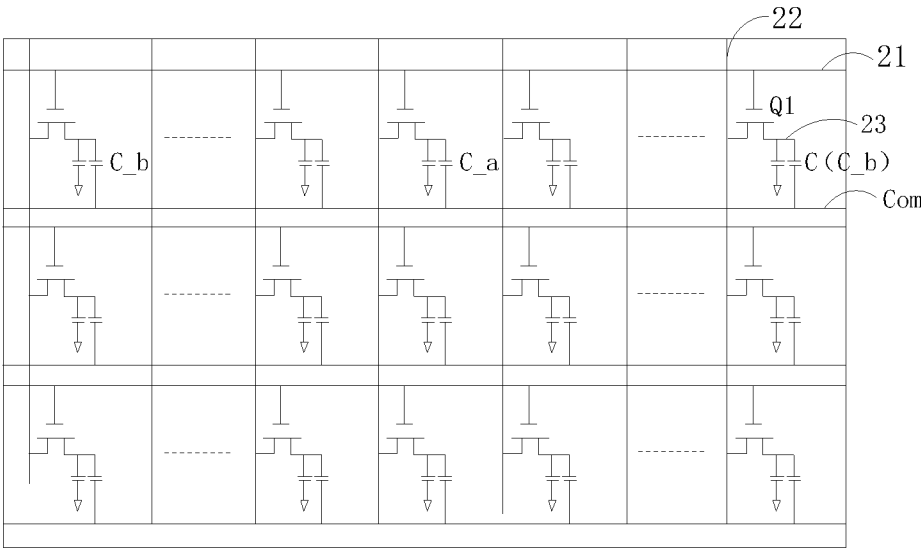


图 2

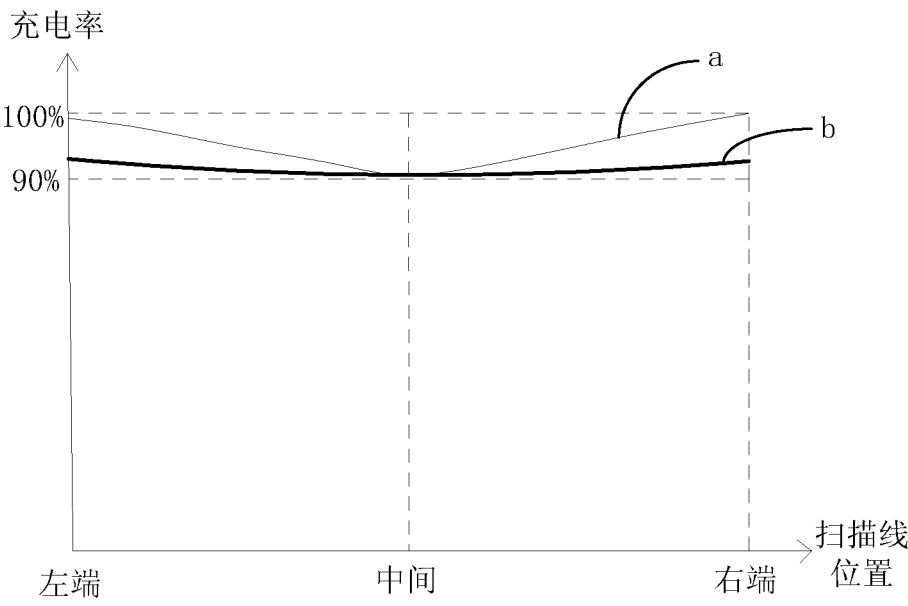


图 3

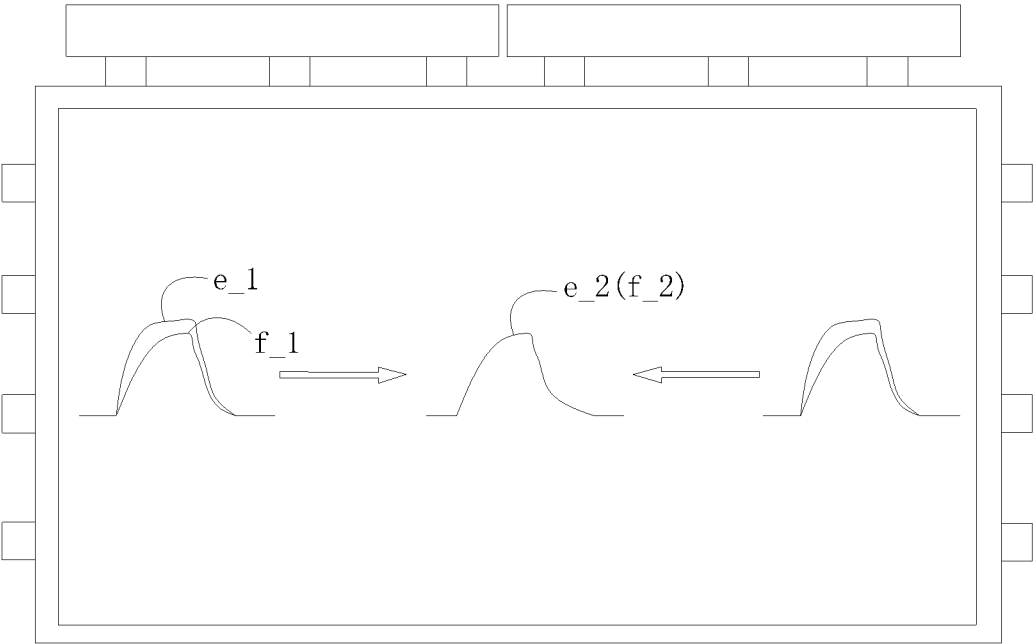


图 4

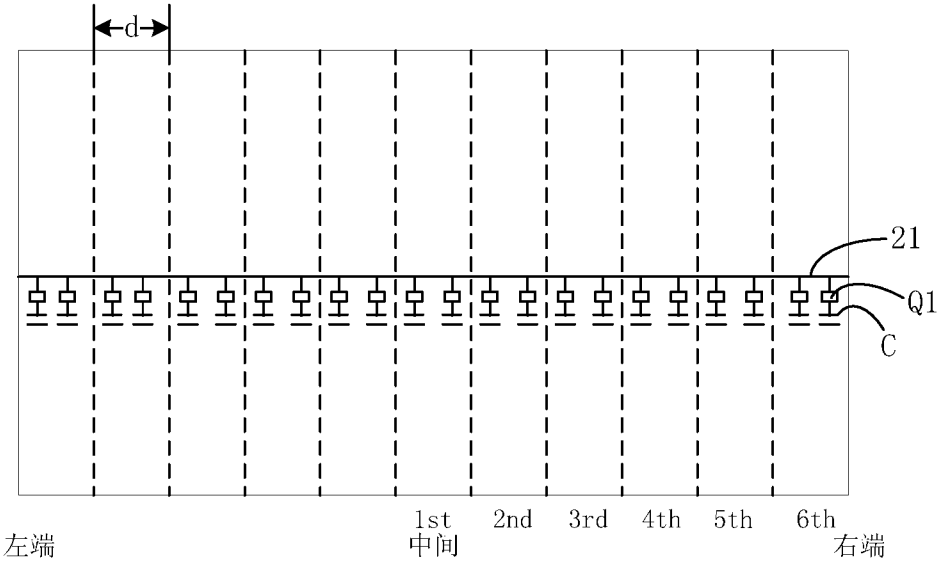


图 5

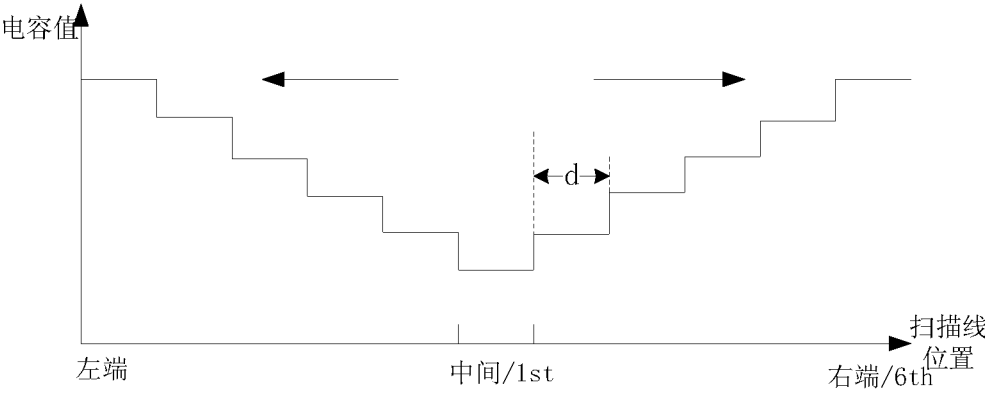


图 6

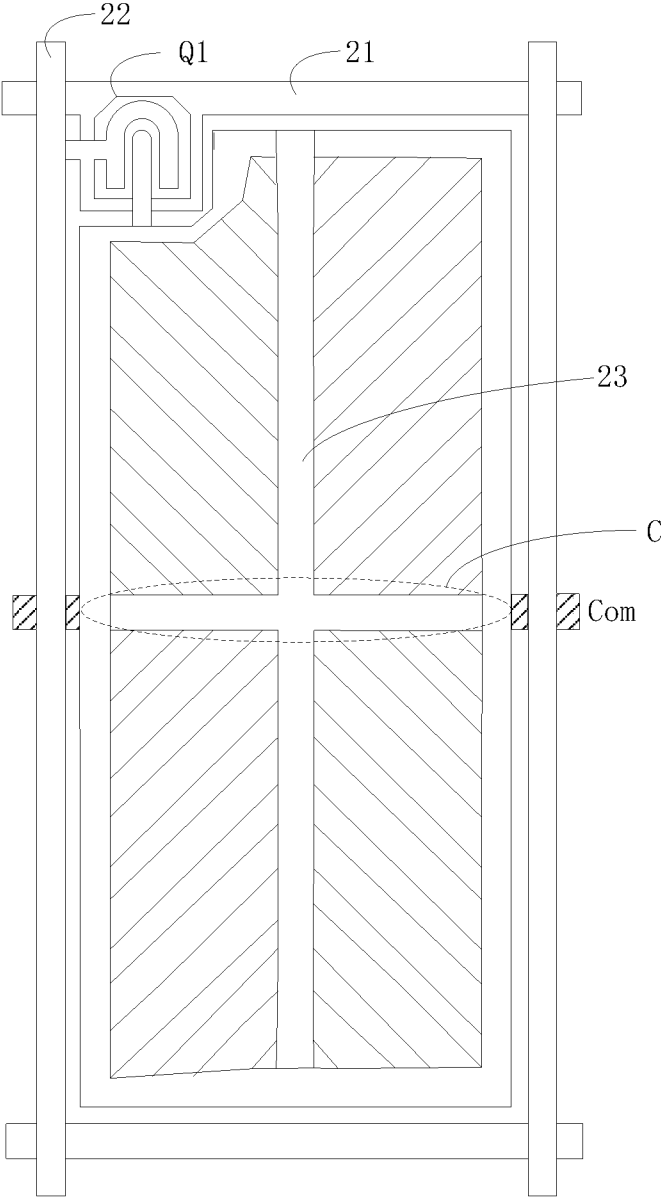


图 7

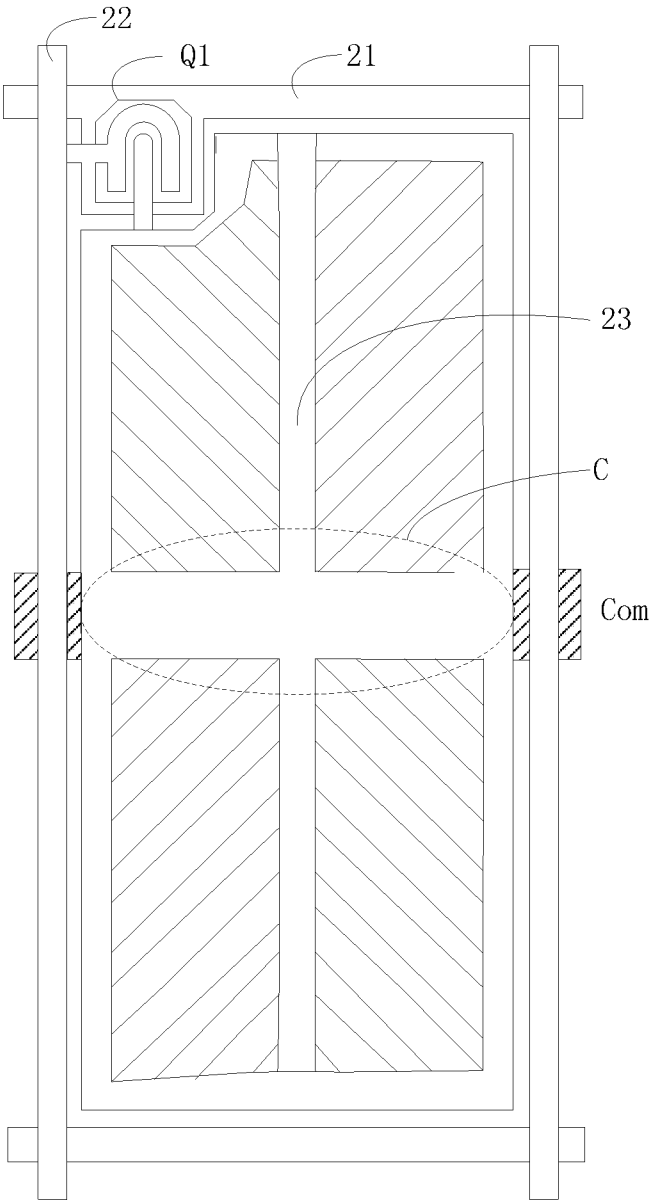


图 8

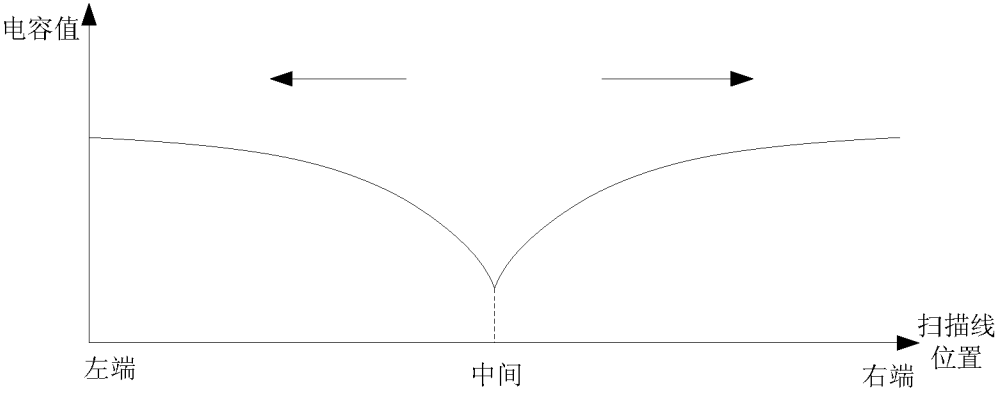


图 9

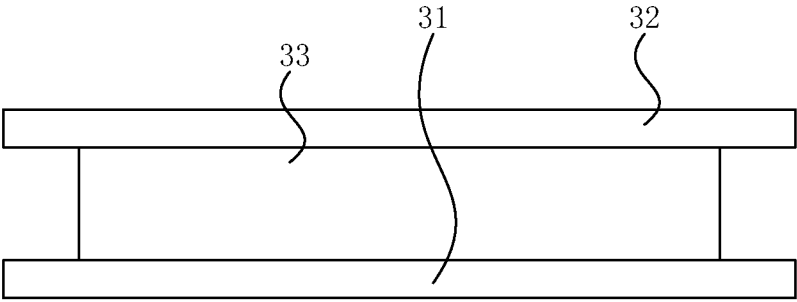


图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2014/087792

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i; G02F 1/1343 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI: liquid w crystal, storage, capacitance, TFT, thin w film w transistor, scan, data, overlap+, driv???, RC w delay, bright+, uniform+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012083599 A (FUNAI ELECTRIC CO.) 26 April 2012 (26.04.2012) description, paragraphs [0016]-[0020], and figure 1	1-13
Y	US 2003117534 A1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 26 June 2003 (26.06.2003) , description, paragraphs [0046]-[0056], and figures 1 and 2	1-13
A	CN 101004527 A (AU OPTRONICS CORP.) 25 July 2007 (25.07.2007) the whole document	1-13
A	CN 102364387 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 29 February 2012 (29.02.2012) the whole document	1-13
A	CN 102621756 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 01 August 2012 (01.08.2012) the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&”document member of the same patent family

Date of the actual completion of the international search
01 June 2015

Date of mailing of the international search report
19 June 2015

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
QUAN, Yujun
Telephone No. (86-10) 61648437

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/087792

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2012083599 A	26 April 2012	None	
US 2003117534 A1	26 June 2003	US 6801264 B2	05 October 2004
		WO 0181993 A1	01 November 2001
		JP 2001305565 A	31 October 2001
		JP 4058882 B2	12 March 2008
		TW 1247160 B	11 January 2006
		US 2004160541 A1	19 August 2004
		US 6717628 B2	06 April 2004
CN 101004527 A	25 July 2007	None	
CN 102364387 A	29 February 2012	CN 102364387 B	24 July 2013
		WO 2013053117 A1	18 April 2013
		US 2013093984 A1	18 April 2013
CN 102621756 A	01 August 2012	WO 2013152515 A1	17 October 2013
		US 2013271444 A1	17 October 2013

国际检索报告

国际申请号

PCT/CN2014/087792

A. 主题的分类

G02F 1/1362(2006.01)i; G02F 1/1343(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, EPDOC, WPI; 液晶, 存储电容, 电容, 薄膜晶体管, 扫描, 数据, 重叠, 驱动, 阻容延迟, 亮度, 均匀, liquid w crystal, storage, capacitance, TFT, thin w film w transistor, scan, data, overlap+, driv???, RC w delay, bright+, uniform+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	JP 2012083599 A (FUNAI ELECTRIC CO.) 2012年 4月 26日 (2012 - 04 - 26) 说明书第[0016]-[0020]段、附图1	1-13
Y	US 2003117534 A1 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 2003年 6月 26日 (2003 - 06 - 26) 说明书第[0046]-[0056]段、附图1-2	1-13
A	CN 101004527 A (友达光电股份有限公司) 2007年 7月 25日 (2007 - 07 - 25) 全文	1-13
A	CN 102364387 A (深圳市华星光电技术有限公司) 2012年 2月 29日 (2012 - 02 - 29) 全文	1-13
A	CN 102621756 A (深圳市华星光电技术有限公司) 2012年 8月 1日 (2012 - 08 - 01) 全文	1-13

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 6月 1日

国际检索报告邮寄日期

2015年 6月 19日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

全宇军

电话号码 (86-10)61648437

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/087792

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
JP	2012083599	A	2012年 4月 26日	无			
US	2003117534	A1	2003年 6月 26日	US	6801264	B2	2004年 10月 5日
				WO	0181993	A1	2001年 11月 1日
				JP	2001305565	A	2001年 10月 31日
				JP	4058882	B2	2008年 3月 12日
				TW	I247160	B	2006年 1月 11日
				US	2004160541	A1	2004年 8月 19日
				US	6717628	B2	2004年 4月 6日
CN	101004527	A	2007年 7月 25日	无			
CN	102364387	A	2012年 2月 29日	CN	102364387	B	2013年 7月 24日
				WO	2013053117	A1	2013年 4月 18日
				US	2013093984	A1	2013年 4月 18日
CN	102621756	A	2012年 8月 1日	WO	2013152515	A1	2013年 10月 17日
				US	2013271444	A1	2013年 10月 17日

表 PCT/ISA/210 (同族专利附件) (2009年7月)