

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 29 年 9 月 21 日 (2017.9.21)

【公表番号】特表 2016-532296 (P2016-532296A)

【公表日】平成 28 年 10 月 13 日 (2016.10.13)

【年通号数】公開・登録公報 2016-059

【出願番号】特願 2016-536476 (P2016-536476)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/28 (2006.01)

【 F I 】

H 0 1 L 27/08 1 0 2 B

H 0 1 L 29/78 3 0 1 S

H 0 1 L 29/78 3 0 1 P

H 0 1 L 21/28 3 0 1 B

【手続補正書】

【提出日】平成 29 年 8 月 8 日 (2017.8.8)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路であって、

基板であって、前記基板の頂部表面まで延在する半導体材料を含む、前記基板と、

前記基板内に配置されるフィールド酸化物と、

前記フィールド酸化物に近接する前記半導体材料の上の第 1 のゲート構造であって、前記半導体材料の上のゲート誘電体層と、前記第 1 のゲート構造の前記ゲート誘電体層上のゲートとを含む、前記第 1 のゲート構造と、

前記フィールド酸化物の上の第 2 のゲート構造であって、前記第 2 のゲート構造のゲートが前記第 1 のゲート構造に面する前記フィールド酸化物の側壁に重ならないように、前記第 2 のゲート構造のゲート誘電体層上の前記ゲートを含む、前記第 2 のゲート構造と、

前記第 1 のゲート構造と前記第 2 のゲート構造との間の前記基板におけるシリコンゲルマニウムソース/ドレイン領域であって、前記シリコンゲルマニウムソース/ドレイン領域と前記フィールド酸化物との間の境界の頂部端が、前記半導体材料の頂部表面から前記シリコンゲルマニウムソース/ドレイン領域の深さの 3 分の 1 より多く延在しないようになっている、前記シリコンゲルマニウムソース/ドレイン領域と、

前記シリコンゲルマニウムソース/ドレイン領域上まで延在する、前記第 2 のゲート構造の前記ゲートの横方向表面の近隣の誘電体スペースと、

前記シリコンゲルマニウムソース/ドレイン領域上の金属シリサイドと、

前記第 1 のゲート構造と前記第 2 のゲート構造との間のコンタクトであって、前記コンタクトの底部の少なくとも半分が、前記シリコンゲルマニウムソース/ドレイン領域上の前記金属シリサイドに直接的に接するようになっている、前記コンタクトと、

を含む、集積回路。

## 【請求項 2】

集積回路であって、  
半導体材料を含む基板と、  
前記基板内に配置されるフィールド酸化物と、  
前記フィールド酸化物に近接する前記半導体材料の上の第 1 のゲート構造であって、前記半導体材料の上のゲート誘電体層と、前記第 1 のゲート構造の前記ゲート誘電体層上のゲートとを含む、前記第 1 のゲート構造と、  
前記フィールド酸化物の上の第 2 のゲート構造であって、ゲートを含む、前記第 2 のゲート構造と、  
前記第 1 のゲート構造と前記第 2 のゲート構造との間の前記基板におけるシリコンゲルマニウムソース/ドレイン領域であって、前記第 2 のゲート構造のゲートが前記シリコンゲルマニウムソース/ドレイン領域に隣接する前記フィールド酸化物の側壁に重ならない、前記シリコンゲルマニウムソース/ドレイン領域と、  
前記第 2 のゲート構造のゲートの横方向表面に隣接する誘電体スペーサであって、前記シリコンゲルマニウムソース/ドレイン領域上まで延在する、前記誘電体スペーサと、  
前記シリコンゲルマニウムソース/ドレイン領域上の金属シリサイドと、  
前記第 1 のゲート構造と前記第 2 のゲート構造との間のコンタクトであって、前記コンタクトの底部の少なくとも半部分が、前記シリコンゲルマニウムソース/ドレイン領域上の前記金属シリサイドに直接的に接する、前記コンタクトと、  
を含む、集積回路。

## 【請求項 3】

請求項 1 又は 2 に記載の集積回路であって、  
前記第 1 のゲート構造の中心から前記第 2 のゲート構造の中心までの横方向距離が、前記集積回路を製造するために用いられる設計ルールに従ったコンタクトされるゲート構造のための最小距離である、集積回路。

## 【請求項 4】

請求項 1 又は 2 に記載の集積回路であって、  
前記第 1 のゲート構造の中心から前記第 2 のゲート構造の中心までの横方向距離が 1 5 0 ナノメートル未満である、集積回路。

## 【請求項 5】

請求項 1 又は 2 に記載の集積回路であって、  
前記コンタクトの前記底部が幅 4 0 ナノメートル未満である、集積回路。

## 【請求項 6】

請求項 1 又は 2 に記載の集積回路であって、  
前記金属シリサイドがニッケルシリサイドを含む、集積回路。

## 【請求項 7】

請求項 1 又は 2 に記載の集積回路であって、  
前記シリコンゲルマニウムソース/ドレイン領域の深さが、5 0 ナノメートル～8 0 ナノメートルである、集積回路。

## 【請求項 8】

請求項 1 又は 2 に記載の集積回路であって、  
前記金属シリサイドが実質的に平坦である、集積回路。

## 【請求項 9】

請求項 1 又は 2 に記載の集積回路であって、  
前記フィールド酸化物の頂部表面が、前記第 1 のゲート構造の下の前記半導体材料の頂部表面の 1 5 ナノメートル内の共面である、集積回路。

## 【請求項 1 0】

集積回路を形成する方法であって、  
基板を提供することであって、前記基板が、前記基板の頂部表面まで延在する半導体材料を含む、前記提供することと、

前記基板にフィールド酸化物を形成することと、

前記フィールド酸化物に近接して前記半導体材料の上に第１のゲート構造のゲートを形成することと、

前記フィールド酸化物の近隣の前記半導体材料に重ならないように前記フィールド酸化物の上に第２のゲート構造のゲートを形成することと、

前記第１のゲート構造と前記第２のゲート構造との間の前記半導体材料の一部を露出させるように前記第２のゲート構造の上にエピタキシーハードマスクを形成することであって、前記エピタキシーハードマスクが前記第１のゲート構造と前記第２のゲート構造との間の前記フィールド酸化物の近隣の前記半導体材料の頂部表面に重なる、前記エピタキシーハードマスクを形成することと、

ソース/ドレインキャビティを形成するように前記エピタキシーハードマスクによって露出された前記第１のゲート構造と前記第２のゲート構造との間のソース/ドレイン領域における前記半導体材料を取り除くことと、

前記ソース/ドレインキャビティにおいてシリコンゲルマニウムソース/ドレイン領域を形成することであって、前記フィールド酸化物の側壁における前記シリコンゲルマニウムソース/ドレイン領域の頂部端が前記半導体材料の頂部表面から前記シリコンゲルマニウムソース/ドレイン領域の深さの３分の１より多く延在しない、前記シリコンゲルマニウムソース/ドレイン領域を形成することと、

誘電体スペーサが前記シリコンゲルマニウムソース/ドレイン領域上まで延在するように、前記第２のゲート構造の前記ゲートの横方向表面の近隣に前記誘電体スペーサを形成することと、

前記シリコンゲルマニウムソース/ドレイン領域上に金属シリサイドを形成することと

、

前記第１のゲート構造と前記第２のゲート構造との間にコンタクトを形成することであって、前記コンタクトの底部の少なくとも半分が前記シリコンゲルマニウムソース/ドレイン領域上の前記金属シリサイドに直接的に接する、前記コンタクトを形成することと、を含む、方法。

#### 【請求項１１】

請求項１０に記載の方法であって、

前記エピタキシーハードマスクを形成することが、

前記第１のゲート構造と前記第２のゲート構造と前記半導体材料と前記フィールド酸化物との上にエピタキシーハードマスク層を形成することと、

前記第２のゲート構造を覆い、前記第１のゲート構造と前記第２のゲート構造との間の前記エピタキシーハードマスク層の一部を露出させるように、前記エピタキシーハードマスク層の上にエピタキシーマスクを形成することであって、前記エピタキシーマスクが前記第１のゲート構造と前記第２のゲート構造との間の前記フィールド酸化物の近隣の前記半導体材料の頂部表面に重なる、前記エピタキシーマスクを形成することと、

前記エピタキシーハードマスクを形成するように前記エピタキシーマスクによって露出された前記エピタキシーハードマスク層を取り除くことと、

を含む、方法。

#### 【請求項１２】

請求項１０に記載の方法であって、

前記ソース/ドレイン領域における前記半導体材料を取り除くことが、前記ソース/ドレインキャビティにおける前記フィールド酸化物の前記側壁の一部が露出されるように実施される、方法。

#### 【請求項１３】

請求項１０に記載の方法であって、

前記ソース/ドレイン領域における前記半導体材料を取り除くことが、前記半導体材料が前記エピタキシーハードマスクの直下の前記フィールド酸化物の前記側壁上に残るように実施される、方法。

## 【請求項 14】

請求項 10 に記載の方法であって、  
前記シリコンゲルマニウムソース/ドレイン領域を形成することが、エピタキシャルプロセスによって実施される、方法。

## 【請求項 15】

請求項 10 に記載の方法であって、  
前記第 1 のゲート構造の中心から前記第 2 のゲート構造の中心までの横方向距離が、前記集積回路を製造するために用いられる設計ルールに従ったコンタクトされるゲート構造のための最小距離である、方法。

## 【請求項 16】

請求項 10 に記載の方法であって、  
前記第 1 のゲート構造の中心から前記第 2 のゲート構造の中心までの横方向距離が 150 ナノメートル未満である、方法。

## 【請求項 17】

請求項 10 に記載の方法であって、  
前記コンタクトの前記底部が幅 40 ナノメートル未満である、方法。

## 【請求項 18】

請求項 10 に記載の方法であって、  
前記金属シリサイドがニッケルシリサイドを含む、方法。

## 【請求項 19】

請求項 10 に記載の方法であって、  
前記シリコンゲルマニウムソース/ドレイン領域の深さが 50 ナノメートル～80 ナノメートルである、方法。

## 【請求項 20】

請求項 10 に記載の方法であって、  
前記金属シリサイドが実質的に平坦である、方法。

## 【請求項 21】

請求項 10 に記載の方法であって、  
前記フィールド酸化物の頂部表面が、前記第 1 のゲート構造の下の前記半導体材料の前記頂部表面の 15 ナノメートル内の共面である、方法。