

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5250502号
(P5250502)

(45) 発行日 平成25年7月31日(2013.7.31)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int.Cl.	F I
H O 1 L 23/28 (2006.01)	H O 1 L 23/28 F
H O 1 L 23/00 (2006.01)	H O 1 L 23/00 C

請求項の数 6 (全 21 頁)

(21) 出願番号	特願2009-181832 (P2009-181832)	(73) 特許権者	000190688
(22) 出願日	平成21年8月4日(2009.8.4)		新光電気工業株式会社
(65) 公開番号	特開2011-35269 (P2011-35269A)		長野県長野市小島田町80番地
(43) 公開日	平成23年2月17日(2011.2.17)	(74) 代理人	100070150
審査請求日	平成24年7月4日(2012.7.4)		弁理士 伊東 忠彦
		(72) 発明者	大塚 孝
			長野県長野市小島田町80番地 新光電気工業株式会社内
		審査官	田代 吉成

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板本体と、前記基板本体の第1の面に設けられたパッドと、前記基板本体の第1の面に前記パッドの一部を露出するように設けられたソルダーレジスト層と、を有する配線基板と、

前記配線基板の前記基板本体の第1の面側に実装された電子部品と、
金属材料により構成され、前記パッド上に配置された柱状部材と、
前記ソルダーレジスト層上に、前記柱状部材の側面及び前記電子部品を封止するように設けられた封止樹脂と、

前記封止樹脂の上面及び側面を囲むように配置されたシールドケースと、を備えた半導体装置であって、

前記柱状部材は、前記パッドと対向する第1の端面と、前記第1の端面を構成する第1の端部と、前記シールドケースと対向する第2の端面と、前記第2の端面を構成する第2の端部と、前記第1の端面及び前記第2の端面を貫通する貫通孔と、を有し、

前記第1の端部は第1の導電性ペーストを介して前記パッドと接合され、前記第2の端部は第2の導電性ペーストを介して前記シールドケースと接合され、前記貫通孔には前記第1及び第2の導電性ペーストが存在することを特徴とする半導体装置。

【請求項 2】

前記柱状部材の第2の端面は、前記柱状部材の第2の端面側に配置された前記封止樹脂の面に対して略面一とされていることを特徴とする請求項1記載の半導体装置。

10

20

【請求項 3】

前記金属材料の融点は、前記第 1 及び第 2 の導電性ペーストの融点よりも高いことを特徴とする請求項 1 または 2 記載の半導体装置。

【請求項 4】

前記貫通孔には、前記第 1 及び第 2 の導電性ペーストが存在しない空洞部が存在していることを特徴とする請求項 1 ないし 3 のうち、いずれか 1 項記載の半導体装置。

【請求項 5】

前記柱状部材の形状は、円柱又は四角柱であることを特徴とする請求項 1 ないし 4 のうち、いずれか 1 項記載の半導体装置。

【請求項 6】

基板本体と、前記基板本体の第 1 の面に設けられたパッドと、前記基板本体の第 1 の面に前記パッドの一部を露出するように設けられたソルダーレジスト層と、を有する配線基板を形成する配線基板形成工程と、

前記パッドに第 1 の導電性ペーストを形成する第 1 の導電性ペースト形成工程と、金属材料により構成され、第 1 の端面と、前記第 1 の端面を構成する第 1 の端部と、第 2 の端面と、前記第 2 の端面を構成する第 2 の端部と、前記第 1 の端面及び前記第 2 の端面を貫通する貫通孔と、を有する柱状部材を準備する柱状部材準備工程と、

前記柱状部材の第 1 の端部と前記第 1 の導電性ペーストとを接触させ、次いで、前記第 1 の導電性ペーストを溶融させ、その後、前記第 1 の導電性ペーストを硬化させることで、前記パッドと前記柱状部材の第 1 の端部とを接合させる第 1 の接合工程と、

前記配線基板の前記基板本体の第 1 の面側に電子部品を実装する電子部品実装工程と、前記ソルダーレジスト層上に、前記柱状部材の側面及び前記電子部品を封止すると共に、前記貫通孔が形成された前記柱状部材の第 2 の端面を露出するように、封止樹脂を形成する封止樹脂形成工程と、

前記封止樹脂形成工程後に、前記柱状部材の第 2 の端面に第 2 の導電性ペーストを形成する第 2 の導電性ペースト形成工程と、

前記封止樹脂の上面及び側面を囲むようにシールドケースを配置し、前記第 2 の導電性ペーストと前記シールドケースとを接触させ、次いで、前記第 2 の導電性ペーストを溶融させ、その後、前記第 2 の導電性ペーストを硬化させることで、前記柱状部材の第 2 の端部と前記シールドケースとを接合させる第 2 の接合工程と、を含み、

前記第 1 の接合工程において、溶融した前記第 1 の導電性ペーストの一部は前記貫通孔内に入り込み、

前記第 2 の接合工程において、溶融した前記第 2 の導電性ペーストの一部は前記貫通孔内に入り込むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置及びその製造方法に係り、特に、シールドケースと配線基板に設けられたパッドとの間に配置され、導電性ペーストを介して、シールドケースとパッドとを電氣的に接続する柱状部材を備えた半導体装置及びその製造方法に関する。

【背景技術】**【0002】**

従来の半導体装置には、シールドケースと配線基板に設けられたパッドとの間に配置され、導電性ペーストを介して、シールドケースとパッドとを電氣的に接続する柱状部材を備えた半導体装置がある（図 1 参照）。

【0003】

図 1 は、従来の半導体装置の断面図である。

【0004】

図 1 を参照するに、従来の半導体装置 200 は、配線基板 201 と、電子部品 202 と、封止樹脂 203 と、シールドケース 205 と、柱状部材 206 と、導電性ペースト 20

10

20

30

40

50

7, 208と、外部接続端子211, 212を有する。

【0005】

配線基板201は、基板本体215と、接続パッド216と、パッド217と、ソルダーレジスト層218, 222と、外部接続用パッド219, 221と、グラウンド層223と、配線パターン224, 225とを有する。

【0006】

基板本体215は、複数の絶縁層226~228が積層された構成とされている。接続パッド216は、最上層に配置された絶縁層228の上面228Aに設けられている。パッド217は、絶縁層228の上面228Aに設けられている。

【0007】

ソルダーレジスト層218は、絶縁層228の上面228Aに設けられている。ソルダーレジスト層218は、接続パッド216を露出する開口部218Aと、パッド217を露出する開口部218Bとを有する。

【0008】

外部接続用パッド219, 221は、最下層に配置された絶縁層226の下面226Aに設けられている。

【0009】

ソルダーレジスト層222は、絶縁層226の下面226Aに設けられている。ソルダーレジスト層222は、外部接続用パッド219を露出する開口部222Aと、外部接続用パッド221を露出する開口部222Bとを有する。グラウンド層223は、絶縁層227の下面227Aに設けられている。

【0010】

配線パターン224は、基板本体215に内設されており、複数のビア及び配線により構成されている。配線パターン224は、接続パッド216及び外部接続用パッド219と接続されている。これにより、配線パターン224は、接続パッド216と外部接続用パッド219とを電氣的に接続している。

【0011】

配線パターン225は、ビア231, 232, 234と、配線233とを有する。ビア231は、絶縁層228に設けられ、パッド217と接続されている。ビア232は、絶縁層227を貫通すると共に、グラウンド層223と接続されている。配線233は、ビア231, 232と接続されている。ビア234は、グラウンド層223と外部接続用パッド221との間に配置された絶縁層226を貫通すると共に、グラウンド層223及び外部接続用パッド221と接続されている。これにより、配線パターン225は、グラウンド電位とされると共に、パッド217と外部接続用パッド221とを電氣的に接続している。

【0012】

電子部品202は、接続パッド216に実装されている。封止樹脂203は、ソルダーレジスト層218に設けられており、接続パッド216に実装された電子部品202を封止している。

【0013】

シールドケース205は、封止樹脂203を囲むような形状とされており、封止樹脂203と対向するように配置されている。

【0014】

柱状部材206は、パッド217と対向する部分の封止樹脂203を貫通している。柱状部材206は、パッド217と対向する第1の端面206Aと、封止樹脂203の面203Aから露出され、シールドケース205と対向する第2の端面206B(第1の端面206Aの反対側に位置する柱状部材206の面)とを有する。

【0015】

柱状部材206は、第1の端面206Aとパッド217との間に配置された導電性ペースト207を介して、パッド217と電氣的に接続されると共に、第2の端面206Bと

10

20

30

40

50

シールドケース 205 との間に配置された導電性ペースト 208 を介して、シールドケース 205 と電氣的に接続されている。

【0016】

導電性ペースト 207 は、柱状部材 206 の第 1 の端面 206A とパッド 217 との間に配置されており、柱状部材 206 とパッド 217 とを接合している。

【0017】

導電性ペースト 208 は、柱状部材 206 の第 2 の端面 206B とシールドケース 205 との間に配置されており、柱状部材 206 とシールドケース 205 とを接合している。導電性ペースト 207, 208 としては、例えば、はんだを用いることができる。

【0018】

上記構成とされた従来の半導体装置 200 では、柱状部材 206 の第 2 の端面 206B に形成された導電性ペースト 208 とシールドケース 205 とを接触させ、次いで、導電性ペースト 208 を熔融させ、その後、熔融した導電性ペースト 208 を硬化させることで、シールドケース 205 と柱状部材 206 とを接合させる（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0019】

【特許文献 1】特開 2006 - 190767 号公報

【発明の概要】

【発明が解決しようとする課題】

【0020】

図 2 は、従来の半導体装置の問題点を説明するための断面図である。図 2 において、従来の半導体装置 200 と同一構成部分には同一符号を付す。

【0021】

しかしながら、従来の半導体装置 200 では、柱状部材 206 の第 2 の端面 206B に形成された導電性ペースト 208 とシールドケース 205 とを接触させ、次いで、導電性ペースト 208 を熔融させ、その後、熔融した導電性ペースト 208 を硬化させることで、シールドケース 205 と柱状部材 206 とを接合させていた。

【0022】

そのため、図 2 に示すように、柱状部材 206 の第 2 の端面 206B に形成される導電性ペースト 208 の量が多い場合、導電性ペースト 208 を熔融させた際に導電性ペースト 208 がシールドケース 205 に対して放射状に広がるため、グラウンド層 223 と電氣的に接続された柱状部材 206 とシールドケース 205 とを電氣的に接続することができない（言い換えれば、柱状部材 206 とシールドケース 205 との間の電氣的接続がオープンになってしまう）という問題があった。

【0023】

なお、柱状部材 206 の第 2 の端面 206B に形成する導電性ペースト 208 の量を少なくした場合、柱状部材 206 とシールドケース 205 との間の電氣的接続信頼性が低下してしまうという問題が発生する。

【0024】

そこで本発明は、上述した問題点に鑑みなされたものであり、グラウンド層と電氣的に接続された柱状部材とシールドケースとの間の電氣的接続信頼性を向上させることのできる半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0025】

本発明の一観点によれば、基板本体と、前記基板本体の第 1 の面に設けられたパッドと、前記基板本体の第 1 の面に前記パッドの一部を露出するように設けられたソルダーレジスト層と、を有する配線基板と、前記配線基板の前記基板本体の第 1 の面側に実装された電子部品と、金属材料により構成され、前記パッド上に配置された柱状部材と、前記ソル

10

20

30

40

50

ダーレジスト層上に、前記柱状部材の側面及び前記電子部品を封止するように設けられた封止樹脂と、前記封止樹脂の上面及び側面を囲むように配置されたシールドケースと、を備えた半導体装置であって、前記柱状部材は、前記パッドと対向する第1の端面と、前記第1の端面を構成する第1の端部と、前記シールドケースと対向する第2の端面と、前記第2の端面を構成する第2の端部と、前記第1の端面及び前記第2の端面を貫通する貫通孔と、を有し、前記第1の端部は第1の導電性ペーストを介して前記パッドと接合され、前記第2の端部は第2の導電性ペーストを介して前記シールドケースと接合され、前記貫通孔には前記第1及び第2の導電性ペーストが存在することを特徴とする半導体装置が提供される。

【0026】

本発明の他の観点によれば、基板本体と、前記基板本体の第1の面に設けられたパッドと、前記基板本体の第1の面に前記パッドの一部を露出するように設けられたソルダーレジスト層と、を有する配線基板を形成する配線基板形成工程と、前記パッドに第1の導電性ペーストを形成する第1の導電性ペースト形成工程と、金属材料により構成され、第1の端面と、前記第1の端面を構成する第1の端部と、第2の端面と、前記第2の端面を構成する第2の端部と、前記第1の端面及び前記第2の端面を貫通する貫通孔と、を有する柱状部材を準備する柱状部材準備工程と、前記柱状部材の第1の端部と前記第1の導電性ペーストとを接触させ、次いで、前記第1の導電性ペーストを溶融させ、その後、前記第1の導電性ペーストを硬化させることで、前記パッドと前記柱状部材の第1の端部とを接合させる第1の接合工程と、前記配線基板の前記基板本体の第1の面側に電子部品を実装する電子部品実装工程と、前記ソルダーレジスト層上に、前記柱状部材の側面及び前記電子部品を封止すると共に、前記貫通孔が形成された前記柱状部材の第2の端面を露出するように、封止樹脂を形成する封止樹脂形成工程と、前記封止樹脂形成工程後に、前記柱状部材の第2の端面に第2の導電性ペーストを形成する第2の導電性ペースト形成工程と、前記封止樹脂の上面及び側面を囲むようにシールドケースを配置し、前記第2の導電性ペーストと前記シールドケースとを接触させ、次いで、前記第2の導電性ペーストを溶融させ、その後、前記第2の導電性ペーストを硬化させることで、前記柱状部材の第2の端部と前記シールドケースとを接合させる第2の接合工程と、を含み、前記第1の接合工程において、溶融した前記第1の導電性ペーストの一部は前記貫通孔内に入り込み、前記第2の接合工程において、溶融した前記第2の導電性ペーストの一部は前記貫通孔内に入り込むことを特徴とする半導体装置の製造方法が提供される。

【発明の効果】

【0035】

本発明によれば、グラウンド層と電氣的に接続された柱状部材とシールドケースとの間の電氣的接続信頼性を向上させることができる。

【図面の簡単な説明】

【0036】

【図1】従来の半導体装置の断面図である。

【図2】従来の半導体装置の問題点を説明するための断面図である。

【図3】本発明の実施の形態に係る半導体装置の断面図である。

【図4】図3に示す柱状部材の斜視図である。

【図5】他の柱状部材に斜視図である。

【図6】本発明の実施の形態に係る半導体装置の製造工程を示す図（その1）である。

【図7】本発明の実施の形態に係る半導体装置の製造工程を示す図（その2）である。

【図8】本発明の実施の形態に係る半導体装置の製造工程を示す図（その3）である。

【図9】本発明の実施の形態に係る半導体装置の製造工程を示す図（その4）である。

【図10】本発明の実施の形態に係る半導体装置の製造工程を示す図（その5）である。

【図11】本発明の実施の形態に係る半導体装置の製造工程を示す図（その6）である。

【図12】本発明の実施の形態に係る半導体装置の製造工程を示す図（その7）である。

【図13】本発明の実施の形態に係る半導体装置の製造工程を示す図（その8）である。

【図 1 4】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 9）である。

【図 1 5】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 1 0）である。

。

【図 1 6】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 1 1）である。

。

【図 1 7】本発明の実施の形態に係る半導体装置の製造工程を示す図（その 1 2）である。

。

【発明を実施するための形態】

【0037】

以下、図面に基づいて本発明の実施の形態について説明する。

10

【0038】

（実施の形態）

図 3 は、本発明の実施の形態に係る半導体装置の断面図である。

【0039】

図 3 を参照するに、本実施の形態の半導体装置 1 0 は、配線基板 1 1 と、電子部品 1 2 と、第 1 の導電性ペースト 1 3 と、柱状部材 1 5 と、封止樹脂 1 6 と、第 2 の導電性ペースト 1 8 と、シールドケース 1 9 と、外部接続端子 2 2 , 2 3 とを有する。

【0040】

配線基板 1 1 は、基板本体 2 6 と、接続パッド 2 7 と、パッド 2 8 と、ソルダーレジスト層 3 1 , 3 6 と、第 1 の外部接続用パッド 3 3 と、第 2 の外部接続用パッド 3 4 と、グラウンド層 3 7 と、第 1 の配線パターン 4 1 と、第 2 の配線パターン 4 2 とを有する。

20

【0041】

基板本体 2 6 は、複数の絶縁層 4 5 ~ 4 7 が積層された構成とされている。絶縁層 4 5 は、絶縁層 4 6 と絶縁層 4 7 との間に設けられている。絶縁層 4 5 の材料としては、例えば、エポキシ樹脂やガラスエポキシ樹脂等を用いることができる。

【0042】

絶縁層 4 6 は、絶縁層 4 5 の面 4 5 A に設けられている。絶縁層 4 6 の材料としては、例えば、エポキシ樹脂を用いることができる。絶縁層 4 7 は、絶縁層 4 5 の面 4 5 B（絶縁層 4 5 の面 4 5 A の反対側に位置する絶縁層 4 5 の面）に設けられている。絶縁層 4 7 の材料としては、例えば、エポキシ樹脂を用いることができる。

30

【0043】

なお、上記複数の絶縁層 4 5 ~ 4 7 の代わりに、積層された複数のセラミックを用いて、基板本体 2 6 を構成してもよい。

【0044】

接続パッド 2 7 は、電子部品 1 2 の実装領域に対応する部分の絶縁層 4 6 の面 4 6 A（基板本体 2 6 の第 1 の面）に設けられている。接続パッド 2 7 は、電子部品 1 2 が実装される接続面 2 7 A を有する。

【0045】

パッド 2 8 は、接続パッド 2 7 の形成領域よりも外側に位置する部分の絶縁層 4 6 の面 4 6 A に設けられている。パッド 2 8 は、第 1 の導電性ペースト 1 3 が形成される導電性ペースト形成面 2 8 A を有する。

40

【0046】

ソルダーレジスト層 3 1 は、絶縁層 4 6 の面 4 6 A（絶縁層 4 5 と接触する絶縁層 4 6 の面の反対側に位置する絶縁層 4 6 の面）に設けられている。ソルダーレジスト層 3 1 は、接続面 2 7 A を露出する開口部 3 1 A と、導電性ペースト形成面 2 8 A を露出する開口部 3 1 B とを有する。

【0047】

第 1 の外部接続用パッド 3 3 は、絶縁層 4 7 の面 4 7 A（絶縁層 4 5 と接触する絶縁層 4 7 の面の反対側に位置する絶縁層 4 7 の面（基板本体の第 2 の面））に設けられている。第 1 の外部接続用パッド 3 3 は、外部接続端子 2 2 が配設される端子接続面 3 3 A を有

50

する。

【 0 0 4 8 】

第 2 の外部接続用パッド 3 4 は、絶縁層 4 7 の面 4 7 A に設けられている。第 2 の外部接続用パッド 3 4 は、外部接続端子 2 3 が配設される端子接続面 3 4 A を有する。

【 0 0 4 9 】

ソルダレジスト層 3 6 は、絶縁層 4 7 の面 4 7 A に設けられている。ソルダレジスト層 3 6 は、端子接続面 3 3 A を露出する開口部 3 6 A と、端子接続面 3 4 A を露出する開口部 3 6 B とを有する。

【 0 0 5 0 】

グラウンド層 3 7 は、絶縁層 4 5 の面 4 5 B に設けられている。グラウンド層 3 7 は、グラウンド電位とされた金属層である。グラウンド層 3 7 の材料としては、例えば、C u を用いることができる。

10

【 0 0 5 1 】

第 1 の配線パターン 4 1 は、ビア 5 1 , 5 4 , 5 5 と、配線 5 2 , 5 3 とを有する。ビア 5 1 は、絶縁層 4 5 を貫通している。配線 5 2 は、絶縁層 4 5 の面 4 5 A に設けられている。配線 5 2 は、配線 5 2 の一部が接続パッド 2 7 と対向するように配置されている。配線 5 2 は、ビア 5 1 の上端と接続されている。

【 0 0 5 2 】

配線 5 3 は、配線 5 3 の一部が第 1 の外部接続用パッド 3 3 と対向するように、絶縁層 4 5 の面 4 5 B に設けられている。配線 5 3 は、ビア 5 1 の下端と接続されている。配線 5 3 は、ビア 5 1 を介して、配線 5 2 と電氣的に接続されている。

20

【 0 0 5 3 】

ビア 5 4 は、接続パッド 2 7 と配線 5 2 との間に位置する部分の絶縁層 4 6 を貫通している。ビア 5 4 の上端は、接続パッド 2 7 と接続されており、ビア 5 4 の下端は、配線 5 2 と接続されている。これにより、ビア 5 4 は、接続パッド 2 7 と配線 5 2 とを電氣的に接続している。

【 0 0 5 4 】

ビア 5 5 は、配線 5 3 と第 1 の外部接続用パッド 3 3 との間に位置する部分の絶縁層 4 7 を貫通するように配置されている。ビア 5 5 の上端は、配線 5 3 と接続されており、ビア 5 5 の下端は、第 1 の外部接続用パッド 3 3 と接続されている。これにより、ビア 5 5 は、配線 5 3 と第 1 の外部接続用パッド 3 3 とを電氣的に接続している。

30

【 0 0 5 5 】

上記構成とされた第 1 の配線パターン 4 1 は、接続パッド 2 7 と第 1 の外部接続用パッド 3 3 とを電氣的に接続している。第 1 の配線パターン 4 1 の材料としては、例えば、C u を用いることができる。

【 0 0 5 6 】

第 2 の配線パターン 4 2 は、ビア 5 7 , 5 9 , 6 1 と、配線 5 8 とを有する。ビア 5 7 は、ビア 5 1 の形成領域よりも外側に位置する部分の絶縁層 4 5 を貫通するように配置されている。ビア 5 7 の下端は、グラウンド層 3 7 と接続されている。これにより、第 2 の配線パターン 4 2 は、グラウンド電位とされている。

40

【 0 0 5 7 】

配線 5 8 は、配線 5 8 の一部がパッド 2 8 と対向するように、絶縁層 4 5 の面 4 5 A に設けられている。配線 5 8 は、ビア 5 7 の上端と接続されている。

【 0 0 5 8 】

ビア 5 9 は、パッド 2 8 と配線 5 8 との間に位置する部分の絶縁層 4 6 を貫通するように配置されている。ビア 5 9 の上端は、パッド 2 8 と接続されており、ビア 5 9 の下端は、配線 5 8 と接続されている。これにより、ビア 5 9 は、パッド 2 8 と配線 5 8 とを電氣的に接続されている。

【 0 0 5 9 】

ビア 6 1 は、グラウンド層 3 7 と第 2 の外部接続用パッド 3 4 との間に位置する部分の

50

絶縁層 47 を貫通するように配置されている。ビア 61 の上端は、グラウンド層 37 と接続されている。これにより、ビア 61 は、グラウンド層 37 を介して、ビア 57 と接続されている。ビア 61 の下端は、第 2 の外部接続用パッド 34 と接続されている。これにより、ビア 61 は、グラウンド層 37 と第 2 の外部接続用パッド 34 とを電氣的に接続している。

【0060】

上記構成とされた第 2 の配線パターン 42 は、グラウンド層 37 と接続されると共に、パッド 28 と第 2 の外部接続用パッド 34 とを電氣的に接続している。第 2 の配線パターン 42 の材料としては、例えば、Cu を用いることができる。

【0061】

電子部品 12 は、導電性ペースト 24 及びバンブ 25 を介して、接続パッド 27 に実装されている。電子部品 12 としては、例えば、半導体チップ、チップコンデンサ、チップ抵抗等を用いることができる。導電性ペースト 24 としては、例えば、はんだ（例えば、融点が 220 度）や Ag ペースト等の導電ペーストを用いることができる。バンブ 25 としては、例えば、Au バンブを用いることができる。

【0062】

なお、図 3 では、1 つの電子部品 12（この場合、半導体チップ）が配線基板 11 に実装された構成とされた半導体装置 10 を図示しているが、実際には、配線基板 11 には、図示していない複数の電子部品（例えば、半導体チップ、チップコンデンサ、チップ抵抗等）が実装されている。

【0063】

第 1 の導電性ペースト 13 は、パッド 28 の導電性ペースト形成面 28A と柱状部材 15 の第 1 の端部 15A との間に設けられている。第 1 の導電性ペースト 13 は、柱状部材 15 の第 1 の端部 15A とパッド 28 とを接合することで、パッド 28 に柱状部材 15 の第 1 の端部 15A を固定するためのものである。第 1 の導電性ペースト 13 のうち、柱状部材 15 の第 1 の端部 15A とパッド 28 との接合に不要な第 1 の導電性ペースト 13（言い換えれば、余分な第 1 の導電性ペースト 13）は、柱状部材 15 の第 1 の端部 15A に位置する部分の貫通部 62 に収容されている。第 1 の導電性ペースト 13 としては、例えば、はんだ（例えば、融点が 220 度）や Ag ペースト等を用いることができる。

【0064】

図 4 は、図 3 に示す柱状部材の斜視図である。

【0065】

図 3 及び図 4 を参照するに、柱状部材 15 は、対向配置されたパッド 28 と第シールドケース 19 との間に配置されている。柱状部材 15 は、柱状部材本体 61 と、貫通孔 62 と、第 1 の端部 15A と、第 2 の端部 15B とを有する。

【0066】

柱状部材本体 61 は、円柱形状とされており、第 1 の端面 61A と、第 2 の端面 61B とを有する。第 1 の端面 61A は、平坦な面とされている。第 1 の端面 61A は、パッド 28 の導電性ペースト形成面 28A と対向するように配置されている。

【0067】

第 2 の端面 61B は、平坦な面とされている。第 2 の端面 61B は、第 1 の端面 61A の反対側に配置されている。第 2 の端面 61B は、シールドケース 19 と対向するように配置されている。

【0068】

柱状部材本体 61 の直径 R_1 は、例えば、0.6 mm とすることができる。柱状部材本体 61 の高さ H_1 は、柱状部材本体 61 の第 1 の端面 61A が配線基板 11 に実装された電子部品 12 よりも上方に配置されるような高さとしてされている。柱状部材本体 61 の高さ H_1 は、例えば、0.6 mm とすることができる。

【0069】

柱状部材本体 61 は、例えば、第 1 及び第 2 の導電性ペースト 13、18 よりも融点の

10

20

30

40

50

高い金属材料により構成するとよい。

【 0 0 7 0 】

第 1 及び第 2 の導電性ペースト 1 8 , 1 9 として、例えば、融点が 2 2 0 度のはんだや A g ペーストを用いる場合、柱状部材本体 6 1 を構成する金属材料としては、例えば、C u を用いることができる。

【 0 0 7 1 】

貫通孔 6 2 は、柱状部材本体 6 1 の第 1 及び第 2 の端面 6 1 A , 6 1 B の中央を貫通するように形成されている。貫通孔 6 2 の直径 R_2 は、例えば、2 0 0 μ m とすることができる。貫通孔 6 2 は、例えば、柱状部材本体 6 1 をレーザ加工することで形成する。

【 0 0 7 2 】

柱状部材 1 5 の第 1 の端部 1 5 A は、貫通孔 6 2 が形成された第 1 の端面 6 1 A を構成する部分の柱状部材 1 5 のことである。言い換えれば、柱状部材 1 5 の第 1 の端部 1 5 A は、第 1 の導電性ペースト 1 3 と接触する部分の柱状部材 1 5 のことである。柱状部材 1 5 の第 1 の端部 1 5 A は、導電性ペースト形成面 2 8 A に設けられた第 1 の導電性ペースト 1 3 を介して、パッド 2 8 と接合されている。これにより、柱状部材 1 5 は、第 1 の導電性ペースト 1 3 を介して、配線基板 1 1 と電氣的に接続されている。

【 0 0 7 3 】

柱状部材 1 5 の第 2 の端部 1 5 B とは、貫通孔 6 2 が形成された第 2 の端面 6 1 B を構成する部分の柱状部材 1 5 のことである。言い換えれば、柱状部材 1 5 の第 2 の端部 1 5 B は、第 2 の導電性ペースト 1 8 と接触する部分の柱状部材 1 5 のことである。柱状部材 1 5 の第 2 の端部 1 5 B は、柱状部材本体 6 1 の第 2 の端面 6 1 B に設けられた第 2 の導電性ペースト 1 8 を介して、シールドケース 1 9 と接合されている。これにより、柱状部材 1 5 は、シールドケース 1 9 と電氣的に接続されている。

【 0 0 7 4 】

上記構成とされた柱状部材 1 5 は、第 1 及び第 2 の導電性ペースト 1 3 , 1 8 、ビア 5 7 , 5 9 、及び配線 5 8 を介して、シールドケース 1 9 とグラウンド層 3 7 とを電氣的に接続している。これにより、シールドケース 1 9 は、グラウンド電位とされている。

【 0 0 7 5 】

このように、パッド 2 8 と対向する部分の封止樹脂 1 6 を貫通するように配置され、パッド 2 8 と対向する第 1 の端面 6 1 A と、第 1 の端面 6 1 A を構成する第 1 の端部 1 5 A と、シールドケース 1 9 と対向する第 2 の端面 6 1 B と、第 2 の端面 6 1 B を構成する第 2 の端部 1 5 B と、を有すると共に、金属材料により構成された柱状部材 1 5 を設け、第 2 の導電性ペースト 1 8 により柱状部材 1 5 の第 2 の端部 1 5 B とシールドケース 1 9 とを接合させることにより、第 2 の導電性ペースト 1 8 を熔融させて、シールドケース 1 9 と柱状部材 1 5 とを接合させる際、柱状部材 1 5 の第 2 の端部 1 5 B とシールドケース 1 9 との接合に不要な熔融された第 2 の導電性ペースト 1 8 を貫通孔 6 2 に逃がす（移動させる）ことが可能となる。

【 0 0 7 6 】

つまり、柱状部材 1 5 の第 2 の端面 1 5 B とシールドケース 1 9 との間に配置される熔融した第 2 の導電性ペースト 1 8 の量を少なくすることが可能となる。

【 0 0 7 7 】

これにより、熔融した第 2 の導電性ペースト 1 8 がシールドケース 1 9 に対して放射状に広がることがなくなるため、グラウンド層 3 7 と電氣的に接続された柱状部材 1 5 とシールドケース 1 9 との間の電氣的接続信頼性を向上させることができる。

【 0 0 7 8 】

また、第 1 の導電性ペースト 1 3 の量が多い場合、柱状部材 1 5 の第 1 の端部 1 5 A とパッド 2 8 とを接合させる際に不要な熔融された第 1 の導電性ペースト 1 3 を貫通孔 6 2 に逃がす（移動させる）ことができる。

【 0 0 7 9 】

封止樹脂 1 6 は、電子部品 1 2 と、柱状部材 1 5 の側面とを封止するように、ソルダー

10

20

30

40

50

レジスト層 31 上に設けられている。封止樹脂 16 の上面 16A は、柱状部材本体 61 の第 2 の端面 61B を露出している。封止樹脂 16 の上面 16A は、柱状部材本体 61 の第 2 の端面 61B に対して略面一となるように配置されている。封止樹脂 16 としては、例えば、モールド樹脂を用いることができる。この場合、モールド樹脂の材料としては、例えば、エポキシ樹脂を用いることができる。

【0080】

第 2 の導電性ペースト 18 は、柱状部材 15 の第 2 の端部 15B とシールドケース 19 との間に設けられている。第 2 の導電性ペースト 18 は、柱状部材 15 の第 2 の端部 15B とシールドケース 19 とを接合させることで、柱状部材 15 の第 2 の端部 15B にシールドケース 19 を固定するためのものである。

10

【0081】

第 2 の導電性ペースト 18 のうち、柱状部材 15 の第 2 の端部 15B とシールドケース 19 との接合に不要な第 2 の導電性ペースト 18 (言い換えれば、余分な第 2 の導電性ペースト 18) は、柱状部材 15 の第 2 の端部 15B に対応する部分の貫通部 62 に収容されている。第 2 の導電性ペースト 18 としては、例えば、はんだ (例えば、融点が 220 度) や Ag ペースト等を用いることができる。

【0082】

シールドケース 19 は、封止樹脂 16 (具体的には、封止樹脂 16 の上面 16A 及び側面 16B) を囲むように配置されている。シールドケース 19 は、悪影響を及ぼす電磁波を遮断するための部材である。シールドケース 19 の材料としては、例えば、羊白 (nickel silver) を用いることができる。羊白は、展延性や耐食性に優れた Cu-Ni-Zn 合金である。シールドケース 19 の材料として羊白を用いた場合、シールドケース 19 の厚さは、例えば、0.05 ~ 0.2 mm とすることができる。

20

【0083】

外部接続端子 22 は、第 1 の外部接続用パッド 33 の端子接続面 33A に設けられている。外部接続端子 23 は、第 2 の外部接続用パッド 34 の端子接続面 34A に設けられている。外部接続端子 22, 23 は、半導体装置 10 をマザーボード等の実装基板 (図示せず) に実装する際、実装基板に設けられたパッド (図示せず) と接続される端子である。

【0084】

本実施の形態の半導体装置によれば、パッド 28 と対向する部分の封止樹脂 16 を貫通するように配置され、パッド 28 と対向する第 1 の端面 61A と、第 1 の端面 61A を構成する第 1 の端部 15A と、シールドケース 19 と対向する第 2 の端面 61B と、第 2 の端面 61B を構成する第 2 の端部 15B と、を有すると共に、金属材料により構成された柱状部材 15 を設け、第 2 の導電性ペースト 18 により柱状部材 15 の第 2 の端部 15B とシールドケース 19 とを接合させることにより、第 2 の導電性ペースト 18 を溶融させて、シールドケース 19 と柱状部材 15 とを接合させる際、柱状部材 15 の第 2 の端部 15B とシールドケース 19 との接合に不要な溶融された第 2 の導電性ペースト 18 を貫通孔 62 に逃がして、柱状部材 15 の第 2 の端面 15B とシールドケース 19 との間に配置される溶融した第 2 の導電性ペースト 18 の量を少なくすることが可能となる。

30

【0085】

これにより、溶融した第 2 の導電性ペースト 18 がシールドケース 19 に対して放射状に広がることなく、グラウンド層 37 と電氣的に接続された柱状部材 15 とシールドケース 19 との間の電氣的接続信頼性を向上させることができる。

40

【0086】

また、第 1 の導電性ペースト 13 の量が多い場合、柱状部材 15 の第 1 の端部 15A とパッド 28 とを接合させる際に不要な溶融された第 1 の導電性ペースト 13 を貫通孔 62 に逃がす (移動させる) ことができる。

【0087】

図 5 は、他の柱状部材に斜視図である。図 5 において、図 4 に示す柱状部材 15 と同一構成部分には同一符号を付す。

50

【0088】

なお、本実施の形態では、円柱形状とされた柱状部材15、第1の導電性ペースト13、及び第2の導電性ペースト18を介して、グラウンド層37と電氣的に接続されたパッド28とシールドケース19とを電氣的に接続する場合を例に挙げて説明したが、柱状部材15の形状は、円柱に限定されない。

【0089】

例えば、図5に示す柱状部材15の代わりに、図5に示すように、パッド28と対向する第1の端面66A、及びシールドケース19と対向する第2の端面66Bを有すると共に、四角柱とされた柱状部材本体66と、第1及び第2の端面66A、66Bの中央を貫通する貫通孔62とを備えた柱状部材65（四角柱とされた柱状部材）を設けてもよい。

10

【0090】

柱状部材本体66の幅 W_1 、 W_2 は、例えば、0.6mmとすることができる。第1及び第2の導電性ペースト18、19として、例えば、融点が220度のはんだやAgペーストを用いる場合、柱状部材本体66を構成する金属材料としては、例えば、Cuを用いることができる。

【0091】

図6～図17は、本発明の実施の形態に係る半導体装置の製造工程を示す図である。図6～図17において、本実施の形態の半導体装置10と同一構成部分には、同一符号を付す。

20

【0092】

図6～図17を参照して、本実施の形態の半導体装置10の製造方法について説明する。

【0093】

始めに、図6に示す工程では、周知の手法により、複数の配線基板11が一体的に構成された配線基板群71を形成する（配線基板形成工程）。

【0094】

配線基板群71は、板状とされている。配線基板群71は、切断位置Aにおいて切断されることにより、個片化された複数の配線基板11となる。

【0095】

30

次いで、図7に示す工程では、パッド28の導電性ペースト形成面28Aに第1の導電性ペースト13を形成する（第1の導電性ペースト形成工程）と共に、接続パッド27の接続面27Aに導電性ペースト24を形成する。

【0096】

第1の導電性ペースト13及び導電性ペースト24としては、例えば、はんだやAgペースト等を用いることができる。第1の導電性ペースト13及び導電性ペースト24として同じ材料を用いる場合には、第1の導電性ペースト13及び導電性ペースト24は、同時に形成する。具体的には、第1の導電性ペースト13及び導電性ペースト24は、例えば、印刷法により形成することができる。

【0097】

40

次いで、図8に示す工程では、第1及び第2の端面61A、61Bを有する柱状部材本体61、柱状部材本体61に設けられ、第1及び第2の端面61A、61Bを貫通する貫通孔62、第1の端面61Aを構成する第1の端部15A、及び第2の端面61Bを構成する第2の端部15Bを有した柱状部材15を複数形成する（柱状部材準備工程）。

【0098】

柱状部材本体61は、円柱形状とされている。柱状部材本体61の直径 R_1 は、例えば、0.6mmとすることができる。柱状部材本体61の高さ H_1 は、柱状部材本体61の第1の端面61Aが配線基板11に実装された電子部品12よりも上方に配置されるような高さとしてされている。柱状部材本体61の高さ H_1 は、例えば、0.6mmとすることができる。柱状部材本体61は、例えば、第1及び第2の導電性ペースト13、18よりも

50

融点の高い金属材料により構成するとよい。

【0099】

第1及び第2の導電性ペースト18, 19として、例えば、融点が220度のはんだやAgペーストを用いる場合、柱状部材本体61を構成する金属材料としては、例えば、Cuを用いることができる。貫通孔62の直径 R_2 は、例えば、200 μm とすることができる。貫通孔62は、例えば、柱状部材本体61をレーザ加工することで形成する。

【0100】

次いで、図9に示す工程では、貫通孔62が形成された柱状部材15の第1の端部15Aと第1の導電性ペースト13とを接触させると共に、電子部品12に設けられたパンプ25と導電性ペースト24とを接触させ、次いで、加熱により第1の導電性ペースト13及び導電性ペースト24を溶融させ、その後、第1の導電性ペースト13及び導電性ペースト24を硬化させることで、パッド28と柱状部材15の第1の端部15Aとを接合させる(第1の接合工程)と共に、電子部品12を接続パッド27に実装させる(電子部品実装工程)。

10

【0101】

このように、貫通孔62が形成された柱状部材15の第1の端部15A(第1の端面61Aの含む)と第1の導電性ペースト13とを接触させ、次いで、加熱により第1の導電性ペースト13を溶融させ、その後、第1の導電性ペースト13を硬化させることで、パッド28と柱状部材15の第1の端部15Aとを接合させることにより、パッド28と第1の端面61Aとの間に配置された第1の導電性ペースト13の量の多い場合、柱状部材15の第1の端部15Aとパッド28とを接合させる際に不要な第1の導電性ペースト13(余分な第1の導電性ペースト13)を貫通孔62に逃がす(移動させる)ことができる。

20

【0102】

また、パッド28と柱状部材15の第1の端部15Aとを接合させる第1の接合工程と、電子部品12を接続パッド27に実装させる電子部品実装工程とを同時に行うことで、第1の接合工程と電子部品実装工程とを別々の工程で処理した場合と比較して、製造工程数を減らすことが可能となるため、半導体装置10の製造コストを低減できる。

【0103】

次いで、図10に示す工程では、柱状部材15が接合されると共に、電子部品12が実装された配線基板群71の上面側(言い換えれば、柱状部材15が接合されると共に、電子部品12が実装され、一体化された複数の配線基板11の上面側)に、貫通孔62が形成された柱状部材15の第2の端面15Bを露出するように、封止樹脂16を形成する(封止樹脂形成工程)。

30

【0104】

具体的には、下部金型73の面73Aに、図9に示す構造体を載置(具体的には、ソルダーレジスト層36と下部金型73の面73Aとが接触するように載置)し、下部金型73の面73Aと対向する上部金型75の面75Aに貼り付けられた離型フィルム76と柱状部材本体61の第2の端面61Bとを接触させた後、離型フィルム76と配線基板群71との間を充填する封止樹脂16を形成する。

40

【0105】

これにより、封止樹脂16により、配線基板群71に実装された複数の電子部品12、及び配線基板群71と接合された複数の柱状部材15の側面が封止される。

【0106】

また、離型フィルム76と柱状部材本体61の第2の端面61Bとを接触させた後、離型フィルム76と配線基板群71との間を充填する封止樹脂16を形成することで、柱状部材15の貫通孔62に封止樹脂16が形成されることを防止できると共に、封止樹脂16の上面16Aから柱状部材本体61の第2の端面61Bを露出させることができる。

【0107】

離型フィルム76としては、例えば、フッ素系の離型剤を用いることができる。離型フ

50

フィルム 76 の厚さは、例えば、 $50\text{ }\mu\text{m}$ とすることができる。

【0108】

封止樹脂 16 としては、例えば、モールド樹脂を用いることができる。モールド樹脂の材料としては、例えば、エポキシ樹脂を用いることができる。

【0109】

次いで、図 11 に示す工程では、図 10 に示す下部金型 73 及び離型フィルム 76 が形成された上部金型 75 から、封止樹脂 16 が形成された配線基板群 71 を取り出す。

【0110】

次いで、図 12 に示す工程では、第 1 の外部接続用パッド 33 の端子接続面 33A に外部接続端子 22 を形成すると共に、第 2 の外部接続用パッド 34 の端子接続面 34A に外部接続端子 23 を形成する。外部接続端子 22, 23 としては、例えば、はんだボールを用いることができる。

10

【0111】

次いで、図 13 に示す工程では、図 12 に示す構造体を切断位置 A に沿って切断することで、電子部品 12、柱状部材 15、及び封止樹脂 16 が形成された複数の配線基板 11 を個片化する。具体的には、図 12 に示す構造体を、例えば、ダイサーにより切断する。

【0112】

次いで、図 14 に示す工程では、個片化された配線基板 11 に設けられた封止樹脂 16 の上面 16A 及び柱状部材本体 61 の第 2 の端面 61B に、貫通部 78 を有した印刷用マスク 77 を載置する。

20

【0113】

このとき、貫通部 78 が、第 2 の端面 61B 側に配置された貫通孔 62 の端部全体を露出するように、印刷用マスク 77 を載置する。

【0114】

印刷用マスク 77 の材料としては、例えば、SUS 等の金属を用いることができる。印刷用マスク 77 の厚さは、例えば、 $30\text{ }\mu\text{m}$ とすることができる。

【0115】

貫通部 78 の直径 R_3 は、印刷用マスク 77 を配置する際の位置ずれを考慮（印刷用マスク 77 を載置する装置の性能を考慮）して、貫通孔 62 の直径 R_2 よりも大きくするとよい。具体的には、貫通孔 62 の直径 R_2 が $200\text{ }\mu\text{m}$ の場合、貫通部 78 の直径 R_3 は、例えば、 $250\text{ }\mu\text{m}$ とすることができる。

30

【0116】

次いで、図 15 に示す工程では、貫通孔 62 の一部、及び貫通部 78 を充填するように、柱状部材本体 61 の第 2 の端面 61B に第 2 の導電性ペースト 18 を形成する。これにより、柱状部材 15 の第 2 の端部 15B に第 2 の導電性ペースト 18 が形成される。

【0117】

具体的には、第 2 の導電性ペースト 18 は、例えば、印刷法により形成する。第 2 の導電性ペースト 18 としては、例えば、はんだ（融点は、例えば、 220 度）や Ag ペースト等を用いることができる。

【0118】

40

次いで、図 16 に示す工程では、図 15 に示す印刷用マスク 77 を除去する。なお、図 14 ~ 図 16 に示す工程が、「第 2 の導電性ペースト形成工程」に相当する工程である。

【0119】

次いで、図 17 に示す工程では、第 2 の導電性ペースト 18 とシールドケース 19 とを接触させ、次いで、第 2 の導電性ペースト 18 を溶融させ、その後、第 2 の導電性ペースト 18 を硬化させることで、柱状部材 15 の第 2 の端部 15B とシールドケース 19 とを接合させる（第 2 の接合工程）。

【0120】

これにより、本実施の形態の半導体装置 10 が製造される。また、シールドケース 19 は、第 1 及び第 2 の導電性ペースト 13, 18、柱状部材 15、及び第 2 の配線パターン

50

42を介して、グラウンド層37と電氣的に接続される。つまり、シールドケース19は、グラウンド電位とされる。

【0121】

上記第2の接合工程では、柱状部材15の第2の端部15Bに形成された第2の導電性ペースト18とシールドケース19とを接触させ、次いで、第2の導電性ペースト18を溶融させ、その後、第2の導電性ペースト18を硬化させることで、柱状部材15の第2の端部15Bとシールドケース19とを接合させることにより、第2の導電性ペースト18の量が多い場合、柱状部材15の第2の端部15Bとシールドケース19との接合に不要な溶融された第2の導電性ペースト18（余分な第2の導電性ペースト18）を貫通孔62に逃がして（移動させて）、柱状部材本体61の第2の端面61Bとシールドケース19との間に配置される溶融した第2の導電性ペースト18の量を少なくすることが可能となる。

10

【0122】

これにより、溶融した第2の導電性ペースト18がシールドケース19に対して放射状に広がることがなくなるため、グラウンド層37と電氣的に接続された柱状部材15とシールドケース19との間の電氣的接続信頼性を向上させることができる。

【0123】

シールドケース19と封止樹脂16の上面16Aとの隙間は、例えば、50 μ mとすることができる。シールドケース19の材料としては、例えば、羊白(nickel silver)を用いることができる。羊白は、展延性や耐食性に優れたCu-Ni-Zn合金である。シールドケース19の材料として羊白を用いた場合、シールドケース19の厚さは、例えば、0.05~0.2mmとすることができる。

20

【0124】

本実施の形態の半導体装置の製造方法によれば、貫通孔62を有する柱状部材15の第2の端部15Bに形成された第2の導電性ペースト18とシールドケース19とを接触させ、次いで、第2の導電性ペースト18を溶融させ、その後、第2の導電性ペースト18を硬化させることで、柱状部材15の第2の端部15Bとシールドケース19とを接合させることにより、柱状部材15の第2の端部15Bとシールドケース19との接合に不要な溶融された第2の導電性ペースト18（余分な第2の導電性ペースト18）を貫通孔62に逃がして（移動させて）、柱状部材本体61の第2の端面61Bとシールドケース19との間に配置される第2の導電性ペースト18の量を少なくすることが可能となる。これにより、溶融した第2の導電性ペースト18がシールドケース19に対して放射状に広がることがなくなるため、グラウンド層37と電氣的に接続された柱状部材15とシールドケース19との間の電氣的接続信頼性を向上させることができる。

30

【0125】

なお、本実施の形態の半導体装置10の製造方法では、円柱状の柱状部材15を用いた場合を例に挙げて説明したが、図8に示す柱状部材準備工程において、柱状部材15の代わりに、図5に示す柱状部材65を準備し、その後、図9~図17に示す工程と同様な処理を行うことで、半導体装置を製造してもよい。このような製造方法により製造された半導体装置は、本実施の形態の半導体装置10の製造方法と同様な効果を得ることができる。

40

【0126】

以上、本発明の好ましい実施の形態について詳述したが、本発明はかかる特定の実施の形態に限定されるものではなく、特許請求の範囲内に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【0127】

例えば、本実施の形態では、BGA(Ball Grid Array)タイプの半導体装置10に、貫通孔62を有した柱状部材15, 65を適用した場合を例に挙げて説明したが、貫通孔62を有した柱状部材15, 65は、例えば、半導体装置10の構成から外部接続端子22, 23の構成を除いたLGA(Land Grid Array)タイプの半導体装置に適用してもよ

50

い。この場合、本実施の形態の半導体装置 10 と同様な効果を得ることができる。また、LGAタイプの半導体装置を製造する場合、先に説明した図 12 に示す工程が不要となる。

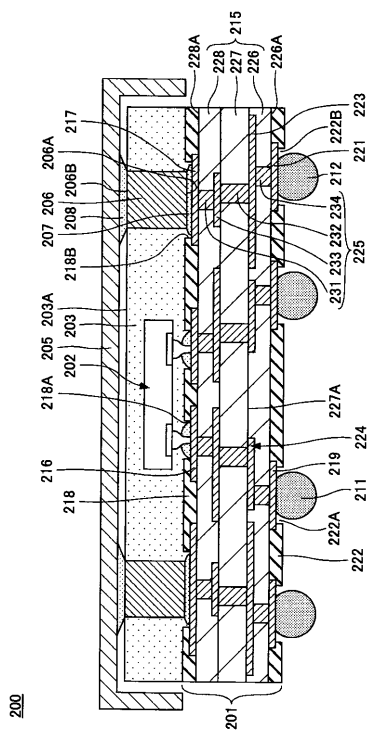
【符号の説明】

【0128】

10	半導体装置	
11	配線基板	
12	電子部品	
13	第1の導電性ペースト	
15, 65	柱状部材	10
15A	第1の端部	
15B	第2の端部	
16	封止樹脂	
16A	上面	
16B	側面	
18	第2の導電性ペースト	
19	シールドケース	
22, 23	外部接続端子	
24	導電性ペースト	
25	バンプ	20
26	基板本体	
27	接続パッド	
27A	接続面	
28	パッド	
28A	導電性ペースト形成面	
31, 36	ソルダーレジスト層	
31A, 31B, 36A, 36B	開口部	
33, 34	第1の外部接続用パッド	
33A, 34A	端子接続面	
37	グラウンド層	30
41	第1の配線パターン	
42	第2の配線パターン	
45~47	絶縁層	
45A, 45B, 46A, 47A, 73A, 75A	面	
51, 54, 55, 57, 59, 61	ビア	
52, 53, 58	配線	
61, 66	柱状部材本体	
61A, 66A	第1の端面	
61B, 66B	第2の端面	
62	貫通孔	40
71	配線基板群	
73	下部金型	
75	上部金型	
76	離型フィルム	
77	印刷用マスク	
78	貫通部	
A	切断位置	
H ₁	高さ	
R ₁ , R ₂ , R ₃	直径	
W ₁ , W ₂	幅	50

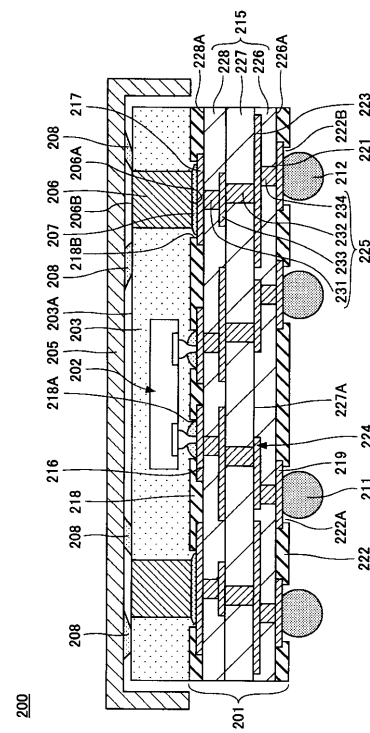
【図 1】

従来の半導体装置の断面図



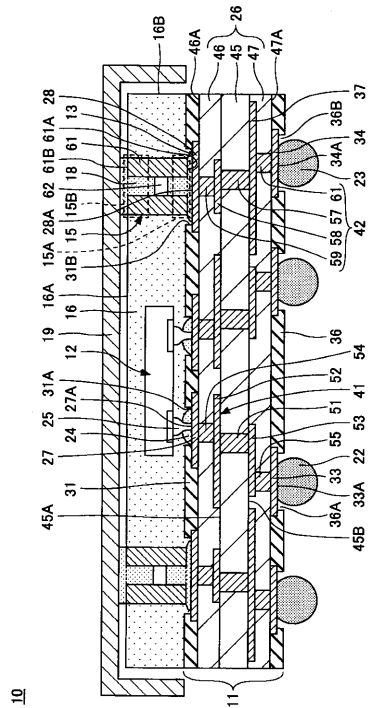
【図 2】

従来の半導体装置の問題点を説明するための断面図



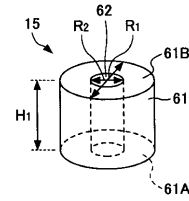
【図 3】

本発明の実施の形態に係る半導体装置の断面図



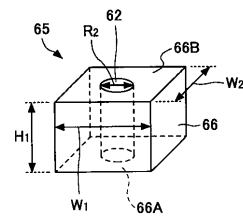
【図 4】

図3に示す柱状部材の斜視図



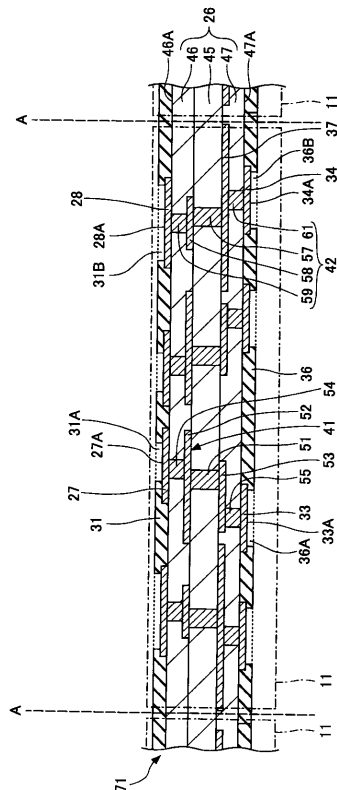
【図 5】

他の柱状部材に斜視図



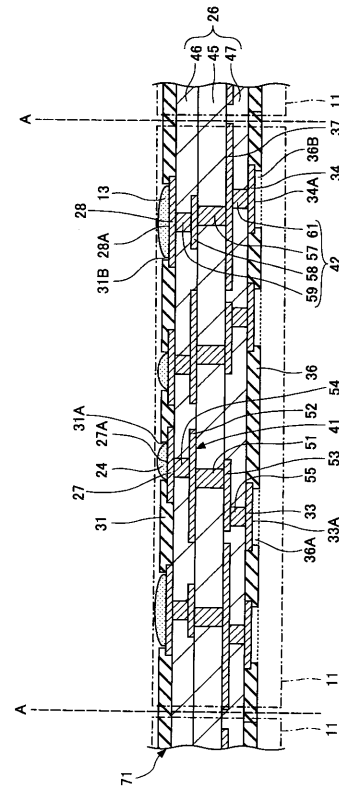
【図 6】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その1)



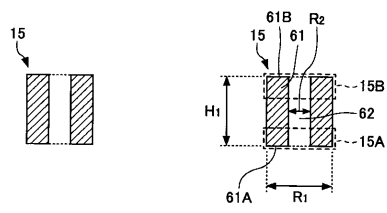
【図 7】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その2)



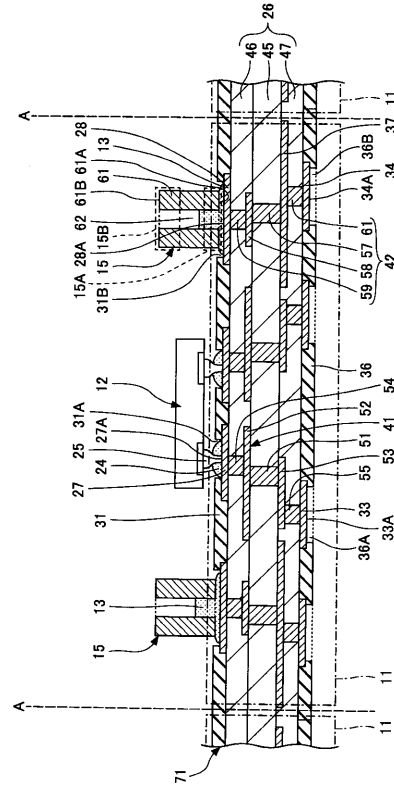
【図 8】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その3)



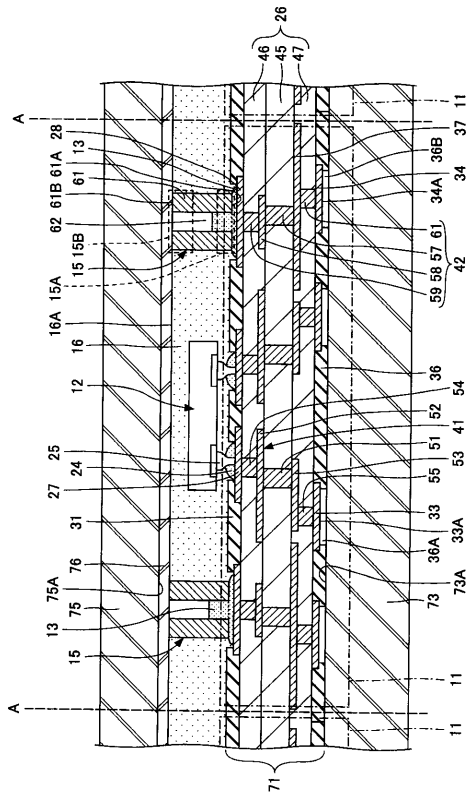
【図 9】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その4)



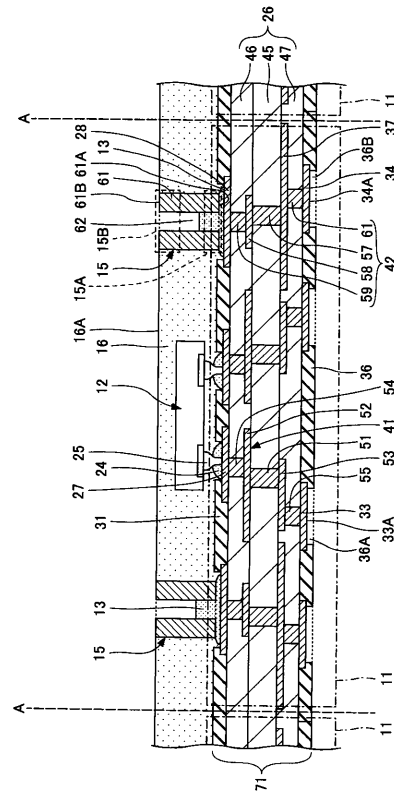
【図 10】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その5)



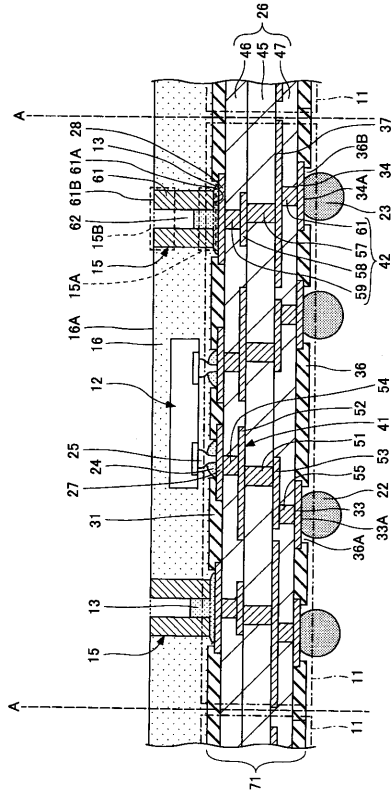
【図 11】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その6)



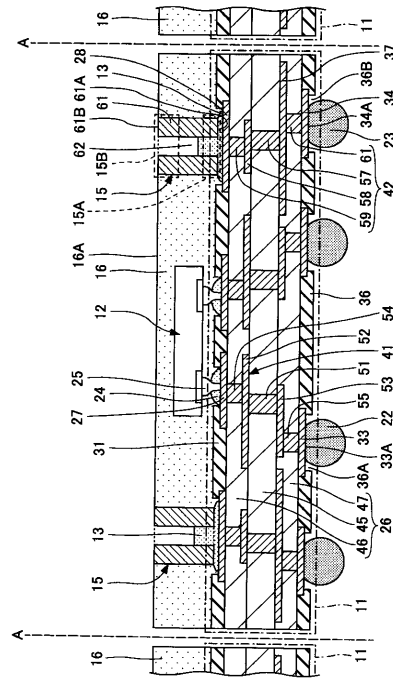
【図 1 2】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その7)



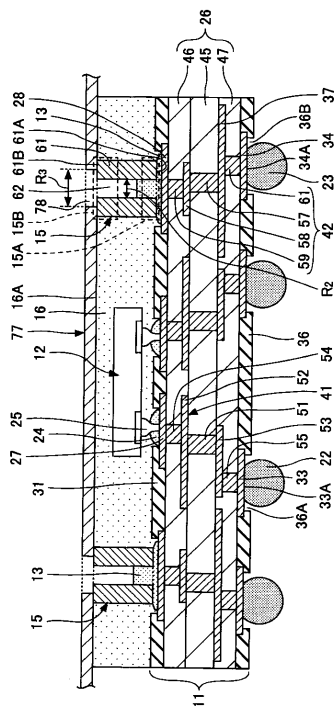
【図 1 3】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その8)



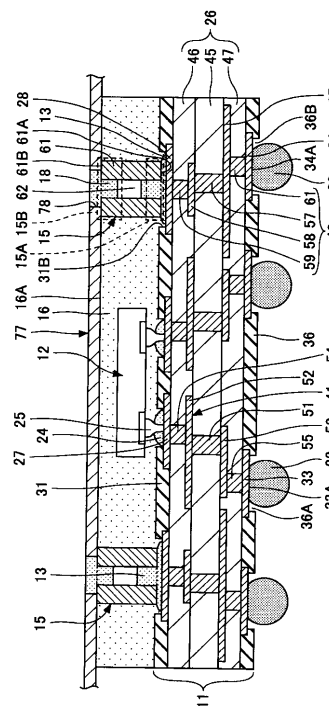
【図 1 4】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その9)



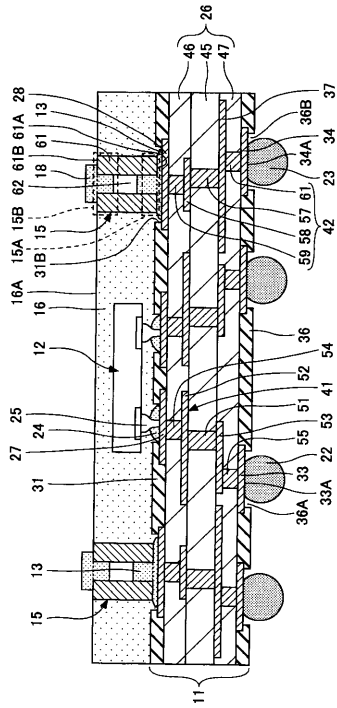
【図 1 5】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その10)



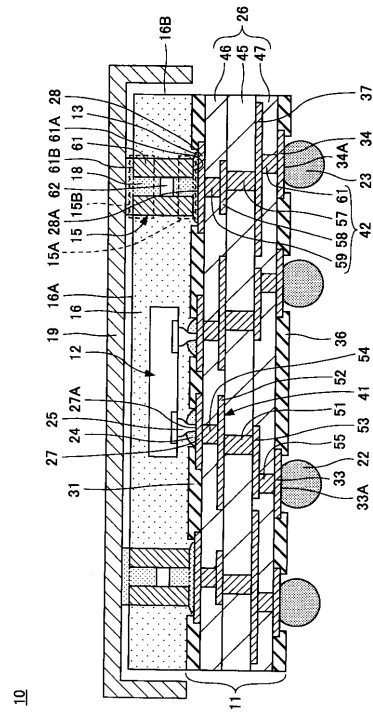
【図 16】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その11)



【図 17】

本発明の実施の形態に係る半導体装置の製造工程を示す図(その12)



フロントページの続き

(56)参考文献 特開平10-051181(JP,A)
特開2002-170906(JP,A)
特開2006-156798(JP,A)
特開2007-042977(JP,A)
特開2008-277569(JP,A)
特開平7-321243(JP,A)
特開昭63-107055(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	23/00 - 23/04
H01L	23/06 - 23/31
H01L	21/56
H05K	1/14
H05K	3/28
H05K	9/00
H01R	12/00 - 12/91
H01R	24/00 - 24/86
H01R	43/00 - 43/02