



(12)发明专利

(10)授权公告号 CN 106571835 B

(45)授权公告日 2020.06.09

(21)申请号 201610592879.2

(51) Int.Cl.

(22)申请日 2016.07.25

H04B 1/04(2006.01)

(65)同一申请的已公布的文献号

(56)对比文件

申请公布号 CN 106571835 A

CN 103944360 A, 2014.07.23.

(43)申请公布日 2017.04.19

CN 103733488 A, 2014.04.16,

(30) 优先权数据

CN 104578453 A, 2015.04.29.

15179318.9 2015.07.31 EP

US 2008246108 A1, 2008.10.09.

(73)专利权人 电力集成瑞士有限公司

US 2013313910 A1, 2013.11.28.,

地址 瑞士比尔

US 2015049833 A1, 2015.02.19,

宙查员 李靖

(72)发明人 马提亚斯·彼得 简·塔尔海姆

(74) 专利代理机构 北京汇知杰知识产权代理有限公司 11587

代理人 李洁 董江虹

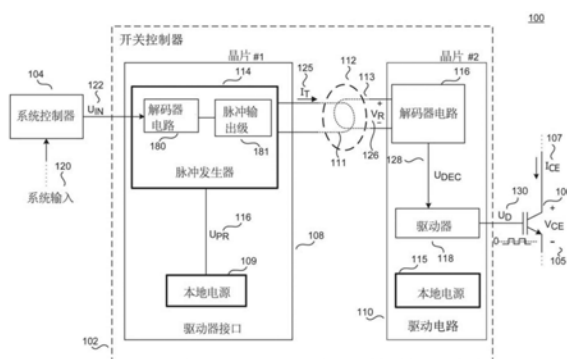
权利要求书3页 说明书20页 附图11页

(54)发明名称

信号发射电路和包括该信号发射电路的装置

(57)摘要

一种信号发射电路以及包括该信号发射电路的装置。所述信号发射电路包括：传导的发射线圈；第一电源；半导体开关，所述半导体开关用于将所述发射线圈可逆地耦接到所述第一电源；控制电路，所述控制电路用于通过所述半导体开关控制所述发射线圈到所述第一电源的耦接；第二电源，所述第二电源被耦接以给所述控制电路供电。



1. 一种通信信号发射电路,包括:
传导的发射线圈;
第一电源;
半导体开关,所述半导体开关用于将所述发射线圈可逆地耦接到所述第一电源;
控制电路,所述控制电路用于通过所述半导体开关控制所述发射线圈到所述第一电源的耦接;
第二本地电源,所述第二本地电源被耦接以给所述控制电路供电,
其中所述第一电源为所述第二本地电源提供功率。
2. 根据权利要求1所述的通信信号发射电路,其中所述第二本地电源包括:
供电电容器,所述供电电容器存储由所述第二本地电源提供的电荷;以及
可变电流源,所述可变电流源根据请求信号做出响应以提升提供给所述供电电容器的电流。
3. 根据权利要求1所述的通信信号发射电路,其中所述第二本地电源包括跨导放大器,所述跨导放大器输出响应于所述第二本地电源的实际输出电压和期望的输出电压之间的差值的电流。
4. 根据权利要求1至3中的任一项所述的通信信号发射电路,其中所述第二本地电源包括:
电流放大器,所述电流放大器用于放大待由所述第二本地电源输出的电流,其中所述电流放大器包括具有由所述第一电源供电的分支的电流镜。
5. 根据权利要求2所述的通信信号发射电路,其中所述第二本地电源包括阈值检测电路,所述阈值检测电路用于检测所述第二本地电源的输出电流是否超过阈值水平并且输出指示检测结果的信号。
6. 根据权利要求1所述的通信信号发射电路,进一步包括:
放电电路,所述放电电路被耦接以响应于指示所述第二本地电源的输出电压超过期望的电压的信号而将所述第二本地电源中的一个或多个节点放电。
7. 根据权利要求1所述的通信信号发射电路,其中由所述第二本地电源供电的所述控制电路包括脉冲控制电路,所述脉冲控制电路用以控制用于传输所述通信信号的电流脉冲。
8. 根据权利要求7所述的通信信号发射电路,其中所述脉冲控制电路包括脉冲输出级,所述脉冲输出级被配置成在相对大的、快速的电流脉冲应用之后通过控制所述发射线圈的反向来控制磁存储能量的消耗。
9. 根据权利要求3所述的通信信号发射电路,其中,跨导放大器包括第一放大级,所述第一放大级包括由放大的差值以线性模式驱动的第一晶体管。
10. 根据权利要求4所述的通信信号发射电路,其中所述电流放大器包括:
第一电流镜,所述第一电流镜具有第一、相对较高的上限截止频率;以及
第二电流镜,所述第二电流镜具有第二、相对较低的上限截止频率。
11. 根据权利要求10所述的通信信号发射电路,其中所述第二、相对较低的上限截止频率在所述第一、相对较高的上限截止频率的 $1/30$ 与 $1/2$ 之间。
12. 根据权利要求5所述的通信信号发射电路,其中,

所述通信信号发射电路包括所述可变电流源;并且

指示输出电流超过阈值电压水平的信号起作用以降低由所述可变电流源提供的电流的提升。

13. 根据权利要求6所述的通信信号发射电路,其中所述放电电路被耦接到所述第二本地电源中的多个节点。

14. 一种开关控制器,所述开关控制器控制包括根据权利要求1-13中的任一项所述的通信信号发射电路的功率变换系统中的功率开关。

15. 一种装置,包括:

第一电路,所述第一电路以第一电位为参考,所述第一电路包括信号发射电路;

第二电路,所述第二电路以第二电位为参考并且与所述第一电路电流性隔离,所述第二电路包括通信信号接收电路;以及

磁耦合部,所述磁耦合部在所述第一电路和所述第二电路之间跨越电流隔离,所述磁耦合部包括传导的发射线圈以及传导的接收线圈;

其中所述信号发射电路包括:

第一供电电压,所述第一供电电压相对于所述第一电位具有第一极性,

输出级开关,所述输出级开关被耦接在所述传导的发射线圈和所述第一供电电压之间以切换它们之间的电流传导,以及

控制电路,所述控制电路被耦接以在导通性较好的状态和导通性较差的状态之间间歇地切换所述输出级开关,并且由此经由所述发射线圈发射信号,所述控制电路还被耦接以响应于所述输出级开关从所述导通性较好的状态切换到所述导通性较差的状态而控制由所述发射线圈产生的电压,其中由所述发射线圈产生的电压相对于所述第一电位具有相反的第二极性,

其中所述信号发射电路还包括根据权利要求1至13中的任一项所述的通信信号发射电路。

16. 根据权利要求15所述的装置,其中所述控制电路被耦接以将相反极性的电压施加到输出级中的晶体管的控制端子。

17. 根据权利要求16所述的装置,其中

所述输出级包括第一晶体管和第二晶体管;

所述第一晶体管耦接在所述第一供电电压和所述第二晶体管之间;

所述第二晶体管耦接在所述第一晶体管和所述发射线圈之间,其中所述控制电路被耦接以控制施加到所述第二晶体管的控制端子的电位和所述第二晶体管的主端子上的电位。

18. 根据权利要求17所述的装置,其中所述控制电路包括在所述第二晶体管的主端子之间的一个或多个可切换的电流路径。

19. 根据权利要求17或18所述的装置,进一步包括:

p沟道MOSFET,所述p沟道MOSFET耦接在所述第二晶体管的控制端子和第二供电电压之间,其中在所述输出级开关处于所述导通性较好的状态时,所述p沟道MOSFET导通以将所述第二供电电压耦接到所述第二晶体管的控制端子,并且在所述输出级开关处于所述导通性较差的状态时,所述p沟道MOSFET将所述第二晶体管的控制端子与所述第二供电电压隔离;并且包括:

n沟道MOSFET,所述n沟道MOSFET耦接在所述第二晶体管的控制端子和具有与所述第一极性相反的第二极性的参考电压之间,其中在所述输出级开关处于所述导通性较差的状态时,所述n沟道MOSFET导通以将所述第二晶体管的控制端子耦接到所述参考电压。

20.根据权利要求18所述的装置,其中,所述第二晶体管包括布置在所述第二晶体管的衬底和所述第二晶体管的有源区的主体之间的电气隔离部。

21.根据权利要求18所述的装置,其中,所述控制电路包括:

可调节的电流电路,所述可调节的电流电路将所述第一晶体管和所述第二晶体管之间的电位耦接到由所述发射线圈产生的电压。

22.根据权利要求15所述的装置,其中,所述第一电路和所述第二电路布置在单个半导体封装件中。

23.根据权利要求20所述的装置,其中所述电气隔离部包括深n阱中的NMOS或者绝缘体上硅器件的绝缘层。

24.根据权利要求21所述的装置,其中所述可调节的电流电路包括一个或多个电流镜,所述一个或多个电流镜将所述第一晶体管和所述第二晶体管之间的电位耦接到由所述发射线圈产生的电压。

25.根据权利要求22所述的装置,其中所述磁耦合部布置在所述单个半导体封装件中。

26.根据权利要求22所述的装置,其中所述发射线圈包括下列之一:

引线框架的一部分;

集成电路的上金属化层;以及

接合线。

信号发射电路和包括该信号发射电路的装置

技术领域

[0001] 本发明大体上涉及利用电感耦合部跨越电流隔离在发射机和接收机之间的通信，例如，在电源架构的情况下用于在电流隔离的发射机和接收机之间的通信。

背景技术

[0002] 很多电子装置包括在电流隔离的并且参考不同地电位的发射机和接收机之间发送信息的通信系统。实例包括功率转换器、医疗装置、航海装置及其他。

[0003] 一种这样的通信系统采用磁性耦合线在发射机和接收机之间发送信息。另外还已知有电感耦合部，流动通过发射导体的变化的电流在接收导体端部之间感应出变化的电压。可以通过各种方法增强导体之间的耦合。例如，可以将导电线绕成具有或者不具有磁芯的线圈。电感耦合部的实例包括变压器和耦合电感器。

[0004] 尽管这些导体磁耦合，但是导体可以保持彼此电隔离，使得可以施加电压差而在导体之间没有显著的电传导。然而，只要导体之间的磁耦合足够强，就能够跨越该电隔离传递信息。

发明内容

[0005] 本发明通过提供一种信号发射电路和包括该信号发射电路的装置来实现上述目的至少之一。

[0006] 在一方面，本发明提供一种信号发射电路，包括：

[0007] 传导的发射线圈；

[0008] 第一电源；

[0009] 半导体开关，所述半导体开关用于将所述发射线圈可逆地耦接到所述第一电源；

[0010] 控制电路，所述控制电路用于通过所述半导体开关控制所述发射线圈到所述第一电源的耦接；

[0011] 第二电源，所述第二电源被耦接以用于为所述控制电路供电。

[0012] 在另一方面，本发明提供一种装置，包括：

[0013] 第一电路，所述第一电路以第一电位为参考，所述第一电路包括信号发射电路；

[0014] 第二电路，所述第二电路以第二电位为参考并且与所述第一电路电流性隔离，所述第二电路包括信号接收电路；以及

[0015] 磁耦合部，所述磁耦合部在第一电路和第二电路之间跨越电流隔离，所述磁耦合部包括传导的发射线圈以及传导的接收线圈；

[0016] 其中所述信号发射电路包括：

[0017] 第一供电电压，所述第一供电电压相对于所述第一电位具有第一极性，

[0018] 输出级开关，所述输出级开关被耦接在所述传导的发射线圈和所述第一供电电压之间用于切换它们之间的电流传导，以及

[0019] 控制电路，所述控制电路被耦接以在导通性较好的状态和导通性较差的状态之间

间歇地切换所述输出级开关,并且由此越过所述发射线圈发射信号,所述控制电路被进一步耦接以响应于所述输出级开关从导通性较好的状态切换到导通性较差的状态而控制由所述发射线圈产生的电压,其中所述发射线圈产生的电压相对于所述第一电位具有相反的第二极性。

附图说明

[0020] 参考以下附图描述本发明的非限制性且非穷举性的实施方案,其中,除非另有说明,贯穿各视图中的相似的参考数字指代相似的部件。

[0021] 图1示出了根据本发明的教导的开关控制器的一个实施例,该开关控制器包括在发射机和接收机之间通信的通信链路。

[0022] 图2示出了根据本发明的教导的驱动器接口电源的一个实施例。

[0023] 图3进一步示出了根据本发明的教导的驱动器接口电源的一个实现方式。

[0024] 图4示出了根据本发明的教导的驱动电路电源的一个实施例。

[0025] 图5进一步示出了根据本发明的教导的驱动电路电源的第一电流镜、第二电流镜、第三电流镜和第四电流镜。

[0026] 图6进一步示出了根据本发明的教导的驱动器接口电源的电流阈值检测电路。

[0027] 图7进一步示出了根据本发明的教导的驱动器接口电源的放电电流镜。

[0028] 图8是示出根据本发明的教导的在集成电路封装件内的晶片(die)之间的另一示例耦合部的一个实施例。

[0029] 图9是根据本发明的教导的脉冲输出级的一个实施例。

[0030] 图10进一步示出了根据本发明的教导的脉冲输出级的漏极控制电路的一个实施例。

[0031] 图11进一步示出了根据本发明的教导的脉冲输出级的缓冲电路和栅极控制电路。

[0032] 贯穿附图的多个视图,相应的参考字符指示相应的部件。技术人员将认识到,附图中的元件是为了简洁和清楚而被例示的,并且附图中的元件不一定按比例画出。例如,附图中一些元件的尺寸相对于其他元件可能被扩大以便有助于提高对本发明的各个实施方案的理解。并且,通常不描述在商业上可行的实施方案中 useful 或必要的常见但是公知的元件,以便于较少妨碍对本发明的这些不同实施方案的观察。

具体实施方式

[0033] 在以下描述中,阐述了很多具体的描述,这是为了提供对本发明的透彻全面的理解。然而,本领域普通技术人员将明了不必使用所述具体的细节来实践本发明。在其他实施例中,为了避免使本发明模糊不清,没有详细描述众所周知的材料或方法。

[0034] 整个本说明书中引用的“一个(one)实施方案”、“一个(an)实施方案”、“一个(one)实施例”或“一个(an)实施例”意味着结合所述实施方案或实施例所描述的具体的特征、结构或性质包含在本发明的至少一个实施方案或实施例中。因此,整个本说明书中多处出现的短语“在一个(one)实施方案中”、“在一个(an)实施方案中”、“一个(one)实施例”或“一个(an)实施例”不一定全都指相同的实施方案或实施例。而且,具体的特征、结构或性质可以任何合适的组合和/或子组合被组合在一个或多个实施方案或实施例中。具体的特征、结构

或性质可包含于集成电路、电子电路、组合逻辑电路或提供所述功能的其他合适的部件中。此外,认识到,随附本说明书提供的附图是用于对本领域的普通技术人员解释的目的,并且附图不一定按比例绘制。

[0035] 如上所述,电子装置可以包括电感耦合部以在电流隔离的发射机和接收机之间发送信息。可以通过改变流经发射导体的电流向接收机发送信号。变化的电流在接收导体两个端部之间感应出电压。在一些情况下,通过发射机发送的信号可以是在接收机感应出电压脉冲波形的电流脉冲波形。

[0036] 在一些电子装置中,穿过发射导体的电流中的相对大的变化在接收导体的电压中产生相对小的变化,从这个意义上说,电感耦合部中的导体可能仅是弱耦合的。这在至少部分地由导体(例如,半导体芯片的引线框架、顶部金属化层,接合线或类似物)形成电感耦合部的情况下更是如此。特别地,尽管这样的导体尺寸小、便宜并且能够被布置在半导体封装件中,但通常用少量匝数(典型的是一匝)形成这样的导体并且通常它们不包括高磁导率的芯体。例如,发射导体和接收导体可以是具有50nH或者更小(例如20nH或者更小或者甚至10nH或者更少)的电感的线圈。因此在与穿过发射导体的电流的变化率相比时,接收导体中的振幅振荡相对小。

[0037] 如果接收导体中的感应电压相对小,可能很难将感应电压从噪声中区分开。这在噪声环境背景中更是如此,诸如在控制器的不同部分相互电流隔离的用于功率开关的控制器中。具体地,通过功率开关切换的功率可以比跨越电感耦合发射的信号功率大。例如,功率开关可以切换数百伏特或者数千伏特而接收信号可以是数百毫伏、数十毫伏或者甚至更小。在这样的条件下将信号电压从噪声中区分开通常是很困难的。

[0038] 一种增大接收电压幅度的途径是增加穿过发射导体的电流的变化率。例如,发射信号可以包括具有10纳秒或者更小(例如5纳秒或者更小)的持续时间的脉冲。进一步地,与那些脉冲相关联的电流振荡的振幅应当尽可能的高。

[0039] 然而,穿过发射导体的这样的电流脉冲的传导可以导致供电电压的不稳定性。在这一点上,为了提供这样的电流脉冲,信号发射电路的电源必须能够在短(例如纳秒级)时间帧内从提供零(或者其他稳定状态)电流转变到提供高电流。尽管电源上足够大的旁路电容器能够在理论上抑制由电流需求中这样快速的变化导致的供电电压的变化,但是实际上这样的旁路电容器的尺寸将会不利地是大的。通过将相对弱的电感耦合部布置在半导体封装件内实现的空间节省将抵消由大的旁路电容器占用的空间——不管旁路电容器位于封装件外部还是将旁路电容器封装在半导体晶片内。

[0040] 供电电压的不稳定性由于若干原因可能是成问题的,所述原因通常取决于电压供给的电路的性质。例如,一些数字电路对于供电电压的变化具有相对小的容限。在另外的实施例中,如果供电电压过度变化的话,晶体管或者其他电路元件可能脱离其安全运行区域。

[0041] 为了解决这些问题和其他问题,此处描述的电子装置可以包括两个电源。例如,在一些实现中,第一电源可以为跨越电流隔离的磁耦合部的发射导体提供大部分电流。第一电源还可以给第二、本地电源提供电流。反过来,本地电源可以为与发射导体和第一电源位于电流隔离(即,参考相同电位)相同侧的其他电路供电。在运行中,本地电源可以比第一电源更加稳定。这种稳定性能够有助于确保正确运行,并且甚至在某些情况下有助于保护由本地电源供电的电路免受不安全的运行条件。

[0042] 在一些实现中,通过本地电源供电的电路包括脉冲控制电路,该脉冲控制电路用以控制用于跨越电流隔离将信息传输到磁耦合部的接收导体的电流脉冲。

[0043] 在一些实现中,多个本地电源可以用于为多个分立的网络供电。例如,一个本地电源可以为辅助驱动电路供电,该辅助驱动电路引起并且容忍由于它们的大电流需求而导致的相对大的供电振荡。另一个本地电源可以为要求较低的供电振荡的模拟电路供电。另一个本地电源能够为可能比模拟电路容忍相对更高的供电振荡的数字电路供电。结果,可以用相对低的总供电旁路电容实现适当的专用的供电振荡。这可以允许将信号发射和接收电路以及磁耦合部和多个电源布置在单个半导体封装件内而不用大的内部或外部的旁路电容器。

[0044] 在一些实现中,本地电源通过单方向电流路径与第一电源隔离,该单方向电流路径将本地电源与第一电源中相对较低频率的脉冲隔离。对于更快的脉冲,RC电路可以将本地电源与第一电源隔离。可以通过根据负载条件调整的有源器件提供RC电路的电阻。单方向电流流动路径允许电流从第一电源流动到本地电源,即,向本地电源供电。然而,根据运行条件,电流和电源供电是不连续的。具体地,在运行期间第一电源和本地电源之间的电位差有时可能切换。例如,在第一电源为磁耦合部的发射导体提供电流时,电流路径的单向性防止第一电源从本地电源汲取功率。这允许本地电源的电压供给更加稳定。

[0045] 在给磁耦合部的发射导体供给脉冲时,电流增加得非常快(例如,在10ns的时间内,例如5ns)。为了将该电流尽可能快地降回到接近零,应当跨越发射导体施加相对大的负电压。

[0046] 得益于这些教导的一个实施例装置为在功率变换系统中控制功率开关的开关控制器。一个实施例功率开关为绝缘栅双极型晶体管(IGBT)。用于IGBT或其他功率开关的开关控制器可以包括驱动器接口和驱动电路,该驱动器接口和驱动电路耦接以通过起通信链路功能的电感耦合部通信。驱动器接口可以在开关控制器的初级侧,而驱动电路可以在开关控制器的次级侧。电感耦合部起到通信链路的功能并且在初级侧和次级侧之间桥接电流隔离。初级侧的驱动器接口可以通过本地电源或者带有独立的数字、模拟和辅助驱动电路的多个本地电源供电。可以将驱动器接口耦接以接收输入信号,该输入信号提供表明IGBT功率开关的电流状态的信息或者表明IGBT功率开关在接通状态或断开状态之间转变的信息。然后通过电感耦合部将输入信号中的信息传输到驱动电路。响应于该信息,驱动电路随后生成驱动功率开关切换的驱动信号。

[0047] 在一些实现中,跨越电流隔离的双向通信可能是可取的。在这样的情况下,初级侧和次级侧二者各自都可以包括数据发射电路和数据接收电路。

[0048] 进一步地,初级侧和次级侧二者都可以包括一个或多个本地电源。然而在使用没有低阻抗供电连接的封装时,短脉冲可以导致来自寄生供电电感的大的压降以及大的过冲。例如,接合线(bond wire)连接的寄生电感内在地生成大的压降和大的电压过冲。这些问题可以限制发射振幅并且过冲可能危害装置的安全运行条件。

[0049] 通常,单个电感耦合部可以充当作为双向通信链路并且在两个方向都携带信息,例如,从初级侧到次级侧以及从次级侧到初级侧。然而,不必须如此。在一些实现中,可以使用多个电感耦合部。

[0050] 通常,初级侧电路和次级侧电路(包括,例如驱动器接口和驱动电路)被实现为集

成电路 (IC)。在此处描述的一些实现中,可以将初级侧集成电路和次级侧集成电路——与电感耦合部一起——封装在单个封装件中。在这点上,集成电路封装件通常内在地包括一个或多个引线框架。引线框架为封装在集成电路封装件中的晶片或者多个晶片提供机械支撑。通常,引线框架包括半导体晶片可以附接至的晶片附接焊盘 (die attach pad)。另外,引线框架通常还包括用作到集成电路封装件外部的电路的电气连接部的引线。引线框架通常由金属平板构成。金属平板可用某一图案被冲压、刻蚀、穿孔等,所述图案限定晶片附接焊盘和引线框架的各种引线。

[0051] 图1示出了根据本发明的教导的开关控制器的一个实施例,该开关控制器包括通信链路以在发射机和接收机之间通信。系统100包括具有彼此电流隔离的初级侧和次级侧的开关控制器102。开关控制器102包括采用电感耦合部跨越电流隔离进行通信的数据发射电路和数据接收电路。在一些情况下,仅初级侧和次级侧之一包括数据发射电路。在另一些情况下,初级侧和次级侧二者每个都包括数据发射电路和数据接收电路。进一步地,在开关控制器102中包括数据发射电路的每一侧可以包括一个本地电源,与通过电感耦合部的发射导体驱动以发送信息而提供电流的电源相比,该本地电源用更稳定的电力源给该侧上的其他电路供电。

[0052] 在例示的实现中,系统100不仅包括开关控制器102,还包括系统控制器104和功率开关106。系统控制器104是被耦接以接收一个或多个系统输入120的控制装置,所述系统输入120表示能够被系统控制器利用以生成信号 U_{IN} 122的信息,该信号 U_{IN} 122表明是否应当接通或断开功率开关106。在一些实现中,系统控制器104被耦接以将信号 (诸如信号 U_{IN} 122) 输出到多个不同的开关控制器。系统控制器104可以在各种不同的背景下控制多个开关控制器,包括例如电机驱动器、发电系统、功率发射系统以及功率调节系统。功率开关106被例示为IGBT,但是功率开关也可以是任何功率半导体开关,包括例如功率场效应晶体管 (power MOSFET)、功率结型场效应晶体管 (power JFET) 或者类似功率开关。

[0053] 开关控制器102包括初级侧驱动器接口108、次级侧驱动电路110以及电感耦合部112,该电感耦合部形成桥接驱动器接口与驱动电路之间的电流隔离的通信链路。

[0054] 初级侧驱动接口108是被配置为使控制器102与系统控制器104接合的电路。将初级侧驱动接口108耦接以从系统控制器104接收信号 U_{IN} 122并且将该信号中的信息传送到次级侧驱动电路110。

[0055] 初级侧驱动器接口108包括脉冲发生电路114和本地电源109。脉冲发生电路114包括解码器电路180和脉冲输出级181。解码器电路180将信号 U_{IN} 122中的信息解码以通过脉冲输出级181传输到次级侧驱动电路110。解码器电路180还生成脉冲请求信号 U_{PR} 116, U_{PR} 116向本地电源109表明通过输出级181输出的一个或多个电流脉冲即将发生。脉冲输出级181根据解码电路180从信号 U_{IN} 122中解码的信息将电流脉冲输出到电感耦合部112的初级侧导电回路111。

[0056] 本地电源109是为初级侧驱动器接口108中的至少一些电路供电的电源。与将脉冲输出级181输出的电流脉冲中的大部分电流提供给初级侧导电回路111的电源 (未示出) 相比,本地电源109供给的功率提供更少的电压波动。由本地电源109供电的电路可以包括脉冲输出级181中的用于控制如下电流脉冲的脉冲控制电路,所述电流脉冲用于跨越电流隔离发射信息。

[0057] 次级侧驱动电路110包括解码器电路116和功率开关驱动器118。解码器电路116耦接到次级侧导电回路113以接收和解码由通过初级侧导电回路111的电流脉冲在次级侧导电回路113中感应的电压脉冲。功率开关驱动器118被耦接以根据解码器电路116从电压脉冲中解码的信息驱动功率开关106。在一些实现中,功率开关驱动器118将驱动信号输出到功率开关106的控制端子。

[0058] 在例示的实现中,初级侧驱动器接口108与次级侧驱动电路110通信。次级侧驱动电路110包括本地电源115并且还可以包括与初级侧驱动器接口108类似的其自身的脉冲发生器电路。在一些实现中,次级侧驱动电路110不包括本地电源115和脉冲发生器电路。然而,在该例示的实现中,本地电源115被耦接以给用于将信息从次级侧驱动电路110传输到初级侧驱动器接口108的次级侧脉冲发生器电路(未示出)供电。本地电源115提供比如下电源(未示出)提供的功率更稳定的电压,该电源为输出到次级侧导电回路113用于将信息从次级侧驱动电路110传输到初级侧驱动接口108的电流脉冲提供大部分的电流。本地电源115接收高输入电压并且即使在电流快速变化期间也提供稳定的电压。通过本地电源115供电的电路还可以包括用于控制电流脉冲的脉冲控制电路,该电流脉冲用于跨越电流隔离发射信息。

[0059] 电感耦合部112包括初级侧导电回路111和次级侧导电回路113。电感耦合部112形成跨越初级侧驱动器接口108和次级侧驱动电路110之间的电流隔离的通信链路。能够以各种不同的方式将回路111、113磁性耦接。例如,在一些实现中,可以将回路111、113缠绕在共同的高磁导率芯体上并形成变压器。然而,在其他的实施中,回路111、113不共享共同的芯体。根据若干个因素确定回路111、113之间磁耦合的强度,这些因素包括任何芯体和周围介质的性质、回路111、113的几何形状和布置以及在回路111、113中的绕组数。如以下进一步讨论的,在一些实现中,回路111、113可以各自是至少部分通过半导体芯片封装件(例如图8)的引线框架形成的单回路电感器并且具有相对小的电感。例如,回路111、113可以具有50nH或更小或者20nH或更小的电感。

[0060] 图1还示出了:

[0061] -在功率开关106的主端子(此处,集电极和发射极)之间产生的电压 V_{CE} 105,

[0062] -在功率开关106的主端子(此处,集电极和发射极)之间流动的电流 I_{CE} 107,

[0063] -代表能够被系统控制器利用以生成输入信号 U_{IN} 122的信息的一个或多个系统输入120,

[0064] -表明功率开关106是否应当接通或断开的输入信号 U_{IN} 122,

[0065] -穿过初级侧导电回路111传导的发射电流 I_T 125,

[0066] -通过发射电流 I_T 125的变化在次级侧导电回路113中感应的接收机电压 V_R 126,

[0067] -由解码器电路116通过对接收机电压 V_R 126的解码而产生的经解码的信号 U_{DEC} 128,以及

[0068] -通过驱动器118输出以驱动功率开关106的驱动信号 U_D 130。

[0069] 在运行中,系统控制器104接收系统输入120。系统控制器104基于系统输入120确定开关控制器102是否应当接通或断开功率开关106并且生成表征该确定的结果的输入信号 U_{IN} 122。实施例系统输入120包括用于通用电机驱动的脉冲宽度调制(PWM)信号、多级功率转换器的打开和关闭序列或者系统故障关闭请求。

[0070] 在例示的系统100中,系统控制器104将输入信号 U_{IN} 122输出到开关控制器102。在一些情况下,输入信号 U_{IN} 122可以是包括不同持续时间的逻辑高段和逻辑低段的矩形脉冲波形。例如,逻辑高值可以表明功率开关106将处于接通状态。逻辑低值可以表明功率开关106将处于断开状态。逻辑高值/逻辑低值的持续时间可以对应于功率开关106期望的驱动。

[0071] 开关控制器102的初级侧驱动器接口108被耦接以接收输入信号 U_{IN} 122。初级侧驱动器接口108包括解码器电路180,该解码器电路将输入信号 U_{IN} 122解码以用于将输入信号中至少一些信息越过电感耦合部112发射。初级侧驱动器接口108还包括脉冲输出级181以生成电流脉冲 I_T 125,该电流脉冲体现了将被发送到次级侧驱动电路110的信息。例如,在一些实现中,多个电流脉冲能够将单信息状态进行编码。通过第一电源(诸如初级侧驱动器接口108的外部电源)供给用于这些电流脉冲的电流,然而由本地电源109提供由输出级181使用以控制这些脉冲的至少一些功率。

[0072] 初级侧驱动器接口108通过电感耦合部112的磁性耦接回路111、113向次级侧驱动电路110发射电流脉冲。次级侧驱动电路110是驱动功率开关106切换的驱动电路。在例示的实施例中,穿过初级侧导电回路111的变化的发射电流 I_T 125在次级侧导电回路113中感应出电压 V_R 126。由此,次级侧驱动电路110从初级侧驱动器接口108接收信息。如进一步讨论的,在一些实现中可以采用集成电路封装件(图8)中的引线框架或者集成电路的硅的顶部金属化层形成初级侧导电回路111和次级侧导电回路113。

[0073] 在例示的实现中,次级侧驱动电路110包括解码器电路116、驱动电路电源115和驱动器118。驱动器118输出驱动信号 U_D 130。驱动信号 U_D 130被耦接以在功率开关106的控制端子被接收从而控制功率开关106的切换。在例示的实现中,功率开关106是IGBT并且在IGBT 106的栅极端子接收驱动信号 U_D 130。解码器电路116被耦接以接收接收机信号 V_R 126并且确定所接收的信号 V_R 126是否表明功率开关106应当从接通状态转换到断开状态或从断开状态转换到接通状态。解码器电路116输出表征该确定的结果的经解码的信号 U_{DEC} 128。在一个实施例中,解码器电路116包括脉冲密度确定电路以区分多级状态表示的变化的长度。驱动器118耦接以接收经解码的信号 U_{DEC} 128并输出驱动信号 U_D 130。

[0074] 在一些实现中,次级侧驱动电路110将信息发射到初级侧驱动器接口108。这样的信息的实施例可以包括,例如错误通知、确认信号和反馈信息。在这样的情况下,次级侧驱动电路110驱动电流脉冲穿过次级侧导电回路113。穿过次级侧导电回路113的电流的变化在初级侧导电回路111中感应出电压。由此,初级侧驱动器接口108从次级侧驱动电路110接收信息。

[0075] 图2示出了根据本发明的教导的驱动器接口电源的一个实施例。在例示的实现中,本地电源209包括与原始的外部电压 V_{PCB} 223的耦接,如同在如果本地电源209位于开关控制器的初级侧(例如,如果本地电源209充当(图1)中描述的开关控制器102的背景中的本地电源109)的情况下中一样。

[0076] 本地电源209包括差分电压放大器213、跨导放大级215、电流升压电路217、第一电流放大级219以及第二电流放大级221。

[0077] 差分电压放大器213包括反相输入端和非反向输入端。将非反向输入端耦接到参考电压 V_{REF} 212,该参考电压表明将由本地电源209供给的期望的电压。将反相输入端耦接到本地电源209的输出端,即,供电电压 V_{LI} 225。在一个实施例中,参考电压 V_{REF} 212可以为

大约5伏。差分电压放大器213充当误差放大器并且误差信号为输出电压 V_A 214,该输出电压表明期望的输出(即,参考电压 V_{REF} 212)和实际输出(即,供电电压 V_{L1} 225)之间的差值。

[0078] 跨导放大级215被耦接以接收输出电压 V_A 214并且输出表示输出电压 V_A 214的量级的电流。从跨导放大级215输出的电流的量级因此表示期望的输出(即,参考电压 V_{REF} 212)和实际输出(即,供电电压 V_{L1} 225)之间的差值。

[0079] 第一电流放大级219耦接到跨导放大级215以接收表示期望的输出(即,参考电压 V_{REF} 212)和实际输出(即,供电电压 V_{L1} 225)之间的差值的电流。将第一电流放大级219配置以放大该电流,例如,采用一个或多个电流镜,并且输出另一个表示期望的输出(即,参考电压 V_{REF} 212)和实际输出(即,供电电压 V_{L1} 225)之间的差值的电流。

[0080] 电流升压电路217被耦接以接收脉冲请求信号 U_{PR} 216。脉冲请求信号 U_{PR} 216是表明由本地电源209供电的电路的电流需求的增加即将发生的信号。尽管本地电源209自身不提供形成输出到磁耦合部的线圈的电流脉冲的大部分电流,这样的脉冲的输出可以导致由本地电源209供电的电路的增加的电流需求。来自脉冲发生器114的脉冲请求信号 U_{PR} 216可以因此被本地电源209用作触发器以增大本地电源209的输出电流能力,从而考虑到即将发生的增加需求而保证供电电压 V_{L1} 225的期望水平。

[0081] 响应于即将发生的增加需求的指示,电流升压电路217输出电流,该电流与来自电流放大级219的电流输出一起被第二电流放大级221接收。

[0082] 第二电流放大级221被耦接以接收来自第一电流放大级219和电流升压电路217的电流输出,放大该电流输出,并且输出充电电流 I_C 290。在回摆到负电位期间还将第二电流放大级221耦接到供电电压(例如,原始的外部电压 V_{PCB} 223)。在外部电压 V_{PCB} 223的该回摆期间,第二电流放大级被配置以进一步提供从 V_{L1} 225到 V_{PCB} 223的受控的反向电流路径(为了避免将受控的开关装置的固有的本体二极管(body diode)放在正向方向)。第二电流放大电路221通过为开关提供具有在脉冲传输期间受负载条件控制的可控制电阻的功能来实现这些。

[0083] 将充电电流 I_C 290输出到与本地电源209相关联的供电电容器(未示出)。该供电电容器存储的电荷用来为由本地电源209供电的电路供电。如先前讨论的,与供给流过磁耦合部的发射导体的大多数电流的电源所供给的电压相比,本地电源209的本地供电电压 V_{L1} 225更稳定。

[0084] 图3进一步示出了根据本发明的教导的驱动器接口电源的一种实现方式。如果到低电压(例如5V)原始电源的耦接是可用的并且平均原始电压接近期望的电压,则驱动器接口电源也可以被用作次级侧驱动电路110的本地电源115。

[0085] 本地电源309的例示的实现方式包括到原始的外部电压 V_{PCB} 323的耦接,如同在如果本地电源309位于开关控制器的初级侧(即,如果本地电源309在图1描述的开关控制器102的背景下充当本地电源109)一样。本地电源309的例示的实现方式包括跨导放大级315、电流升压电路317、第一电流放大级319以及第二电流放大级321。跨导放大级315包括NMOS晶体管329,该NMOS晶体管329被耦接以接收表示在其控制端子处期望的输出与实际的输出之间的差值的误差信号电压 V_A 314。将NMOS晶体管329的源极耦接到负供电电压 V_{SS} 341。NMOS晶体管329起初运行在线性模式以传导与误差信号电压 V_A 314的大小近似成比例的电流。该电流从跨导放大级315输出到第一电流放大级319。

[0086] 第一电流放大级319包括由第一PMOS晶体管327和第二PMOS晶体管329组成的电流镜。流过第一PMOS晶体管327的电流与从跨导放大级315输出的电流大致相等。流过第二PMOS晶体管329的电流镜像反映流过第一PMOS晶体管327的电流。

[0087] 电流升压电路317包括NMOS晶体管328和电流源332。NMOS晶体管328的控制端子耦接以接收脉冲请求信号 U_{PR} 316,该脉冲请求信号在输出到磁耦合部的导体上面的一个或多个电流脉冲即将发生时增加流过NMOS晶体管328的电流。NMOS晶体管328的源极耦接到负供电电压 V_{SS} 341,而NMOS晶体管328的漏极耦接到节点370。响应于脉冲请求信号 U_{PR} 316上升到表明输出到磁耦合部的导体上的一个或多个电流脉冲即将发生的逻辑高状态,NMOS晶体管328提供与电流源332结合的偏置电流以将升压电流提供给第一放大级319。

[0088] 第二电流放大级321包括在电流镜中耦接的一对PMOS晶体管331、335以及PMOS晶体管333。PMOS晶体管333包括与原始的外部电压 V_{PCB} 323耦接的漏极以及与节点370耦接的控制端子。PMOS晶体管331、335包括本体二极管,所述本体二极管以反串联方式连接以避免不想要的不可控的(以及潜在地过度的)寄生电流流过这些本体二极管。

[0089] 图4示出了根据本发明的教导的驱动电路电源的一个实施例。本地电源415可以像开关控制器102(图1)的背景下的本地电源109、115的任一个一样起作用。如果将要与期望电压接近的电压向本地电源415供电,本地电源415将额外地包括受控的反向电流以确保其他电源(即,自身给本地电源415供电的电源)在回摆或其他情况期间不将极性反向。

[0090] 本地电源415包括跨导差分放大器402、放电电流镜404、第一电流放大级477、第二电流放大级478、电流阈值检测电路414以及电流升压电路425。

[0091] 本地电源415被耦接以接收供电电压 V_{SUPPLY} 420。在一些实现中,供电电压 V_{SUPPLY} 420可以是耦接以向放置在电流隔离的次级侧的本地电源415供电的原始的外部电压。在其他实现中,供电电压 V_{SUPPLY} 420可以是来自高电压源的供电电压,诸如通过由功率转换器的功率开关切换的电压驱动的稳定电压。在一种情况下, V_{SUPPLY} 420的值可能为大约25伏的平均值,但是可以在10.5伏到30伏之间变化以控制IGBT。相反,本地电源415可以输出更稳定的、但更低的平均电压。例如,本地电源415可以有标称5伏的输出。如上所讨论的,在发射期间,希望得到幅度上具有相对大且快速的变化的电流脉冲以使得在接收导体中生成足够的电压。这样的电流脉冲可以导致提供那些电流脉冲的电源(即,提供供电电压 V_{SUPPLY} 420的相同电源)中相对大的振荡。尽管那些相对大的振荡,本地电源415能够为其他电路(包括,例如控制那些电流脉冲传送的电路)提供相对更稳定的供电电压。

[0092] 跨导差分放大器402包括反相输入端和非反向输入端。跨导差分放大器402耦接以在反相输入端接收从本地电源415输出到负载416的供电电压 V_{OUT} 422。跨导差分放大器402耦接以在非反向输入端接收参考电压 V_{REF} 403。将跨导差分放大器402的输出耦接到二极管480和482。二极管480、482仅用于例示目的,并且表示响应于输出电压 V_{OUT} 422大于电压参考 V_{REF} 403或者小于电压参考 V_{REF} 403,跨导差分放大器402能够输出正输出电流 I_{OUTP} 484或者负输出电流 I_{OUTN} 486。

[0093] 参考电压 V_{REF} 403代表了由本地电源415供给的期望的电压。跨导差分放大器402放大在参考电压 V_{REF} 403和供电电压 V_{OUT} 422之间的差。耦接到跨导差分放大器402的第一电流镜406的输入信号极性与放电电流镜404的输入信号的极性相反,并且确定是否给放电电流镜404或者给第一电流放大级477提供电流以便如果 V_{OUT} 422< V_{REF} 403则驱动电流进入

负载416。对于根据图5和图7的实现方式,跨导差分放大器402的增益必须为负以便由于 $V_{OUT} 422 < V_{REF} 403$ 而驱动第一电流镜406,并且以便由于 $V_{OUT} 422 > V_{REF} 403$ 而驱动放电电流镜电路404。如果正电流 $I_{OUTP} 484$ 流出跨导差分放大器402,这将驱动放电电流镜电路404中的晶体管。如果负电流 $I_{OUTN} 486$ 流出跨导差分放大器402,这将驱动第一电流镜406。

[0094] 电流升压电路425还被耦接以将电流(即,升压电流 $I_B 418$)输出到节点470。电流升压电路425包括比较器428和电流源432。比较器428包括反相输入端和非反相输入端。非反相输入端耦接以接收表明发射是否即将发生的请求信号 $U_{REQ} 421$ 。反相输入端耦接以接收阈值信号 $U_{THR} 426$,该阈值信号进一步耦接到负载 $R3 429$ 。在一些情况下,可以通过电流镜的输入电阻或者用以线性模式运行的MOSFET晶体管来提供负载 $R3 429$ 。比较器428耦接以接收表明电流镜中的晶体管能够给负载传送的最小电流的阈值信号 $U_{THR} 426$ 。可以通过栅极阈值电压 $V_{GS2} 419$ 测量该最小电流。

[0095] 在例示的实现方式中,如果阈值信号 $U_{THR} 426$ 为高,这表明晶体管已经达到最小电流能力。如果阈值信号 $U_{THR} 426$ 为低,则该晶体管还不是处于最小电流并且比较器428可以控制电流源432以提供升压电流 I_B 。将来自跨导差分放大器402的输出电流 $I_{OUTN} 486$ 和来自电流升压电路425的升压电流 $I_B 418$ 耦接以被第一电流放大级477中的第一电流镜406和第二电流镜410二者镜像反映。

[0096] 第一电流镜406是被耦接以输出电流 $I_1 407$ 的电流放大器,该电流是从节点470接收的电流的放大版本。第一电流镜406具有第一上限截止频率 f_c 并且将相对快地但非充分地地对从节点470接收的电流的变化做出响应。第二电流镜410是被耦接以输出电流 $I_2 409$ 的电流放大器,该电流是从节点470接收的电流的放大版本。第二电流镜410具有比第一电流镜406的第一上限截止频率 f_c 低的第二上限截止频率(例如,例示的实现方式中第一上限截止频率 f_c 的1/7),并且将用从节点470接收的电流中的大放大来相对慢地响应。在控制理论术语中,可以认为第一电流镜406是比例项的一部分而可以认为第二电流镜410提供积分项。在图4中将电流 $I_1 407$ 和 $I_2 409$ 的和指定为 $I_S 427$ 。

[0097] 第二电流放大级478包括第三电流镜408和第四电流镜412。第三电流镜408耦接以镜像反映总和电流 $I_S 427$ 并且输出最终的电流信号 $I_3 411$ 。第三电流镜还为电流阈值检测电路414提供本地供电电压 $V_{S2} 417$ 。第四电流镜412耦接以镜像反映来自第三电流镜408的第三电流信号 $I_3 411$ 并且输出第四电流 $I_4 413$ 。将第四电流 $I_4 413$ 输出到与本地电源415相关联的供电电容器(未示出)。产生在供电电容器两端的电位是输出电压 $V_{OUT} 422$ 。换言之,供电电容器存储的电荷为通过本地电源415供电的电路(即负载416)供电。第四电流镜412还被耦接以向电流阈值检测电路414提供第二栅源极电压 $V_{GS2} 419$ 。

[0098] 电流阈值检测电路414被耦接以从第三电流镜408接收供电电压 $V_{S2} 417$ 、从第四电流镜412接收第二栅源极电压 $V_{GS2} 419$ 以及接收输出电压 $V_{OUT} 422$ 。供电电压 $V_{S2} 417$ 为电流阈值电路414供电。电流阈值检测电路414被设置用于检测如下一个电流水平,该电流水平确保本地电源415处于安全运行条件并且进一步确保输出电压 $V_{OUT} 422$ 的可控性达到期望水平。电流阈值检测电路414还耦接以响应于还未被输出的最小电流而将阈值信号 $U_{THR} 426$ 输出到电流升压电路425。因此阈值信号 $U_{THR} 426$ 向电流升压电路425表明已经达到电流阈值。

[0099] 放电电流镜404是一种被耦接以响应于输出电压 $V_{OUT} 422$ 上升到电压参考 $V_{REF} 403$

之上而对来自本地电源415中各个节点的电流放电的安全装置。如果 V_{OUT} 422比期望的高，跨导差分放大器402输出正电流 I_{OUTP} 484。电流镜404对本地电源415中的各个节点放电。在例示的实现方式中，放电电流镜404被耦接以至少部分地对和信号 U_S 450的节点、第三电流镜 U_3 452的节点以及 V_{OUT} 422放电。对 V_{OUT} 422放电直接降低了电压 V_{OUT} 422。在其他实现中，可以将放电电流镜404耦接以对不同的节点放电，该节点包括例示的节点的子集或另外的节点，例如节点 V_{GS} 434，该节点 V_{GS} 434为第二电流镜410的内部节点。

[0100] 图5进一步示出了根据本发明的教导的驱动电路电源的第一电流镜506、第二电流镜510、第三电流镜508和第四电流镜512。

[0101] 第一电流放大级577包括第一电流镜506和第二电流镜510二者。第一电流镜506包括在电流镜配置中耦接的两个PMOS晶体管530和532。晶体管530和晶体管532的源极耦接到供电电压 V_{SUPPLY} 520。晶体管530、532的栅极和晶体管530的漏极耦接到节点570使得升压电流（例如，升压电流 I_B 418）与表示误差电压的电流（例如，输出电流 I_{OUTN} 486）的和能够被镜像以提供输出电流 I_1 507。第一电流镜506将电流放大到PMOS晶体管532允许的最大可用饱和电流使得电流保持在安全运行区域（SOA）内。第一电流镜506具有第一截止频率 f_c 并且将用从节点570接收的电流的低放大来相对快速地响应。

[0102] 第二电流镜510包括两个PMOS晶体管533、537。为了清楚的目的，晶体管537被包括在其中用于示出第一电流镜506的第二输出。晶体管533的源极和晶体管537的源极耦接到供电电压 V_{SUPPLY} 520。晶体管537的栅极和漏极耦接到节点570。还将晶体管533的栅极耦接到RC电路，该RC电路包括电容器 C_1 511和电阻器 R_1 515，将该电阻器 R_1 连接到节点570以防止较高频率分量偏置晶体管533的栅极。在例示的实现方式中，将滤波器电路实现为包括电容器 C_1 511和电阻器 R_1 515的RC电路。其他实现方式也是可能的。升压电流（例如，升压电流 I_B 418）与表示超过频率范围的误差电压的电流（例如，输出电流 I_{OUT} 486）的和能够被镜像以提供输出电流 I_2 509。

[0103] 第二电流镜510具有比第一电流镜506的上限截止频率 f_c 低的第二上限截止频率，例如，第一电流镜506的上限截止频率的1/7。

[0104] 第二电流放大级578包括第三电流镜508和第四电流镜512。第三电流镜508包括在电流镜中耦接的一对NMOS晶体管536和538。NMOS晶体管536、538的栅极和NMOS晶体管536的漏极耦接以接收总和电流 I_S 527。总和电流 I_S 527是来自第一电流镜506的输出电流 I_1 507与来自第二电流镜510的输出电流 I_2 509的和。NMOS晶体管538的漏极耦接到供电电压 V_{SUPPLY} 520。NMOS晶体管536、538的源极耦接在一起使得第三电流镜508输出第三电流 I_3 511，该第三电流约等于总和电流 I_S 527的某个倍数（例如，六倍或者更多）。晶体管536的漏极耦接以向电流阈值电路514提供供电电压 V_{S2} 517。

[0105] 第四电流镜512包括在电流镜中耦接的一对NMOS晶体管540、544。NMOS晶体管540、544的栅极和NMOS晶体管540的漏极耦接以接收第三电流 I_3 511。NMOS晶体管544的漏极耦接到供电电压 V_{SUPPLY} 520。NMOS晶体管540、544的源极耦接到一起使得第四电流镜512输出第四电流 I_4 513。第四电流 I_4 513耦接以给电容器 C_2 560充电从而产生供给到负载516的输出电压 V_{OUT} 522。例如， V_{OUT} 522可以标称为5伏。

[0106] 来自第四电流镜412的第二栅源极电压 V_{GS2} 519耦接到电流阈值电路514。如以下进一步讨论的，电流阈值电路514采用第二栅源极电压 V_{GS2} 519作为指示符，指示何时可以

通过超过栅极电压阈值将最小电流传送到负载。

[0107] 图6进一步示出了根据本发明的教导的驱动器接口电源的电流阈值检测电路。电流阈值检测电路614确定本地电源的输出电流是否超出阈值。例如,阈值可以表示能够确保安全运行的从期望的输出电流的最大正向偏离。电流阈值检测电路614可以像例如电流阈值检测电路414、514(图4、5)一样运行。电流阈值检测电路614包括一对PMOS晶体管630、632,感测晶体管634以及共源共栅晶体管636、638。

[0108] PMOS晶体管630、632耦接在一起以形成电流镜。晶体管630、632的源极一起耦接到供电电压。在例示的实现中,该供电电压是从本地放大器(例如,图4、5的第二电流放大级478、578)中的第二电流放大级的输入端子得到的供电电压 V_{S2} 617。在其他实现中,其他供电电压是可行的。

[0109] 晶体管630、632的栅极和晶体管630的漏极全部耦接到感测晶体管634的第一主端子。晶体管632的漏极耦接到开关638的第一主端子。在例示的实现方式中,感测晶体管634的控制端子和开关638耦接到表明第四电流镜612中晶体管的栅极和源极之间的压降的第二栅源极电压 V_{GS2} 619。

[0110] 在第二栅源极电压 V_{GS2} 619(或者表明输出电流的水平的本本地放大器中的其他电压)超过正阈值时,则感测晶体管634导通。具体地,感测晶体管634的控制端子上的正栅源极电压将感测晶体管切换到导通并且形成穿过PMOS晶体管630和感测晶体管634的电流导通路径。

[0111] 在栅源极电压 V_{GS2} 619超过第四电流镜612的栅极阈值时,阈值信号 U_{THR} 626提供电流。在超过栅极阈值时,这表明所有的电流镜都准备向负载供给电流。结果是图4中的升压电路将被逐渐地或者彻底地断开。

[0112] 图7进一步示出了根据本发明的教导的驱动器接口电源的放电电流镜。放电电流镜704响应于本地电源的输出电压高于 V_{REF} 403的检测结果而对本地电源(例如,图1中的本地电源109、115)放电。

[0113] 放电电流镜704被耦接以同时对本地电源中各种不同的节点放电。通过同时对多个节点放电,放电电流镜704能够在放电期间防止在本地电源中产生过大的电位差。

[0114] 所例示实现方式的放电电流镜704被耦接以接收输出电流 I_{OUTP} 784、和信号 U_S 750、第三电流镜输出信号 U_3 752以及本地电源中的节点的输出电压 V_{OUT} 754的至少一部分。在本地电源415(图4)的实现方式中,从跨导差分放大器402接收电流 I_{OUTP} 784。从与第一电流放大级477的输出耦接的节点接收和信号 U_S 750。从第二电流放大级478内部的节点(也就是说布置在第三电流镜408和第四电流镜412之间的节点)接收第三电流输出信号 U_3 752。从与第二电流放大级478的输出端耦接的节点接收输出电压信号 V_{OUT} 422。在例示的实现方式中,晶体管730被耦接以接收正电流 I_{OUTP} 784,该正电流表明本地电源的输出电压超过了期望的电压。晶体管730通过对晶体管732、734、736放电来控制电流传导从而同时将本地电源中不同的节点放电。

[0115] 图8示出了根据本发明的教导的在集成电路封装件内的晶片之间的另一示例耦合部的一个实施例。在一些实现方式中,发射机808和接收机810可被包括在初级侧。在其他实现方式中,初级侧和次级侧二者都可以包括发射机808和接收机810。在图8中,电感耦合部包括在集成电路封装件的引线框架800中限定的发射回路811和接收回路813。

[0116] 图8是电感耦合部的俯视透视图。引线框架800被大体上布置在集成电路封装件的包封部分863中。在例示的实现方式中,引线框架800包括第一导体和第二导体,该第一导体包括发射回路811,该第二导体包括接收回路813。引线框架的第二导体与第一导体电流性隔离。发射机导电回路811被布置为接近接收机导电回路813以提供在发射机导电回路811和接收机导电回路813之间磁性耦接的通信链路。另外,引线851和852耦接到相应的晶片附接焊盘854和晶片附接焊盘853。包封863中的元件被布置在集成电路封装件的包封部分中。图8中还示出了发射机808,接收机810,焊盘855、856、857、858、864、866、868、869,以及接合线859、860、861、870、872、874、876、878。

[0117] 在一个实施例中,发射机808和接收机810被实现为包括在集成电路封装件的包封部分内的集成电路晶片中的电路。晶片附接焊盘853作为引线框架800的第一导体的一部分,在图8中通过对角的交叉阴影线(diagonal cross-hatching)表示并且表示发射机808安装在引线框架800的部分上。类似地,晶片附接焊盘854作为引线框架800的第二导体的一部分,通过图8中对角的交叉阴影线表示并且表示接收机810安装在引线框架800的部分上。在一个实施例中,利用胶粘剂将发射机808和接收机810附接到引线框架800中各自的隔离的第一导体和第二导体。胶粘剂可以是非导电的。在另一个实施例中,胶粘剂可以是导电的。

[0118] 引线851和852表示能够与集成电路封装件外部(换言之,轮廓863的外侧)的电路耦接的引线框架800的部分。尽管未示出,但是各种接合线可以将发射机808或者接收机810耦接到引线851或者852的任一个。

[0119] 图8中被松散充满的点遮住的引线框架800的部分对应于发射机导电回路811。引线框架800的部分以及接合线859和860完成了发射机导电回路811。采用线接合技术将接合线859和860附接到与发射机导电回路811相对应的引线框架800的部分。进一步地,将接合线859通过焊盘855耦接到发射机808而将接合线860通过焊盘856耦接到发射机808。

[0120] 图8中通过密集充满的点遮住的引线框架800的部分对应于接收机导电回路813。采用线接合技术将接合线861和857附接在与接收机导电回路813相对应的引线框架800的部分。接合线861和862分别通过焊盘858和857将对应于接收机导电回路813的引线框架800的部分与接收机810耦接。通过利用引线框架的电流性隔离的磁性耦接的导电回路用非常小的增加成本提供发射机和接收机之间的通信链路。另外,使用引线框架还可以减小开关控制器的整体尺寸和封装的成本。

[0121] 耦接到焊盘868的接合线870可以表示供电电压与驱动器接口的本地电源的连接。耦接到焊盘864的接合线872可以表示供电电压与驱动器电路的本地电源的连接。耦接到焊盘866的接合线874可以表示本地的地与驱动器电路的本地电源的连接。

[0122] 图9是根据本发明的教导的脉冲输出级的一个实施例。脉冲输出级914向磁耦合部的导体输出电流脉冲。脉冲输出级914能够向初级侧导电回路和次级侧导电回路中的一个或者全部(取决于装置而定)输出脉冲。例如,脉冲输出级914可以像脉冲输出级181(图1)一样起作用。

[0123] 在一些实现中,磁耦合部的发射回路具有相对小的匝数(例如,包括引线框架、接合线、或者表面金属化层中的一部分的单匝)。这样的回路的电感是非常小的。对于给定的电压阶跃输入,穿过回路的电流将快速地达到稳定的状态并且跨越其他阻抗的阶跃中的几

乎所有电压将下降(诸如,例如,提供电压阶跃的电路的输出电阻)。

[0124] 然而,由于穿过发射回路的电流接近稳定的状态,在接收回路中感应的电压同样地降低到零。尽管持续的功率消耗,但是由于流经发射回路的稳态电流,因此不再传递信息。如以上所讨论的,因此有利的是将发射信号限制到具有高振幅和快速变化的相对短的电流脉冲。流经发射线圈的电流中如此大的、快速的变化将在接收线圈中感应出相对大的电压信号。

[0125] 脉冲输出级914被配置成在相对大的、快速的电流脉冲应用之后通过控制发射线圈极性的反向来控制磁存储能量的消耗。可以控制相反极性的的大小以将对于在发射线圈中存储的能量的相对快速消耗的需求和对于保护提供电流脉冲的电路免受相反极性电压的需求二者进行平衡。具体地,脉冲的相反方向的电压伴随着在发射线圈中存储的磁能量的消耗。这还在接收线圈中感应出电压。

[0126] 然而,电压的大小通常不超过一定的水平。过大的电压可以驱动电路的一些部件输出在安全运行条件外的电流脉冲。例如,如果晶体管两端的压降变得过大,则晶体管可能击穿或以其他方式失效。

[0127] 通过控制发射线圈的极性反向,脉冲输出级914被配置成确保发射线圈中的电流在脉冲之间下降到接近零。

[0128] 脉冲输出级914的例示的实现方式包括缓冲器电路904、漏极控制电路924、栅极控制电路926、电流切换级999以及输出端子927。

[0129] 电流切换级999被耦接以切换通过输出端子927输出的并且流经耦合电感器(未示出)的发射线圈的相对大的快速的电流脉冲。用于这些脉冲的电流是从电源中获取的——作为该电流获取的结果——由于寄生电感该电源承受相对大的电压振荡。例如,可以从外部电压或电源中获取流经耦合电感器的发射线圈的电流,该电源从与功率转换器中的功率开关的耦合中获取功率。在例示的实现中,通过原始的外部电压 V_{PCB} 923供给用于相对大的、快速的电流脉冲的电流。

[0130] 电流-切换级999的例示的实现方式包括以共源共栅方式布置的第一晶体管928和第二晶体管930。晶体管928、930是NMOS并且每个都包括栅极、源极和漏极。

[0131] 在一些实现中,晶体管928的衬底可以包括深n阱以实现负电压振荡。晶体管930的深n阱结构改善了其跨导(transconductance)。在断开状态下,晶体管930将供电电压 V_{PCB} 923降低。在接通状态下,相对大的电流脉冲经过晶体管930、928并且被耦接到输出端子927和耦合电感器(未示出)的发射线圈。

[0132] 晶体管930的漏极耦接到相对较不稳定的高电压 V_{PCB} 923以为相对大的快速的电流脉冲获取电流。如以下进一步讨论的,在一些实现中,高电压 V_{PCB} 923的电压振荡可以大到使得高电压 V_{PCB} 923能够降到如图2或者图3所示的更稳定的本地电源的输出水平以下。

[0133] 晶体管930的栅极耦接到通过这样的本地电源供给的更加稳定的供电电压 V_{DD5} 925。例如,供电电压 V_{DD5} 925能够通过图1中的本地电源109、115供给。在 V_{PCB} 923的下摆期间晶体管930的电流能力将不会被降低。

[0134] 晶体管930的源极、晶体管928的漏极以及漏极控制电路924的输出端耦接到节点997。如以下进一步讨论的,漏极控制电路924耦接到节点997以确保在发射线圈中存储的磁场消耗期间在发射线圈两端的电压的极性反向期间晶体管928的漏极和源极之间(即,节点

997和输出端子927之间)的电压差不超过晶体管928的漏源容限。具体地,漏极控制电路924被耦接以允许电流在较高电位节点997和较低电位输出端子927之间流动。在一些实现中,漏极控制电路924被耦接以将电压 V_{GP} 937提供给栅极控制电路926。

[0135] 晶体管928的栅极耦接到栅极控制电路926。在晶体管处于接通状态和断开状态时,栅极控制电路926控制施加在晶体管928的栅极上的栅极电压 V_G 938。例如,栅极控制电路被耦接以在发射线圈中存储的磁场消耗期间在发射线圈两端电压的极性反向期间降低栅极电压 V_G 938。通过降低栅极电压 V_G 938,确保在发射线圈中存储的磁场消耗期间在发射线圈两端电压的极性反向期间晶体管928的栅极和源极之间(即,栅极电压 V_G 938和输出端子927之间)的电压差不超过晶体管928的栅源容限。在一些实现中,栅极控制电路926在回摆期间将栅极电压 V_G 938降低到负电源 V_{SS} 941以下以实现短脉冲。

[0136] 缓冲电路904从供电电压 V_{DD5} 925和负供电电压 V_{SS} 941接收功率。由本地电源(例如,分别在图1、2、4中的本地电源109、115、209、415)供给供电电压 V_{DD5} 925。

[0137] 缓冲电路904输出耦接到栅极控制电路926的信号 U_P 921。信号 U_P 921将由解码器电路解码的信息传递到栅极控制电路926以用于发射到接收线圈。

[0138] 图10进一步示出了根据本发明的教导的脉冲输出级的漏极控制电路的一个实施例。可以将例示的漏极控制电路耦接在发射机的输出级中的晶体管(例如,图9中的晶体管928)的漏极和源极之间,该发射机参与切换被传送到磁耦合部的发射线圈的相对大的电流脉冲。漏极控制电路帮助确保在发射线圈中存储的磁场消耗期间在发射线圈两端的电压极性反向期间这样的晶体管的漏极和源极之间的电压差不离开安全运行范围。

[0139] 例示的漏极控制电路1040包括一组耦接在一对节点1090、1089之间的可切换的电流流动路径1091、1092、1093。可以将节点1090、1089分别耦接到输出级的晶体管(例如,图9中的晶体管928)的漏极和源极。电流流动路径1091、1092、1093被配置成在极性反向期间传导不同大小的电流和/或在不同时间或以不同电压切换到导通从而控制晶体管的漏极和源极之间的电位差。

[0140] 电流流动路径1091包括第一电流镜1009、第二电流镜1011、NMOS晶体管1024以及NMOS晶体管1020。第一电流镜1009包括一对PMOS晶体管1012、1014。PMOS晶体管1012、1014的源极被耦接到节点1090并且可以被耦接到发射机的输出级中的晶体管的漏极。PMOS晶体管1012、1014的栅极和PMOS晶体管1012的漏极一起耦接到NMOS晶体管1024的漏极和NMOS晶体管1020的栅极。NMOS晶体管1024的栅极耦接到负供电电压 V_{SS} 1041。

[0141] 第二电流镜1011包括一对NMOS晶体管1016、1018。NMOS晶体管1016、1018的源极都耦接到负供电电压 V_{SS} 1041。NMOS晶体管1016、1018的栅极和NMOS晶体管1016的漏极全部一起耦接到PMOS晶体管1014的漏极。NMOS晶体管1018的漏极耦接到节点1090。

[0142] 在运行时,当节点1089的电位充分降低到远低于负供电电压 V_{SS} 1041时,NMOS晶体管1024切换到导通。在NMOS晶体管1024的线性区域中,该电流的大小近似等于负供电电压 V_{SS} 1041和节点1089的电位之间的电位差。

[0143] 该相同的电流被传导穿过PMOS晶体管1012并且被PMOS晶体管1014镜像反映。流过PMOS晶体管1014的电流偏置第二电流镜1011中的NMOS晶体管1016、1018的栅极。通过NMOS晶体管1018镜像反映流过PMOS晶体管1014和NMOS晶体管1016的电流,使得电流在节点1090和负供电电压 V_{SS} 1041之间流动。该电流通过增加晶体管930的压降而在电流流过晶体管

930时帮助降低节点1090上的电压。

[0144] 电流流动路径1092包括NMOS晶体管1040。NMOS晶体管1040包括栅极、源极和漏极。NMOS晶体管1040的漏极被耦接到节点1090并且可以被耦接到发射机输出级中的晶体管的漏极。NMOS晶体管1040的源极被耦接到节点1089并且可以被耦接到同一晶体管的源极。NMOS晶体管1040的栅极耦接到负供电电压 V_{SS} 1041。在运行时,当节点1089的电位充分降到远低于负供电电压 V_{SS} 1041时,NMOS晶体管1040切换到导通。电流在节点1090、1089之间流动并且降低了与节点1090、1089耦接的晶体管的源极和漏极之间的电压差。

[0145] 电流流动路径1093包括一组NMOS晶体管1032、1034、1036、1042,每个所述NMOS晶体管具有栅极、源极和漏极。NMOS晶体管1032、1034、1042都是二极管连接。NMOS晶体管1034的栅极和漏极耦接到正供电电压 V_{DD5} 1005。可以由图1和图4中的本地电源115、415供给正供电电压 V_{DD5} 1005。NMOS晶体管1032的栅极和漏极耦接到NMOS晶体管1034的源极以及NMOS晶体管1036的栅极。NMOS晶体管1036的漏极耦接到节点1090。NMOS晶体管1032、1036的源极都耦接到NMOS晶体管1042的栅极和漏极。如同NMOS晶体管1032、1036的本体耦接到节点1089一样,NMOS晶体管1042的源极和本体也耦接到节点1089。

[0146] 在运行时,当NMOS晶体管1032、1036、1042的栅极和它们各自的本体之间出现正电位差时,它们各自的源极和漏极之间的通道的导通性将增加。对于NMOS晶体管1042,这发生在节点1089上的电压降到二极管连接的NMOS晶体管1032设置电位(即,正供电电压 V_{DD5} 1005减去NMOS晶体管1034与NMOS晶体管1032上的压降)以下的时候。当NMOS晶体管1042切换到导通时,电流将从正供电电压 V_{DD5} 1005和节点1090传导到节点1089。结果,可以控制节点1090、1089之间的电压差(以及将电流脉冲传导到发射线圈的晶体管的漏极和源极之间的电压差)。

[0147] 在信号发射期间脉冲负回摆的情况下,1027处的电压降到零以下,然后晶体管1040和晶体管1024的栅源电压变成正,并且因此晶体管1040和晶体管1024提供大量的漏极电流。晶体管1040的漏极电流直接用于吸收来自节点1090的电流。得益于电流吸收,节点1090处的电压水平被限制以确保晶体管928的漏源电压保持在安全运行范围内。

[0148] 在一些实现中,晶体管1024的漏极电流借助由电流镜1009和1011提供的进一步的电流放大来吸收来自节点1090的电流。在一些情况下,晶体管1020的栅源电容动态地将电流注入电流镜1009的输入端以提高电压限制器功能的速度。由于晶体管1024和1040具有与晶体管928相同的装置结构,这些装置的特征易于相互匹配并且可以通过装置几何形状的比例来调整电压限制器功能。

[0149] 在一些情况下,电流流动路径1093提供微安范围内的电流以吸收高电压晶体管930的潜在增加的泄漏电流,从而保持晶体管928的漏极/源极电压在安全运行范围内。

[0150] 图11还示出了根据本发明的教导的脉冲输出级的缓冲器电路和栅极控制电路。缓冲器电路1104耦接到栅极控制电路。缓冲器电路1104可以增加脉冲请求输入信号 U_{UA} 922的信号强度并且为栅极控制电路1126提供电压 V_{GC} 1113。

[0151] 例示的栅极控制电路可以耦接在发射机输出级中的晶体管(例如,图9中的晶体管928)的栅极和源极之间,发射机的输出级参与切换被传送到磁耦合部的发射线圈的相对大的电流脉冲。栅极控制电路可以帮助确保该晶体管的栅极和源极之间的电压差与晶体管的期望状态(即,接通状态期间增加的电流或断开状态期间减少的电流)一致,而同时确保在

发射线圈中存储的磁场消耗期间在发射线圈两端的电压极性反向期间栅极控制电路的所有组成部分不离开安全运行范围。

[0152] 缓冲器电路1104可以增加脉冲请求信号 U_{UA} 922的信号强度。缓冲器电路将信号 U_P 1112输出到栅极控制电路1126。缓冲器电路1104包括第一反相器1105、第二反相器1107、第三反相器1109以及第四反相器1111。第一反相器、第二反相器、第三反相器以及第四反相器耦接到正供电电压 V_{DD5} 1103和负供电电压 V_{SS} 1141。

[0153] 第二反相器1107还驱动第五反相器电路,第五反相器电路包括晶体管1132和1128,晶体管1128提供输出电压 U_P 1112,该输出电压 U_P 1112提供脉冲请求输入信号 U_{UA} 1122的反向信号。第五反相器电路耦接到正供电电压 V_{DD5} 1103和负供电电压 V_{SS} 1141。第五反相器电路的输出端进一步耦接到NMOS晶体管1130。

[0154] 栅极控制电路1126包括PMOS晶体管1146和NMOS晶体管1134、1136。晶体管1134、1136、1146各自包括源极、栅极和漏极。电路1126将栅极控制信号与如下晶体管的栅极耦接以及解耦接,所述晶体管参与将相对大的电流脉冲切换给电源。由如下电源提供用于栅极控制信号的功率,该电源比提供传送到磁耦合部的发射线圈的相对大的电流脉冲的电源更稳定。例如,可以通过本地电源(诸如,例如分别在图1、2、4中的本地电源109、115、209、415)供给用于栅极控制信号的功率。电路1187耦接和解耦接晶体管928的栅极以允许在发射线圈中存储的磁场消耗期间在发射线圈两端的反向极性的电压。

[0155] 在例示的实现中,栅极控制电路1126包括PMOS晶体管1146。PMOS晶体管1146包括源极、栅极和漏极。PMOS晶体管1146的源极耦接到在逻辑高状态和逻辑低状态之间切换的栅极控制信号。逻辑高状态表明将给磁耦合部的发射线圈供给正电压。逻辑低状态表明这样的相对大的电压的供给将被降低到零使得可以消耗在发射线圈中存储的能量。

[0156] 电路1187包括一对NMOS晶体管1134、1136,所述NMOS晶体管1134、1136各自包括栅极、源极和漏极。如所示出的,例如,在图9中,还将该输出端耦接在参与那些电流脉冲切换的NMOS晶体管(即,图9中的晶体管928)的源极。

[0157] NMOS晶体管1134的栅极耦接到共同的栅极信号 V_{GP} 1137。晶体管1136的栅极耦接以接收受控信号 U_P 1112。受控信号 U_P 1112耦接到晶体管1136。

[0158] 在运行中,如果PMOS晶体管1146的栅极上的参考电位和PMOS晶体管1146的源极上的栅极控制信号的电位之间的差值保持在PMOS晶体管1146的阈值电压以下(即,在栅极控制信号处于逻辑高状态时),则PMOS晶体管1146将处于接通状态并且将在其源极和漏极之间形成低阻抗通道。这将把栅极控制信号的逻辑高电平应用到一个NMOS晶体管的栅极,该NMOS晶体管(例如,图9中的晶体管928)参与将相对大的电流脉冲切换到电源,将NMOS晶体管驱动到导电接通状态。相对大的电流脉冲将被施加到磁耦合部的发射线圈。

[0159] 然而,如果PMOS晶体管1146的栅极上的参考电位和PMOS晶体管1146的源极上的栅极控制信号的电位之间的差值上升到PMOS晶体管1146的阈值电压之上(即,在栅极控制信号切换到逻辑低状态时),则PMOS晶体管1146将转换到断开状态并且其源极和漏极之间的阻抗将增大。实际上这将结束相对大的电流脉冲并且磁耦合部的发射线圈两端的极性将反向。

[0160] 在例示的具有正电流脉冲的实现中,当磁耦合部的发射线圈两端的电位的极性反向时,脉冲输出级的输出将降到NMOS晶体管1136的阈值电压以下,NMOS晶体管1136将转换

到导电接通状态。参与将相对大的电流脉冲切换到电源的NMOS晶体管(例如,图9中的晶体管928)的栅极上的电位将伴随具有由NMOS晶体管1134、1136提供的二极管压降偏置的脉冲输出级的负电位。消耗在发射线圈中的磁场的电流能够穿过NMOS晶体管1134、1136、928、930和电阻器R2 934流到参考电位。

[0161] 在信号发射期间,在脉冲请求输入信号1122处于高水平时,将经缓冲的信号 V_{GC} 1113穿过PMOS晶体管1146传递到网络1138,该网络是晶体管928的栅极电位。接着晶体管928打开并且这导致发射机输出电压(927、1127)的正摆动。

[0162] 在信号发射期间,在脉冲请求输入信号 U_{UA} 1122处于低水平时,将会发生发射机输出电压1127低于零的转变(回摆)。在该转变中,晶体管1146提供高阻抗输出。信号 U_P 1112处于高水平,该高水平通过给晶体管928提供大体为零的栅源极电压来最初地关闭晶体管1136。可以通过将928的栅极连接到负供电电压来提供晶体管928的最初的关闭。

[0163] 对于发射机输出电压1127的负输出,将晶体管928的栅源极电压控制到一个专用的正电压水平,该正电压水平在确保安全运行时保证输出电压1127的负水平与正向电压水平匹配。然后,为了提供比给晶体管928的负供电电压 V_{SS} 941低的栅极电位,将晶体管1136的源极连接到发射机输出电压1127。

[0164] 发射机输出电压1127的负输出还导致通过电流镜1011的第二输出端通过共同的栅极信号 V_{GP} (1037、1137)从晶体管1134吸收漏极电流。为了降低复杂性和节约空间在该情况下将这些功能合并。晶体管1134的漏极电流降低了晶体管1136的栅源极电压并且因而增加了晶体管928的栅源极电压,并且因此相应地降低了发射机输出电压1127的负水平。

[0165] 主要通过晶体管1130限制该作用,但还通过晶体管1128限制该作用。尺寸是根据晶体管1136的整体安全运行范围的要求而确定的。晶体管1136的大小和栅源极电压是限定发射机输出电压1127的负输出水平的关键参数。

[0166] 由于所涉及的电路使用相同的基础装置结构,可以相互匹配这些装置的特征并且可以很容易调整栅极控制功能。

[0167] 本发明的例示实施例的上述描述,包括摘要中所描述的内容,不旨在对公开的确切形式的穷举或限制。虽然为了例示的目的在此描述了本发明的具体实施方案和实施例,但是在不背离本发明的较广泛的精神和范围下,能够进行各种等同的修改。实际上,认识到,为了解释的目的而提供具体的示例电压、电流、频率、功率范围值、时间等,以及也可以在根据本发明的教导的其他实施方案和实施例中使用其他值。

[0168] 可以在以上详细描述的基础上对本发明的实施例进行这些修改。权利要求中使用的术语不应被解释为将发明限制到说明书和权利要求中公开的具体实施方案。确切地说,完全由权利要求来确定范围,将根据权利要求解释的既定原则来解释所述权利要求。本说明书和附图因此被认为是示例性的而非限制性的。

[0169] 例如,可以根据下列实施方案的一个或多个来实现本发明。

[0170] 实施方案1:信号发射电路,该信号发射电路包括传导的发射线圈;第一电源;半导体开关,所述半导体开关将发射线圈可逆地耦接到第一电源;控制电路,所述控制电路通过半导体开关控制发射线圈到第一电源的耦接;第二电源,第二电源被耦接以给所述控制电路供电。

[0171] 实施方案2:实施方案1的信号发射电路,其中第二电源包括供电电容器和可变电

流源,所述供电电容器存储由第二电源提供的电荷,所述可变电流源根据请求信号而响应以提升提供到供电电容器的电流。

[0172] 实施方案3:实施方案1至2中的任一个的信号发射电路,其中第二电源包括跨导放大器,跨导放大器输出响应于第二电源的实际输出电压和期望的输出电压之间的差值的电流。

[0173] 实施方案4:实施方案3的信号发射电路,其中跨导放大器包括第一放大级,第一放大级包括由放大的差值以线性模式驱动的第一晶体管。

[0174] 实施方案5:实施方案1至4中的任一个的信号发射电路,其中第二电源包括电流放大器,电流放大器用于放大由第二电源输出的电流,其中电流放大器包括具有由第一电源供电的分支的电流镜。

[0175] 实施方案6:实施方案5的信号发射电路,其中电流放大器包括具有第一的相对较高的上限截止频率的第一电流镜、具有第二的相对较低的上限截止频率的第二电流镜,例如,其中第二上限截止频率在第一上限截止频率的 $1/30$ 与 $1/2$ 之间。

[0176] 实施方案7:实施方案1至6中的任一个的信号发射电路,其中第二电源包括阈值检测电路,所述阈值检测电路用于检测第二电源的输出电流是否超过阈值水平并且输出指示检测结果的信号。

[0177] 实施方案8:实施方案7的信号发射电路,其中信号发射电路包括可变电流源,并且指示输出电流超过阈值电压水平的信号起作用以降低由可变电流源提供的电流的提升。

[0178] 实施方案9:实施方案1至8中的任一个的信号发射电路,进一步包括放电电路,所述放电电路被耦接以响应于表明所述第二电源的输出电压超过期望的电压的信号而将所述第二电源中的一个或多个节点放电。

[0179] 实施方案10:实施方案9的信号发射电路,其中所述放电电路耦接到第二电源中的多个节点。

[0180] 实施方案11:实施方案9至10中的任一个的信号发射电路,其中放电电路包括电流镜,电流镜具有第一耦合部和第二耦合部,第一耦合部用于接收表明第二电源的输出电压超过上限阈值电压的电流,第二耦合部用于将第二电源中的节点放电。

[0181] 实施方案12:实施方案11的信号发射电路,其中第二电源内的节点的放电量与指示第二电源的输出电压超过上限阈值电压的电流的幅度成比例。

[0182] 实施方案13:实施方案1至12中的任一个的信号发射电路,其中第一电源为第二电源提供功率。

[0183] 实施方案14:一种装置,该装置包括:以第一电位为参考的第一电路,第一电路包括信号发射电路;以第二电位为参考并且与第一电路电流性隔离的第二电路,第二电路包括信号接收电路;以及磁耦合部,该磁耦合部在第一电路和第二电路之间跨越电流隔离,磁耦合部包括传导的发射线圈以及传导的接收线圈,其中,信号发射电路包括相对于第一电位具有第一极性的第一供电电压;耦接在传导的发射线圈和第一供电电压之间用于切换它们之间的电流传导的输出级开关;以及控制电路,该控制电路被耦接以间歇地将输出级开关在导通性较好状态与导通性较差状态之间切换,并且由此在发射线圈上发射信号,所述控制电路进一步耦接以响应于输出级开关从导通性较好状态切换到导通性较差状态而控制由发射线圈产生的电压,其中由发射线圈产生的电压相对于第一电位具有相反的第二极

性。

[0184] 实施方案15:实施方案14的装置,其中信号发射电路包括实施方案1至13中的任一个的信号发射电路。

[0185] 实施方案16:实施方案14至15中的任一个的装置,其中控制电路被耦接以将相反极性的电压施加到输出级中的晶体管的控制端子。

[0186] 实施方案17:实施方案14至16中的任一个的装置,其中输出级包括第一晶体管和第二晶体管,第一晶体管被耦接在供电电压和第二晶体管之间,第二晶体管被耦接在第一晶体管和发射线圈之间。

[0187] 实施方案18:实施方案17的装置,其中控制电路被耦接以控制施加到第二晶体管的控制端子的电位和第二晶体管的主端子上的电位。

[0188] 实施方案19:实施方案17至18中的任一个的装置,其中控制电路包括在第二晶体管的主端子之间的一个或多个可切换的电流路径。

[0189] 实施方案20:实施方案17至19中的任一个的装置,进一步包括被耦接在第二晶体管的控制端子和第二供电电压之间的p沟道MOSFET,其中,在输出级开关处于导通性较好的状态时,p沟道MOSFET导通以将第二供电电压耦接到第二晶体管的控制端子,并且在输出级开关处于导通性较差的状态时,p沟道MOSFET将第二晶体管的控制端子与第二供电电压隔离。

[0190] 实施方案21:实施方案17至20中的任一个的装置,进一步包括耦接在第二晶体管的控制端子和具有与第一极性相反的第二极性的参考电压之间的n沟道MOSFET,其中在输出级开关处于导通性较差的状态时n沟道MOSFET导通以将第二晶体管的控制端子耦接到参考电压。

[0191] 实施方案22:实施方案17至21中的任一个的装置,其中第二晶体管包括布置在第二晶体管的衬底和第二晶体管的有源区的主体之间的电气隔离部。

[0192] 实施方案23:实施方案22的装置,其中电气隔离部包括深n阱的NMOS或者绝缘体上硅器件的绝缘层。

[0193] 实施方案24:实施方案17至23中的任一个的装置,其中控制电路包括可调节的电流电路,可调的电流电路将第一晶体管和第二晶体管之间的电位耦接到发射线圈产生的电压。

[0194] 实施方案25:实施方案24的装置,其中可调节的电流电路包括将第一晶体管和第二晶体管之间的电位耦接到发射线圈产生的电压的一个或多个电流镜。

[0195] 实施方案26:实施方案14至25中的任一个的装置,其中第一电路和第二电路被布置在单个半导体封装件中。

[0196] 实施方案27:实施方案26的装置,其中磁耦合部被布置在单个半导体封装件中。

[0197] 实施方案28:实施方案1至27中的任一个的装置,其中发射线圈包括引线框架的一部分、集成电路的上金属化层和接合线之一。

[0198] 实施方案29:实施方案1至28中的任一个的装置,其中发射线圈具有50nH或者更小的电感,例如,20nH或者更小。

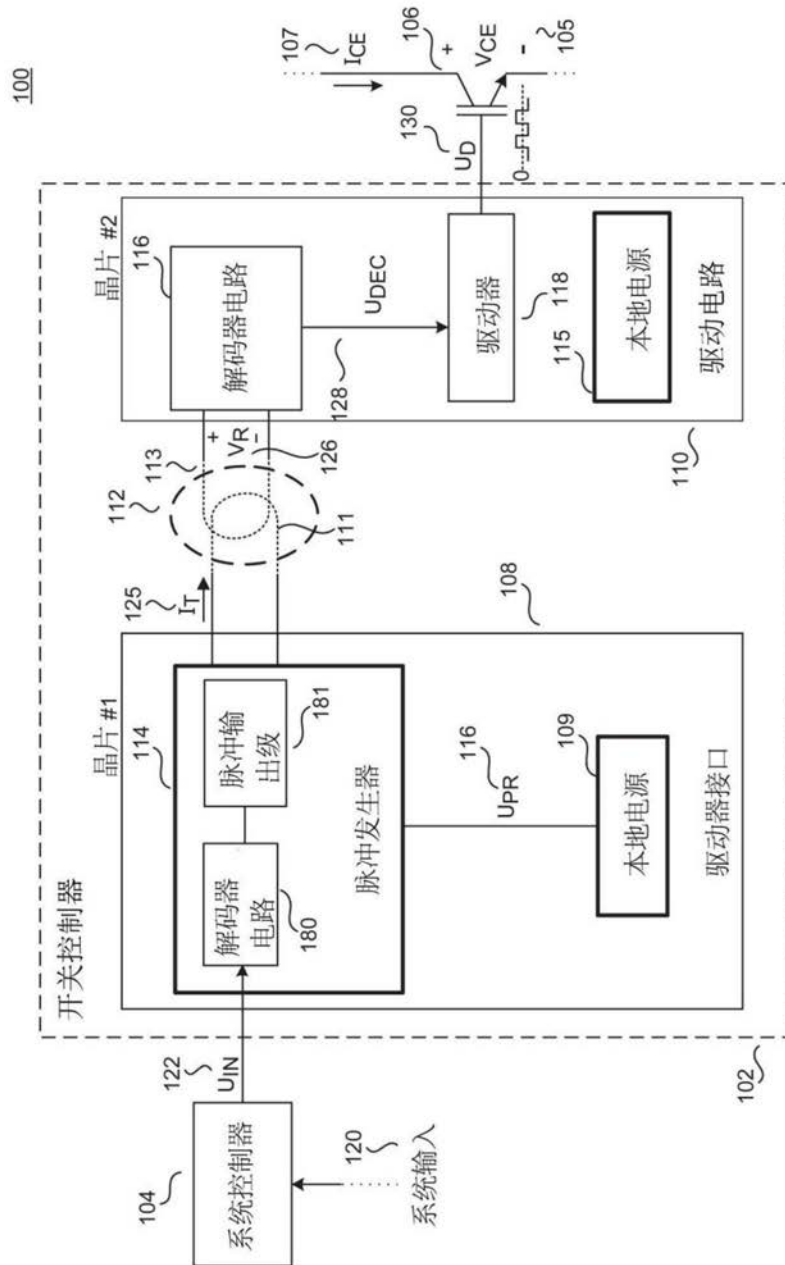


图1

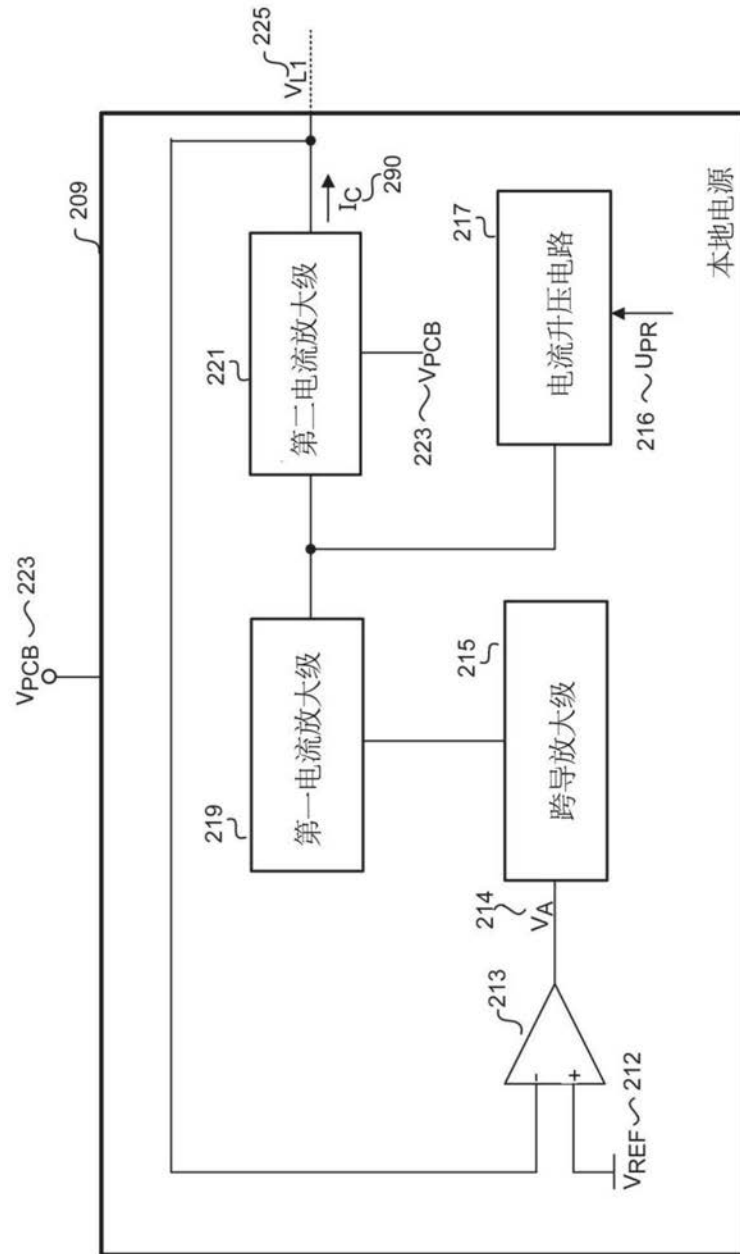


图2

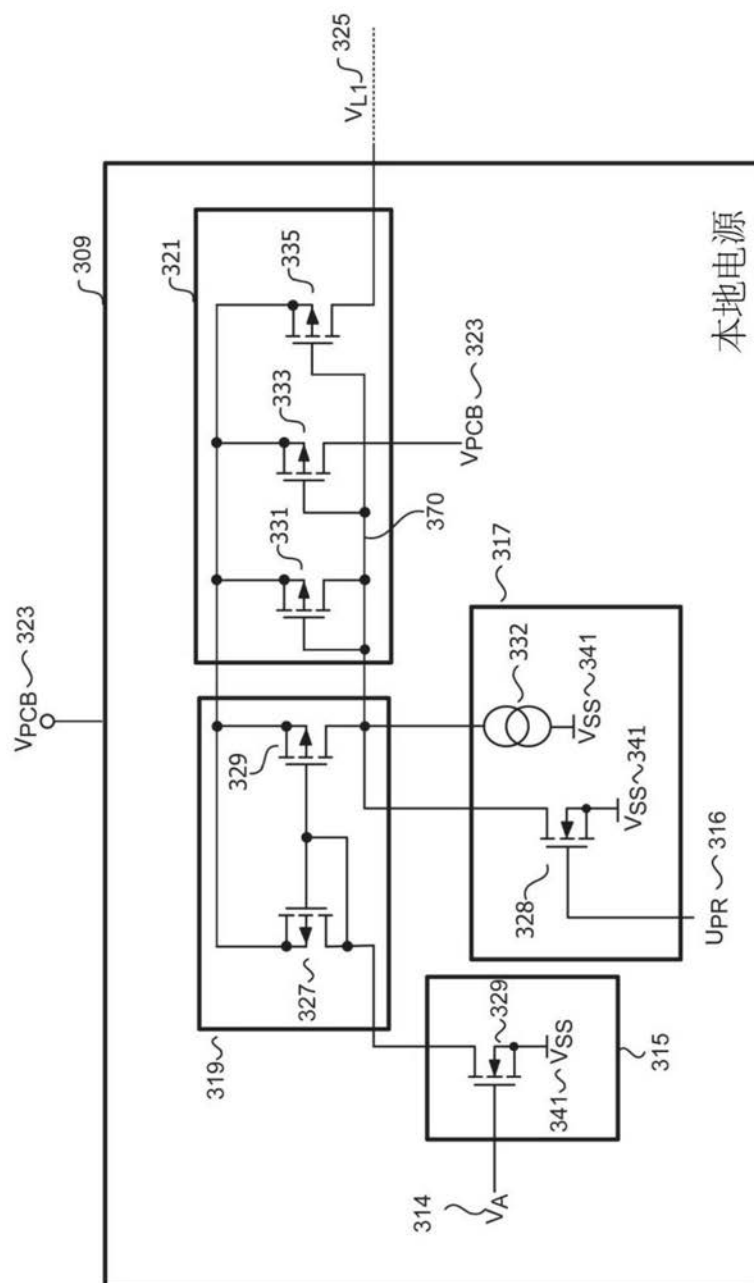


图3

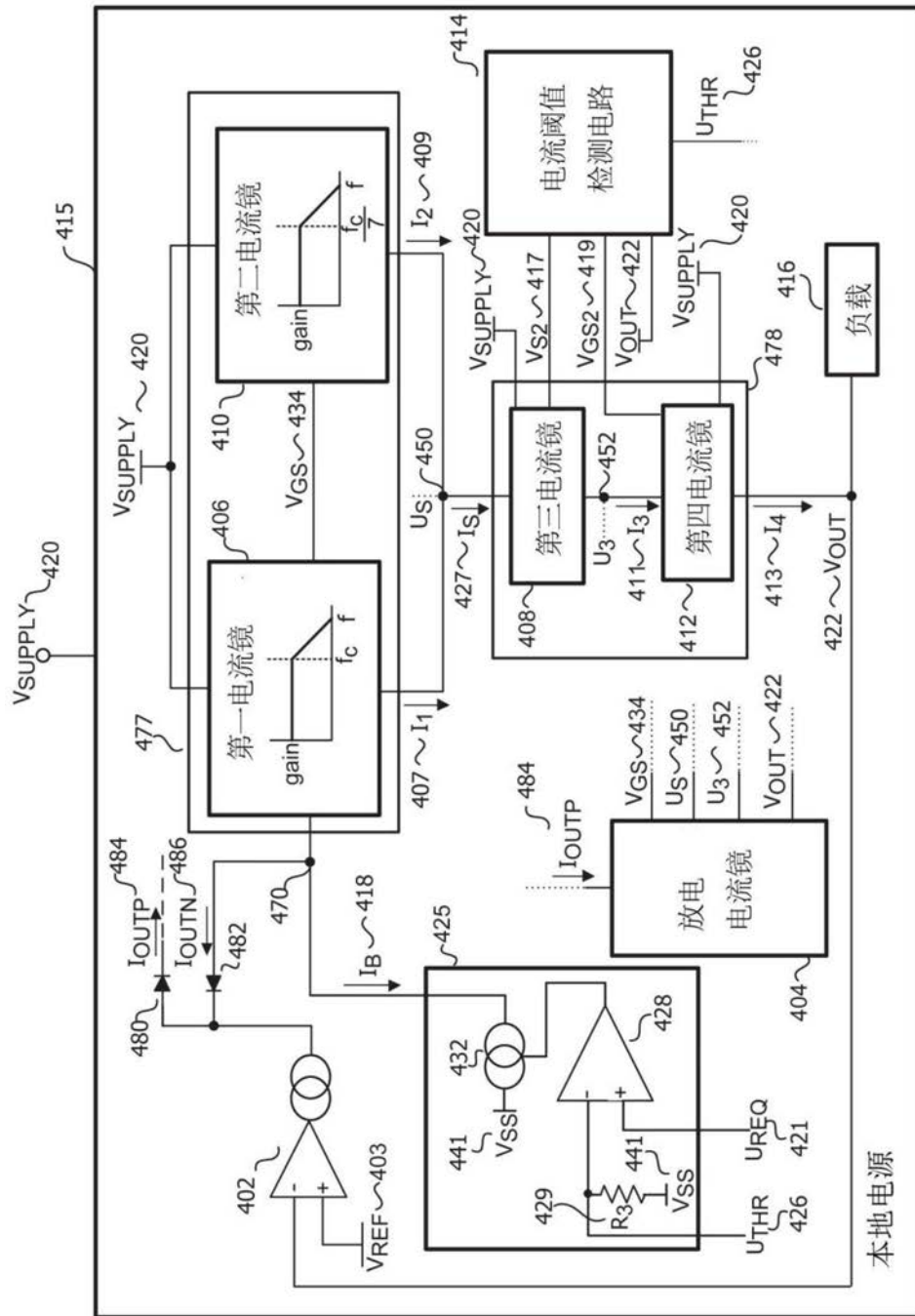


图4

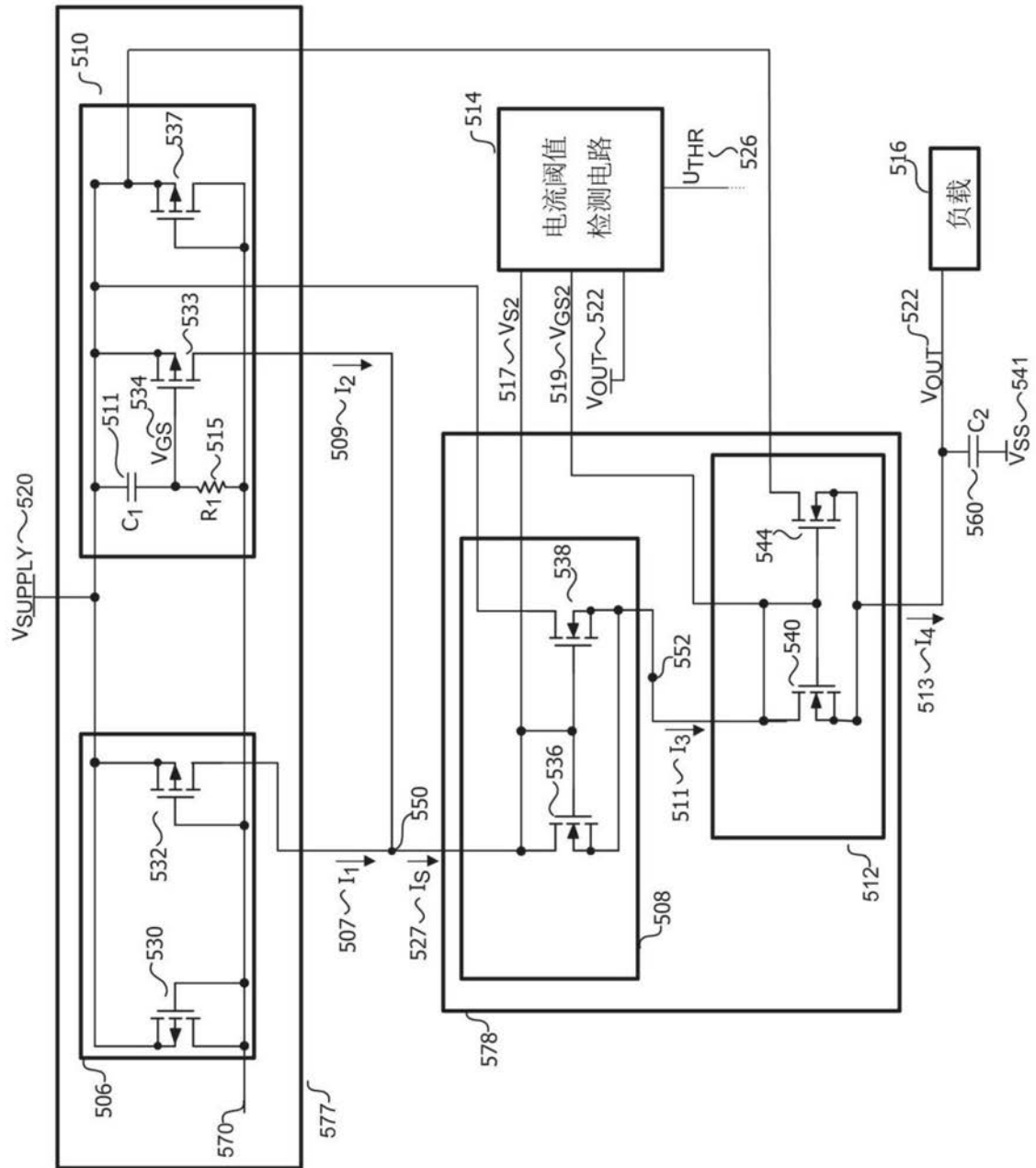


图5

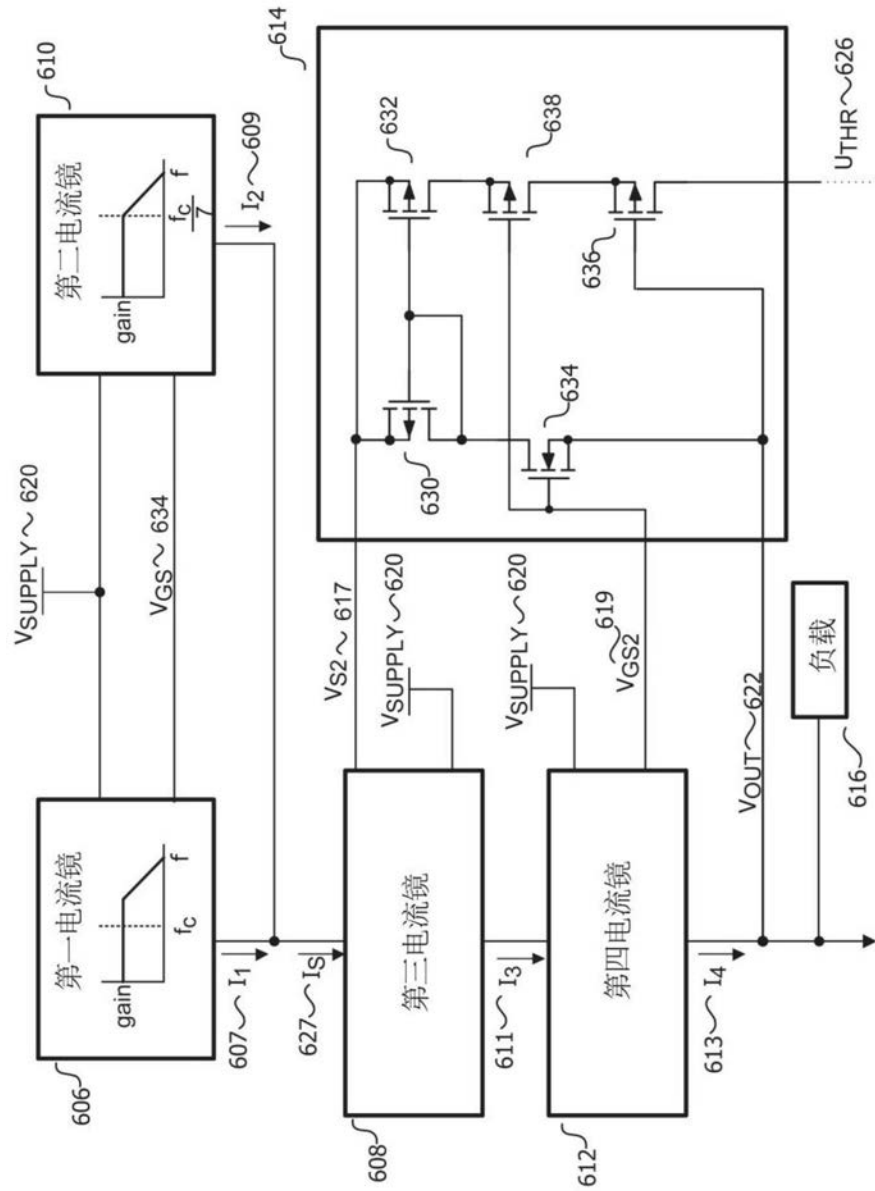


图6

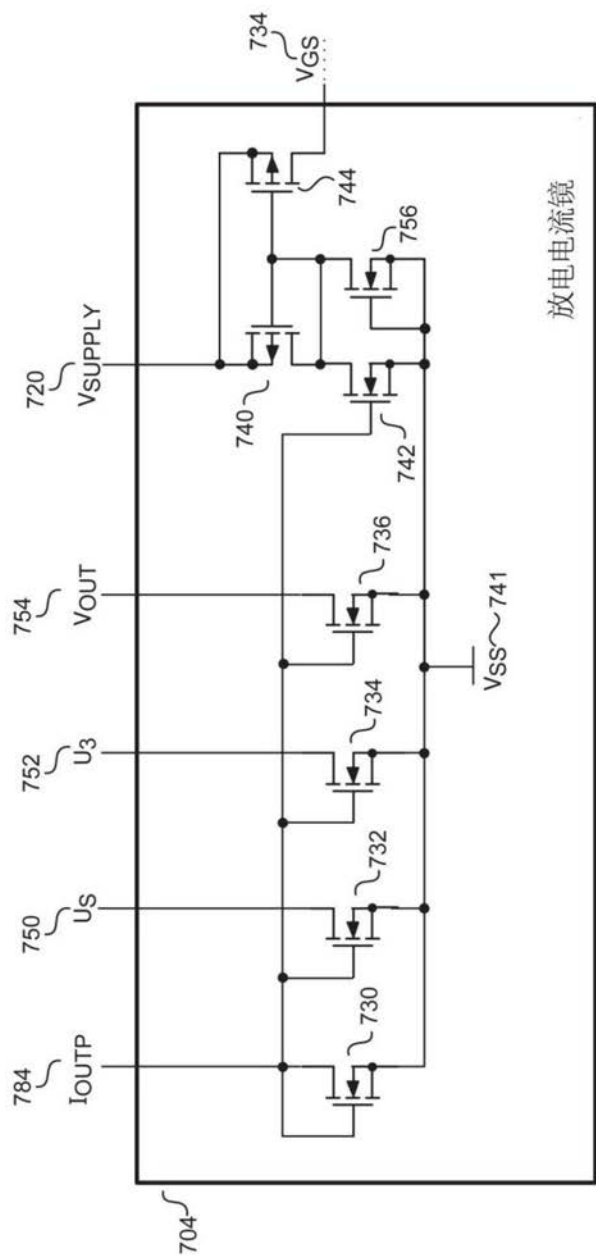


图7

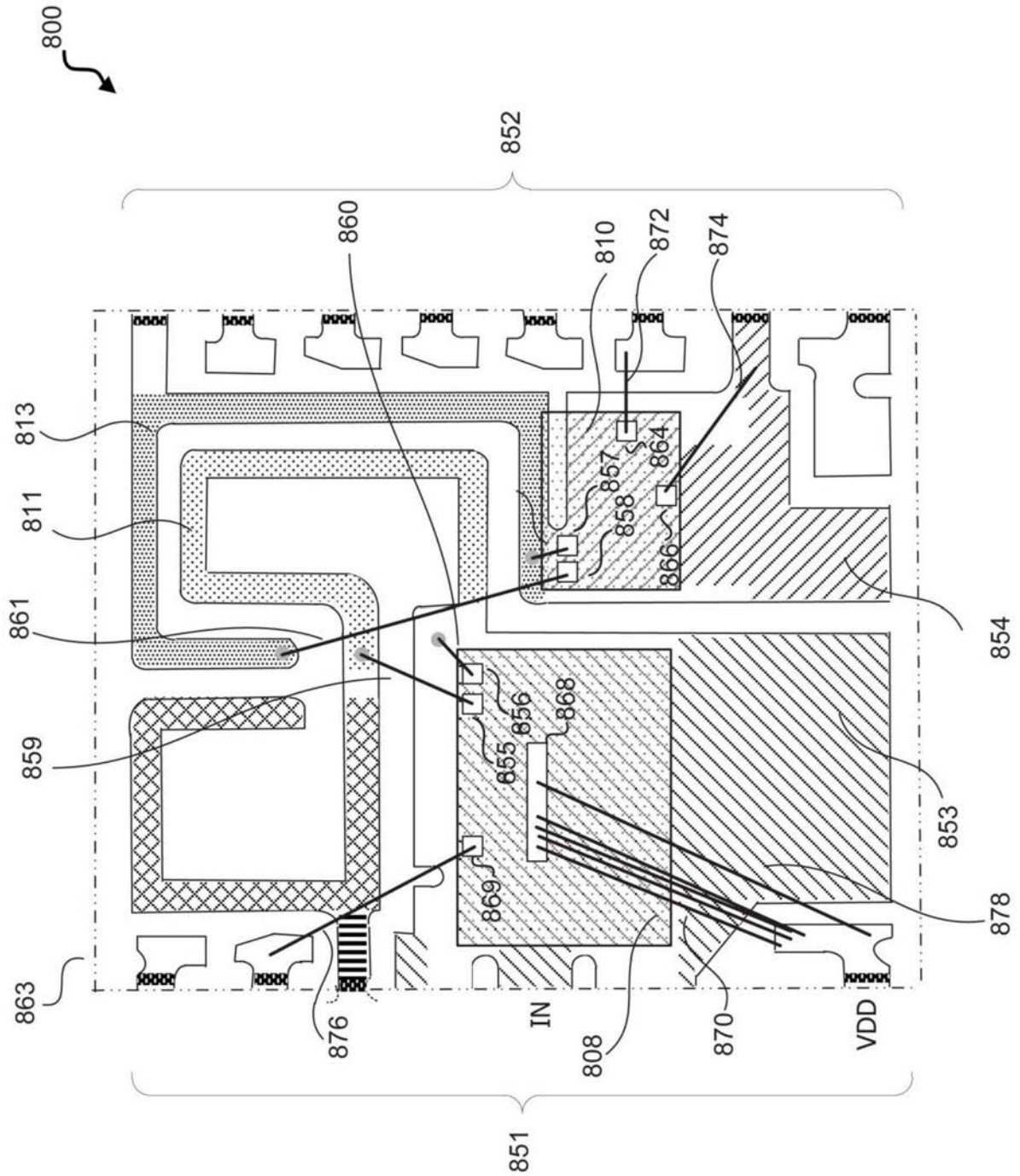


图8

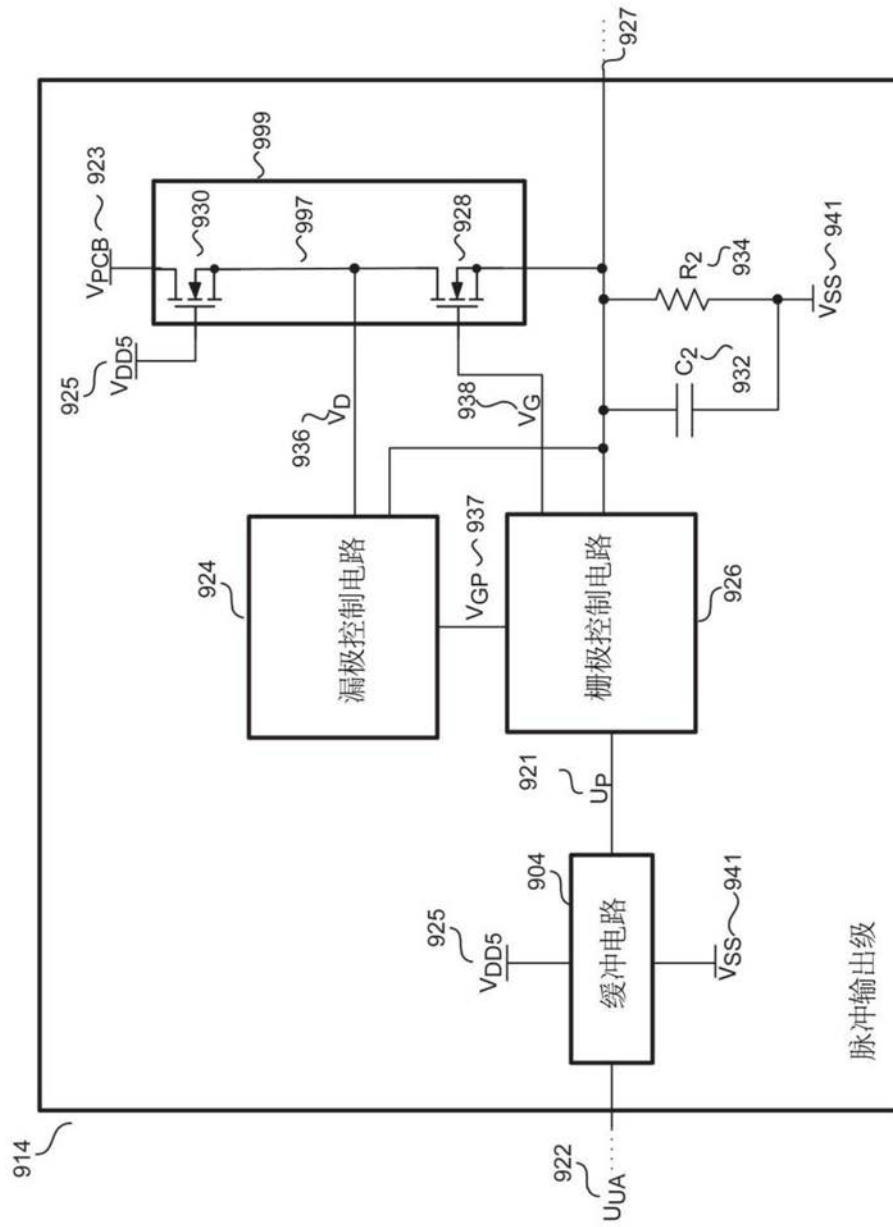


图9

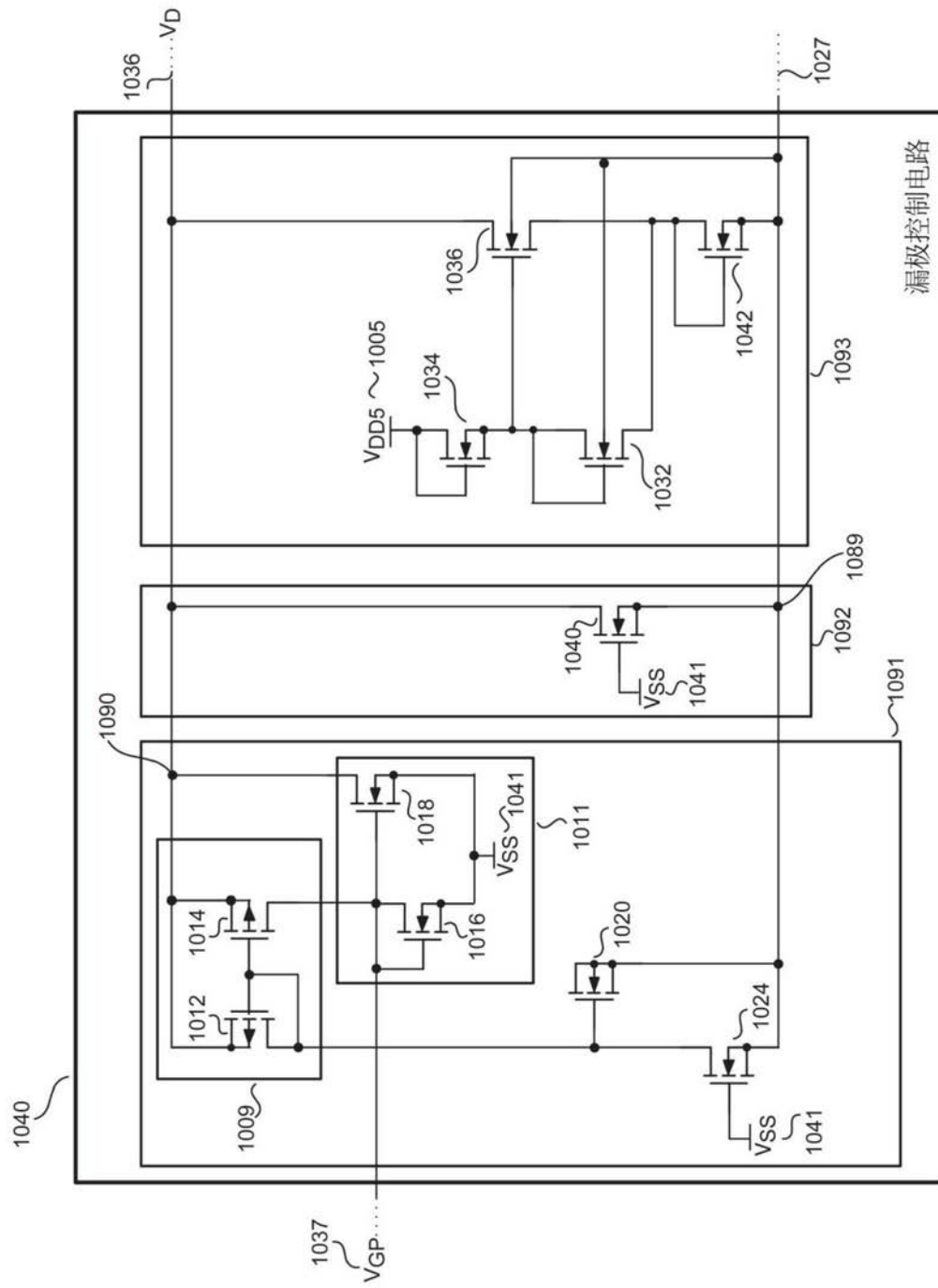


图10

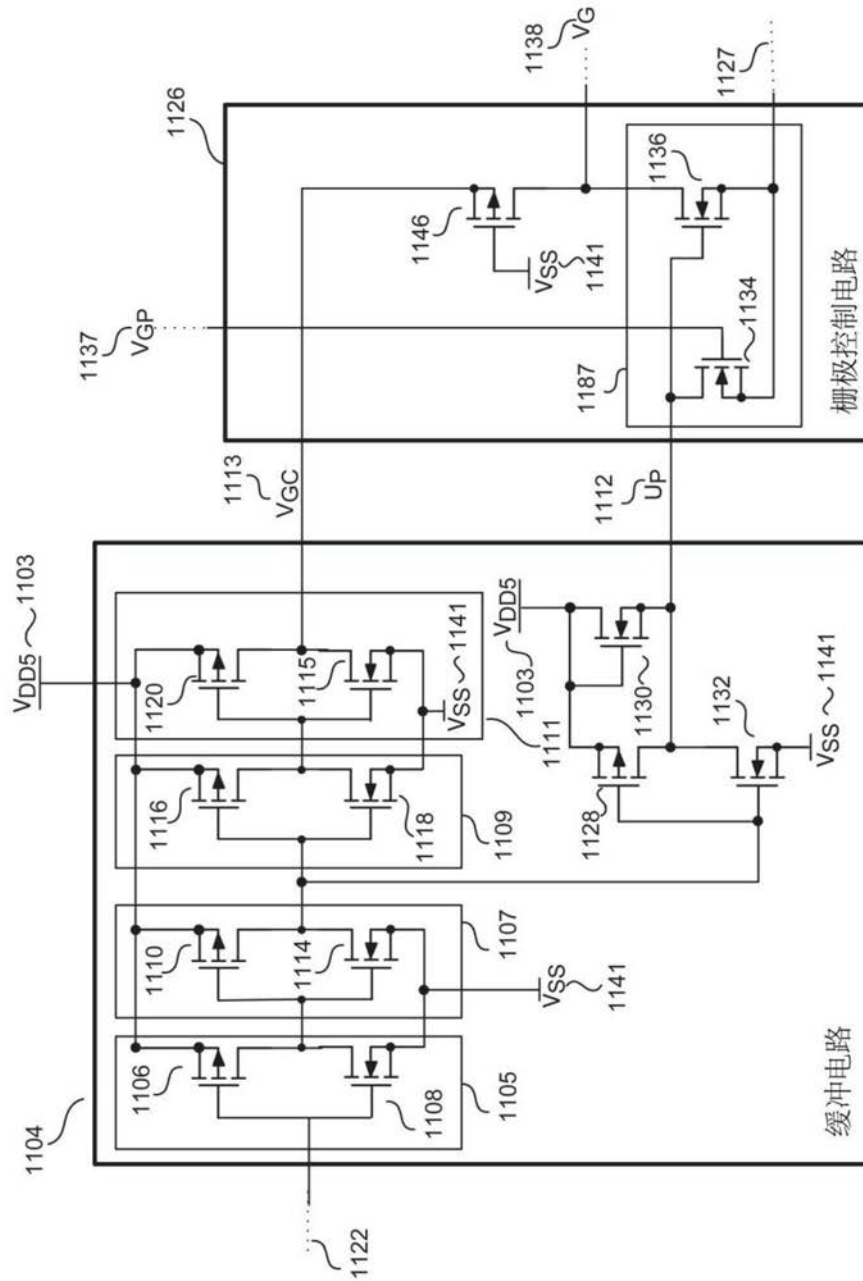


图11