



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

236 383

(11) (B1)

(61)
(23) Výstavní priorita
(22) Přihlášeno 29 12 83
(21) FV 10180-83

(51) Int. Cl.³
G 06 F 11/22

(40) Zveřejněno 17 07 84
(45) Vydáno 01 11 87

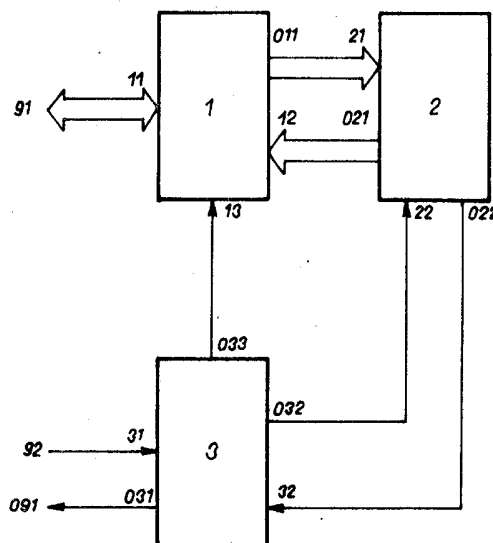
(75)
Autor vynálezu

UČEN KAREL ing., BRNO

(54) Zapojení na testování obousměrné vstupní
a výstupní sběrnice

Cílem řešení je vytvořit prostorově nenáročné a jednoduché zapojení, které umožňuje převádění výstupních datových funkcí při využití výstupních řídicích funkcí na vstupní datové funkce u obousměrných vstupních a výstupních funkcí, přičemž výsledek testování je vyhodnocován přímo ve výpočetním zařízení. Tohoto cíle se dosáhne zapojením, v kterém skupina datových vstupů a výstupů budiče obousměrné vstupní a výstupní sběrnice tvoří současně skupinu datových vstupů a výstupů zapojení, skupina datových výstupů budiče obousměrné vstupní a výstupní sběrnice je připojena na skupinu datových vstupů vyrovnávací paměti, skupina datových výstupů vyrovnávací paměti je připojena na skupinu datových vstupů budiče obousměrné vstupní a výstupní sběrnice. Signalizační výstup vyrovnávací paměti je připojen na signalizační vstup obvodu kombinační a sekvenční logiky. Nastavovací výstup obvodu kombinační a sekvenční logiky je připojen na nastavovací vstup vyrovnávací paměti, kdežto jeho informační výstup tvoří současně informační výstup zapojení. Řídicí vstup obvodu kombinační a sekvenční logiky tvoří současně řídicí vstup zapojení a přepínací výstup obvodu kombinační a sekvenční logiky je připojen na přepínací vstup budiče obousměrné vstupní a výstupní sběrnice. Zapojení lze použít zejména při oživování a testování univerzálních výpočetních zařízení, jako jsou

inteligentní terminály, stolní počítače, univerzální procesory a podobně.



Vynález se týká zapojení na testování obousměrné vstupní a výstupní sběrnice výpočetních zařízení.

Lokalizování poruchy funkce spojení výpočetního zařízení s periferní jednotkou je spojeno s potížemi. Pokud není k dispozici náhradní adaptér nebo technické prostředky pro jeho otestování, není možné odpovědně rozhodnout, zda porucha nastala před nebo za rozhraním spojení, to je před nebo za obousměrnou vstupní a výstupní sběrnici z hlediska výpočetního zařízení. Při oživování výpočetního zařízení je žádoucí mít možnost testování obousměrné vstupní a výstupní sběrnice v místě, kde je tato dávana k dispozici jednotlivým adaptérům, které využívají vždy pouze zcela specifický, omezený počet datových a řídicích funkcí. I když obousměrná vstupní a výstupní sběrnice bývá součástí vnitřní kabeláže výpočetního zařízení a jsou na ni připojeny vestavěné jednotky, jako displej, vestavěná vnější paměť a jiné, nezaručuje správná funkce těchto komponent, současně správnou funkci obousměrné vstupní a výstupní sběrnice na konektorech pro vstupní a výstupní adaptéry. Navíc, konektory obousměrné vstupní a výstupní sběrnice bývají umístěny uvnitř prostoru pro fyzické připojení dalších vstupních a výstupních adaptérů, takže testování funkce obousměrné vstupní a výstupní sběrnice pomocí osciloskopu nebo běžných logických analyzátorů je značně ztíženo. Připojování simulátorů vstupních a výstupních zařízení na obousměrnou vstupní a výstupní sběrnici je další možností pro oživování a testování, vyžaduje však přídatné technické prostředky, často zvláštní napájecí zdroje a je zbytečně rozměrné a pro běžný servis nevhodné. K tomu je dále nezbytné propojení prostřednictvím spojovací kabeláže a interní kabeláže, což společně s deskami logiky simulátorů vnáší do testování další možnost zavedení poruchy samotného testovacího zařízení.

Uvedené nevýhody odstraňuje zapojení na testování obou-

směrné vstupní a výstupní sběrnice podle vynálezu, jehož podstatou je, že skupina datových vstupů a výstupů budiče obousměrné vstupní a výstupní sběrnice tvoří současně skupinu datových vstupů a výstupů zapojení, skupina datových výstupů budiče obousměrné vstupní a výstupní sběrnice je připojena na skupinu datových vstupů vyrovnávací paměti, skupina datových výstupů vyrovnávací paměti je připojena na skupinu datových vstupů budiče obousměrné vstupní a výstupní sběrnice, signalizační výstup vyrovnávací paměti je připojen na signalizační vstup obvodu kombinační a sekvenční logiky, nastavovací výstup obvodu kombinační a sekvenční logiky je připojen na nastavovací vstup vyrovnávací paměti, kdežto jeho informační výstup tvoří současně informační výstup zapojení, řídicí vstup obvodu kombinační a sekvenční logiky tvoří současně řídicí vstup zapojení, přepínací výstup obvodu kombinační a sekvenční logiky je připojen na přepínací vstup budiče obousměrné vstupní a výstupní sběrnice.

Výhodou zapojení na testování obousměrné vstupní a výstupní sběrnice podle vynálezu je jeho jednoduchost a prostorová nenáročnost. Umožňuje vyhodnocování výsledků testování přímo ve výpočetním zařízení. Je tak sníženo riziko zahrnutí dalších prvků s možností nespolehlivosti, na příklad kabeláže. Správnou funkci zapojení obvodu na testování obousměrné vstupní a výstupní sběrnice lze kdykoliv ověřit standardním způsobem jako test jediné desky. Další výhodou je možnost využití technických prostředků uvnitř výpočetního zařízení ke komparaci hodnot datových a řídicích signálů, převzatých na vstupu obousměrné vstupní a výstupní sběrnice s hodnotami očekávanými a případné další využití inteligence zabudovaných technických prostředků ve spolupráci s účelovým vybavením pro detekci, lokalizaci a indikaci poruch.

Příklad zapojení na testování obousměrné vstupní a výstupní sběrnice podle vynálezu je znázorněn na připojeném výkrese v blokovém schématu.

Skupina datových vstupů a výstupů 11 budiče 1 obousměrné vstupní a výstupní sběrnice tvoří současně skupinu datových vstupů a výstupů 91 zapojení pro připojení na neznázorněnou obousměrnou vstupní a výstupní sběrnici výpočetního zařízení. Skupina datových výstupů 011 budiče 1 obousměrné vstupní a výstupní sběrnice je připojena na skupinu datových vstupů 21 vyrovnávací paměti 2. Skupina datových výstupů 021 vyrovnávací paměti 2 je připojena na skupinu datových vstupů 12 budiče 1 obou-

směrné vstupní a výstupní sběrnice. Signalizační výstup 022 vyrovnávací paměti 2 je připojen na signalizační vstup 32 obvodu 3 kombinační a sekvenční logiky. Nastavovací výstup 032 obvodu 3 kombinační a sekvenční logiky je připojen na nastavovací vstup 22 vyrovnávací paměti 2, kdežto jeho informační výstup 031 tvoří současně informační výstup 091 zapojení pro připojení na obousměrnou vstupní a výstupní sběrnici výpočetního zařízení. Řídicí vstup 31 obvodu 3 kombinační a sekvenční logiky tvoří současně řídicí vstup 92 zapojení pro připojení na obousměrnou vstupní a výstupní sběrnici výpočetního zařízení. Přepínací výstup 033 obvodu 3 kombinační a sekvenční logiky je připojen na přepínací vstup 13 budiče 1 obousměrné vstupní a výstupní sběrnice.

Vystavení datového slova ve formě výstupního datového signálu na skupině datových vstupů a výstupů 11 budiče 1 obousměrné vstupní a výstupní sběrnice předchází řídicí signál na řídicím vstupu 31 obvodu 3 kombinační a sekvenční logiky, který je tímto obvodem převeden na přepínací signál na signalizačním výstupu 033. Tento přepínací signál nastaví směr budiče 1 obousměrné vstupní a výstupní sběrnice do stavu pro vstup dat. V okamžiku přítomnosti výstupního datového slova na obousměrné vstupní a výstupní sběrnici je prostřednictvím jiného řídicího signálu na řídicím vstupu 31 obvodu 3 kombinační a sekvenční logiky generován tímto obvodem přepínací signál pro nastavení výstupního datového slova přes budič 1 obousměrné vstupní a výstupní sběrnice do vyrovnávací paměti 2. Vystavení obsahu vyrovnávací paměti 2 na obousměrnou datovou vstupní a výstupní sběrnici ve směru vstupu dat předchází řídicí signál z výpočetního zařízení na řídicí vstup 31 obvodu 3 kombinační a sekvenční logiky, sloužící k nastavení směru budiče 1 obousměrné vstupní a výstupní sběrnice do stavu pro výstup dat. Toto nastavení směru a současně přítomnost datového slova z vyrovnávací paměti 2 přes budič 1 obousměrné vstupní a výstupní sběrnice na obousměrné vstupní a výstupní sběrnici pro vstupní data signalizuje signál na informačním výstupu 031 obvodu 3 kombinační a sekvenční logiky, kterýžto obvod zpracovává rovněž signál připravenosti ze signalizačního výstupu 022 vyrovnávací paměti 2. Testování obousměrné vstupní a výstupní sběrnice je možné realizovat postupným vystavováním logických hodnot na výstupní řídicí signály a sledováním odezev na řídicích signálech vstupních. Postupným nabalováním dalších řídicích signálů

vstupních a výstupních se otestuje aparát, to je další výstupní řídící signály, nezbytný k ovládání multiplexorů pro redukci nestejného počtu vstupních a výstupních datových signálů. Přiváděním různých kombinací na výstupní datové signály lze navíc testovat vzájemné zkratky mezi jednotlivými datovými signály, případně poruchy typu trvalá úroveň logické nuly nebo trvalá úroveň logické jedničky. V případě, že obousměrná vstupní a výstupní sběrnice je bez závad, vyhodnotí výpočetní zařízení očekávaný signál, přivedený z vyrovnávací paměti 2 prostřednictvím budiče 1 obousměrné vstupní a výstupní sběrnice s využitím vlastní inteligence a o výsledku testu informuje operátora výpisem na obrazovce nebo prostřednictvím jiných indikačních prvků.

Vynálezu lze použít zejména při oživování a testování univerzálních výpočetních zařízení, jako jsou inteligentní terminály, stolní počítače, univerzální procesory a podobně.

Zapojení na testování obousměrné vstupní a výstupní sběrnice s vyrovnávací pamětí, vyznačené tím, že skupina datových vstupů a výstupů (11) budiče (1) obousměrné vstupní a výstupní sběrnice tvoří současně skupinu datových vstupů a výstupů (91) zapojení, skupina datových výstupů (011) budiče (1) obousměrné vstupní a výstupní sběrnice je připojena na skupinu datových vstupů (21) vyrovnávací paměti (2), skupina datových výstupů (021) vyrovnávací paměti (2) je připojena na skupinu datových vstupů (12) budiče (1) obousměrné vstupní a výstupní sběrnice, signalizační výstup (022) vyrovnávací paměti (2) je připojen na signalizační vstup (32) obvodu (3) kombinační a sekvenční logiky, nastavovací výstup (032) obvodu (3) kombinační a sekvenční logiky je připojen na nastavovací vstup (22) vyrovnávací paměti (2), kdežto jeho informační výstup (031) tvoří současně informační výstup (091) zapojení, řídicí vstup (31) obvodu (3) kombinační a sekvenční logiky tvoří současně řídicí vstup (92) zapojení, přepínací výstup (033) obvodu (3) kombinační a sekvenční logiky je připojen na přepínací vstup (13) budiče (1) obousměrné vstupní a výstupní sběrnice.

1 výkres

