

299398 85/05-236

申請日期	84.7.28
案 號	(第 84107841 號 分割案)
類 別	Int. C1 G01 R 31/26

A4
C4

299398

(以上各欄由本局填註)

發 明 專 利 說 明 書

修正本
修正日期：85年4月

一、發明 新型名稱	中 文	半導體試驗裝置
	英 文	SEMICONDUCTOR TESTING APPARATUS
二、發明 創作人	姓 名	(1) 寶迫孝弘 (2) 橋本純
	國 籍	日 本
	住、居所	(1) 日本國埼玉縣行田市1-8-24 (2) 日本國埼玉縣草加市弁天町320-48
三、申請人	姓 名 (名稱)	日商・前進測試股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國東京都練馬區旭町1丁目32番1號
	代 表 人 姓 名	大浦博

299398

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ☐有 ☐無主張優先權
1994.8.23 特願平6-220977
1995.6.19 特願平7-175532

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之詳細說明

本發明係有關半導體試驗裝置，具有圖形產生器，該圖形產生器能試驗在數據輸出時擁有等待時間動作的存儲設備。

第6圖為習知之存儲器試驗裝置的基本構成圖。在圖形產生器20中，圖形產生部22，利用預先被設定之演算法產生由位址信號，試驗數據及控制信號所構成之驅動圖形及期待值信號後，提供於被試驗存儲器10。另外，周期位移部21是將期待值信號按預先所設定之數週期性延遲後，當做期待值圖形輸出。波形產生器12是藉由預先被設定之波形方式，利用從圖形產生器20產生之驅動圖形及從同步產生器11產生之CLOCK而生成驅動波形後，加於被試驗存儲器10。被試驗存儲器10，因被加之驅動波形而輸出數據。輸出數據在邏輯比較器13中，比較由圖形產生器20產生的期待值圖形，及由同步產生器11輸至之STRB的同步信號，利用其一致，不一致而判定被試驗存儲器10之良否。

第7圖為，數據輸出時，等待時間動作為2周期之高速存儲設備的試驗動作時序圖。在此，等待時間動作之定義為，快速讀／寫動作時，和外部同步脈衝同步之半導體存儲器，在讀取動作時，從位址的輸入周期，延遲一固定周期後，輸出讀取數據之動作，周期之延遲是由，對象之半導體存儲器及外部同步脈衝的周波數決定。

驅動圖形經被CLOCK波形整形後，以驅動波形驅動被試驗存儲器10。等待時間動作為2周期之被試驗存儲器

(請先閱讀背面之注意事項再填寫本頁)

表

訂

頁

五、發明說明 (2)

10，將輸出數據延遲2周期後輸出。另外，期待值信號在周期位移部21延遲2周期後，當做期待值圖形，輸出於邏輯比較器13。邏輯比較器13使用STRB的同步來比較輸出數據及期待值圖形，以判定良否。

圖形產生器20的動作頻率低於被試驗存儲器10的動作頻率時，如第8圖所示，以具有複數的圖形產生器來對應裝置之動作頻率。例如，使用動作頻率為L之圖形產生器20來試驗動作頻率M之被試驗存儲器10時，當 $M > L$ 時，為使 $M \leq N \times L$ ，而使用N台的圖形產生器20。N台的圖形產生器20並列處理1到n階段的驅動圖形及期待值圖形後，各驅動圖形被提供於波形整形器112，各期待值圖形被提供於邏輯比較器113。波形整形器112合成各驅動圖形及對應各階段的驅動圖形的CLOCK而產生之周波數M之驅動波形後，加於被試驗存儲器10。邏輯比較器113使用STRB之頻率M來判定各期待值圖形及對應各期待值圖形的輸出數據之良否。

第9圖為一般無等待時間動作之場合，使用N個圖形產生器20的動作時序圖。該場合，被試驗存儲器10對圖形產生器20的1周期做n周期的動作。驅動圖形從圖形產生器1到圖形產生器n的各圖形產生器20，以圖形產生器20之周期被輸出到波形整形器112。同步產生器11輸出CLOCK在被試驗存儲器10的動作周期，選擇被波形整形器112輸入之驅動圖形，提供驅動波形給被試驗存儲器10。另外期待值圖形將從圖形產生器1到圖形產生器N之各個圖形產

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

製

五、發明說明 (3)

生器 20，以圖形產生器 20 的周期，被輸出到邏輯比較器 113。同步產生器 11 輸出之 STRB，在被試驗存儲器 10 之動作周期，比較被試驗存儲器 10 輸出之輸出數據及期待值圖形，來判定良否。

第 10 圖為使用 N 台圖形產生器 20 做試驗之場合時，在各圖形產生器 20 的周期位移部 21，使之 1 周期位移時的時序圖。該場合，對圖形產生器 20 的 1 周期，被試驗存儲器 10 將有 n 周期之動作。驅動圖形將以從圖形產生器 1 到圖形產生器 N 之圖形產生器 20 產生之圖形產生器 20 的波形，被輸出於波形整形器 112。從同步產生器 11 輸出之 CLOCK 是在被試驗存儲器 10 的動作周期，選擇被輸入於波形整形器 112 的驅動圖形後，提供驅動圖形給被試驗存儲器 10。另外，從圖形產生器 22 輸出之期待值信號是以，圖形產生器 1 到圖形產生器 N 之各圖形產生部 22 之圖形產生器 20 的周期，而被輸出於周期位移部 21。將周期位移部設定為 1 表示從圖形產生器 20 產生之期待值圖形在被試驗存儲器 10 之周期，位移了 n 周期。

因此，使用 N 台的圖形產生器 20 時，在周期位移部 21 設定之值，在被試驗存儲器 10 的周期時，變為設定值之 N 倍，周期延遲的值只能設定為 N 之倍數。此為動作周波數為 M 之被試驗存儲器 10 及動作周波數為 L 之圖形產生器 20 的動作周波數的關係為 $M > L$ ，為使 $M \leq N \times L$ 必須使用 N 台圖形產生器時，輸出數據的周期延遲為 N 的倍數以外之值的被試驗存儲器 10 的期待值圖形將無法產生。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

五、發明說明 (4)

在第10圖為D1到Dn-1之間，期待值圖形為不確定，在Dn使用D1的期待值圖形E1來被比較，期待值圖形的周期和輸出數據的同步不相符合。

本發明之目的係使用複數的圖形產生器試驗時，能試驗具有任意周期的等待時間動作之存儲裝置之半導體試驗裝置。為達成上述目的，本發明的半導體試驗裝置的構成如下。

由在從周期產生器231所產生之圖形產生器的動作周期中，產生驅動圖形及期待值信號之圖形產生部22；及，圖形產生器的動作周期中，將期待值信號位移之周期位移部21所構成之複數的圖形產生器20，利用該圖形產生器20所構成之半導體試驗裝置中，設置輸入為複數的驅動圖形，利用同步產生器211產生之被試驗存儲器的動作周期的CLOCK信號，向被試驗存儲器10輸出驅動波形之波形整形器212；設置輸入從複數的圖形產生器20供應之期待值位移信號，藉由周期產生器產生之被試驗存儲器的動作周期的RATE，位移上述期待值位移信號後，產生期待值圖形之複數的相位變換器232；設置藉由周期產生器231所產生之被試驗存儲器的動作周期的信號，位移產生STRB信號之同步產生部233；及，僅位移圖形產生器的數N的範圍內的周期延遲數之STRB信號之同步位移部234所構成之複數的同步發生器211；及設置從被試驗存儲器10產生之周期延遲之輸出數據，利用複數的同步產生器211輸出之STRB信號，和從複數的相位變換器輸出之期待值圖形做比較後

(請先閱讀背面之注意事項再填寫本頁)

表

訂

頁

五、發明說明 (5)

判斷良否之邏輯比較器 213。

如上述構成之半導體試驗裝置，使用複數的圖形產生器試驗時，對於具有任意的周期的等待時間動作之存儲裝置，因使圖形產生器之期待值信號的周期延遲和同步產生器的 STRB 信號產生延遲，試驗裝置的動作頻率低於被試驗裝置的動作頻率時之等待時間動作時的裝置之試驗使之成為可能。

圖式之簡單說明

第 1 圖為本發明實施例之半導體試驗裝置的電路方塊圖。

第 2 圖為本發明實施例之周期延遲 1 之情形之時序圖。

第 3 圖為本發明實施例之周期延遲 1 之情形之時序圖。

第 4 圖為本發明的實施例之周期延遲 5 之情形之時序圖。

第 5 圖為本發明的實施例之周期延遲 5 之情形之時序圖。

第 6 圖為習知存儲器試驗裝置的基本構成圖。

第 7 圖為習知圖形產生器為 1 個時，具有等待時間動作之存儲器裝置的試驗動作時序圖。

第 8 圖為習知使用複數個圖形產生器之存儲器試驗的電路方塊圖。

第 9 圖為習知使用複數個圖形產生器而無等待時間動

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

作時的動作時序圖。

第10圖為使用習知複數個圖形產生器，使之周期位移時的時序圖。

參照圖式說明本發明實施例。

第1圖為本實施例的方塊圖。該電路之構成係：在從周期產生器231所產生的圖形產生器的動作周期，產生驅動圖形及期待值信號之圖形產生部22和將期待值信號在圖形產生器的周期使之位移之同步位移部21所構成複數的圖形產生器20；輸入複數的驅動圖形，利用同步產生211所輸出CLOCK信號，在對被試驗存儲器10以被試驗存儲器的動作周期輸出驅動波形之波形整形器；輸入由複數的圖形產生器20所輸出之期待值位移信號，藉由從周期產生器231所產生之RATE信號，在被試驗存儲器的動作周期相位，逐次的使之位移產生各期待值圖形之複數的相位變換器232；藉由周期產生器231所產生之信號，在被試驗存儲器的動作周期的相位，逐次位移之同步產生部233，及產生僅位移圖形產生器的數N範圍內周期延遲的周期之STRB信號的同步位移器234所構成之複數的同步產生器211；及，將從被試驗存儲器10所產生，且周期延遲後之輸出數據，與從相位變換器232所輸出之複數的期待值圖形，及從複數的同步產生器211所輸出之複出的STRB信號時序比較後，判斷良否之邏輯比較器213。

試驗裝置的動作頻率，且是圖形產生器20的頻率為L，被試驗存儲器的動作頻率為M，在 $M > L$ 之關係時，為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

京

五、發明說明 (7)

了判定被試驗存儲器之良否，需要 $M \div L \leq N$ 個的圖形產生器 20 及同步產生器 211。各圖形產生器 20 所產生之驅動圖形，通過波形整形器，被當作驅動圖形而被加於被試驗存儲器 10。另外，在等待時間動作下，輸出數據將延遲周期延遲 D。

對此，期待值圖形做 $D \div N$ 之演算後，將商值 d 在周期位移部 21 位移後，從圖形產生器 20 以期待值位移信號而被輸出。被輸出之期待值位移信號經相位變換器 232，與從周期產生器 231 所輸出之 RATE 信號同步，各加以位移後，以期待值圖形信號被輸出。

被加於邏輯比較器 213 之各同步產生器 211 所產生的 STRB 信號，則在 $D \div N$ 之演算，其餘數為 e，被試驗存儲器 10 的周期為 T_M 時，產生 $e \times T_M$ 之延遲。

依此，在邏輯比較器 213，輸出數據及各信號存在於同樣周期，各 STRB 信號因存在於各對應之期待值信號內，所以對各期待值圖形，能加以判定良否。

第 2 圖及第 3 圖為使用 N 台圖形產生器 20 做試驗時，周期延遲為 1 之時序圖。

此時，從各圖形產生器 20 所產生之驅動圖形，經由波形整形器 212，以驅動波形而被加於被試驗存儲器 10。在等待時間動作下，輸出數據僅延遲 D 周期延遲，在此場合，延遲 1 週期。

對此，期待值圖形做 $D \div N$ 演算後，僅商值 d 在周期位移部 21 做位移後，從圖形產生器 20 以期待值位移信號被輸

(請先閱讀背面之注意事項再填寫本頁)

表

訂

象

五、發明說明 (8)

出。被輸出之期待值位移信號，經由相位變換器 232，與周期產生器 231 所輸出之 RATE 信號同步後，各加以位移，以期待值信號而被輸出。此場合因 $d=0$ ，所以期待值位移信號無位移，與 RATE 信號同步，加以位移後，以期待值圖形信號而被輸出。

被加於邏輯比較器 213 之各同步產生器 211 所產生之 STRB 信號，在 $D \div N$ 演算，其餘值為 e ，被試驗存儲器 10 的周期為 T_M 時，將產生各個 $e \times T_M$ 之延遲。在此場合，因 $e=1$ 所以延遲 T_M 各 1 周期後，可產生 STRB 信號。

在邏輯比較器 213，輸出數據及 STRB 信號存在同樣之同步，各 STRB 信號存在於各對應期待值圖形信號內，所以對各期待值圖形，能加以判定良否。

第 4 圖及第 5 圖為使用 4 台圖形產生器做試驗之場合，周期延遲為 5 之時序圖。

該場合，從各圖形產生器所產生之驅動圖形，利用波形整形器 212，以驅動圖形被加於被試驗存儲器 10。在等待時間動作下，輸出數據在僅延遲 D 周期後被產生。在此場合，延遲 5 周期後被產生。

對此，期待值圖形，在做 $D \div N$ 演算後，僅商值 d 在周期位移部 21 位移後，從圖形產生器 20 當做期待值位移信號被輸出。被輸出之期待值位移信號，經由位相變換 232，與周期發生器 231 輸出之 RATE 信號同步後，各加以位移後，被當做期待值圖形信號輸出。在該場合，因 $D=5$ ， $N=4$ ， $d=1$ ，所以存在期待值位移信號之位移，期待值位移信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明 (9)

號將延遲圖形產生器的動作周期 1 周期後，與 RATE 信號同步，各加以位移後，被當做期待值圖形信號輸出。

被加於邏輯比較器 213 之各同步產生器 211 的 STRB 信號，在 $D \div N$ 之餘值為 e ，被試驗存儲器 10 的周期為 T_M 時，各延遲 $e \times T_M$ 後被產生。在此場合， $D=5$ ， $N=4$ ， $e=1$ ，所以各 T_M 延遲 1 周期後，可產生 STRB 信號。

藉此，在邏輯比較器 213，輸出數據及各 STRB 信號存在於同樣之周期，各 STRB 信號存在於各對應期待值圖形信號內，所以，對各期待值圖形能判定良否。

本發明之實施例，其構成為以上之說明，故能達成以下記載之效果。

也就是說，使用複數個圖形產生器試驗時，對具有任意周期等待時間動作之存儲裝置，因延遲圖形產生器之期待值信號的周期同步及周期產生器之 STRB 信號，所以在試驗裝置的動作頻率低於被試驗裝置的動作頻率時之等待時間動作時之裝置的試驗為可能且有效。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

京

四、中文發明摘要(發明之名稱： 半導體試驗裝置)

本發明係提供一種使用複數的圖形產生器試驗時，能試驗具有任意周期等待時間動作之存儲裝置之圖形產生器。實施例，設置由產生驅動圖形及期待值信號之圖形產生部22，和由位移期待值信號之周期位移部21所構成之圖形產生器20；設置利用CLOCK信號，向被試驗存儲器10輸出驅動波形之波形整形器212；設置相位變換器232；設置由逐次位移之同步產生部233，及由產生等待時間動作，而僅位移STRB之周期數之同步位移部234，所構成之同步產生器211；及，設置被試驗存儲器10所產生之已周期延遲後之輸出數據，和期待值圖形，利用STRB信號比較，以判定良否之邏輯比較器213。

英文發明摘要(發明之名稱： SEMICONDUCTOR TESTING APPARATUS)

The invention provides a pattern generating apparatus capable of testing a memory device having a random cycle latency action for use in a test to be conducted by a plurality of the pattern generating devices. In Embodiment pattern generating portion 22 to produce a driver pattern and a latent signal, and a cycle shift portion 21 to shift the latent signal; a waveform shaping means 212 for outputting, via a clock signal, a driver waveform to a tested memory device 10; a phase transforming means 232; a timing generating means 211 which has a timing generating portion 233 for sequentially shifting and a timing shift portion 234 to generate the STRB signal of the cycle number of the shift only according to the latency action; and a logic comparator 213 to compare the one cycle-delayed output data of the tested memory device 10 and the latent pattern with the STRB signals so as to judge whether or not the quality is good.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

一種半導體試驗裝置，係由複數之圖形產生器(20)所構成，而該等圖形產生器係由：從周期產生器(231)所產生之圖形產生器的動作周期下，產生驅動圖形及期待值信號之圖形產生部(22)；及，在圖形產生器的動作周期下，位移期待值信號之周期位移部(21)所構成，其特徵在於：設有輸入複數的驅動圖形，利用從同步產生器(211)所產生之被試驗存儲器動作周期之CLOCK信號，向被試驗存儲器(10)輸出驅動波形之波形整形器(212)；輸入由複數的圖產生器(20)所供應的期待值位移信號，藉由周期產生器(231)所產生之被試驗存儲器動作周期的RATE信號，位移前述期待值位移信號後，產生期待值圖形之複數的相位變換器(232)；利用由周期產生器(231)所產生之被試驗存儲器動作周期的信號，位移STRB信號後產生之同步產生部(233)，和產生僅位移圖形產生器的數N範圍內的周期延遲後之STRB信號之同步位移部(234)所構成複數的同步發生器(211)；及，從被試驗存儲器(10)所產生已周期延遲之輸出數據，利用複數的同步產生器(211)所輸出之STRB信號，與複數的相位變換器(232)所輸出之期待值圖形比較，以判定良否之邏輯比較器(213)。

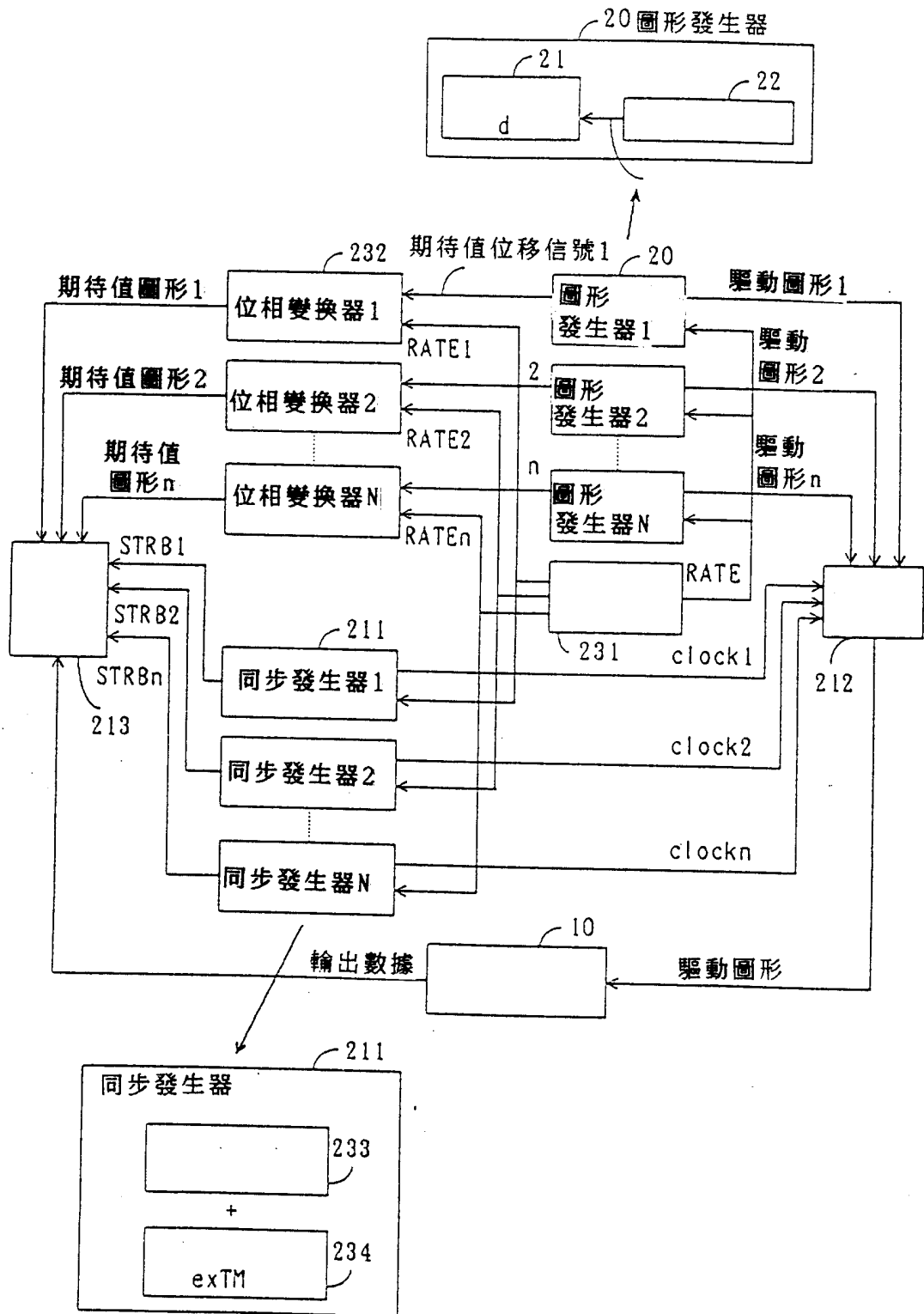
(請先閱讀背面之注意事項再填寫本頁)

訂

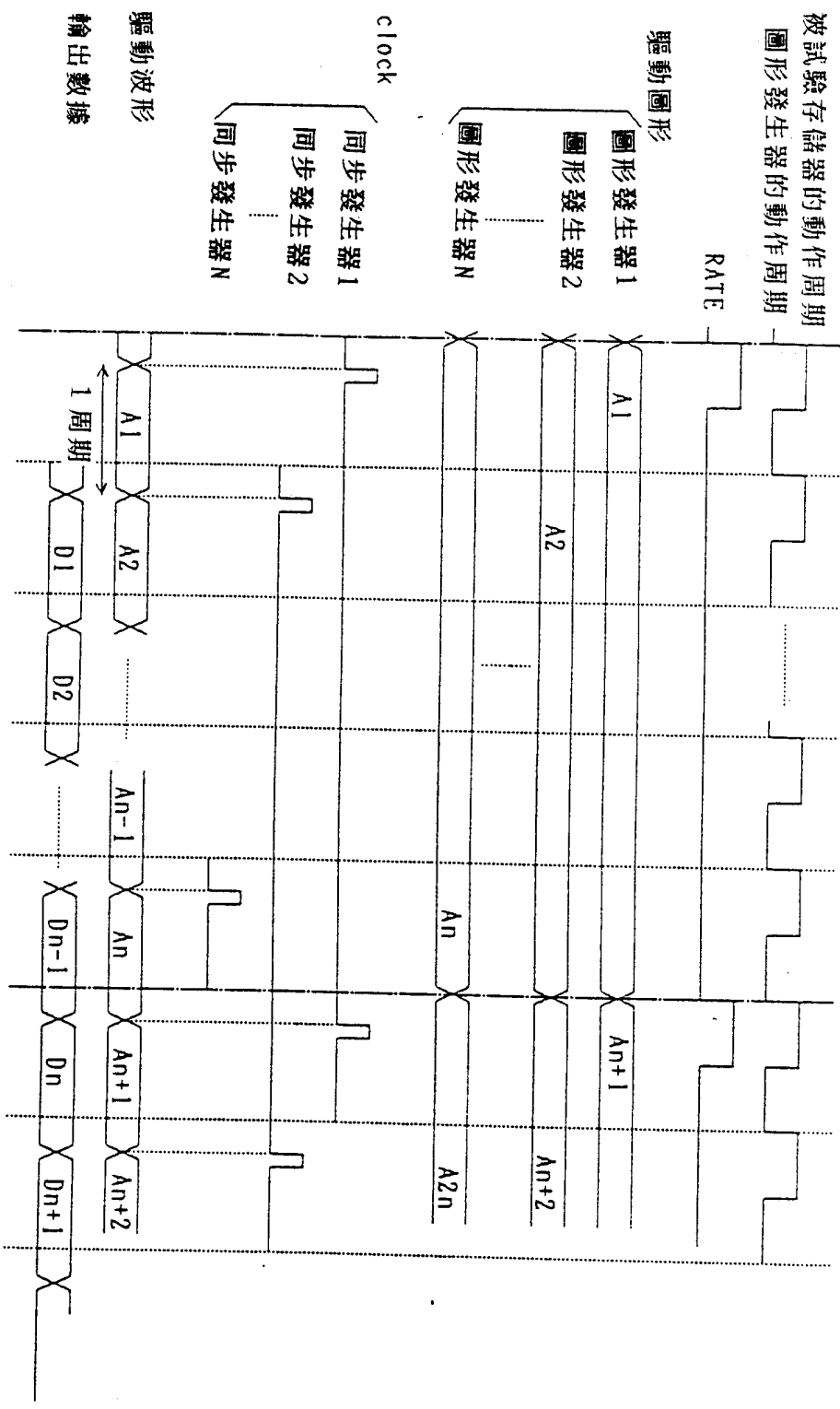
85105236

第84107841號
分割案圖式

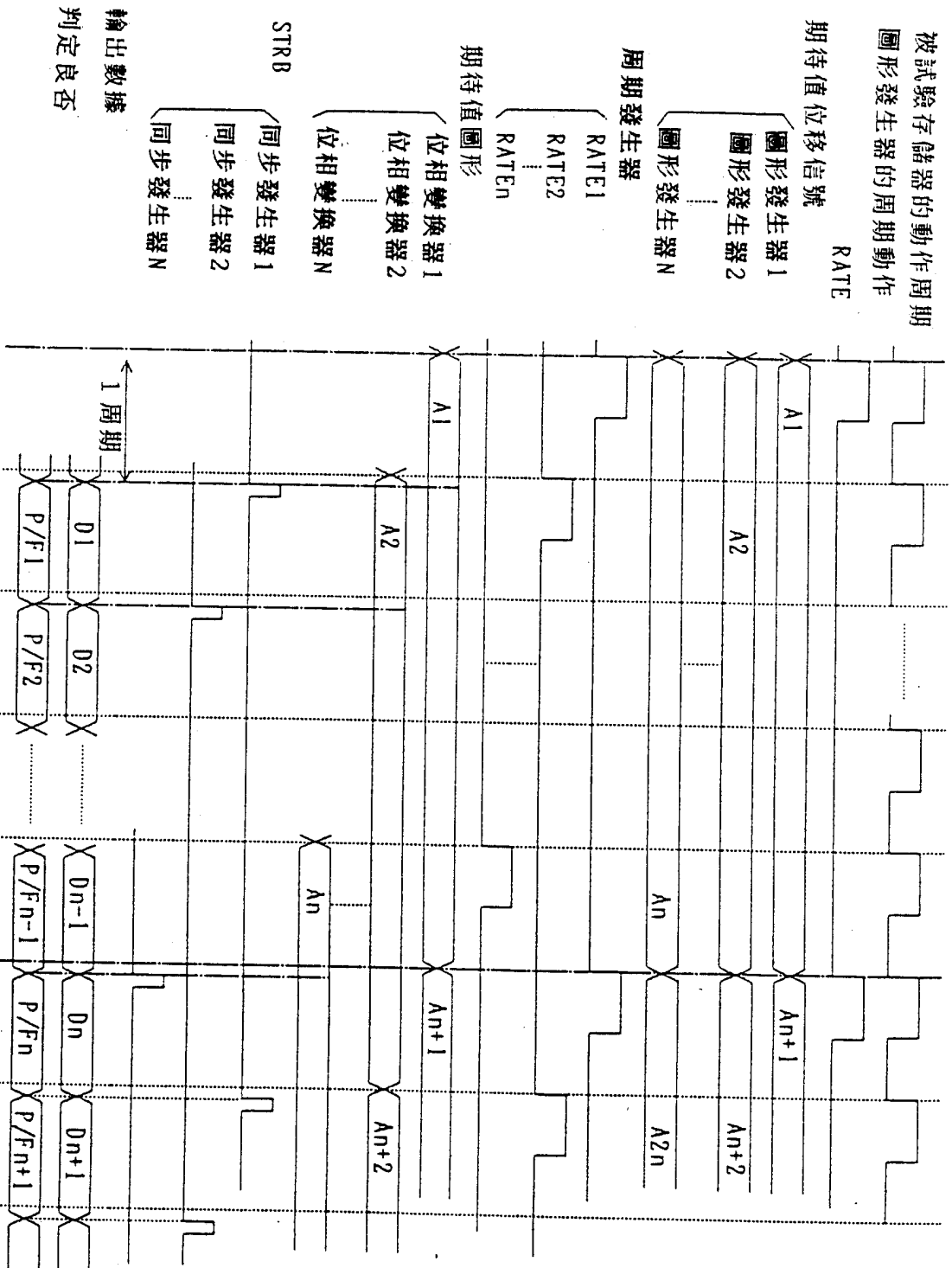
第 1 圖



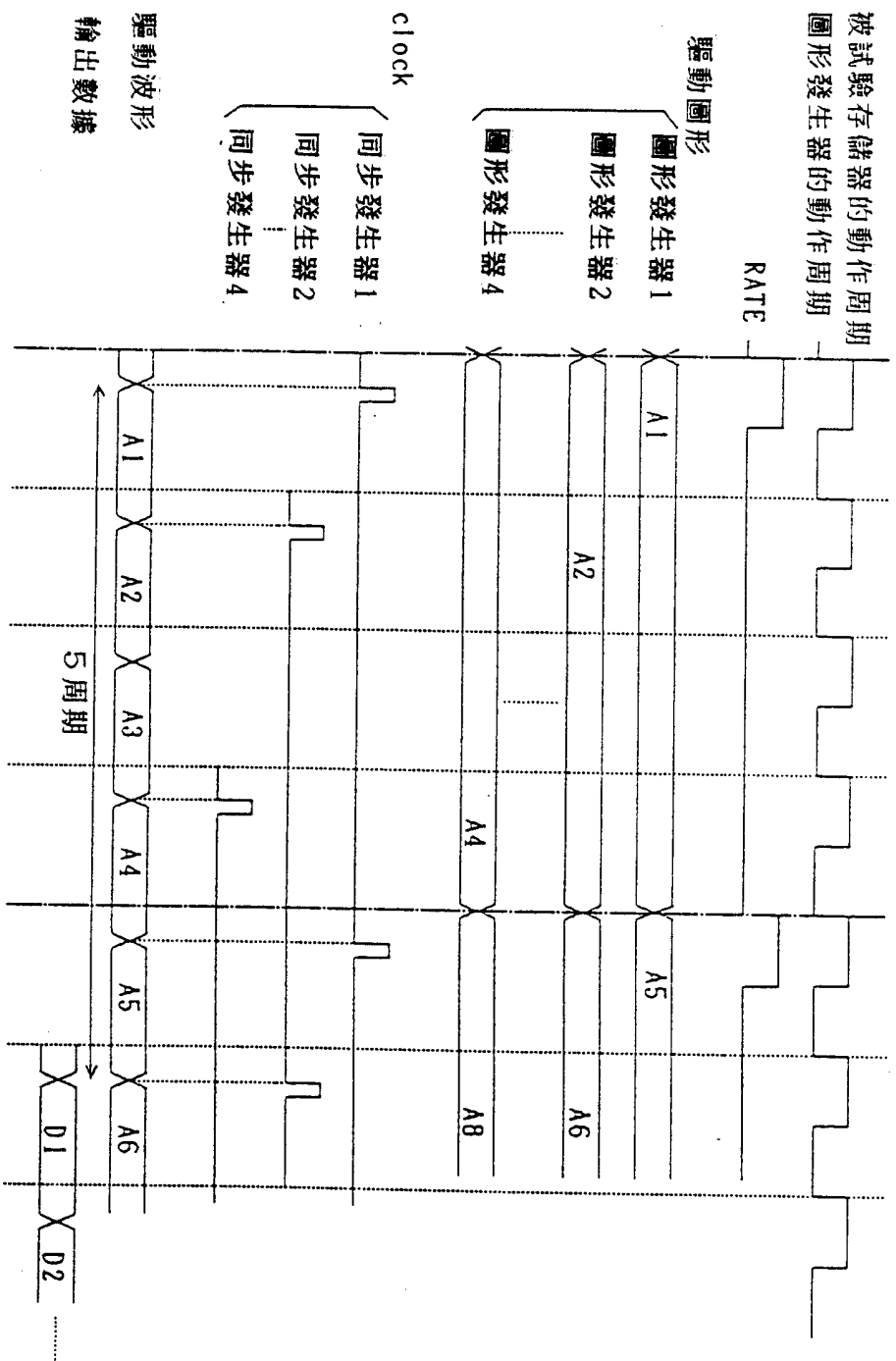
第 2 圖



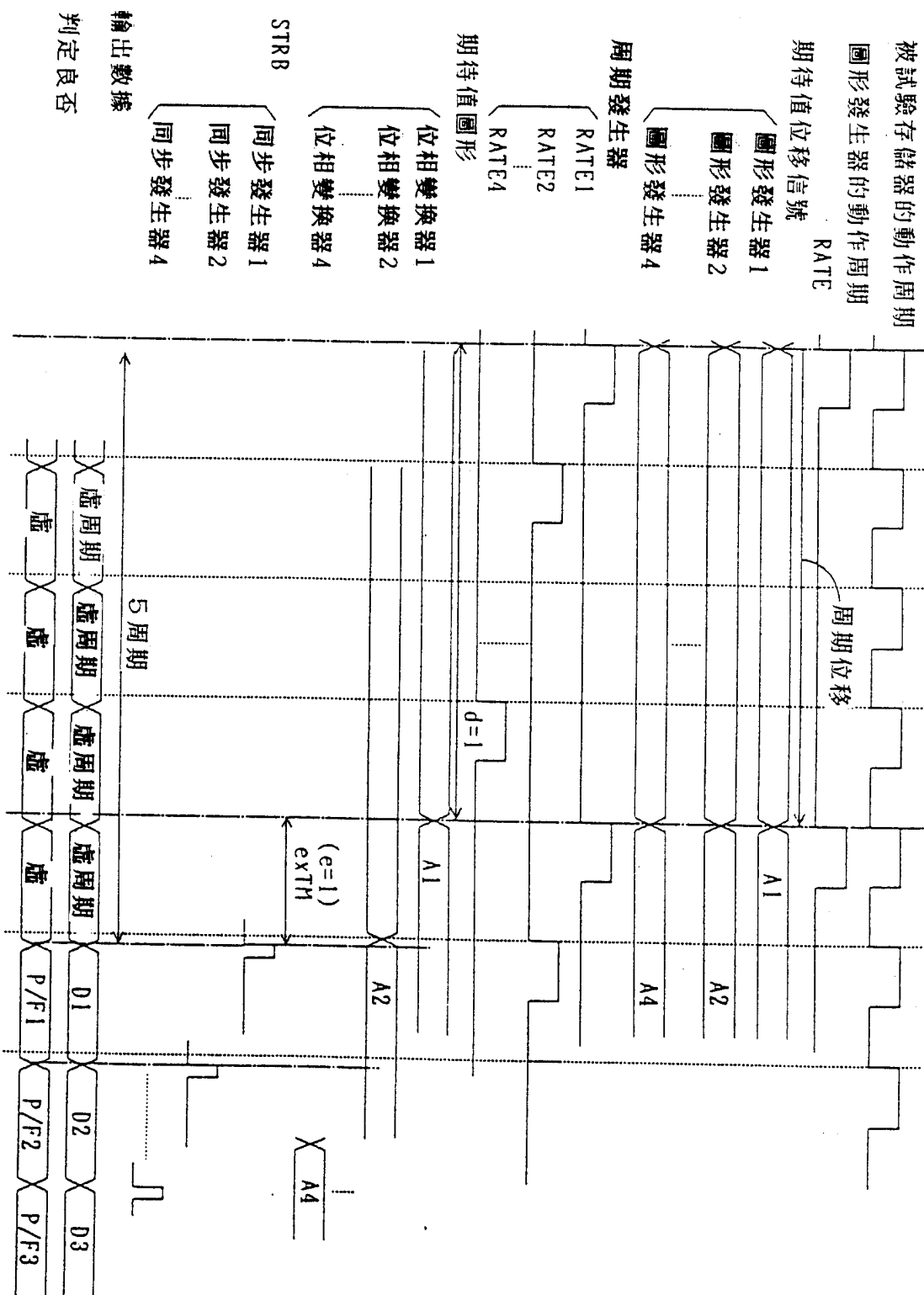
第 3 圖



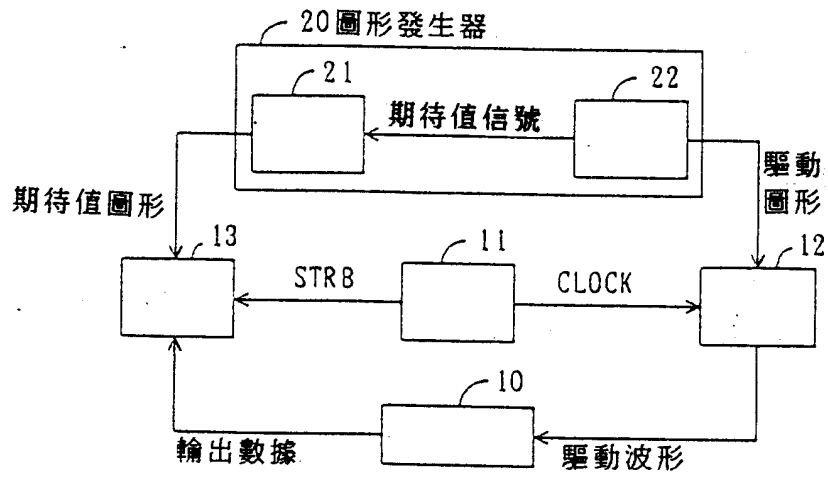
第 4 圖



第 5 圖



第 6 圖



第 7 圖

動作周期

驅動圖形

CLOCK

驅動波形

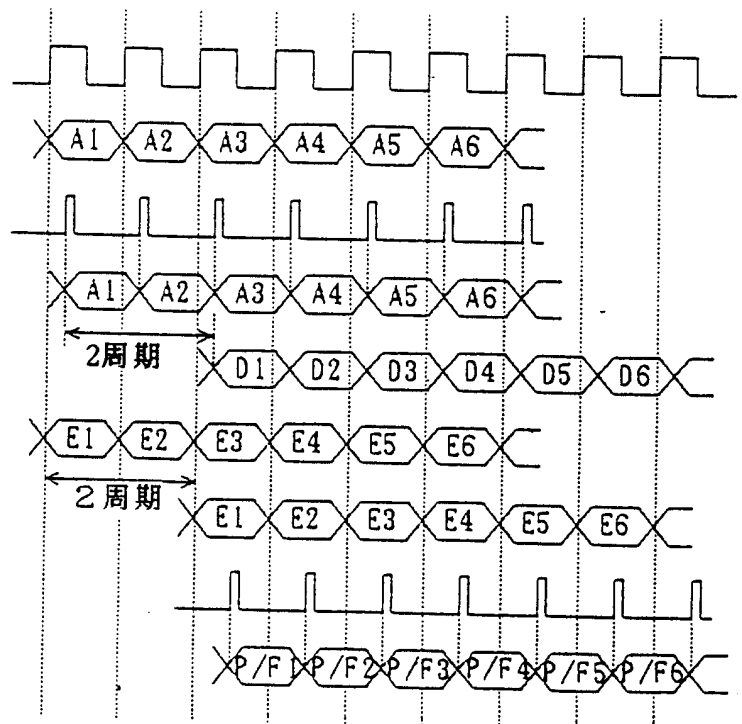
輸出數據

期待值信號

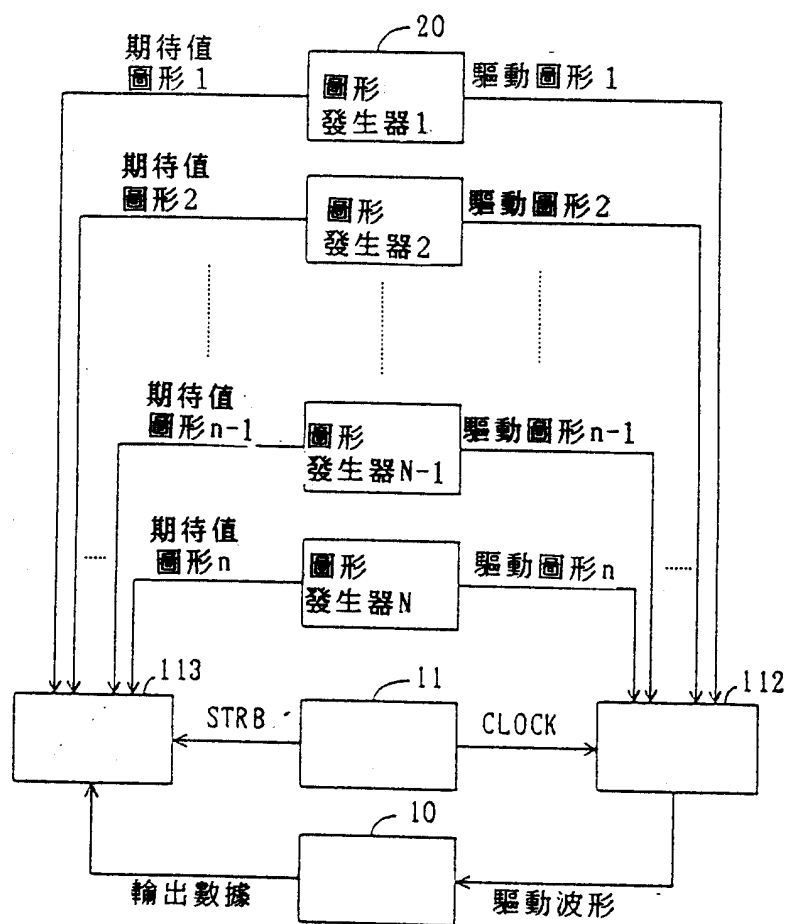
期待值圖形

STRB

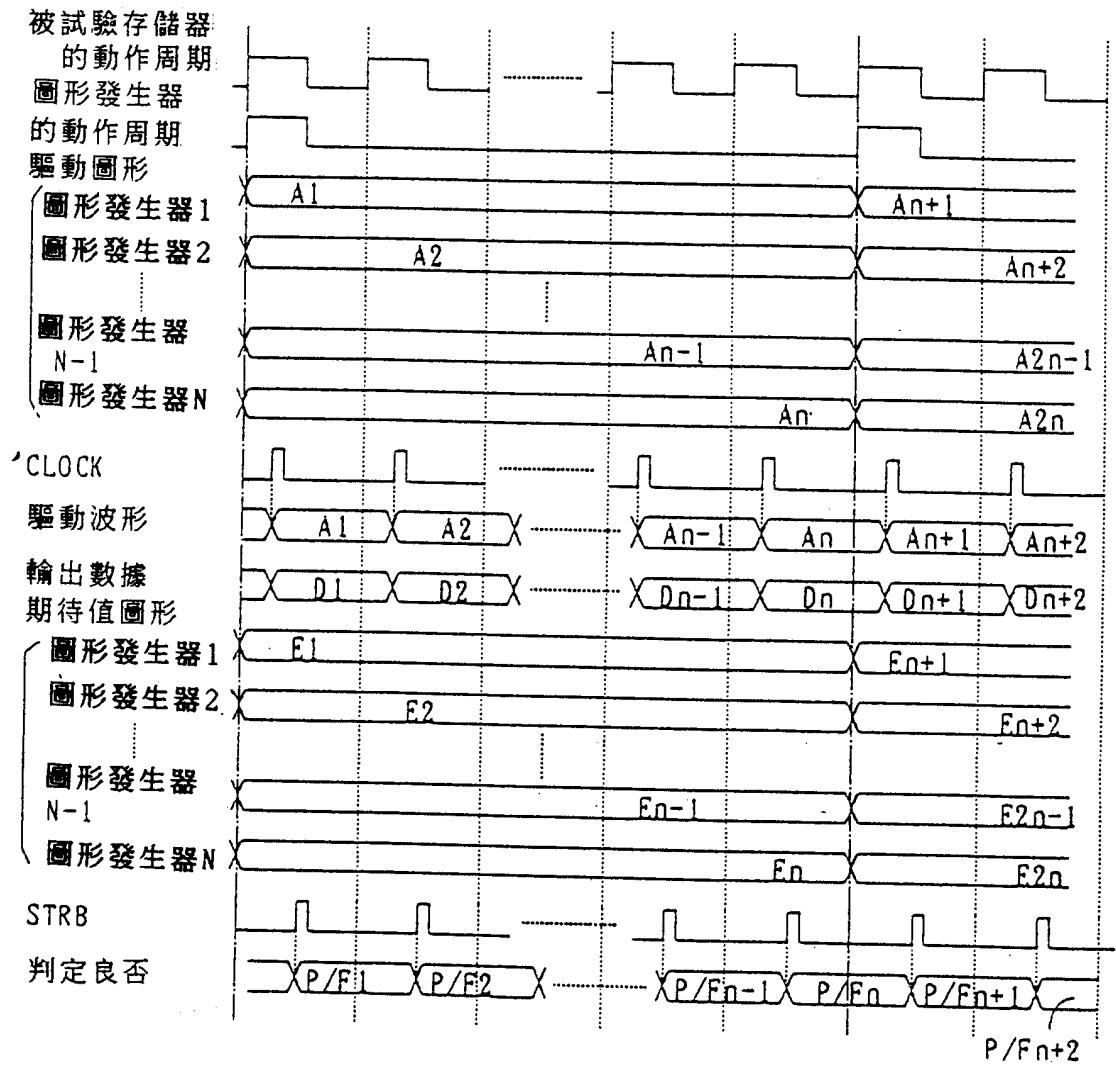
判定良否



第 8 圖



第 9 圖



第10圖

