

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-55731

(P2010-55731A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 A	5 F 0 8 3
H 0 1 L 27/10 (2006.01)	H 0 1 L 27/10 4 5 1	5 M 0 2 4
H 0 1 L 21/8242 (2006.01)	H 0 1 L 27/10 6 0 1	
H 0 1 L 27/108 (2006.01)	H 0 1 L 27/10 4 6 1	
G 1 1 C 14/00 (2006.01)	G 1 1 C 11/34 3 5 2 A	
審査請求 未請求 請求項の数 9 O L (全 14 頁)		

(21) 出願番号	特願2008-222943 (P2008-222943)	(71) 出願人	500174247
(22) 出願日	平成20年8月29日 (2008. 8. 29)		エルピーダメモリ株式会社
			東京都中央区八重洲2-2-1
		(74) 代理人	100110881
			弁理士 首藤 宏平
		(72) 発明者	梶谷 一彦
			東京都中央区八重洲二丁目2番1号 エル
			ピーダメモリ株式会社内
		(72) 発明者	梯 英一郎
			東京都中央区八重洲二丁目2番1号 エル
			ピーダメモリ株式会社内
		Fターム(参考)	5F083 AD11 FZ10 GA05 GA27 JA02
			JA06 KA06 LA06 LA10 ZA10
			ZA14 ZA20
			5M024 AA94 CC07 HH16 KK33 LL01
			PP01 PP03 PP07

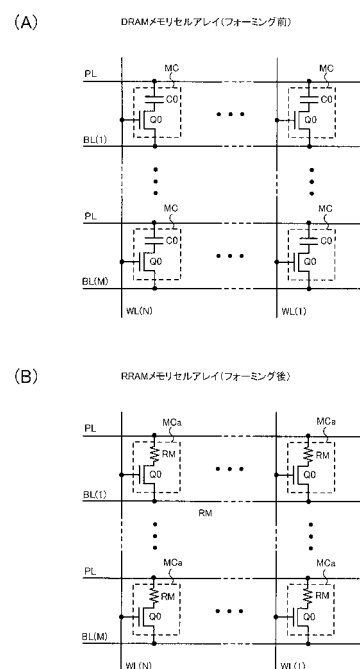
(54) 【発明の名称】 半導体記憶装置及び情報処理システム

(57) 【要約】

【課題】 DRAMメモリセルアレイを自在に不揮発性メモリセルアレイに変更可能な半導体記憶装置を提供する。

【解決手段】 本発明の半導体記憶装置のメモリセルアレイには、誘電体材料を2つの電極で挟んだ構造をそれぞれ有する複数の第1メモリセルMCがアレイ状に配置され、指定可能な複数の領域に区分されている。メモリセルアレイの中から選択的に指定された領域において第1メモリセルMCに対するフォーミングが実行され、不揮発性の第2メモリセルMC aに変更される。これにより、DRAMメモリセルアレイと不揮発性のRRAMメモリセルアレイを混載し、製造後に任意に領域を設定可能な半導体記憶装置を実現することができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

誘電体材料を 2 つの電極で挟んだ構造をそれぞれ有する複数の第 1 メモリセルがアレイ状に配置され、指定可能な複数の領域に区分されたメモリセルアレイと、

前記メモリセルアレイの前記複数の領域から選択的に指定された領域において、各々の前記第 1 メモリセルに対するフォーミングを実行して不揮発性の第 2 メモリセルに変更するように制御するフォーミング制御部と、

を備えることを特徴とする半導体記憶装置。

【請求項 2】

前記第 1 メモリセルに対するフォーミングに際し、前記 2 つの電極の間に所定の電圧を印加することにより前記誘電体材料に導電性パスが形成されることを特徴とする請求項 1 に記載の半導体記憶装置。

10

【請求項 3】

前記第 1 メモリセルは、蓄積電荷に応じて情報を保持するキャパシタを有し、前記第 2 メモリセルは、抵抗値の大小に応じて情報を保持する抵抗素子を有することを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】

前記第 1 メモリセルが配置された領域は D R A M メモリセルアレイとして機能し、前記フォーミングにより前記第 1 メモリセルが前記第 2 メモリセルに変更された領域は不揮発性の R R A M メモリセルアレイとして機能することを特徴とする請求項 3 に記載の半導体記憶装置。

20

【請求項 5】

前記第 1 メモリセル又は前記第 2 メモリセルから読み出されてビット線に伝送される信号を増幅するセンスアンプ回路をさらに備え、前記センスアンプ回路は、前記 D R A M メモリセルアレイと前記 R R A M メモリセルアレイの両方に対して共用されることを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】

前記誘電体材料として、遷移金属酸化物、アルミニウム酸化物、シリコン酸化物のいずれか、あるいはそれらの混合材料が用いられることを特徴とする請求項 1 に記載の半導体記憶装置。

30

【請求項 7】

前記遷移金属酸化物が、チタン酸化物、ニッケル酸化物、イットリウム酸化物、ジルコニウム酸化物、ニオブ酸化物、ランタン酸化物、ハフニウム酸化物、タンタル酸化物、タングステン酸化物のいずれか、あるいはそれらの混合材料を含むことを特徴とする請求項 6 に記載の半導体記憶装置。

【請求項 8】

請求項 1 に記載の半導体記憶装置と、前記半導体装置に記憶された情報を用いて処理を実行するプロセッサとを備えることを特徴とする情報処理システム。

【請求項 9】

前記選択的に指定された領域における前記フォーミングは、前記半導体記憶装置のシステム搭載後に実行されることを特徴とする請求項 8 に記載の情報処理システム。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、誘電体材料を 2 つの電極で挟んだキャパシタに情報を記憶するメモリセルを用いた半導体記憶装置に関し、特に、上記のキャパシタを有する複数のメモリセルを含むメモリセルアレイの任意の領域において、メモリセルのキャパシタに対するフォーミングを実行する構成を備えた半導体記憶装置に関するものである。

【背景技術】

50

【0002】

従来、半導体記憶装置として代表的なD R A M(Dynamic Random Access Memory)が広く利用されている。D R A Mのメモリセルは、誘電体材料からなるキャパシタを用いて構成される。一方、半導体記憶装置として、多様な不揮発性R A Mの研究開発が進められている。不揮発性R A Mとしては、可変型の抵抗素子を用いたR R A M(Resistance Random Access Memory)を挙げることができる。一般に、情報処理システムにおいては、処理に用いるデータを一時的に記憶するD R A Mと、プログラムやテーブルデータを格納する不揮発性R A Mの両方を備えていることが望ましい。そして、このようなD R A Mと不揮発性R A Mの両方が同一チップに搭載された構成を採用すれば、機器の小型化や製造コストの面でメリットが大きい。

10

【0003】

D R A Mと不揮発性R A Mを混載した半導体記憶装置を実現するため、従来からD R A Mと不揮発性R A Mの製造プロセスに共通するメモリセル製造技術が知られている。例えば、特許文献1には、同じ構造の導電性酸化物電極上に、D R A Mに用いるメモリセルのキャパシタと不揮発性R A Mに用いるキャパシタを形成する技術が開示されている。また、特許文献2には、同じ構造の下部電極上とバリア層上に、D R A M用のメモリセルのキャパシタと不揮発性R A M用のキャパシタを形成する技術が開示されている。

【特許文献1】特開平7-94681号公報

【特許文献2】特開平9-82914号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0004】

しかしながら、上記各特許文献1、2にそれぞれ開示された技術のいずれを採用する場合であっても、D R A Mと不揮発性R A Mを同一チップに混載する際、誘電体膜の材質が異なるため、少なくとも双方の形成プロセスをシリーズに実行する必要がある。その結果、製造プロセスが複雑になるため歩留まりが低下しコストが増加するという問題がある。また、製造後にはD R A Mと不揮発性R A Mの領域を任意に設定できないため、多様なアプリケーションに柔軟に対応できないという問題がある。

【0005】

そこで、本発明はこれらの問題を解決するためになされたものであり、D R A Mメモリセルアレイと不揮発性R A Mメモリセルアレイとを混載し、その中の選択的に指定された領域に対してフォーミングを実行して自在に変更可能な半導体記憶装置を提供することを目的とする。

30

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明の半導体記憶装置は、誘電体材料を2つの電極で挟んだ構造をそれぞれ有する複数の第1メモリセルがアレイ状に配置され、指定可能な複数の領域に区分されたメモリセルアレイと、前記メモリセルアレイの前記複数の領域から選択的に指定された領域において、各々の前記第1メモリセルに対するフォーミングを実行して不揮発性の第2メモリセルに変更するように制御するフォーミング制御部とを備えて構成される。

40

【0007】

本発明の半導体記憶装置によれば、最初の段階では、複数の第1メモリセルを含むメモリセルアレイが構成され、そのうちの指定された領域に含まれる第1メモリセルに対しフォーミングを実行すると、第1メモリセルが不揮発性の第2メモリセルに変更される。よって、必要に応じて領域ごとに第1メモリセルと第2メモリセルが所定の比率で配置されるように構成でき、例えば、D R A Mと不揮発性R A Mが混載された半導体記憶装置を低いコストで提供することができる。

【0008】

本発明において、第1メモリセルをフォーミングする場合、例えば、誘電体材料を挟む

50

2つの電極の間に所定の電圧を印加する手法が採用される。これにより、誘電体材料に導電性パスが形成され、例えば、キャパシタを有する第1メモリセルを、抵抗素子を有する第2メモリセルに変更することができる。

【0009】

本発明の半導体記憶装置は、特に、プロセッサを備える情報処理システムに搭載することが有効である。この場合、半導体記憶装置をシステムに搭載した後に、フォーミングにより自在にメモリ構成を変更することができる。

【発明の効果】

【0010】

以上述べたように本発明によれば、半導体記憶装置のメモリセルアレイの所望の領域に対してフォーミングを実行することにより、DRAMメモリセルアレイを自在に不揮発性メモリセルアレイに変更することが可能となる。そのため、例えば、DRAMとRRAMを混載したチップを低コストで製造できるという効果がある。また、製造後にDRAMメモリセルアレイと不揮発性メモリセルアレイの領域を任意に設定可能であるため、多様なアプリケーションに柔軟に対応できるという効果がある。その結果、半導体記憶装置を搭載した各種の携帯型情報機器の部品点数を抑え、消費電力を削減し、良好なコストパフォーマンスを実現可能となる。

【発明を実施するための最良の形態】

【0011】

本発明の実施形態について図面を参照しながら説明する。以下では、DRAM用メモリセルアレイの任意の領域をRRAM用メモリセルアレイに変更可能な半導体記憶装置に対して本発明を適用する形態について説明する。

【0012】

図1は、本実施形態の半導体記憶装置の全体構成を示すブロック図である。図1に示すように、本実施形態の半導体記憶装置は、4個のメモリセルアレイ10と、各々のメモリセルアレイ10に付随するグローバルセンスアンプ列11、カラムデコーダ12、ロウデコーダ13を備えている。また、半導体記憶装置の全体の動作を制御する制御回路14と、メモリセルアレイ10における変更に関する情報を記憶するアレイ情報記憶部15と、外部との間でデータを入出力する入出力ポート16とが設けられている。

【0013】

以上の構成において、各々のメモリセルアレイ10は、複数のワード線と複数のビット線の交点に形成された多数のメモリセルを含んでいる。グローバルセンスアンプ列11は、選択されたメモリセルからビット線に読み出されてセンスアンプ（図1では不図示）を介してグローバルビット線に伝送される信号を選択的に増幅する複数のグローバルセンスアンプを含んで構成される。カラムデコーダ12は、指定されたカラムアドレスをデコードし、読み出し信号又は書き込み信号が伝送されるグローバルビット線を選択する。ロウデコーダ13は、指定されたロウアドレスをデコードし、選択されたメモリセルに接続されるワード線を選択する。

【0014】

一方、入出力ポート16を経由して、外部のコマンド、アドレス、データが制御回路14に入出力される。制御回路14は、入力されたアドレスのうち、カラムアドレスをカラムデコーダ12に送出し、ロウアドレスをロウデコーダ13に送出する。制御回路14の制御の下、メモリセルアレイ10の読み出しデータ又は書き込みデータがグローバルセンスアンプ列11と、制御回路14と、入出力ポート16を経由して入出力される。なお、制御回路14には、後述のフォーミングを実行制御するフォーミング制御部が含まれる。

【0015】

アレイ情報記憶部15には、メモリセルアレイ10のうちフォーミングにより変更すべき領域のアドレス情報が保持される。ここで、本実施形態の半導体記憶装置では、最初に4個のメモリセルアレイ10がDRAMメモリセルアレイとして製造される。そして、一部のメモリセルアレイ10にフォーミングを実行してRRAMメモリセルアレイに変更す

るために、入出力ポート16を経由して変更領域のアドレス情報が入力され、アレイ情報記憶部15にプログラムされる。アレイ情報記憶部15において、入出力ポート16を経由してフォーミング実行コマンドを受けたとき、制御回路14のフォーミング制御部に対しフォーミング対象のメモリセルアレイ10の指定信号を送出する。制御回路14では、アレイ情報記憶部15の指定信号に基づき、指定されたメモリセルアレイ10に付随するロウデコーダ13により全てのワード線が選択されるように制御し、変更対象のメモリセルアレイ10に対し後述の手順でフォーミングを実行する。

【0016】

次に図2は、本実施形態の半導体記憶装置において、メモリセルアレイ10に対するフォーミング実行前のDRAMメモリセルアレイと、メモリセルアレイ10にフォーミングを実行した後のRRAMメモリセルアレイのそれぞれの等価回路を比較して示す図である。図2(A)に示すように、DRAMメモリセルアレイのメモリセルMC(本発明の第1メモリセル)はワード線WLとビット線BLの各交点に配置され、選択NMOSトランジスタQ0とキャパシタC0からなる。なお、メモリセルMCの回路構成と動作については後述する(図3参照)。図2(A)に示すように、DRAMメモリセルアレイには、N本のワード線WL(1)~WL(N)とM本のビット線BL(1)~BL(M)が配置されるので、全部でM×N個のメモリセルMCが設けられている。各々のメモリセルMCは、キャパシタC0の一端が共通プレート線PLに接続され、後述するように共通プレート線PLの電位の制御によりフォーミングを実行することができる。

【0017】

図2(B)に示すように、フォーミング実行後のRRAMメモリセルアレイのメモリセルMCa(本発明の第2メモリセル)は、図2(A)と同様に配置され、選択NMOSトランジスタQ0と抵抗素子RMからなる。なお、メモリセルMCaの回路構成と動作については後述する。図2(B)において、N本のワード線WL(1)~WL(N)、M本のビット線BL(1)~BL(M)、共通プレート線PLについては、図2(A)と同様である。

【0018】

図2(A)のキャパシタC0を形成するための好適な材料としては、チタン酸化物、ニッケル酸化物、イットリウム酸化物、ジルコニウム酸化物、ニオブ酸化物、ランタン酸化物、ハフニウム酸化物、タンタル酸化物、タングステン酸化物などの遷移金属酸化物、あるいはそれらの混合材料、又はアルミニウム酸化物、シリコン酸化物、あるいはそれらの混合材料からなる誘電体材料が用いられる。そして、このような誘電体材料を2個の電極で挟んだ構造とすることによりキャパシタC0が形成される。

【0019】

また、図2(B)の抵抗素子RMは、複数のメモリセルアレイ10のうちの所定数のメモリセルアレイ10に対し、後述のフォーミングを実行して形成される。すなわち、上述の構造を有するキャパシタC0の誘電体中に、フィラメント等を用いて導電性パスを形成することにより抵抗素子RMが得られる。これらの導電性パスは低抵抗状態と高抵抗状態を不揮発に保持することが知られており、抵抗性の不揮発性RAM(一般にRRAMと呼ばれる)の情報記憶素子として使用される。

【0020】

本実施形態のRRAMメモリセルアレイに対しては、メモリセルMCaの抵抗素子RMの2つの端子間に印加する電圧の極性を変え、低抵抗状態と高抵抗状態との間を遷移させることによりデータを書き込むことができる。従って、共通プレート線PLに電源電圧VDDの半分の電圧VDD/2を供給し、ビット線BLを電源電圧VDD又はグランド電位VSSとして低抵抗状態と高抵抗状態に応じた書き込みを行うことができる。この場合の動作は、DRAMメモリセルアレイの書き込み動作と同様である。また、RRAMメモリセルアレイに対する読み出し動作は、後述するように抵抗素子RMに所定の電圧を印加して抵抗素子RMを流れる電流値をセンス増幅することにより行うことができる。

【0021】

図3は、本実施形態の半導体記憶装置にDRAMメモリセルアレイを構成する場合のメモリセル及びセンスアンプ回路の具体的な回路構成を示す図である。図3においては、1本のワード線WL及び1本のビット線BLと、それらの交点に配置される1つのメモリセルMCと、1つのセンスアンプ20と、1本のグローバルビット線GBLと、1つのグローバルセンスアンプ21と、グローバルビット線GBLの一端に設けられたNMOSトランジスタQ6、Q7と、上述のカラムデコーダ12及びロウデコーダ13とが示されている。

【0022】

図3において、DRAMメモリセルアレイのメモリセルMCは、選択NMOSトランジスタQ0と、蓄積電荷に応じて情報を保持するキャパシタC0とから構成されている。選択NMOSトランジスタQ0は、ゲートがワード線WLに接続され、ソースがビット線BLに接続され、ドレインがキャパシタC0の一方の端子に接続されている。キャパシタC0の他方の端子は、共通プレート線PLに接続されている。共通プレート線PLには、例えば、電源電圧VDDに対して $VDD/2$ となる電位が供給される。なお、フォーミングの実行時は、共通プレート線PLにフォーミング電圧VFCが供給される。図3では1つのメモリセルMCのみを示しているが、実際には各々のビット線BLに複数のメモリセルMCが接続される。これにより、各々のビット線BLには、図3に示すように寄生容量Cbが形成される。

【0023】

センスアンプ20は、4つのNMOSトランジスタQ1、Q2、Q3、Q4から構成されている。NMOSトランジスタQ1は、ゲートにビット線BLが接続され、ビット線BLの信号電圧をセンス・増幅してドレイン電流に変換する。NMOSトランジスタQ2は、ゲートにプリチャージ信号PCが印加され、プリチャージ信号PCがハイのときにビット線BLをグランド電位にプリチャージする。NMOSトランジスタQ3は、ゲートに印加される制御信号REに応じて、NMOSトランジスタQ1のドレインとグローバルビット線GBLとの間の接続を切り換え制御する。NMOSトランジスタQ4は、ゲートに印加される制御信号WEに応じて、ビット線BLとグローバルビット線GBLとの間の接続を切り換え制御する。

【0024】

図3において、ビット線の寄生容量Cbは、例えば、10fF程度の大きさである。また、メモリセルMCのキャパシタC0の容量は、例えば、5fF程度の大きさである。そのため、メモリセルMCの読み出し動作に際し、キャパシタC0の容量と、ビット線BLの寄生容量Cbとからなる伝送路のチャージシェアにより、ビット線BLに信号電圧が読み出される。従って、読み出し動作時に、メモリセルMCのNMOSトランジスタQ0をオンにしてチャージシェアが開始され、数ns後のビット線BLの電位にキャパシタC0に蓄積された電荷の有無に応じて十分な差が得られる。そのため、センスアンプ20のセンス期間をこの数nsまでの範囲内に設定することにより、NMOSトランジスタQ1によるセンス増幅動作を完了させるのに十分なマージンを持たせることができる。このような動作原理から、ビット線BLに接続されるメモリセルMCの個数は、チャージシェアによって必要な信号電圧が得られる範囲内に設定することが望ましい。

【0025】

各々のグローバルビット線GBLの一端には、グローバルセンスアンプ21が接続されている。グローバルセンスアンプ21は、センスアンプ20を介してグローバルビット線GBLを伝送される信号をラッチし、そのレベルを2値で判定する。また、NMOSトランジスタQ6は、ゲートにプリチャージ信号PCが印加され、プリチャージ信号PCがハイのときにグローバルビット線GBLを電源電圧VDDにプリチャージする。図3には示されないが、実際には所定数のビット線BLの中から選択されたビット線BLがセンスアンプ20を介してグローバルビット線GBLに接続される。なお、図3に示すように、各々のグローバルビット線GBLには、寄生容量Cgbが形成される。

【0026】

NMOSトランジスタQ7は、ゲートに印加されるカラム選択信号YSに応じて、グローバルビット線GBLとI/O線との間の接続を切り換え制御する。読み出し動作時は、グローバルセンスアンプ21からの読み出しデータがNMOSトランジスタQ7を介してI/O線に転送され、外部回路（不図示）に出力される。書き込み動作時は、外部回路から入力された書き込みデータがI/O線を伝送され、NMOSトランジスタQ7を介してグローバルセンスアンプ21に入力される。これにより、グローバルビット線GBLが駆動されて、センスアンプ20とビット線BLを經由して、所望のメモリセルMCにデータが書き込まれる。

【0027】

次に、本実施形態のDRAMメモリセルアレイに対する読み出し動作について、図4及び図5を用いて説明する。図4は、メモリセルMCに保持されるハイのデータを読み出す場合のセンス系の信号波形図であり、図5は、メモリセルMCに保持されるローのデータを読み出す場合のセンス系の信号波形図である。図4及び図5の上部には、読み出し動作の全体を、プリチャージ解除期間T1、セル選択期間T2、センス期間T3の3つの期間に細分化して示している。

【0028】

まず、図4に示すハイの読み出し動作においては、プリチャージ解除期間T1に至るまでは、ビット線BLとグローバルビット線GBLをプリチャージするために、プリチャージ信号PCがハイの状態にある。そして、プリチャージ解除期間T1において、プリチャージ信号PCがローに制御され、ビット線BLがグラウンド電位VSSにプリチャージされた状態でフローティングとなり、グローバルビット線GBLが電源電圧VDDにプリチャージされた状態でフローティングとなる。続いてセル選択期間T2において、選択されたワード線WLの電位が正電圧VPPまで上昇し、メモリセルMCからハイの信号電圧がビット線BLに読み出される。

【0029】

次いでセンス期間T3において、制御信号REが所定期間だけハイに制御される。このとき、ビット線BLの電位は、NMOSトランジスタQ1の閾値電圧の分布範囲Rvt（図中網掛け表示で表す）の上限より高くなっているため、NMOSトランジスタQ1に大きなドレイン電流が流れる。そのため、グローバルビット線GBLの寄生容量Cgbに充電されている電荷は、NMOSトランジスタQ3、Q1を介して短時間で引き抜かれるので、グローバルビット線GBLの電位は電源電圧VDDからグラウンド電位VSSに短時間で放電される。グローバルビット線GBLの信号電位は、グローバルセンスアンプ21により反転されてラッチされる。

【0030】

なお、図4に示すNMOSトランジスタQ1の閾値電圧の分布範囲Rvtは、製造時の寸法ばらつきやゲート絶縁膜厚のばらつき、チャネル不純物分布のゆらぎなどに起因して閾値電圧がばらつく範囲を示している。

【0031】

次に、図5のローの読み出し動作においては、プリチャージ解除期間T1の信号波形は図4の場合と同様になる。続いてセル選択期間T2において、選択されたワード線WLの電位が正電圧VPPまで上昇し、メモリセルMCからローの信号電圧がビット線BLに読み出される。次いでセンス期間T3において、制御信号REが所定期間だけハイに制御されると、そのときのビット線BLの電位は、NMOSトランジスタQ1の閾値電圧の分布範囲Rvtの下限より低くなっているため、NMOSトランジスタQ1にドレイン電流が流れない。そのため、グローバルビット線GBLの寄生容量Cgbに充電されている電荷は引き抜かれず、グローバルビット線GBLの電位は電源電圧VDDを維持する。グローバルビット線GBLの信号電位は、グローバルセンスアンプ21により反転されてラッチされる。

【0032】

次に図6は、本実施形態の半導体記憶装置にRRAMメモリセルアレイを構成する場合

のメモリセル及びセンスアンプ回路の具体的な回路を示す図である。図6においては、多くの回路構成が図3と共通であるため、以下では、異なる点のみを説明する。図6に示すように、RRAMメモリセルアレイにおけるメモリセルMCaは、選択NMOSトランジスタQ0と、抵抗値の大小に応じて情報を保持する抵抗素子RMとから構成されている。選択NMOSトランジスタQ0は、ゲートがワード線WLに接続され、ドレインがビット線BLに接続され、ソースが抵抗素子RMの一方の端子に接続されている。抵抗素子RMの他方の端子は、共通プレート線PLに接続されている。上述したように、共通プレート線PLは、例えば、 $VDD/2$ の電位が供給される。

【0033】

抵抗素子RMは、例えば、低抵抗状態の抵抗値分布の上限が $100\text{ k}\Omega$ 、高抵抗状態の抵抗値分布の下限が $10\text{ M}\Omega$ となっている。ビット線BLの寄生容量Cbが、例えば、上述の 5 fF 程度の大きさとすれば、抵抗素子RMとビット線BLの寄生容量Cbからなる伝送路の時定数は、抵抗素子RMが低抵抗状態の場合に 0.5 ns 以下、高抵抗状態の場合に 50 ns 以上となる。従って、読み出し動作時に、選択NMOSトランジスタQ0をオンにしてビット線BLの充電を開始し、数ns後のビット線BLの電位は抵抗素子RMの抵抗値の大小に応じて十分な差が得られる。そのため、センスアンプ20のセンス期間をこの数nsまでの範囲内に設定することにより、NMOSトランジスタQ1によるセンス増幅動作を完了させるのに十分なマージンを持たせることができる。このような動作原理から、ビット線BLに接続されるメモリセルMCの個数は、抵抗素子RMの抵抗値とセンス期間の設計値に適合する寄生容量Cbの範囲内で多様に設定することができる。

【0034】

次に、本実施形態のRRAMメモリセルアレイに対する読み出し動作について、図7及び図8を用いて説明する。図7は、メモリセルMCaに保持されるハイ（低抵抗状態）のデータを読み出す場合のセンス系の信号波形図であり、図8は、メモリセルMCaに保持されるロー（高抵抗状態）のデータを読み出す場合のセンス系の信号波形図である。図7及び図8は、上述の図4及び図5に対応する図であり、多くの信号波形が共通するので、以下では主に相違点のみを説明する。

【0035】

まず、図7の低抵抗状態の読み出し動作においては、プリチャージ解除期間T1までの各信号波形は図4と同様となっている。続いてセル選択期間T2において、選択されたワード線WLの電位が正電圧VPPまで上昇すると、抵抗素子RMの低抵抗状態に対応する時定数でメモリセルMCaの信号電圧がビット線BLに読み出される。次いでセンス期間T3において、ビット線BLの電位がNMOSトランジスタQ1の閾値電圧の分布範囲Rvtの上限より高くなっているため、NMOSトランジスタQ1に大きなドレイン電流が流れる。これ以降の動作は、図4の場合と同様になる。

【0036】

次に、図8の高抵抗状態の読み出し動作においては、プリチャージ解除期間T1までの信号波形は図7の場合と同様になる。続いてセル選択期間T2において、選択されたワード線WLの電位が正電圧VPPまで上昇すると、抵抗素子RMの高抵抗状態に対応する時定数でメモリセルMCaの信号電圧がビット線BLに読み出される。次いでセンス期間T3において、図8のビット線BLの電位は、図5と比べると若干増加しているが、NMOSトランジスタQ1の閾値電圧の分布範囲Rvtの下限より低い電位に留まっているため、NMOSトランジスタQ1に流れるドレイン電流は極めて小さくなる。そのため、グローバルビット線GBLの寄生容量Cgbに充電されている電荷はほとんど引き抜かれない。これ以降の動作は、図5の場合と同様になる。

【0037】

次に、本実施形態の半導体記憶装置において、DRAMメモリセルアレイをRRAMメモリセルアレイに変更するための制御手順について、図9及び図10を参照して説明する。図9は、DRAMメモリセルアレイをRRAMメモリセルアレイに変更する際に適用されるフォーミングプロセスの動作波形及びタイミングフローを示す図である。図10は、

フォーミングプロセスに付随するDRAMメモリセルアレイからRRAMメモリセルアレイへの変更プロセスの流れを説明するフローチャートである。

【0038】

図9において、半導体記憶装置のフォーミングプロセスは、メモリセルアレイ10を予めプリチャージ状態にして開始される。まず、タイミングt1において、制御回路14からメモリセルアレイ10に対して供給されるワード線全選択信号SLをハイ（電源電圧VDD）にする。これにより、ロウデコーダ13では全てのワード線WLが選択される状態となる。続いてタイミングt2において、メモリセルアレイ10内のN本のワード線WLを駆動し、その電位が正電圧VPPに上昇する。次に、タイミングt3において、共通プレート線PLの電位をフォーミング電圧VFMに設定する。この状態を所定のフォーミング期間Tfだけ保持することにより、メモリセルMCのフォーミングが実行される。フォーミング期間Tfが終了するタイミングt4において、共通プレート線PLの電位をフォーミング電圧VFMからVDD/2まで戻す。次いでタイミングt5において、ワード線全選択信号SLをロー（グラウンド電位VSS）に戻す。これにより、タイミングt6で全てのワード線WLを非選択状態のグラウンド電位VSSに戻し、図10のフォーミングプロセスが終了する。

10

【0039】

次に図10において、DRAMメモリセルアレイのRRAMメモリセルアレイへの変更プロセスは、図9のフォーミングプロセスとともに実行される。最初にRRAMメモリセルアレイに変更するメモリセルアレイ10のアドレス情報をアレイ情報記憶部15に設定する（ステップS1）。具体的には、入出力ポート16を介して入力されたアドレス情報を、アレイ情報記憶部15に構成された電気ヒューズ等にプログラムする。RRAMメモリセルアレイに変更するメモリセルアレイ10に対しては、上述のフォーミングプロセスを実行する（ステップS2）。具体的には、入出力ポート16を介してフォーミングコマンドが入力されたとき、図9のタイミングフローに従ってフォーミングプロセスを実行する。

20

【0040】

一方、フォーミングプロセスが実行されないメモリセルアレイ10はDRAMメモリセルアレイとして用いられるので、これらのメモリセルアレイ10に対してDRAM用の試験を行う（ステップS3）。その結果、メモリセルアレイ10に不良ビットが存在する場合、該当するアドレスの救済処理を実行する（ステップS4）。続いて、上記のフォーミングプロセスを実効済みのメモリセルアレイ10はRRAMメモリセルアレイとして用いられるので、これらのメモリセルアレイ10に対しRRAM用の試験を行う（ステップS5）。その結果、メモリセルアレイ10に不良ビットが存在する場合、該当するアドレスの救済処理を実行する（ステップS6）。ステップS4、S6における具体的な救済処理としては、入出力ポート16を介して入力された不良アドレス情報を電気ヒューズ等にプログラムすればよい。最後に、DRAMメモリセルアレイとRRAMメモリセルアレイそれぞれに対して救済確認のための最終試験を行い（ステップS7）、図10の変更プロセスが終了する。

30

【0041】

以上説明した変更プロセスは、半導体記憶装置の製造時に、ウエハプロセスが完了した時点で行われるプローブ試験工程内、あるいはパッケージに封止した後の選別工程内で実行することができる。また、半導体記憶装置をシステムに実装した後、システム内のプロセッサや専用コントローラ等を用いて同様の変更プロセスを行ってもよい。

40

【0042】

次に、本実施形態の半導体記憶装置のメモリ空間の設定とプロセッサとの間のデータ転送方法について、図11を用いて説明する。図11の左側には、本実施形態の半導体記憶装置のメモリ空間を模式的に示している。また、図11の右側には、半導体記憶装置との間でデータを転送するプロセッサを示している。半導体記憶装置のメモリ空間は、DRAMメモリセルアレイからなるワーク領域R1と、RRAMメモリセルアレイからなる不揮

50

発領域 R 2 からなる。この不揮発領域 R 2 には、プロセッサの処理に必要なプログラムコードやテーブルデータなどが記憶される。プロセッサは、ワーク領域 R 1 にテンポラリデータを記憶しつつ、不揮発領域 R 2 から読み出したプログラムを実行する。また、プロセッサは、必要に応じて不揮発領域 R 2 に構成されるテーブルデータの読み出しや書き換えを実行する。

【0043】

一般に、DRAMの書き換え回数には制限がないのに対し、RRAMの書き換え回数は有限回に制限される。しかし、上記の不揮発領域 R 2 に記憶されるプログラムやテーブルデータの書き換え頻度は少ないので、RRAMメモリセルアレイを用いたとしても問題はない。一方、不揮発領域 R 2 に記憶されるデータは、半導体記憶装置の電源を停止した際にも保持されるため、システム中に別個の不揮発メモリを搭載する必要がなくなる。また、本実施形態の半導体記憶装置は、図 1 1 に示すようにワーク領域 R 1 のサイズ S 1 と不揮発領域 R 2 のサイズ S 2 とを所望の比率に設定でき、しかもウエハプロセスの終了後のフォーミングプロセスにおいてサイズ S 1、S 2 を自在に選択でき、柔軟なシステムを構成可能となる。

【0044】

図 1 2 は、本実施形態の半導体記憶装置を実装したシステムの一例としての携帯電話機のシステム構成例を示している。図 1 2 においては、本実施形態の半導体記憶装置 1 とメディアプロセッサ 2 を積層したシステム・イン・パッケージ (SIP) 3 と、この SIP 3 に接続されるベースバンドプロセッサ 4 からなる構成が示されている。半導体記憶装置 1 には、例えば図 1 1 のメモリ空間が構成され、DRAMメモリセルアレイを用いたワーク領域 R 1 と、RRAMメモリセルアレイを用いてプログラムコード、テーブルデータ、各種パラメータ等を格納する不揮発領域 R 2 が設けられている。このように、本実施形態の半導体記憶装置の構成を採用することで、携帯電話機等の各種システムとしてシンプルな構成を実現することができる。

【0045】

以上、本実施形態に基づいて本発明の内容を具体的に説明したが、本発明は上述の実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々の変更を施すことができる。例えば、上記実施形態においては、4つのメモリセルアレイ 10 に区分される構成を示したが、メモリセルアレイ 10 の領域の区分は自在であって、所望の領域を選択的に指定可能な構成に対し広く本発明を適用することができる。

【図面の簡単な説明】

【0046】

【図 1】本実施形態の半導体記憶装置の全体構成を示すブロック図である。

【図 2】本実施形態の半導体記憶装置において、フォーミング実行前の DRAMメモリセルアレイと、フォーミングを実行後の RRAMメモリセルアレイのそれぞれの等価回路を比較して示す図である。

【図 3】本実施形態の半導体記憶装置に DRAMメモリセルアレイを構成する場合のメモリセル及びセンスアンプ回路の具体的な回路構成を示す図である。

【図 4】本実施形態の DRAMメモリセルアレイに対する読み出し動作のうち、メモリセルからハイのデータを読み出す場合の動作波形を示す図である。

【図 5】本実施形態の DRAMメモリセルアレイに対する読み出し動作のうち、メモリセルからローのデータを読み出す場合の動作波形を示す図である。

【図 6】本実施形態の半導体記憶装置に RRAMメモリセルアレイを構成する場合のメモリセル及びセンスアンプ回路の具体的な回路構成を示す図である。

【図 7】本実施形態の RRAMメモリセルアレイに対する読み出し動作のうち、メモリセルからハイ（低抵抗状態）のデータを読み出す場合の動作波形を示す図である。

【図 8】本実施形態の RRAMメモリセルアレイに対する読み出し動作のうち、メモリセルからロー（高抵抗状態）のデータを読み出す場合の動作波形を示す図である。

【図 9】DRAMメモリセルアレイを RRAMメモリセルアレイに変更する際に適用され

るフォーミングプロセスの動作波形及びタイミングフローを示す図である。

【図 1 0】フォーミングプロセスに付随する D R A M メモリセルアレイから R R A M メモリセルアレイへの変更プロセスの流れを説明するフローチャートである。

【図 1 1】本実施形態の半導体記憶装置のメモリ空間の設定とプロセッサとの間のデータ転送方法について説明する図である。

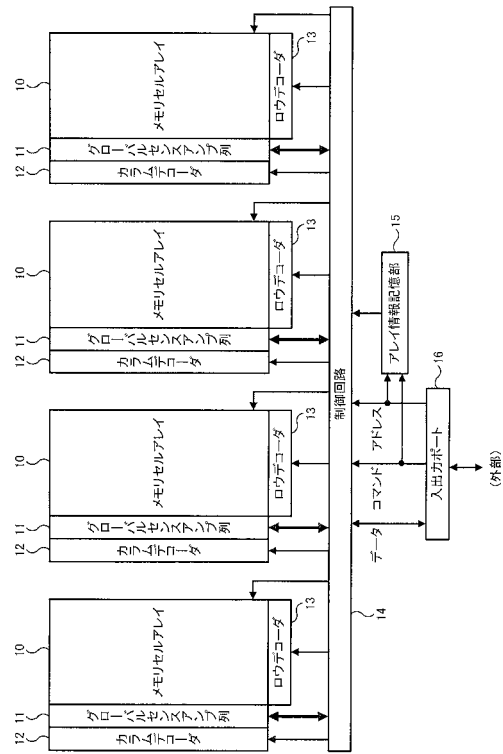
【図 1 2】本実施形態の半導体記憶装置を実装したシステムの一例としての携帯電話機のシステム構成例を示す図である。

【符号の説明】

【 0 0 4 7 】

1 …半導体記憶装置	10
2 …メディアプロセッサ	
3 …S I P	
4 …ベースバンドプロセッサ	
1 0 …メモリセルアレイ	
1 1 …グローバルセンスアンプ列	
1 2 …カラムデコーダ	
1 3 …ロウデコーダ	
1 4 …制御回路	
1 5 …アレイ情報記憶部	
1 6 …入出力ポート	20
2 0 …センスアンプ	
2 1 …グローバルセンスアンプ	
W L …ワード線	
B L …ビット線	
G B L …グローバルビット線	
P L …共通プレート線	
M C、M C a …メモリセル	
Q 0 …選択 N M O S トランジスタ	
C 0 …キャパシタ	
R M …抵抗素子	30
Q 1 ～ Q 7 …N M O S トランジスタ	
P C …プリチャージ信号	
R E、W E …制御信号	
Y S …カラム選択信号	
S L …ワード線全選択信号	
V D D …電源電圧	
V S S …グラウンド電位	
V P P …正電圧	

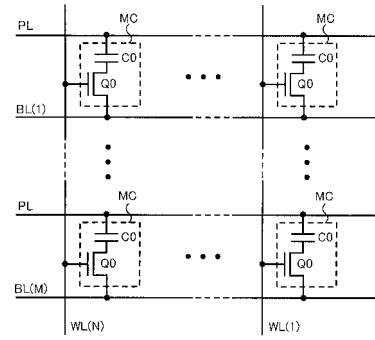
【図 1】



【図 2】

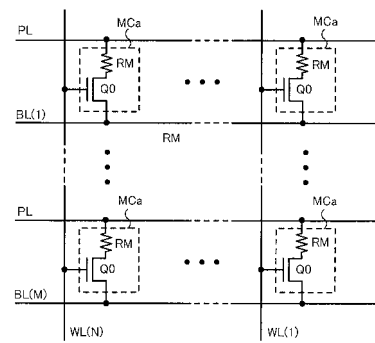
(A)

DRAMメモリセルアレイ(フォーミング前)

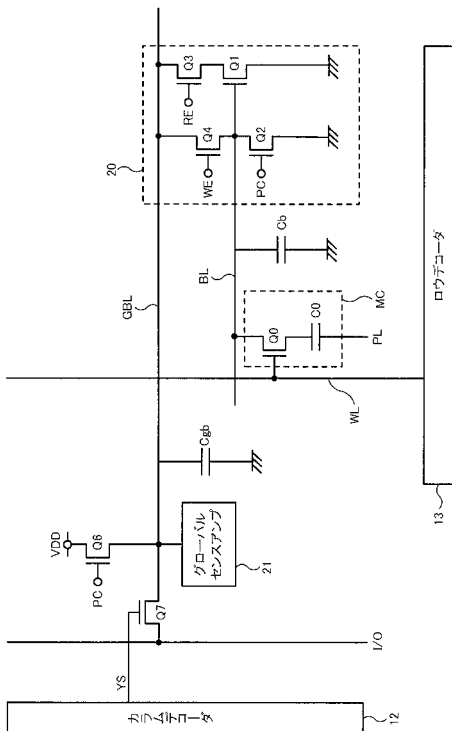


(B)

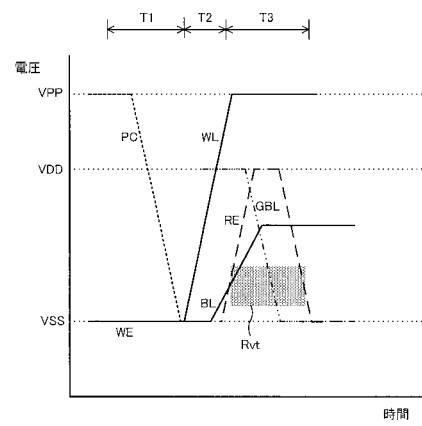
RRAMメモリセルアレイ(フォーミング後)



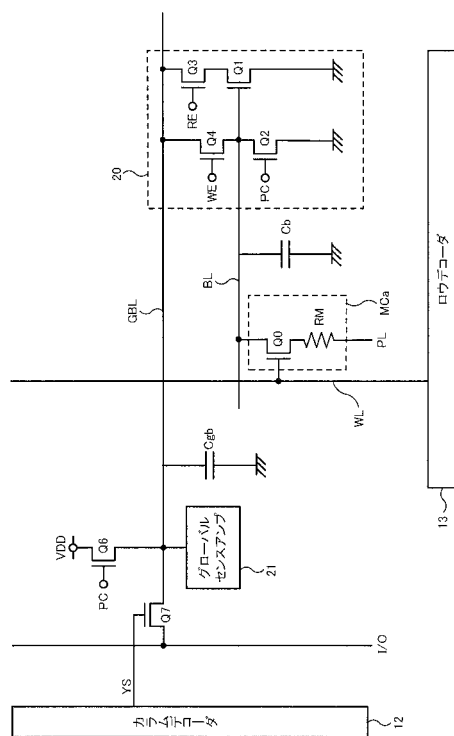
【図 3】



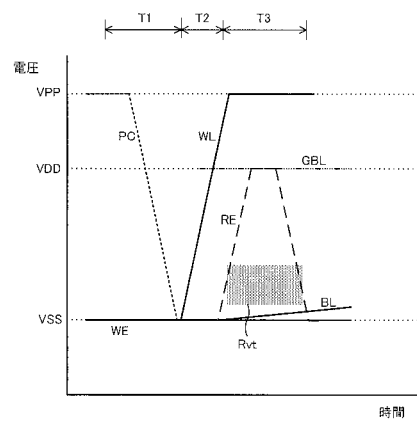
【図 4】



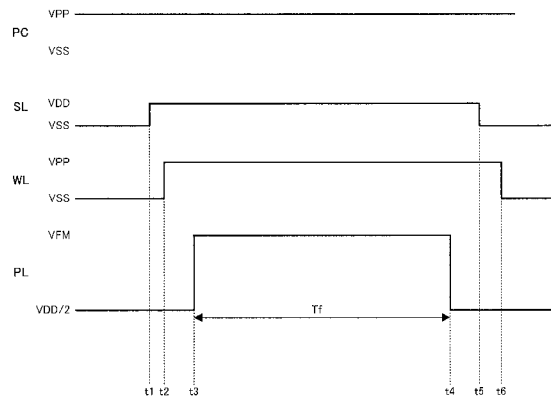
【图 6】



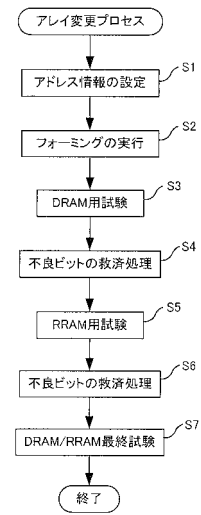
【图 8】



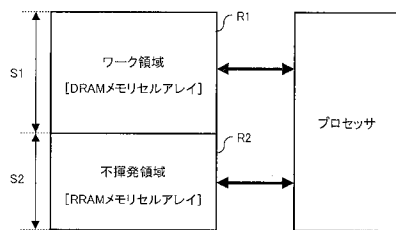
【図 9】



【図 10】



【図 11】



【図 12】

携帯電話機のシステム構成例

