申請日期	90.8.22
案　　號	90120621
類　　別	G06F 12/02　G11C 8/00

（以上各欄由本局填註）

公告本

A4
C4

530207

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	具有用於位址及/或命令信號之改變的時脈頻率之半導體記憶體裝置及具有該裝置之記憶體模組和系統
	英文	"SEMICONDUCTOR MEMORY DEVICE HAVING ALTERED CLOCK FREQUENCY FOR ADDRESS AND/OR COMMAND SIGNALS, AND MEMORY MODULE AND SYSTEM HAVING THE SAME"
二、發明 ~~創作~~ 人	姓名	李東陽 DONG-YANG LEE
	國籍	南韓
	住、居所	大韓民國京畿道城南市盆唐區九美洞MUJIGAE MAEUL 1209棟1204號
三、申請人	姓名（名稱）	韓商三星電子股份有限公司 SAMSUNG ELECTRONICS CO., LTD.
	國籍	南韓
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞416番地
	代表人姓名	尹鍾龍 JONG-YONG YUN

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝

訂

線

（由本局填寫）

承辦人代碼：	
大　　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　　案號：　　　，□有　□無主張優先權

1.韓國	2000年09月05日	00-52377	□有 ☑無主張優先權
2.韓國	2000年12月20日	00-79186	□有 ☑無主張優先權

有關微生物已寄存於：　　　，寄存日期：　　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 × 297 公釐)

五、發明說明（ 1 ）

發明背景

1.發明範圍

本發明關於一記憶體裝置及關於一記憶體模組和系統，更特別地本發明關於一產生內部時脈信號的半導體記憶體裝置，且關於具有該裝置的記憶模組和系統。

2.相關技藝敘述

對於能以高速處理大量資訊的電腦系統的需求增加，已導致易於以不斷攀高之系統時脈頻率操作的高效率微處理器或中央處理單元(CPUs)繼續發展。使用較高系統時脈頻率尤其需要增加資料容量和資料記憶體連接CPU的傳送速度。換言之，記憶體必須建構與較高頻率系統時脈信號同步操作。

圖1係圖示一記憶體控制器110及一CPU系統板100之記憶體模組120的圖型。記憶體控制器110分別地透過一時脈匯流排線、一位址匯流排線、一指令匯流排線及一資料匯流排，將一時脈信號CLK、一位址信號ADDR、一指令信號CMD及資料DATA轉換至記憶體模組120。記憶體模組120包括複數安裝其中的記憶體晶片(例如，8記憶體晶片)101、102、...、108，各晶片係連接至所示之時脈匯流排線、位址匯流排線、指令匯流排線及資料匯流排。

時脈信號CLK供給至晶片101、102、...、108以控制其操作。另外，就記憶體晶片101、102、...、108爲同步DRAM晶片而言，指令信號CMD、位址信號ADDR及資料DATA與時脈信號CLK的邊緣同步。

裝 訂 線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明(2)

如圖1所示，資料DATA係由記憶體晶片101、102、...、108經資料匯流排透過獨立多位元資料線，連接至各別的記憶體晶片101、102、...、108。這樣，各資料線的負載爲一記憶體晶片。相反地，位址信號ADDR與指令信號CMD係共同地供給至記憶體晶片101、102、...、108。因而，位址匯流排與指令匯流排線各自受到所有晶片101、102、...、108的組合負載。

如先前所建議，高速CPUs係伴隨著高頻時脈信號CLK。一般來講，因爲各資料線的負載相當小(一記憶體晶片)，資料匯流排的資料DATA可於此高頻下操作。在另一方面，位址匯流排與指令匯流排線之相當高的多記憶體晶片負載能避免這些線的高頻操作。位址匯流排與指令匯流排線的負載能因此將記憶體有效操作速度限制至小於系統的時脈速度。

圖2係一一般記憶體模組120的方塊圖。複數連接至一微處理器(未表示)或一記憶體控制器(未表示)的匯流排線，典型上一時脈匯流排、一位址匯流排及一指令匯流排係配置於一系統板上。記憶體模組100包括複數記憶體晶片101、102、...、106、一相位鎖定迴路(PLL)107及一暫存器108。

PLL 107接收一加載於時脈匯流排線上的時脈信號CLK，及產生複數內部信號ICLK0、ICLK1、...ICLK6。複數時脈信號ICLK0、ICLK1、...ICLK6在此假設係具有相同轉換率及不具失眞的理想信號。因爲複數內部時脈信號

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

五、發明說明（3）

ICLK0、ICLK1、...ICLK6係與時脈信號CLK的相位同步，其具有與時脈信號CLK相同的頻率。內部時脈信號ICLK0係供給至該暫存器108，且內部時脈信號ICLK1、ICLK2、...ICLK6供給至記憶體晶片101、102、...、106。在圖2中，一時脈信號係連接至一記憶體晶片。然而，在實際應用中，對於一時脈信號所對應記憶體晶片的數目可改變。暫存器108接收信號ADDR與指令信號CMD以反應內部時脈信號，且將所接收之信號傳送至各別的記憶體晶片101、102、...、106。

因爲記憶體模組120僅接收一時脈信號CLK及產生複數內部時脈信號ICLK1、ICLK2、...ICLK6，且當時脈信號CLK的頻率增加於高性能系統中時，內部時脈信號ICLK1、ICLK2、...ICLK6的頻率增加。因爲接收內部時脈信號ICLK1、ICLK2、...ICLK6及反應其操作的記憶體晶片101、102、...、106可由適合高頻操作的裝置所建構，但不會因其操作而發生問題。然而，其懷疑是否暫存器108能工作以對應內部時脈信號ICLK0，換言之高頻時脈信號CLK的時序，接收位址信號ADDR與指令信號CMD，且接著以相同高頻時脈信號CLK同步的接收信號傳送至記憶體晶片101、102、...、106。因而，暫存器108的操作特性也可將記憶體有效操作速度限制至小於系統的時脈速度。

發明概論

本發明的目地係即使一系統時脈信號的頻率增加，使提

裝
訂
線
本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 4 ）

供能利用一位址信號及一指令信號的可操作頻率。

本發明的另一目的係即使一系統時脈信號的頻率增加，使提供具有能利用一時脈信號的一記憶體裝置和一記憶體模組，該時脈信號具有一相當低且適合暫存器操作的頻率。

如本發明的一內容，一半導體記憶體裝置包括一時脈緩衝器，其接收一外部信號，且輸出含一低於外部時脈信號頻率之一第一內部時脈信號，及含一相同於外部時脈信號頻率之一第二內部時脈信號；一位址緩衝器，其以該第一內部時脈信號的時序接收一位址信號；一資料緩衝器，其以該第二內部時脈信號的時序輸入/輸出資料。

如本發明另一內容，一半導體記憶裝置包括一時脈緩衝器，其接收一外部信號與一控制信號，且其係反應於該控制信號，以輸出含一低於外部時脈信號頻率之一第一內部時脈信號，及含一相同外部時脈信號頻率之一第二內部時脈信號；一控制器，其輸出之控制信號指示相關於該第二時脈信號之第一時脈信號；一位址緩衝器，其以該第一內部時脈信號的時序接收一位址信號；一指令緩衝器，其以該第一內部時脈信號的時序接收一指令信號；一資料緩衝器，其以該第二內部時脈信號的時序輸入/輸出資料。

如本發明又一內容，一半導體記憶體系統包括一記憶體控制器；複數匯流排線，其連接至記憶體控制器及轉換一位址信號、一指令信號及資料；及一記憶體模組，其具有複數半導體記憶體裝置，且透過複數匯流排線連接至記憶

裝
訂
線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 5 ）

體控制器，其中各半導體記憶體裝置包含(a)一時脈緩衝器，其接收一外部信號與一控制信號，且其係反應於該控制信號，以輸出含一低於外部時脈信號頻率之一第一內部時脈信號，及含一相同於外部時脈信號頻率之一第二內部時脈信號，(b)一控制器，其輸出之控制信號指示相關於該第二時脈信號之第一時脈信號，(c)一位址緩衝器，其以該第一內部時脈信號的時序接收一位址信號，(d)一指令緩衝器，其以該第一內部時脈信號的時序接收一指令信號，(e)及一資料緩衝器，其以該第二內部時脈信號的時序輸入/輸出資料。

如本發明再一內容，一半導體記憶體系統包括一記憶體控制器，其產生一第一時脈信號、一含一大於該第一時脈信號頻率之第二時脈信號、一位址信號、一指令信號及資料；及一記憶體模組，其具有複數半導體裝置，且經匯流排線連接至記憶體控制器，而該第一時脈信號、第二時脈信號、位址信號、指令信號及資料係加載於該匯流排線上，其中各半導體記憶體裝置包含(a)一位址緩衝器，其以該第一內部時脈信號的時序接收一位址信號，(b)一指令緩衝器，其以該第一內部時脈信號的時序接收一指令信號，(c)及一資料緩衝器，其以該第二內部時脈信號的時序輸入/輸出資料。

如本發明另一內容，一系統包含複數匯流排線，其各別地傳輸一第一時脈信號、一第二時脈信號、一位址信號及一指令信號，其中該第一時脈信號的頻率不同於該第二時

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝
訂
線

五、發明說明（ 6 ）

脈信號的頻率；一記憶體模組，其連接至複數匯流排線且包含複數記憶體晶片，其中各記憶體晶片包含(a)一位址緩衝器，其連接至該第一時脈信號匯流排線與位址信號匯流排線，且以該第一內部時脈信號的時序接收位址信號，(b)一指令緩衝器，其連接至該第一時脈信號匯流排線與指令信號匯流排線，且以該內部時脈信號的時序接收指令信號，及(c)一資料緩衝器，其連接至該第二時脈信號的匯流排線，且以該第二時脈信號的時序輸入/輸出資料。

如本發明又一內容，一系統包含複數匯流排線，其各別地傳輸一第一時脈信號、一第二時脈信號、一位址信號及一指令信號，其中該第一時脈信號的頻率不同於該第二時脈信號的頻率；一記憶體模組，其連接至複數匯流排線，且包含(a)一暫存器，其連接至該第一時脈信號的匯流排、位址信號的匯流排，及指令信號的匯流排，且以該第一時脈信號的時序儲存位址信號與指令信號，及(b)複數記憶體晶片，其各別連接至該第二時脈信號的匯流排，且以該第二時脈信號的時序接收儲存於暫存器中的位址信號與指令信號，其中該位址信號與指令信號係以記憶體模組的一方向或以來自記憶體模組中心的二方向，傳送至記憶體晶片。

如本發明另一內容，一系統包含複數匯流排線，其各別地傳輸一系統時脈信號、一位址信號及一指令信號；一相位鎖定迴路，其接收系統時脈信號，且輸出一第一時脈信號與一第二時脈信號，其中該第一時脈信號的頻率不同於

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝
訂
線

五、發明說明（ 7 ）

該第二時脈信號的頻率；及一記憶體模組，其連接至複數匯流排線，且包含(a)一暫存器，其連接至該第一時脈信號的匯流排、位址信號的匯流排，及指令信號的匯流排，且以該第一時脈信號的時序儲存位址信號與指令信號，及(b)複數記憶體晶片，其各別連接至該第二時脈信號的匯流排，且以該第二時脈信號接收儲存於暫存器中的位址信號與指令信號，其中該位址信號與指令信號係以記憶體模組的一方向或以來自記憶體模組中心的二方向，傳送至記憶體晶片。

如本發明又一內容，一系統包含複數匯流排線，其各別地傳輸一第一時脈信號、一第二時脈信號、一位址信號及一指令信號，其中該第一時脈信號的頻率不同於該第二時脈信號的頻率；及一記憶體模組，其連接至複數匯流排線，且包含(a)一暫存器，其連接至該第一時脈信號的匯流排、位址信號的匯流排，及指令信號的匯流排，且以該第一時脈信號的時序儲存位址信號及指令信號，(b)一相位鎖定迴路，其連接至該第二時脈信號的匯流排，且輸出複數具有與該第二時脈信號相同頻率的內部時脈信號，及(c)複數記憶體晶片，其各別連接至該相位鎖定迴路，且以該複數內部時脈信號的各別時序，接收儲存於暫存器中的位址信號與指令信號，其中該位址信號與指令信號係以記憶體模組的一方向或以來自記憶體模組中心的二方向，傳送至記憶體晶片。

較佳地，系統時脈信號、位址信號及指令信號係由安裝

裝 訂 線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

五、發明說明（ 8 ）

於系統中的記憶體控制器或微處理器所供給，且該第一時脈信號頻率係低於該第二時脈信號的頻率。記憶體模組可包括二或多接收該第一及第二時脈信號的模組腳位。

圖式簡單敘述

本發明上面及其它目的及優點，將由下列詳細敘述及相關附圖而變得更容易明白，其中：

圖1說明一一般記憶體控制器及一CPU系統板的記憶體模組；

圖2係一安裝於圖1所示之系統板上之一般記憶體模組；

圖3係一如本發明第一實施例半導體記憶體裝置的方塊圖；

圖4說明具有如本發明第二實施例之半導體記憶體裝置的系統板；

圖5係一圖4所示之半導體記憶體裝置的方塊圖；

圖6係一圖3及5所示之半導體記憶體裝置的操作時序圖；

圖7說明一包括如本發明第三實施例之記憶體模組的系統；

圖8說明一包括如本發明第四實施例之記憶體模組的系統；

圖9說明一包括如本發明第五實施例之記憶體模組的系統；

圖10說明一包括如本發明第六實施例之記憶體模組的

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝

訂

線

五、發明說明（ 9 ）

系統；

圖11說明一包括如本發明第七實施例之記憶體模組的系統；

圖12說明一包括如本發明第八實施例之記憶體模組的系統。

較佳實施例的敘述

本發明較佳實施例現在將詳細敘述相關附圖，其中相同編號表示相同組件。

圖3說明如本發明第一實施例之半導體記憶裝置。一半導體記憶裝置101，其大致地對應至一記憶體模組(例如，圖1的模組120)中所包括記憶體晶片之一者，而該半導體記憶裝置包括一時脈緩衝器310、一位址緩衝器320、一指令緩衝器330、一資料緩衝器340及一控制器350。該時脈緩衝器310接收一加載於一時脈匯流排上的時脈信號CLK(在此稱之爲"外部時脈信號")，且產生內部時脈信號CLK1與CLK2。該第一內部時脈信號CLK1與第二時脈信號CLK2的相對頻率係由時脈緩衝器310所決定，以反應由控制器350所輸出的控制信號CTRL。例如，該控制信號CTRL可指示那一外部時脈信號CLK的上升或下降緣使該第一內部時脈信號CLK1得以同步。控制器350可由一模式暫存器設定(MRS)所構成，且該控制信號以起動該半導體記憶裝置101及/或當取消一關閉模式時的時間來設定。

相對於該第二內部時脈信號CLK2頻率之第一內部時脈

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝

訂

線

五、發明說明（ 10 ）

信號頻率CLK1，可依據控制信號CTRL而改變。現在將敘述該第一內部時脈信號頻率CLK1低於第二內部時脈信號CLK2頻率之情形。在此範例，第二內部時脈信號CLK2頻率大致地相同於外部時脈信號CLK的頻率。因而，假設外部時脈信號CLK的頻率爲400兆赫，則該第二內部時脈信號CLK2也具有一400兆赫的頻率。該第一內部時脈信號CLK1例如也具有該第二內部時脈信號CLK2一半或更少的頻率。這樣，再次假設該第二內部時脈信號CLK2的頻率爲400兆赫，則該第一內部時脈信號CLK1具有一200兆赫或100兆赫的頻率。

位址緩衝器320以該第一內部時脈信號CLK1的時序接收位址信號ADDR。同樣地，指令緩衝器330以該第一內部時脈信號CLK1的時序接收指令信號CMD。在另一方面，資料緩衝器340以該第二內部時脈信號CLK2的時序輸入/輸出資料DATA。

在操作上，半導體裝置101接收高頻外部時脈信號CLK。在此實施例中，時脈緩衝器310所產生之第二內部時脈信號CLK2具有如該外部時脈信號CLK，例如400兆赫相同的頻率。這意謂半導體記憶裝置101同步於該外部時脈信號且輸入/輸出資料DATA，而該外部時脈信號爲一安裝在該系統板上之記憶體控制器或微處理器的操作頻率。

相反地，位址信號ADDR與指令信號CMD係與具有一低於外部時脈信號CLK頻率之第一內部時脈信號CLK1同

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝

訂

線

五、發明說明（ 11 ）

步。在此方式中，先前地由位址匯流排與指令匯流排線的負載所配置的高頻裝置限制可克服，藉此使半導體記憶體裝置101適合良好的高頻操作。

一資料探測信號STROBE可施加至資料匯流排340以控制高頻資料DATA的閉鎖。在此情形，資料緩衝器340輸入/輸出資料DATA以反應探測信號STROBE的邊緣。特別地，一單資料速率(SDR)動態隨機存取記憶體(DRAM)在探測信號STROBE的各上升或下降緣輸入/輸出資料。一雙資料速率(DDR) DRAM在探測信號STROBE的上升或下降緣二者輸入/輸出資料。

圖4說明具有如本發明第二實施例之半導體記憶體裝置的系統板400。系統板400包括一記憶體控制器410及一具有複數記憶體晶片401、402、...、408的記憶體模組420。記憶體控制器410產生一第一時脈信號CLK1、一第二時脈信號CLK2、一位址信號ADDR、一指令信號CMD及一資料信號DATA，且傳送所產生信號至一時脈1匯流排、一時脈2匯流排、一位址匯流排、一指令匯流排及一資料匯流排。此第二實施例之第二時脈信號CLK2的頻率係大致地相同於第一實施例外部時脈信號CLK的頻率。相同地，此第二實施例之第一時脈信號CLK1的頻率係大致地對應於第一實施例之第一時脈信號CLK1的頻率。

各記憶體晶片401、402、...、408係連接至該時脈1匯流排、時脈2匯流排、位址匯流排、指令匯流排及資料匯流排，且接收該第一時脈信號CLK1、該第二時脈信號CLK2

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝
訂
線

、位址信號ADDR、指令信號CMD及資料信號DATA。

圖5係一包含圖4記憶體模組420之記憶體晶片401的範例。記憶體晶片401包括一位址緩衝器520、一指令緩衝器530及一資料緩衝器540。位址緩衝器520接收該第一時脈信號CLK1及位址信號ADDR，且指令緩衝器530接收該第一時脈信號CLK1與指令信號CMD。資料緩衝器540接收第二時脈信號CLK2與資料信號DATA。

如同第一實施例，位址信號ADDR與指令信號CMD係與具有一低於外部時脈信號CLK(或第二內部時脈信號CLK2)頻率之第一內部時脈信號CLK1同步。在此方式中，先前地由位址匯流排與指令匯流排線的負載所配置的高頻裝置限制可克服。

一第一及第二實施例之記憶體晶片的操作時序圖係如圖6所示。一般來講，該第一內部時脈信號CLK1的週期係較佳地爲該外部時脈信號CLK週期的整倍數。在此範例中，該第一內部時脈信號CLK1的頻率係該外部時脈信號CLK(或第二內部時脈信號CLK2)的一半。位址信號ADDR與指令信號CMD包括相對於該第一內部時脈信號CLK1之上升緣的設定與保持時間。就一單資料速率(SDR) DRAM半導體記憶體裝置而言，該資料係透過一資料端DQ，在第二內部時脈信號CLK2(其具有相同於該外部時脈信號CLK的頻率)的各上升或下降緣輸出。就一雙資料速率(DDR) DRAM半導體記憶體裝置而言，該資料係透過一資料端DQ，在第二內部時脈信號CLK2的上升或下降緣

裝
訂
線

二者輸出。

在包含於第一或第二實施例之記憶體晶片中的資料緩衝器係連接以接收一資料探測信號STROBE，該資料係以圖6所示之資料探測信號STROBE的上升及下降緣二者輸入/輸出。此操作大致地對應於該DDR DRAM的頻率。

圖7說明一如本發明第三實施例之記憶體模組700。該記憶體模組700包括複數記憶體晶片701、702、...、706，及一暫存器710。該暫存器710係連接以接收加載於一系統板上之一第一時脈信號CLK1、一位址信號ADDR及一指令信號CMD。該暫存器710以該第一時脈信號CLK1的時序，儲存位址信號ADDR與指令信號CMD，且傳送該信號至記憶體晶片701、702、...、706。在此實施例中，由暫存器710輸出的位址信號ADDR與指令信號CMD係以一方向(圖7中由左至右的方向)通過記憶體模組700傳送至記憶體晶片701、702、...、706。

該記憶體晶片701、702、...、706係連接以接收加載於系統板上的第二時脈信號CLK2，且該位址信號ADDR與指令信號CMD由該暫存器710輸出。該第二時脈信號CLK2具有一高於第一時脈信號CLK1的頻率。該第一時脈信號CLK1、位址信號ADDR及指令信號CMD可直接地供給至記憶體晶片701、702、...、706，換言之，不會通過記憶體模組700中的暫存器710。在此，第一時脈信號CLK1供給以驅動一位址緩衝器及與指令緩衝器，該緩衝器分別地接收位址信號ADDR與指令信號CMD。該第二時脈信號

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝
訂
線

五、發明說明（ 14 ）

CLK2供給以驅動資料緩衝器。這樣，具有一低頻的第一時脈信號CLK1係用作該位址信號ADDR與指令信號CMD的操作時脈信號，且具有一高頻的第二時脈信號CLK2係使用來輸入/輸出資料。

第一時脈信號CLK1、第二時脈信號CLK2、位址信號ADDR及指令信號CMD係由一記憶體控制器或微處理器(未表示)所供給，且透過系統板上所配置的匯流排線連接至各種裝置，特別地連接至記憶體模組700。

圖8說明圖7之一修正，且表示本發明之第四實施例。在此，由一暫存器710輸出之位址信號ADDR與一指令信號CMD係連接至來自一記憶體模組700'中心的記憶體晶片701、702、...、706。因此，由暫存器710所輸出的位址信號ADDR與指令信號CMD係以二方向(於圖8中，由中心至左與中心至右的方向)通過記憶體模組700傳送至記憶體晶片701、702、...、706。此實施例的結構減少加載於記憶體晶片701、702、...、706之線路中的差異，藉此減少記憶體晶片701、702、...、706中之失真。

圖9說明圖7之另一修正，且表示本發明之第五實施例。在此，該第一時脈信號CLK1與第二時脈信號CLK2係由接收加載於系統板上的系統時脈信號CLK的相位鎖定迴路(PLL)，而非由一記憶體控制器或微處理器所供給。

圖10說明圖9的一修正，且表示本發明之第四實施例。在此，相同於圖8，由一暫存器910輸出的位址信號ADDR與指令信號CMD係連接至來自一記憶體模組900'中

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝

訂

線

五、發明說明（ 15 ）

心的記憶體晶片901、902、...、906。因此，由暫存器910所輸出的位址信號ADDR與指令信號CMD係以二方向(於圖10中由中心至左與中心至右的方向)通過記憶體模組900傳送至記憶體晶片901、902、...、906。此實施例的結構減少加載於記憶體晶片901、902、...、906之線路中的差異，藉此減少記憶體晶片901、902、...、906中之失眞。

圖7至10所示的記憶模組以大致相同的方式操作，其現在將敘述相關圖7所例示的記憶體模組。第一時脈信號CLK1的頻率低於第二時脈信號CLK2的頻率。具有低頻的第一時脈信號CLK1係用作暫存器710的操作時脈信號，且具有高頻的第二時脈信號CLK2係用作記憶體晶片701、702、...、706的操作時脈信號，藉此使暫存器710以相當低速操作的性能，適應於記憶體晶片701、702、...、706較高的操作速度。記憶體晶片701、702、...、706可由高速同步的DRAMs，例如DDR DRAMs或SDR DRAMs所組成。

相反於一般記憶體模組，其接收一單時脈信號及分配該信號遍及記憶體模組，本發明之記憶體模組700接收二時脈信號CLK1與CLK2，且將該信號連接至以不同頻率操作的裝置，換言之，分別地連接至暫存器710及記憶體晶片701、702、...、706。因此，記憶體模組700包括用來接收二時脈信號CLK1與CLK2的二模組腳位。

在圖7至10所示的記憶體模組700、700'、900及900'中，因爲在記憶體模組中，以不同頻率操作的暫存器與記憶體晶片係選擇性地供給具對應頻率的時脈信號，而具相當低

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝

訂

線

五、發明說明（ 16 ）

之操作頻率的暫存器係以穩定方式操作。

圖11說明一如本發明第七實施例之記憶體模組1100。除了本實施例中一相位鎖定迴路1120接收第二時脈信號CLK2及分配該信號至記憶體晶片1101、1102、…、1106，記憶體模組1100大致地相同於圖7所示的記憶體模組700。

特別地，PLL 1120接收第二時脈信號CLK2及產生複數內部時脈信號ICLK1、ICLK2、…、ICLK6，且傳送該信號至記憶體晶片1101、1102、…、1106。內部時脈信號ICLK1、ICLK2、…、ICLK6具有相同的轉換率及責任週期，且接近理想信號而不失真。另外，因內部時脈信號ICLK1、ICLK2、…、ICLK6與第二時脈信號CLK2相位同步，其具有與第二時脈信號CLK2相同的頻率。這樣，內部時脈信號ICLK1、ICLK2、…、ICLK6也具有一高頻。

圖12說明圖11之一修正，且表示本發明之第八實施例。在此，相同於圖8，由一暫存器1110輸出的位址信號ADDR與指令信號CMD係連接至來自一記憶體模組1100'中心的記憶體晶片1101、1102、…、1106。因此，由暫存器1110所輸出的位址信號ADDR與指令信號CMD係以二方向(於圖12中，由中心至左與中心至右的方向)通過記憶體模組1100'傳送至記憶體晶片1101、1102、…、1106。此實施例的結構減少加載於記憶體晶片1101、1102、…、1106之線路中的差異，藉此減少記憶體晶片1101、1102、…、1106中之失真。

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝
訂
線

五、發明說明（ 17 ）

在圖11及12所示之記憶體模組1100、1100'中，因爲在記憶體模組中，以不同頻率操作的暫存器與記憶體晶片係選擇性地供給具對應頻率的時脈信號，而具相當低之操作頻率的暫存器係以穩定方式操作。

雖然本發明特定實施例已在此敘述作爲圖示的目的，各種修正及其相等例能得到而不偏離本發明的精神與目標，且其將爲習於此技者所瞭解。僅作爲一範例，值得注意的是本發明已敘述如上其使用二時脈信號，換言之，該第一時脈信號CLK1與第二時脈信號CLK2。然而，記憶體模組也結構以接收超過二具有不同操作頻率之時脈信號，而該操作頻率係接著連接至各種以不同頻率操作的裝置。因此，本發明不預備限制該揭露，但替代地其目標係完全地由下列申請專利之附加項所決定。

裝 訂 線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

A5
B5

四、中文發明摘要（發明之名稱：具有用於位址及/或命令信號之改變的時脈頻率之半導體記憶體裝置及具有該裝置之記憶體模組和系統）

一種半導體記憶體裝置，包括一時脈緩衝器，其接收一外部信號及產生含一低於外部時脈信號頻率之第一內部時脈信號，及一含一相同於外部時脈信號頻率之第二內部時脈信號。一位址緩衝器、指令信號緩衝器及/或暫存器以該第一內部時脈信號的時序接收各別輸入信號。在另一方面，一資料緩衝器以該第二內部時脈信號的時序輸入/輸出資料。

英文發明摘要（發明之名稱："SEMICONDUCTOR MEMORY DEVICE HAVING ALTERED CLOCK FREQUENCY FOR ADDRESS AND/OR COMMAND SIGNALS, AND MEMORY MODULE AND SYSTEM HAVING THE SAME"）

A semiconductor memory device includes a clock buffer which receives an external clock signal and generates a first internal clock signal having a frequency lower than that of the external clock signal and a second internal clock signal having a frequency which is the same as that of the external clock signal. An address buffer, command signal buffer and/or register receive respective input signals at a timing of the first internal clock signal. On the other hand, a data buffer inputs/outputs data at a timing of the second internal clock signal.

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝 訂 線

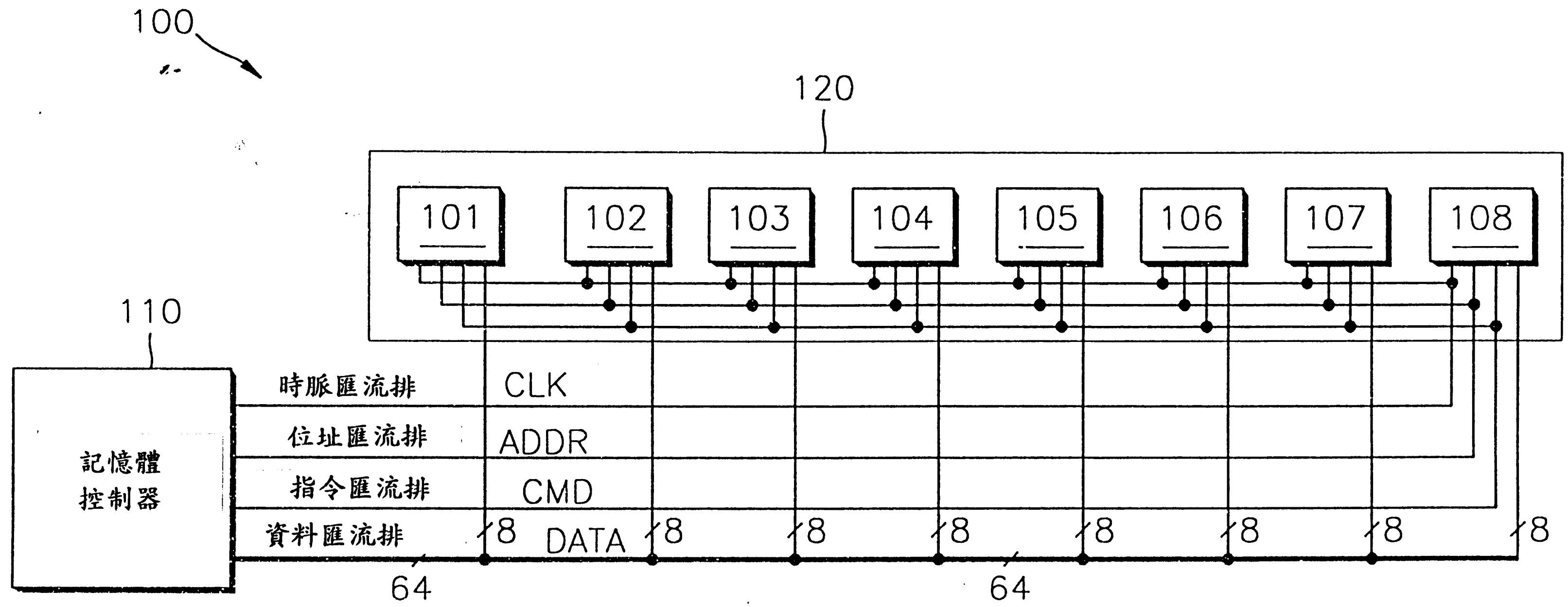

100
120
101
102
103
104
105
106
107
108
110
記憶體
控制器
時脈匯流排
CLK
位址匯流排
ADDR
指令匯流排
CMD
資料匯流排
DATA
8
64

圖 1

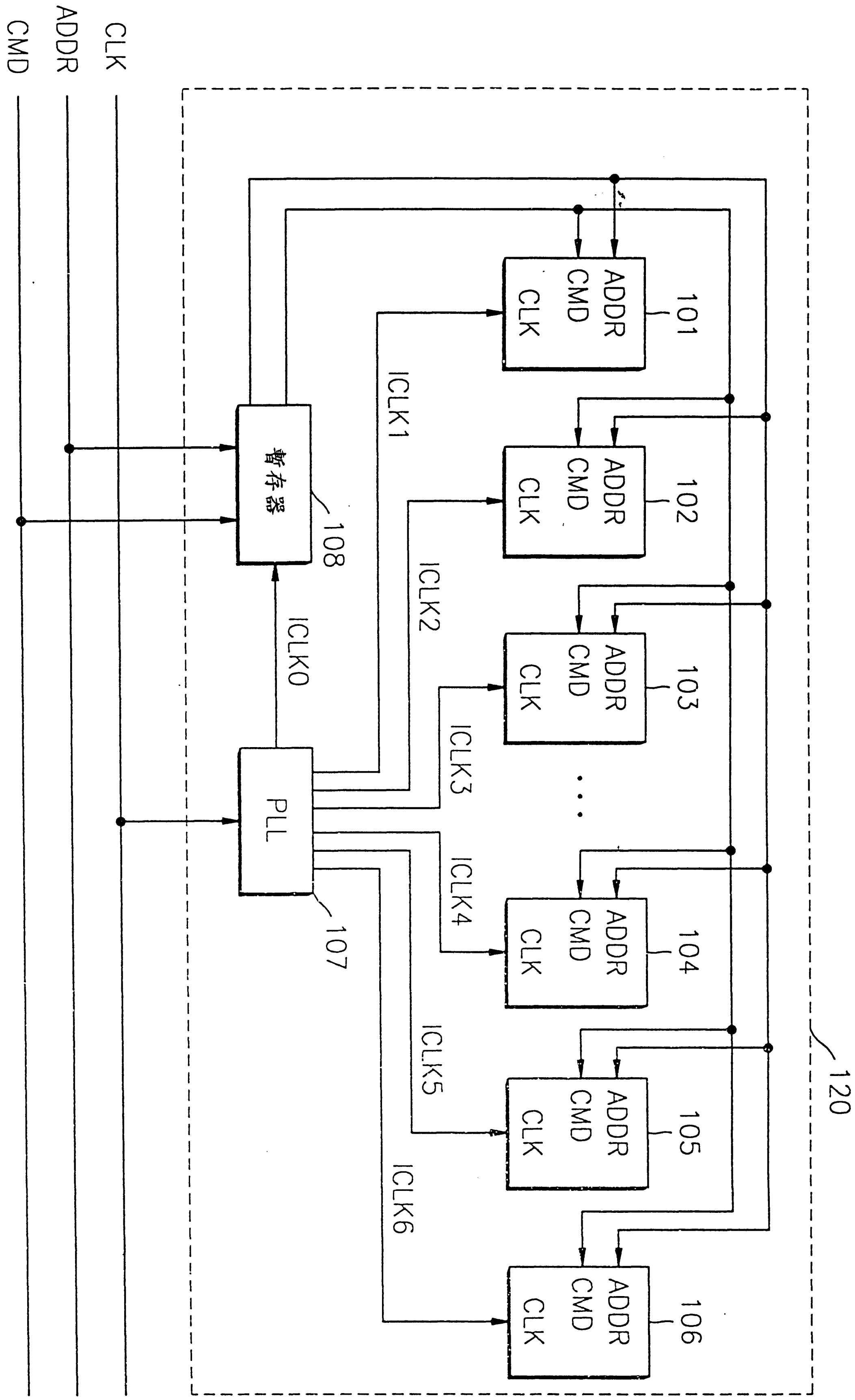

CLK
ADDR
CMD
暫存器
108
PLL
107
ICLK0
ICLK1
ICLK2
ICLK3
ICLK4
ICLK5
ICLK6
ADDR
CMD
CLK
101
102
103
104
105
106
120

圖 2

530207

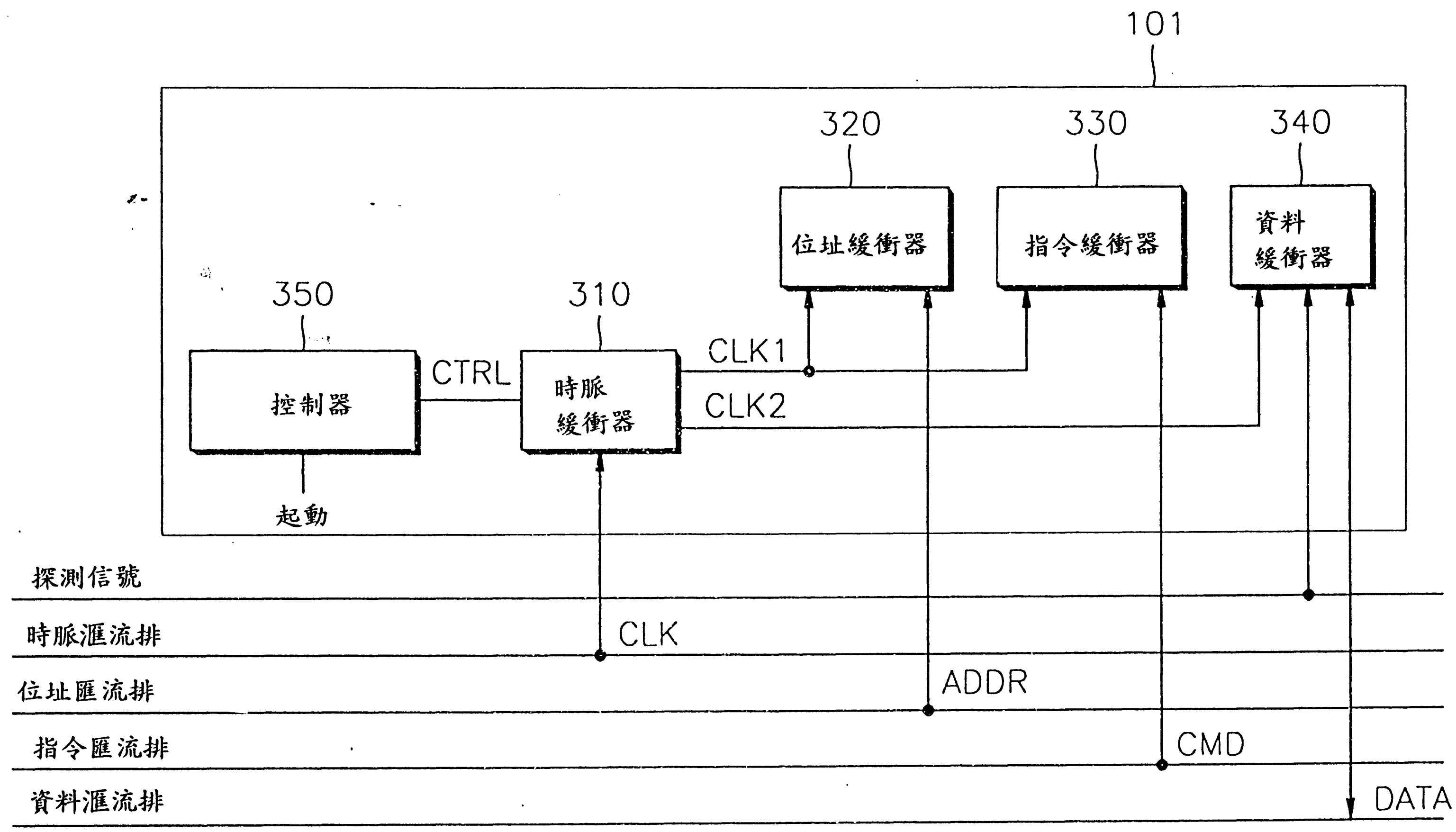

101
320
330
340
位址緩衝器
指令緩衝器
資料
緩衝器
350
310
CTRL
控制器
時脈
緩衝器
CLK1
CLK2
起動
探測信號
時脈滙流排
CLK
位址匯流排
ADDR
指令匯流排
CMD
資料滙流排
DATA

圖 3

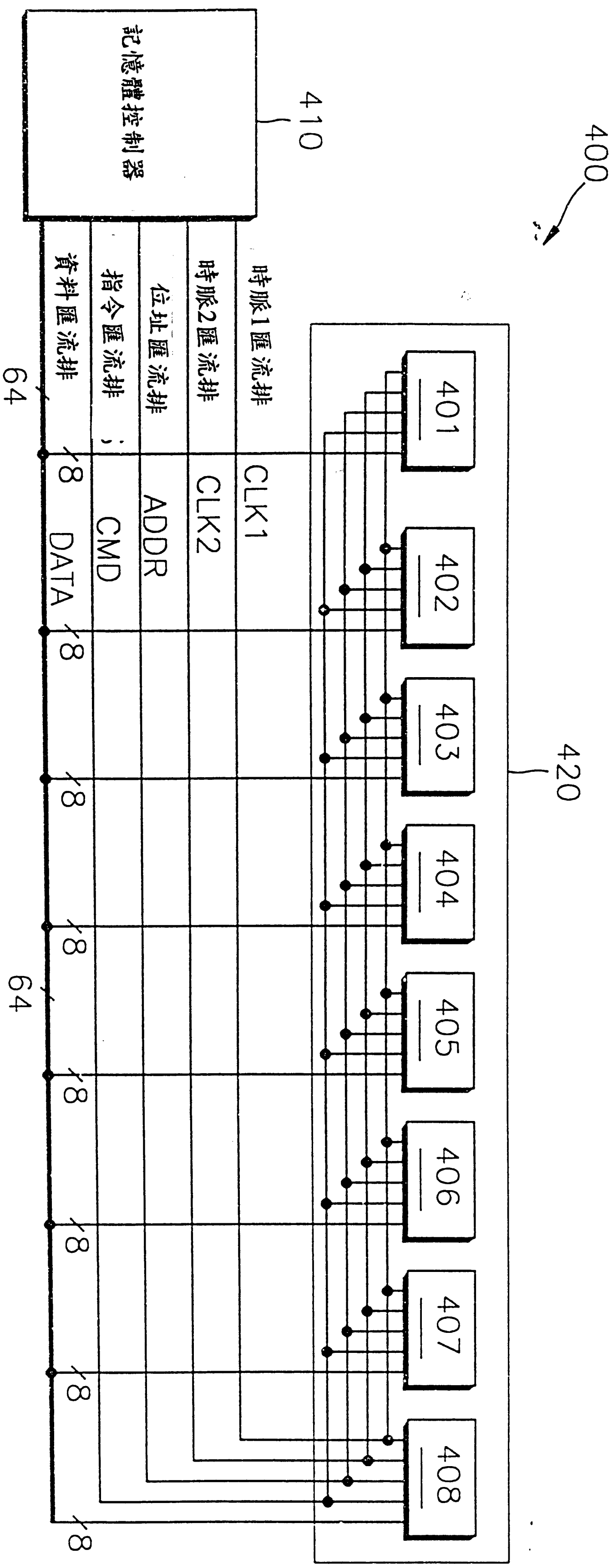

記憶體控制器
410
400
時脈1匯流排
時脈2匯流排
位址匯流排
指令匯流排
資料匯流排
CLK1
CLK2
ADDR
CMD
DATA
64
8
401
402
403
404
405
406
407
408
420

圖 4

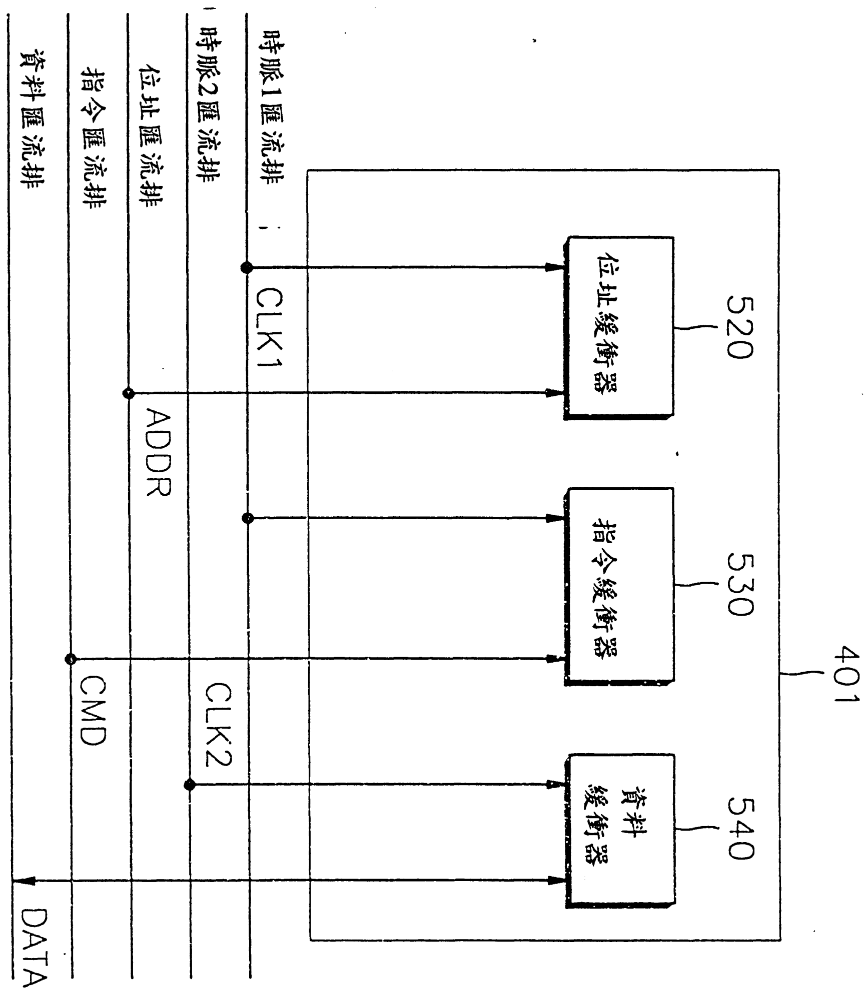

時脈1匯流排
時脈2匯流排
位址匯流排
指令匯流排
資料匯流排
401
520
位址緩衝器
530
指令緩衝器
540
資料緩衝器
CLK1
ADDR
CMD
CLK2
DATA

圖 5

530207

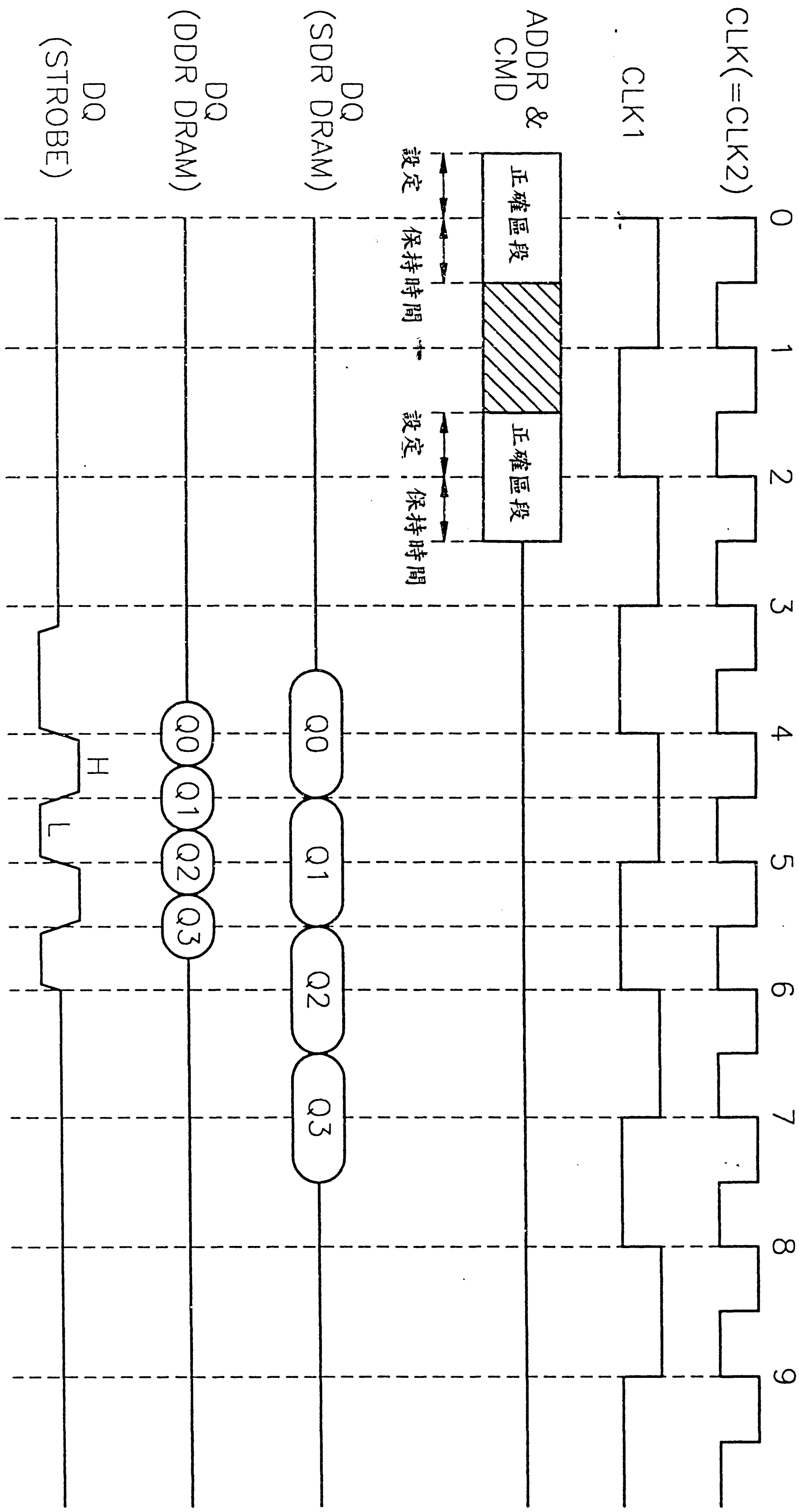

CLK(=CLK2)
CLK1
ADDR & CMD
DQ (SDR DRAM)
DQ (DDR DRAM)
DQ (STROBE)
0
1
2
3
4
5
6
7
8
9
正確區段
正確區段
設定
保持時間
設定
保持時間
Q0
Q1
Q2
Q3
Q0
Q1
Q2
Q3
H
L

圖 6

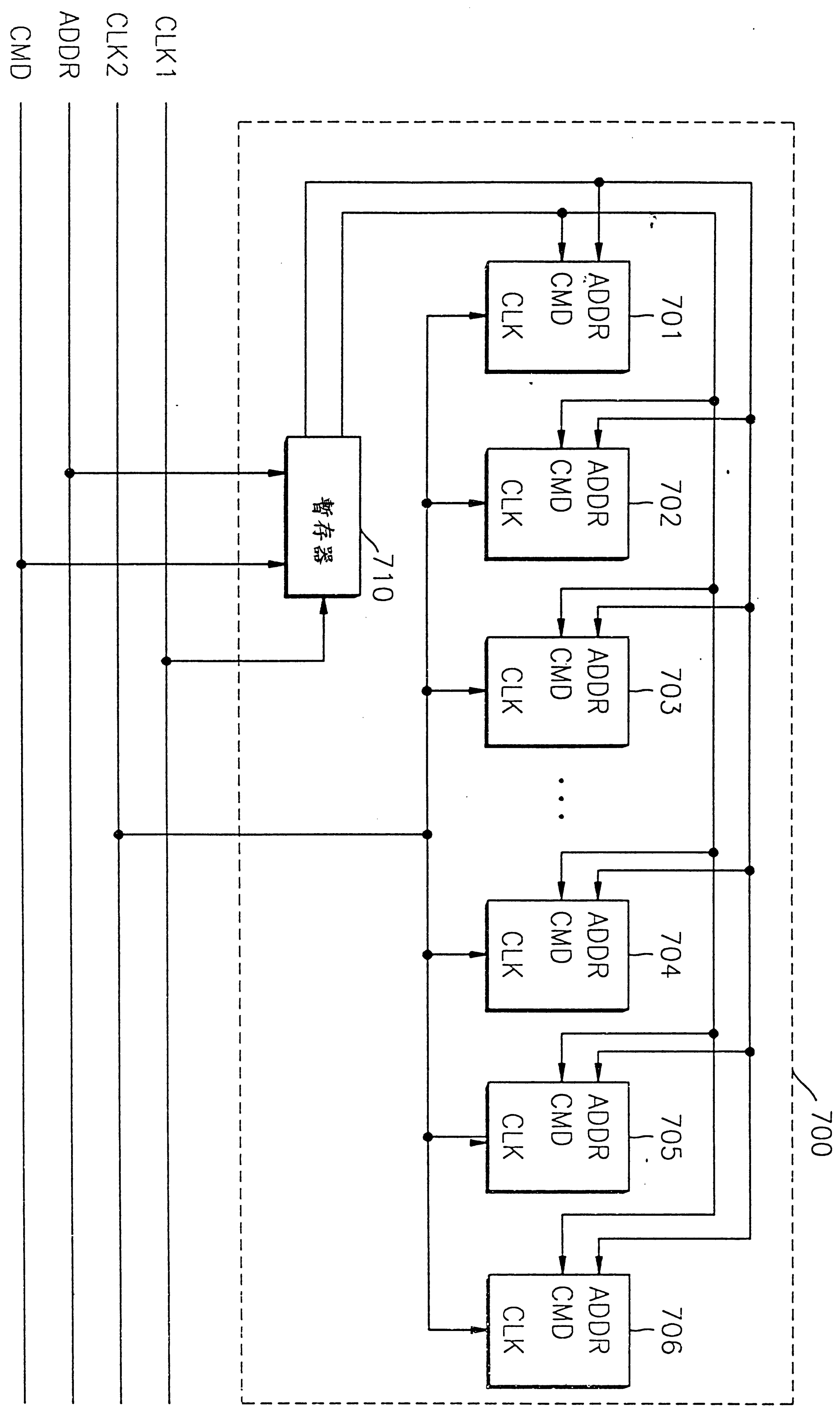

CLK1
CLK2
ADDR
CMD
暫存器
710
700
701
ADDR
CMD
CLK
702
ADDR
CMD
CLK
703
ADDR
CMD
CLK
704
ADDR
CMD
CLK
705
ADDR
CMD
CLK
706
ADDR
CMD
CLK

圖 7

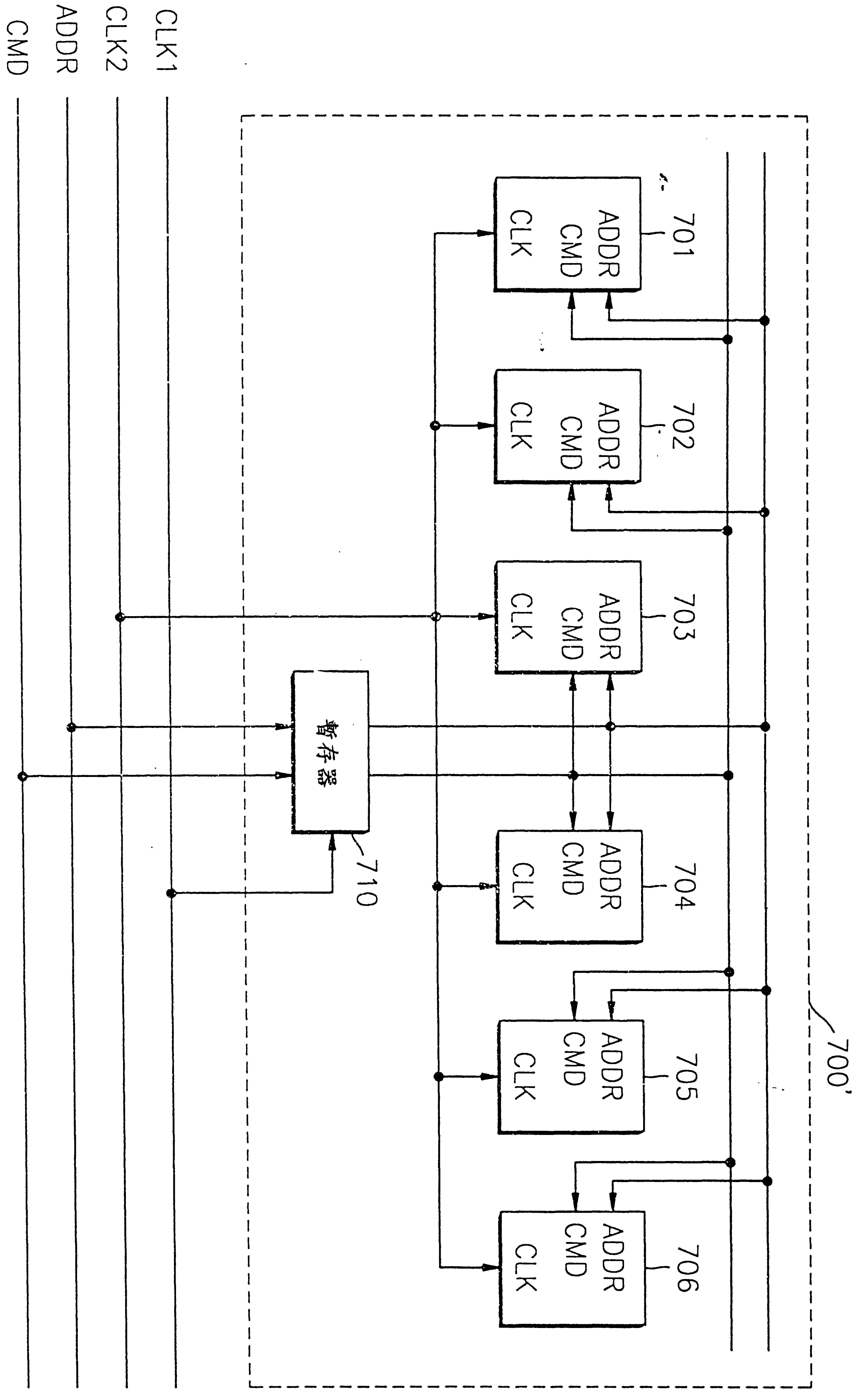

CLK1
CLK2
ADDR
CMD
701
ADDR
CMD
CLK
702
ADDR
CMD
CLK
703
ADDR
CMD
CLK
704
ADDR
CMD
CLK
705
ADDR
CMD
CLK
706
ADDR
CMD
CLK
暫存器
710
700'

圖 8

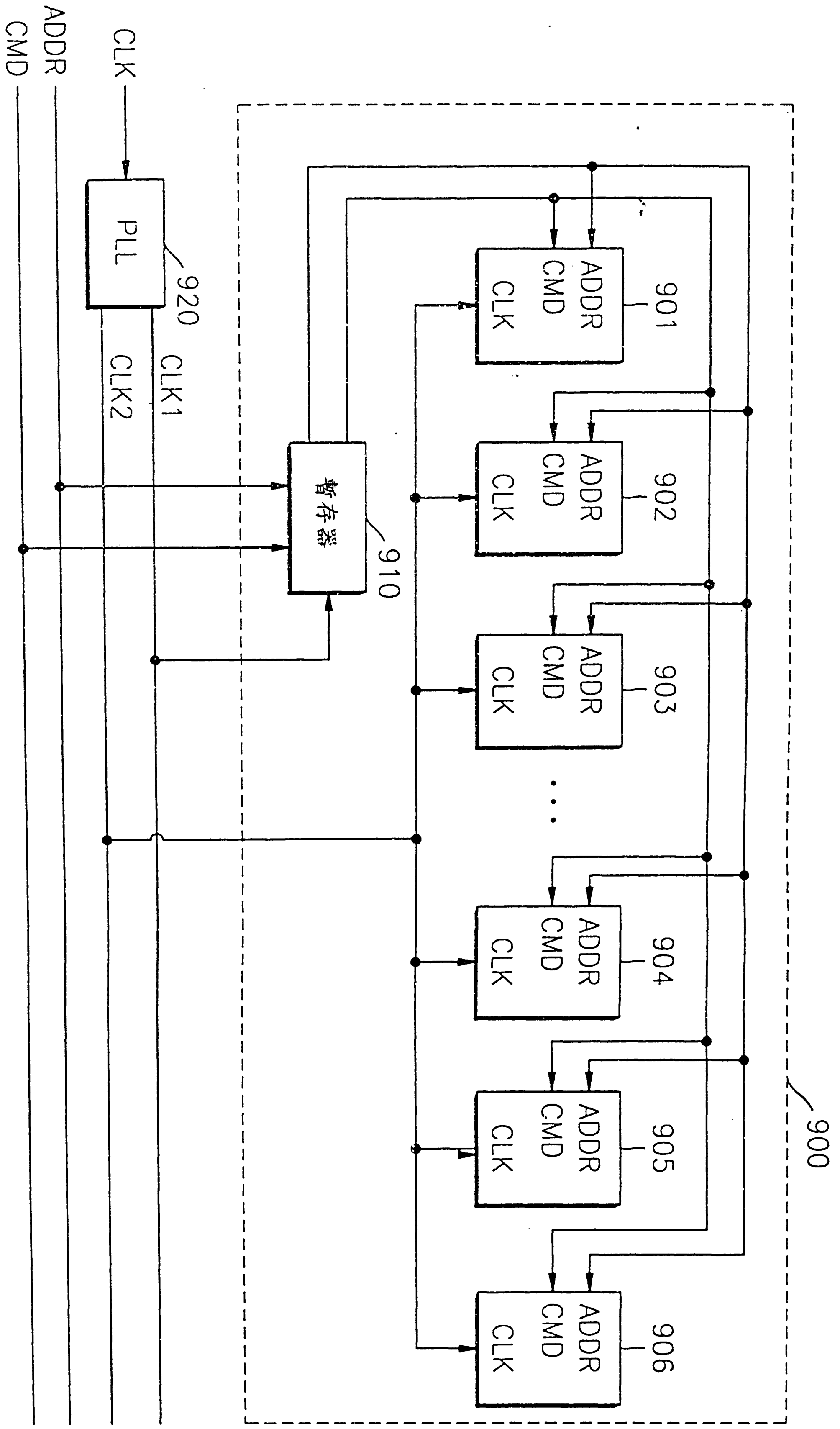
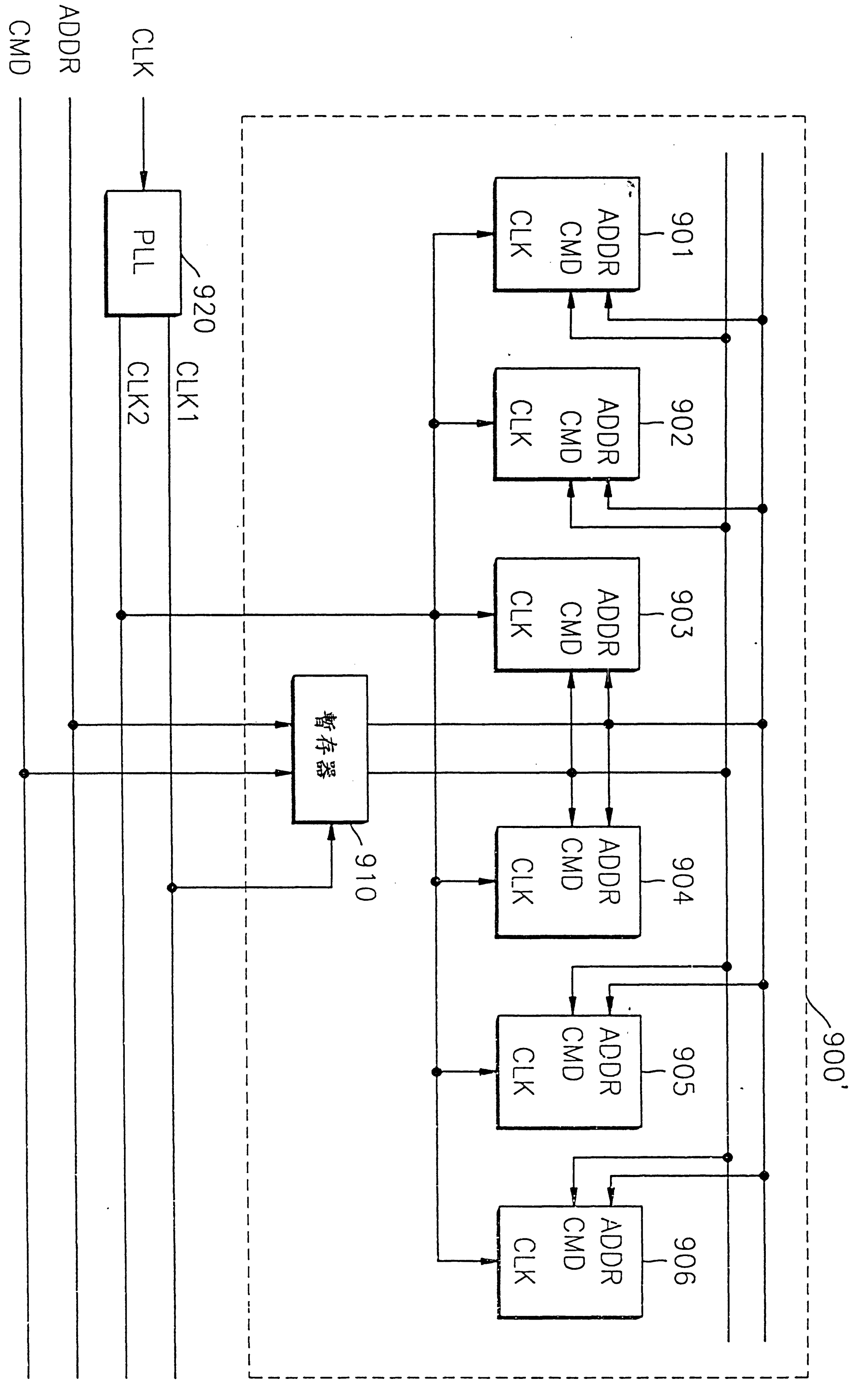

CLK
ADDR
CMD
PLL
920
CLK1
CLK2
暫存器
910
ADDR CMD CLK
901
902
903
904
905
906
900

圖 9



CLK
ADDR
CMD
PLL
920
CLK1
CLK2
暫存器
910
901
902
903
904
905
906
ADDR
CMD
CLK
900'

圖 10

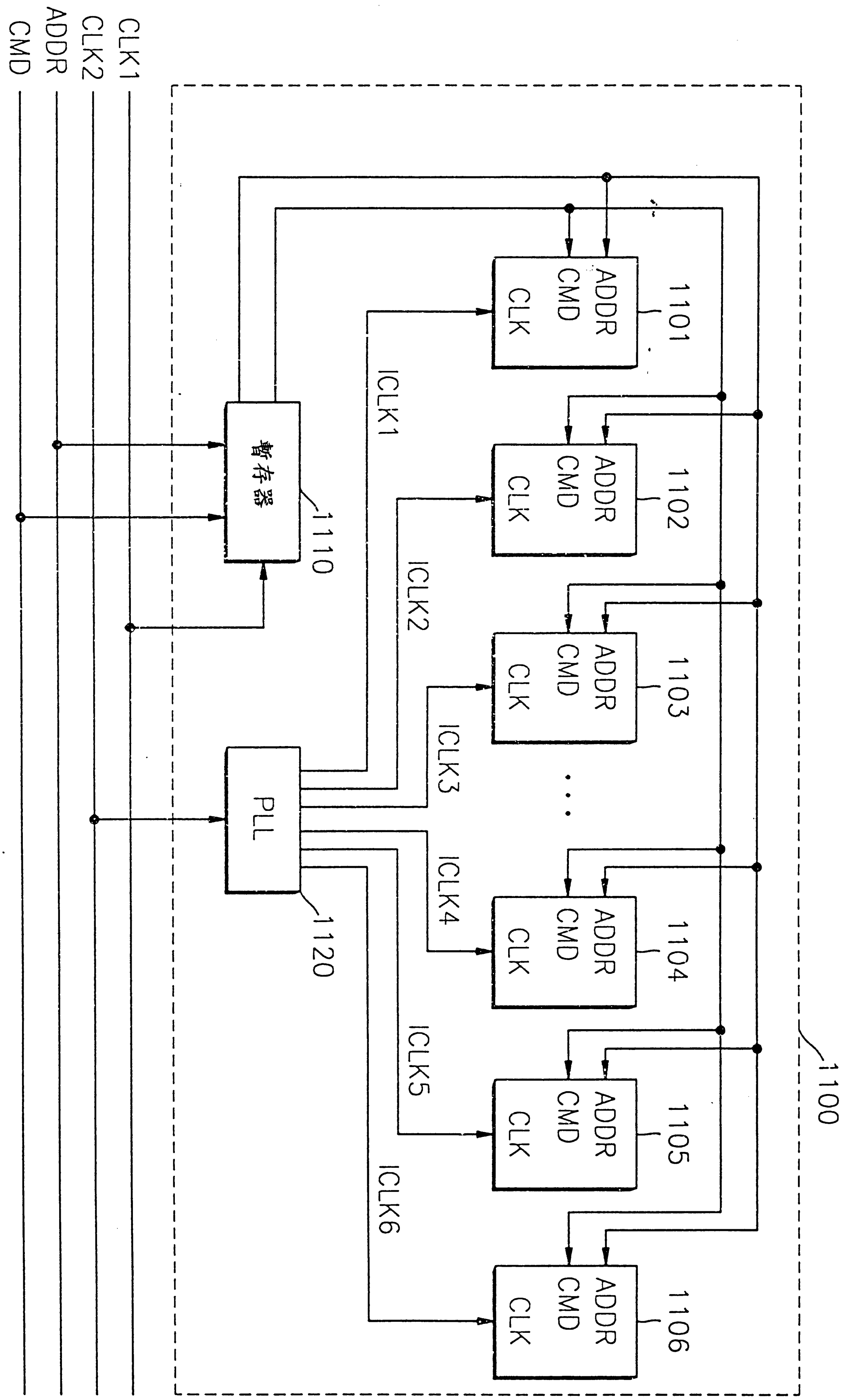
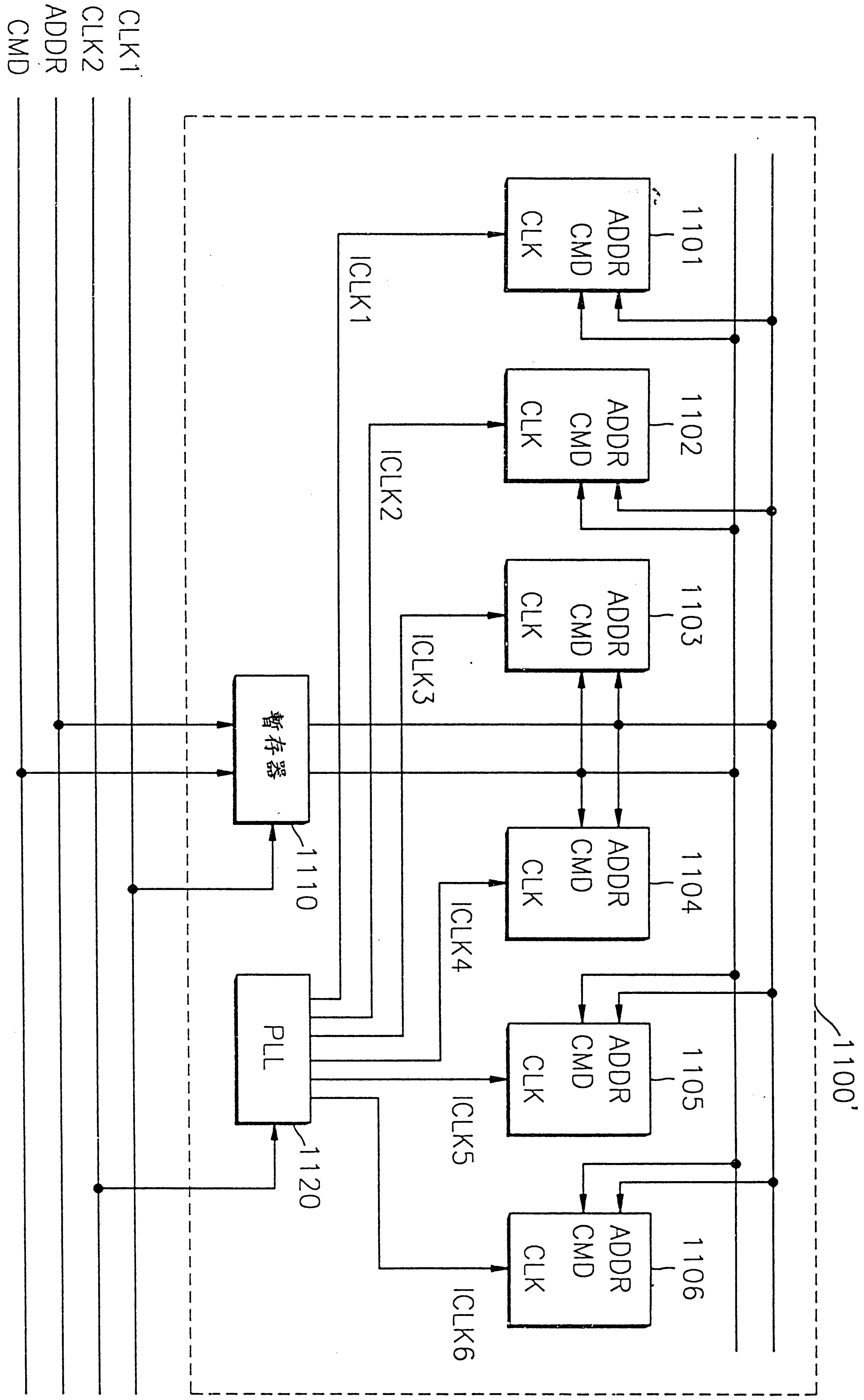

CLK1
CLK2
ADDR
CMD
1100
暫存器
1110
PLL
1120
ICLK1
ICLK2
ICLK3
ICLK4
ICLK5
ICLK6
1101
1102
1103
1104
1105
1106
ADDR
CMD
CLK

圖 11



CLK1
CLK2
ADDR
CMD
1101
ADDR
CMD
CLK
ICLK1
1102
ICLK2
1103
ICLK3
1104
ICLK4
1105
ICLK5
1106
ICLK6
暫存器
1110
PLL
1120
1100'

圖 12

92.1.20

五、發明說明 (18)

圖式元件符號說明

100	中央處理單元系統板	408	記憶體晶片
101	記憶體晶片	410	記憶體控制器
102	記憶體晶片	420	記憶體模組
103	記憶體晶片	520	位址緩衝器
104	記憶體晶片	530	指令緩衝器
105	記憶體晶片	540	資料緩衝器
106	記憶體晶片	700	記憶體模組
107	記憶體晶片	700'	記憶體模組
108	記憶體晶片	701	記憶體晶片
110	記憶體控制器	702	記憶體晶片
120	記憶體模組	703	記憶體晶片
310	時脈緩衝器	704	記憶體晶片
320	位址緩衝器	705	記憶體晶片
330	指令緩衝器	706	記憶體晶片
340	資料緩衝器	710	暫存器
350	控制器	900	記憶體模組
400	系統板	900'	記憶體模組
401	記憶體晶片	901	記憶體晶片
402	記憶體晶片	902	記憶體晶片
403	記憶體晶片	903	記憶體晶片
404	記憶體晶片	904	記憶體晶片
405	記憶體晶片	905	記憶體晶片
406	記憶體晶片	906	記憶體晶片
407	記憶體晶片	910	暫存器

裝
訂
線
本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

92年1月20日

五、發明說明（ 19 ）

920　鎖相迴路
1100　記憶體模組
1100'　記憶體模組
1101　記憶體晶片
1102　記憶體晶片
1103　記憶體晶片
1104　記憶體晶片
1105　記憶體晶片
1106　記憶體晶片
1110　暫存器
1120　鎖相迴路

裝
訂
線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

92年1月20日 修正 補充

裝 訂 線

六、申請專利範圍

1. 一種半導體記憶體裝置，包含：

一時脈緩衝器，其接收一外部信號，且輸出含一低於該外部時脈信號頻率之一第一內部時脈信號，及含一相同於該外部時脈信號頻率之一第二內部時脈信號；

一位址緩衝器，其以該第一內部時脈信號的時序接收一位址信號；及

一資料緩衝器，其以該第二內部時脈信號的時序輸入/輸出資料。

2. 如申請專利範圍第 1 項的半導體記憶體裝置，進一步包含以該第一內部時脈信號的時序接收一指令信號之一指令緩衝器。

3. 如申請專利範圍第 1 項的半導體記憶體裝置，其中該第一內部時脈信號的週期係該外部時脈信號週期的整倍數。

4. 如申請專利範圍第 1 項的半導體記憶體裝置，其中該資料緩衝器以該資料探測信號的各上升與下降緣，接收一資料探測信號與輸入/輸出資料。

5. 一種半導體記憶體裝置，包含：

一時脈緩衝器，其接收一外部信號與一控制信號，且其反應該控制信號以輸出含一低於該外部時脈信號頻率之一第一內部時脈信號，及含一相同於該外部時脈信號頻率之一第二內部時脈信號；

一控制器，其輸出指示相對於該第二內部時脈信號頻率之第一內部時脈信號頻率的控制信號；

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

92年1月20日 修正 補充

六、申請專利範圍

一位址緩衝器，其以該第一內部時脈信號的時序接收一位址信號；

一指令緩衝器，其以該第一內部時脈信號的時序接收一指令信號；及

一資料緩衝器，其以該第二內部時脈信號的時序輸入/輸出資料。

6. 如申請專利範圍第5項的半導體記憶體裝置，其中該控制器包含一模式暫存器設定。

7. 如申請專利範圍第5項的半導體記憶體裝置，其中當半導體記憶體裝置起動或當半導體裝置的關閉模式取消時，該控制信號係由控制器所產生。

8. 如申請專利範圍第5項的半導體記憶體裝置，其中該控制信號指示外部時脈信號那一上升或下降緣，使該第一內部時脈信號得以同步。

9. 如申請專利範圍第5項的半導體記憶體裝置，其中該資料緩衝器以該資料探測信號各上升與下降緣，接收一資料探測信號與輸入/輸出該資料。

10. 如申請專利範圍第5項的半導體記憶體裝置，其中該第一內部時脈信號的週期係該外部時脈信號週期的整倍數。

11. 一種半導體記憶體系統，包含：

一記憶體控制器；

複數個匯流排線，其連接至記憶體控制器及轉換一位址信號、一指令信號與資料；及

裝 訂 線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

A8
B8
C8
D8

92.1.20

六、申請專利範圍

一記憶體模組，其具有複數半導體記憶體裝置，且透過複數匯流排線連接至記憶體控制器，其中各半導體記憶體裝置包含(a)一時脈緩衝器，其接收一外部信號與一控制信號，且其係反應於該控制信號以輸出含一低於外部時脈信號頻率之一第一內部時脈信號，及含一相同於該外部時脈信號頻率之一第二內部時脈信號，(b)一控制器，其輸出之控制信號指示相關於該第二時脈信號之第一時脈信號，(c)一位址緩衝器，其以該第一內部時脈信號的時序接收一位址信號，(d)一指令緩衝器，其以該第一內部時脈信號的時序接收一指令信號，(e)及一資料緩衝器，其以該第二內部時脈信號的時序輸入/輸出該資料。

12. 如申請專利範圍第11項的半導體記憶體系統，其中該記憶體控制器係由一微處理器所提供。

13. 如申請專利範圍第11項的半導體記憶體系統，其中該控制器包含一模式暫存器設定。

14. 如申請專利範圍第11項的半導體記憶體系統，其中當半導體記憶體裝置起動或當半導體裝置的關閉模式取消時，該控制信號係由控制器所產生。

15. 如申請專利範圍第11項的半導體記憶體系統，其中該控制信號指示外部時脈信號那一上升或下降緣，使該第一內部時脈信號得以同步。

16. 如申請專利範圍第5項的半導體記憶體系統，其中該資料緩衝器以該資料探測信號的各上升與下降緣，接收一

裝
訂
線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

92.1.20

六、申請專利範圍

資料探測信號與輸入/輸出該資料。

17. 如申請專利範圍第11項的半導體記憶體系統，其中該第一內部時脈信號的週期係該外部時脈信號週期的整倍數。

18. 一種半導體記憶體系統，包含：

一記憶體控制器，其產生一第一時脈信號、一含一大於該第一時脈信號頻率之第二時脈信號、一位址信號、一指令信號與資料；及

一記憶體模組，其具有複數半導體裝置，且經匯流排線連接至記憶體控制器，而該第一時脈信號、第二時脈信號、位址信號、指令信號及資料係加載於該匯流排線上，其中各半導體記憶體裝置包含(a)一位址緩衝器，其以該第一內部時脈信號的時序接收一位址信號，(b)一指令緩衝器，其以該第一內部時脈信號的時序接收一指令信號，(c)及一資料緩衝器，其以該第二內部時脈信號的時序輸入/輸出資料。

19. 如申請專利範圍第18項的半導體記憶體系統，其中該記憶體控制器由一微處理器所提供。

20. 如申請專利範圍第18項的半導體記憶體系統，其中該資料緩衝器以該資料探測信號的各上升與下降緣，接收一資料探測信號與輸入/輸出該資料。

21. 一種半導體記憶體系統，包含：

複數匯流排線，其各別地傳輸一第一時脈信號、一第二時脈信號、一位址信號及一指令信號，其中該第一時

裝
訂
線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

A8
B8
C8
D8

92年1月20日 修正 補充

六、申請專利範圍

脈信號的頻率不同於該第二時脈信號的頻率；

一記憶體模組，其連接至複數匯流排線且包含複數記憶體晶片，其中各記憶體晶片包含(a)一位址緩衝器，其連接至該第一時脈信號匯流排線與位址信號匯流排線，且以該第一內部時脈信號的時序接收該位址信號，(b)一指令緩衝器，其連接至該第一時脈信號的匯流排線與指令信號的匯流排線，且以該內部時脈信號的時序接收該指令信號，及(c)一資料緩衝器，其連接至該第二時脈信號的匯流排線，且以該第二時脈信號的時序輸入/輸出資料。

22. 如申請專利範圍第21項的系統，進一步包含一記憶體控制器，其供給該第一時脈信號、第二時脈信號、位址信號與指令信號。

23. 如申請專利範圍第21項的系統，其中該第一時脈信號的頻率係低於該第二時脈信號的頻率。

24. 如申請專利範圍第21項的系統，其中該記憶體模組包括至少接收該第一及第二時脈信號的二模組腳位。

25. 一種半導體記憶體系統，包含：

複數匯流排線，其各別地傳輸一第一時脈信號、一第二時脈信號、一位址信號及一指令信號，其中該第一時脈信號的頻率不同於該第二時脈信號的頻率；及

一記憶體模組，其連接至複數匯流排線，且包含(a)一暫存器，其連接至該第一時脈信號的匯流排、位址信號的匯流排，及指令信號的匯流排，且以該第一時脈信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

A8
B8
C8
D8

92年1月20日 修正 補充

六、申請專利範圍

的時序儲存該位址信號與指令信號，及(b)複數記憶體晶片，其各別連接至該第二時脈信號的匯流排，且以該第二時脈信號的時序接收儲存於暫存器中的位址信號及指令信號，其中該位址信號與指令信號係以記憶體模組的一方向，傳送至記憶體晶片。

26. 如申請專利範圍第25項的系統，進一步包含一記憶體控制器，其供給該第一時脈信號、第二時脈信號、位址信號與指令信號。

27. 如申請專利範圍第25項的系統，其中該第一時脈信號的頻率係低於該第二時脈信號的頻率。

28. 如申請專利範圍第25項的系統，其中該記憶體模組包括至少接收該第一及第二時脈信號的二模組接腳。

29. 一種半導體記憶體系統，包含：

複數個匯流排線，其各別地傳輸一第一時脈信號、一第二時脈信號、一位址信號及一指令信號，其中該第一時脈信號的頻率不同於該第二時脈信號的頻率；及

一記憶體模組，其連接至複數匯流排線且包含(a)一暫存器，其連接至該第一時脈信號的匯流排、位址信號的匯流排，及指令信號的匯流排，且以該第一時脈信號的時序儲存該位址信號與指令信號，及(b)複數記憶體晶片，其各別連接至該第二時脈信號的匯流排，且以該第二時脈信號的時序接收儲存於暫存器中的位址信號與指令信號，其中該位址信號與指令信號係以來自記憶體模組中心的二方向，傳送至該記憶體晶片。

裝

訂

線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

92.1.20.

六、申請專利範圍

30. 如申請專利範圍第29項的系統，進一步包含一記憶體控制器，其供給該第一時脈信號、第二時脈信號、位址信號與指令信號。

31. 如申請專利範圍第29項的系統，其中該第一時脈信號的頻率係低於該第二時脈信號的頻率。

32. 如申請專利範圍第29項的系統，其中該記憶體模組包括至少接收該第一及第二時脈信號的二模組腳位。

33. 一種半導體記憶體系統，包含：

複數個匯流排線，其各別地傳輸一系統時脈信號、一位址信號及一指令信號；

一相位鎖定迴路，其接收系統時脈信號，且輸出一第一時脈信號及一第二時脈信號，其中該第一時脈信號的頻率不同於該第二時脈信號的頻率；及

一記憶體模組，其連接至複數匯流排線，且包含(a)一暫存器，其連接至該第一時脈信號的匯流排、位址信號的匯流排，及指令信號的匯流排，且以該第一時脈信號的時序儲存該位址信號與指令信號，及(b)複數記憶體晶片，其各別連接至該第二時脈信號的匯流排，且以該第二時脈信號的時序接收儲存於暫存器中的位址信號與指令信號，其中該位址信號與指令信號係以記憶體模組的一方向，傳送至該記憶體晶片。

34. 如申請專利範圍第33項的系統，進一步包含一記憶體控制器，其供給該系統時脈信號、位址信號與指令信號。

35. 如申請專利範圍第33項的系統，其中該第一時脈信號的

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

裝
訂
線

92年1月20日 修正

六、申請專利範圍

頻率係低於該第二時脈信號的頻率。

36. 如申請專利範圍第33項的系統，其中該記憶體模組包括至少接收該第一及第二時脈信號的二模組接腳。

37. 一種半導體記憶體系統，包含：

複數個匯流排線，其各別地傳輸一系統時脈信號、一位址信號及一指令信號；

一相位鎖定迴路，其接收系統時脈信號，且輸出一第一時脈信號與一第二時脈信號，其中該第一時脈信號的頻率不同於該第二時脈信號的頻率；及

一記憶體模組，其連接至複數匯流排線，且包含(a)一暫存器，其連接至該第一時脈信號的匯流排、位址信號的匯流排，及指令信號的匯流排，且以該第一時脈信號的時序儲存該位址信號與指令信號，及(b)複數記憶體晶片，其各別連接至該第二時脈信號的匯流排，且以該第二時脈信號的時序接收儲存於暫存器中的位址信號與指令信號，其中該位址信號與指令信號係以來自記憶體模組中心的二方向，傳送至該記憶體晶片。

38. 如申請專利範圍第37項的系統，進一步包含一記憶體控制器，其供給該第一時脈信號、第二時脈信號、位址信號與指令信號。

39. 如申請專利範圍第37項的系統，其中該第一時脈信號的頻率係低於該第二時脈信號的頻率。

40. 如申請專利範圍第37項的系統，其中該記憶體模組包括至少接收該第一及第二時脈信號的二模組腳位。

裝 訂 線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

92年1月20日 修正 補充

六、申請專利範圍

41. 一種半導體記憶體系統，包含：

複數個匯流排線，其各別地傳輸一第一時脈信號、一第二時脈信號、一位址信號及一指令信號，其中該第一時脈信號的頻率不同於該第二時脈信號的頻率；及

一記憶體模組，其連接至複數匯流排線且包含(a)一暫存器，其連接至該第一時脈信號的匯流排、位址信號的匯流排，及指令信號的匯流排，且以該第一時脈信號的時序儲存該位址信號與指令信號，(b)一相位鎖定迴路，其連接至該第二時脈信號的匯流排，且輸出複數具有與該第二時脈信號相同頻率的內部時脈信號，及(c)複數記憶體晶片，其各別連接至該相位鎖定迴路，且以該複數內部時脈信號的各別時序，接收儲存於暫存器中的位址信號與指令信號，其中該位址信號與指令信號係以記憶體模組的一方向，傳送至該記憶體晶片。

42. 如申請專利範圍第41項的系統，進一步包含一記憶體控制器，其供給該第一時脈信號、第二時脈信號、位址信號與指令信號。

43. 如申請專利範圍第41項的系統，其中該第一時脈信號的頻率係低於該第二時脈信號的頻率。

44. 如申請專利範圍第41項的系統，其中該記憶體模組包括至少接收該第一及第二時脈信號的二模組腳位。

45. 一種半導體記憶體系統，包含：

複數個匯流排線，其各別地傳輸一第一時脈信號、一第二時脈信號、一位址信號及一指令信號，其中該第一

裝 訂 線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)

A8
B8
C8
D8

92年1月20日 修正 補充

六、申請專利範圍

時脈信號的頻率不同於該第二時脈信號的頻率；及

一記憶體模組，其連接至複數匯流排線且包含(a)一暫存器，其連接至該第一時脈信號的匯流排、位址信號的匯流排，及指令信號的匯流排，且以該第一時脈信號的時序儲存該位址信號與指令信號，(b)一相位鎖定迴路，其連接至該第二時脈信號的匯流排，且輸出複數具有與該第二時脈信號相同頻率的內部時脈信號，及(c)複數記憶體晶片，其各別連接至該相位鎖定迴路，且以該複數內部時脈信號的各別時序，接收儲存於暫存器中的位址信號與指令信號，其中該位址信號與指令信號係以來自記憶體模組中心的二方向，傳送至該記憶體晶片。

46. 如申請專利範圍第45項的系統，進一步包含一記憶體控制器，其供給該第一時脈信號、第二時脈信號、位址信號與指令信號。

47. 如申請專利範圍第45項的系統，其中該第一時脈信號的頻率係低於該第二時脈信號的頻率。

48. 如申請專利範圍第45項的系統，其中該記憶體模組包括至少接收該第一及第二時脈信號的二模組接腳。

裝
訂
線

本紙張尺度適用中國國家標準(CNS) A4規格(210×297公釐)