



**ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ,
ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ**

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ

(21), (22) Заявка: **2007140610/09**, **01.11.2007**

(24) Дата начала отсчета срока действия патента:
01.11.2007

(45) Опубликовано: **10.05.2009** Бюл. № 13

(56) Список документов, цитированных в отчете о
поиске: **SU 1758851 A2**, **30.08.1990**. **SU 1750033**
A2, **23.07.1992**. **EP 1164696 A1**, **19.12.2001**. **EP**
1330031 A1, **23.07.2003**.

Адрес для переписки:
194064, Санкт-Петербург, Тихорецкий пр., 3,
ВОЕННАЯ АКАДЕМИЯ СВЯЗИ, бюро
изобретательства

(72) Автор(ы):

Башкирцев Андрей Сергеевич (RU),
Кузнецов Владимир Евгеньевич (RU),
Роднин Юрий Александрович (RU)

(73) Патентообладатель(и):

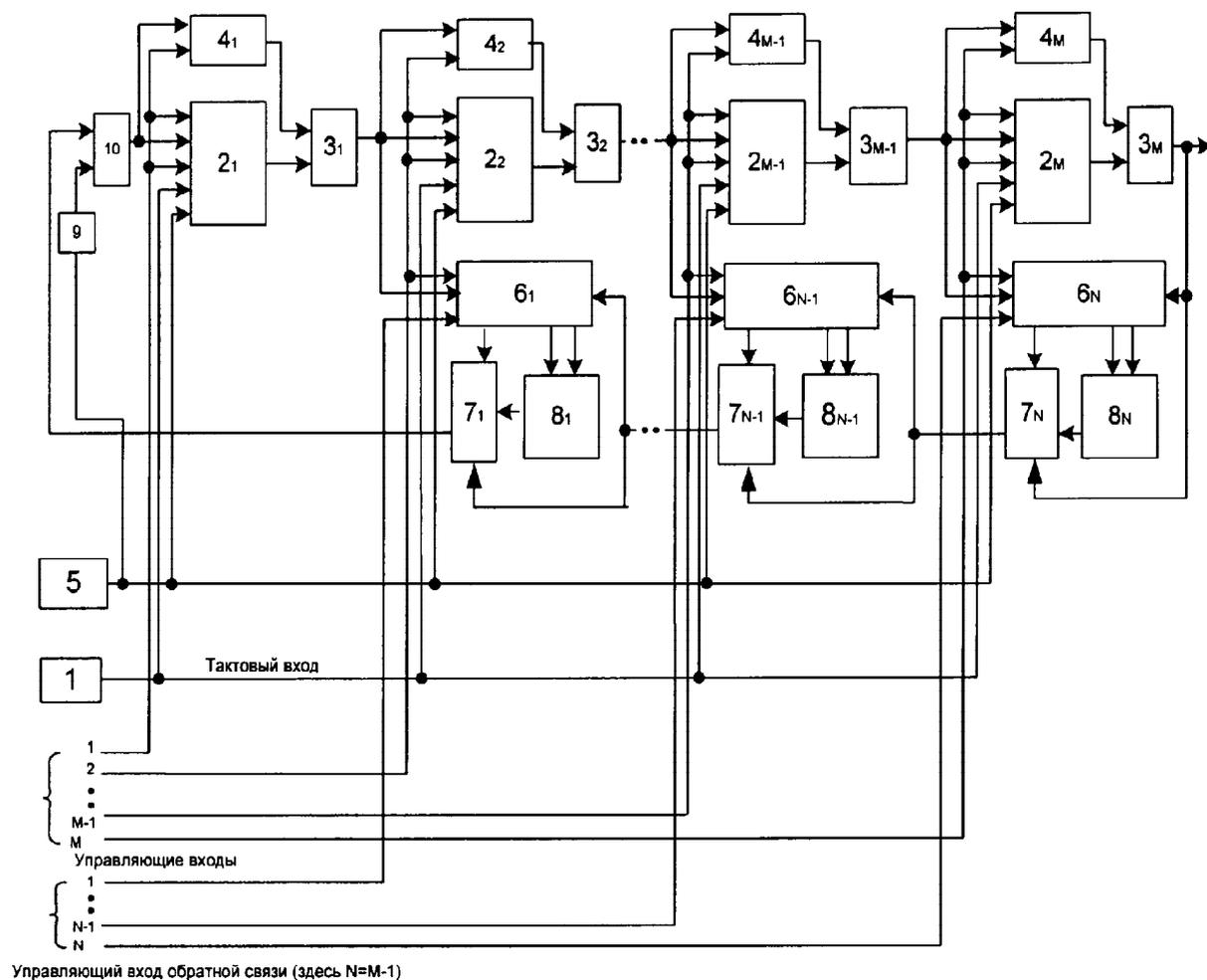
ВОЕННАЯ АКАДЕМИЯ СВЯЗИ имени
С.М. Буденного Министерство обороны
Российской Федерации (RU)

(54) ГЕНЕРАТОР ПСЕВДОСЛУЧАЙНОЙ ПОСЛЕДОВАТЕЛЬНОСТИ

(57) Реферат:

Изобретение относится к области радиотехники и может использоваться в качестве генератора опорных сигналов в передатчиках и приемниках широкополосных сигналов. Достижимый технический результат - формирование последовательности различной длины и структуры. Генератор

содержит генератор тактовых импульсов, М триггеров, М объединителей, М-коммутирующих элементов, блок установки начального состояния, N-элементов управления сумматором, N-блоков обратной связи, N-сумматоров по модулю 2, элемент запуска, элемент «ИЛИ». 8 ил.



Фиг.1



FEDERAL SERVICE
FOR INTELLECTUAL PROPERTY,
PATENTS AND TRADEMARKS

(12) ABSTRACT OF INVENTION

(21), (22) Application: **2007140610/09**, 01.11.2007

(24) Effective date for property rights:
01.11.2007

(45) Date of publication: **10.05.2009 Bull. 13**

Mail address:
**194064, Sankt-Peterburg, Tikhoretskij pr., 3,
VOENNAJa AKADEMIJa SVJaZI, bjuro
izobretatel'stva**

(72) Inventor(s):
**Bashkirtsev Andrej Sergeevich (RU),
Kuznetsov Vladimir Evgenievich (RU),
Rodnin Jurij Aleksandrovich (RU)**

(73) Proprietor(s):
**VOENNAJa AKADEMIJa SVJaZI imeni S.M.
Budennogo Ministerstvo oborony Rossijskoj
Federatsii (RU)**

(54) PSEUDORANDOM SEQUENCE GENERATOR

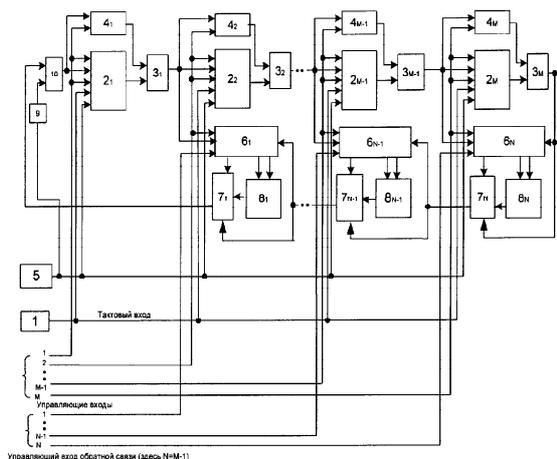
(57) Abstract:

FIELD: physics, radio.

SUBSTANCE: invention refers to radio engineering and can be used as a reference generator in transmitters and broadband signal receivers. A generator contains a sequence, M of triggers, M of combiners, M of switching elements, and initial condition adjustment unit, N of adder control elements, N of feedback units, N of module 2 adders, a driving element, an OR component.

EFFECT: sequence generation of various length and structure.

8 dwg



Фиг.1

RU 2 3 5 5 1 0 3 C 1

RU 2 3 5 5 1 0 3 C 1

Изобретение относится к области радиотехники и может использоваться в качестве генератора опорных сигналов в передатчиках и приемниках широкополосных сигналов.

Известны генераторы псевдослучайной последовательности

5 Системы связи с шумоподобными сигналами, Варакина Л.Е. - М.: Радио и связь, 1985 с.50 рис.3.14 (Генератор М-последовательности), содержащие триггеры, сумматор по модулю два, недостатком которых является фиксированная, ограниченная длина и структура формируемой псевдослучайной последовательности.

10 Генератор псевдослучайной последовательности по патенту (RU №2003136964 от 22.12.2003 года, МПК Н 03/00, G06F 7/58). Он содержит генератор N/2-разрядной двоичной псевдослучайной последовательности, реализованной на регистре сдвига с линейными обратными связями. Его недостатком является фиксированная, ограниченная длина и структура формируемой псевдослучайной последовательности.

15 Наиболее близким по технической сущности к заявляемому объекту является генератор псевдослучайной последовательности (RU №2223539 от 31.05.2002 года, МПК Н03В 29/00, G06F 7/58), содержащий генератор тактовых импульсов, группу из m-триггеров, m-умножителей, сумматор по модулю два, оперативно запоминающий блок, формирователь адреса, двухвходовый сумматор по модулю два, делитель частоты. Данный генератор псевдослучайных последовательностей, содержащий генератор тактовых импульсов, выход которого соединен с первыми сигнальными входами с первого по m триггеров соответственно, выходы которых через m умножителей соединены с n входами сумматора по модулю два

20 соответственно, выход которого соединен со вторым сигнальным входом первого триггера, отличающийся тем, что введены последовательно соединенные делитель частоты, двухвходовый сумматор по модулю два и формирователь адреса, выход которого шиной соединен со вторым входом оперативно-запоминающего блока, первый вход которого соединен с выходом сумматора по модулю два. Кроме того,

30 выход генератора тактовых импульсов соединен с входом делителя частоты и со вторым входом двухвходового сумматора по модулю два, выход которого соединен с третьим входом оперативно-запоминающего блока.

Однако устройство-прототип имеет ограниченную область применения, обусловленную тем, что он формирует псевдослучайную последовательность фиксированной, ограниченной длины и только с фиксированным набором структур, это объясняется тем, что количество используемых для формирования псевдослучайной последовательности триггеров и умножителей не может изменяться,

40 кроме этого, ближайший аналог имеет относительно низкую надежность, так как при выходе из строя любого из элементов, предназначенных для формирования псевдослучайной последовательности, генератор не выполняет своего функционального назначения.

Целью изобретения является разработка генератора псевдослучайной последовательности, обеспечивающего возможность расширения области его применения благодаря формированию последовательности различной длины и структуры. Заявленный генератор расширяет арсенал средств данного назначения.

Поставленная цель достигается тем, что в известном генераторе псевдослучайной последовательности, содержащем сумматор по модулю два и генератор тактовых импульсов, выход которого подключен к тактовым входам $M \geq 3$ триггеров, дополнительно введены блок установки начального состояния, элемент запуска, элемент «ИЛИ», M коммутрующих элементов, M объединителей, $N=M-1$ элементов

50

управления сумматором, N блоков обратной связи и N-1 сумматоров по модулю два.

Новым также является то, что выход блока установки начального состояния подключен к входам установки в состояние ноль M-триггеров и к входу элемента запуска. Выход элемента запуска подключен к первому входу элемента «ИЛИ»,
 5 второй вход которого подключен к выходу первого блока обратной связи. Выход p-го, где $p=1,2,\dots,(M-1)$, коммутирующего элемента подключен к первому входу p-го объединителя, второй вход которого подключен к выходу p-го триггера. Выход p-го объединителя подключен к первому входу (p+1)-го коммутирующего элемента, информационному входу (p-1)-го триггера и информационному входу p-го элемента управления сумматором. Управляющий выход p-го элемента управления сумматором
 10 подключен к блокирующему входу p-го блока обратной связи, информационный вход которого подключен к выходу p-го сумматора по модулю два. Первый и торой информационные входы каждого сумматора подключены соответственно к первому и
 15 второму информационному выходам p-го элемента управления сумматором. Вход обратной связи p-го элемента управления сумматором и передающий вход p-го блока обратной связи подключены к информационному выходу (p+1)-го блока обратной связи. Выход M-го объединителя подключен к входу обратной связи N-го элемента
 20 управления сумматором и передающему входу N-го блока обратной связи и является выходом генератора случайной последовательности. Выход элемента «ИЛИ» подключен к второму входу первого коммутирующего элемента и информационному входу первого триггера. Первый вход m-го, где $m=1,2,\dots,M$, коммутирующего элемента подключен к входу установки в состояние единица и к управляющему
 25 входу m-го триггера и является m-м управляющим входом генератора случайной последовательности, причем блокирующий вход n-го, где $n=1,2,\dots,N$, элемента управления сумматором подключен к входу установки в состояние единица (n+1)-го триггера. Разрешающий вход n-го элемента управления сумматором является n-м
 30 управляющим входом обратной связи генератора псевдослучайной последовательности.

Заявленное устройство поясняется чертежами, где:

Фиг 1: Структурная схема генератора псевдослучайной последовательности

Фиг 2: Схема элемента управления сумматором

35 Фиг 3: Схема блока обратной связи

Фиг 4: Схема блока установки начального состояния

Фиг 5: Схема коммутирующего элемента

Фиг 6: Вариант схемы элемента запуска

40 Фиг 7: Рисунок, поясняющий работу генератора

Фиг 8: Таблица структур псевдослучайных последовательностей

Генератор псевдослучайной последовательности, показанный на фиг.1, состоит из: генератора тактовых импульсов (ГТИ) 1, M триггеров 2_1-2_M , M объединителей 3_1-3_M , M-коммутирующих элементов (КЭ) 4_1-4_M , блока установки начального состояния (БУНС) 5, N-элементов управления сумматором (ЭУС) 6_1-6_N , N-блоков обратной связи (БОС) 7_1-7_N , N-сумматоров по модулю 2 8_1-8_N , элемента запуска (ЭЗ) 9, элемента «ИЛИ» 10 со связями между ними. Выход БУНС 5 подключен к входам установки в состояние ноль M триггеров 2_1-2_M . Выход БУНС 5 подключен к входу ЭЗ 9. Выход ЭЗ 9
 45 ЭЗ 9 подключен к первому входу элемента «ИЛИ». Второй вход элемента «ИЛИ» подключен к выходу первого БОС. Выход p-го КЭ, где $p=1,2,\dots,(M-1)$, подключен к первому входу p-го объединителя 3_1-3_M . Второй вход p-го объединителя 3_1-3_M

5 подключен к выходу р-го триггера 2_1-2_M . Выход р-го объединителя 3_1-3_M подключен к
 первому входу (р+1)-го КЭ 4_1-4_M , информационному входу (р+1)-го триггера 2_1-2_M и
 информационному входу р-го ЭУС 6_1-6_N . Управляющий выход 6_1-6_N подключен к
 10 блокирующему входу р-го БОС 7_1-7_N . Информационный вход БОС 7_1-7_N подключен к
 выходу р-го сумматора по модулю два 8_1-8_N . Первый и второй информационные
 входы сумматора по модулю два 8_1-8_N подключены соответственно к первому и
 второму информационному выходам р-го ЭУС 6_1-6_N . Вход обратной связи р-го ЭУС
 15 6_1-6_N и передающий вход р-го БОС 7_1-7_N подключены к информационному выходу
 (р+1)-го БОС 7_1-7_N . Выход М-го объединителя 3_1-3_M подключен к входу обратной
 связи N-го ЭУС 6_1-6_N . Выход М-го объединителя 3_1-3_M подключен к передающему
 входу N-го БОС 7_1-7_N и является выходом генератора случайной последовательности.
 20 Выход элемента «ИЛИ» 10 подключен к второму входу первого КЭ 4_1-4_M . Выход
 элемента «ИЛИ» 10 подключен к информационному входу первого триггера 2_1-2_M .
 Первый вход m-го, где $m=1,2,\dots,M$, КЭ 4_1-4_M , подключен к входу установки в
 состояние единица. Первый вход m-го, где $m=1,2,\dots,M$, КЭ 4_1-4_M , подключен к
 25 управляющему входу m-го триггера 2_1-2_M и является m-м управляющим входом
 генератора случайной последовательности. Блокирующий вход n-го, где $n=1,2,\dots,N$,
 ЭУС 6_1-6_N подключен к входу установки в состояние единица (n+1)-го триггера 2_1-2_M .
 Разрешающий вход n-го ЭУС 6_1-6_N является n-м управляющим входом обратной связи
 30 генератора псевдослучайной последовательности.

Входящие в общую структуру генератора псевдослучайной последовательности
 элементы могут быть реализованы в настоящее время при использовании имеющейся
 элементной базы:

30 Генератор тактовых импульсов 1 может быть реализован путем применения
 интегральной схемы 2ГС191, как описано в книге: В.А.Батушев; Основы применения
 интегральных схем - ВАС, 1972. стр.83-84.

35 Элементы "И", "ИЛИ", "ИЛИ-НЕ" известны и описаны, например, в книге:
 П.П.Мальцев, Н.С.Долидзе, М.И.Критенко и др. Цифровые интегральные
 микросхемы; Справочник. - М.: Радио и связь, 1994, стр.234-237.

DV-триггеры известны и описаны, например, в книге: В.А.Батушев,
 В.Н.Вениаминов, В.Г.Ковалев и др. Микросхемы и их применение: Справочное
 пособие. - М.: Энергия, 1978, стр.164-168.

40 Резистор 5.1 может быть реализован путем применения матрицы резисторов,
 описанных в книге: Б.В.Тарабрин, Л.Ф.Лунин, Ю.Н.Смирнов и др. Интегральные
 микросхемы; Справочник. - Издание второе, исправленное - М:
 Энергоатомиздат, 1985 г., стр.190.

45 Конденсатор 5.2 может быть реализован путем применения конденсаторов,
 описанных в книге: Р.М.Терещук, К.М.Терещук, С.А.Седов. Полупроводниковые
 приемно-усилительные устройства; Справочник радиолюбителя. - Издание второе,
 стереотипное. - Киев: Наукова думка, 1982 г., стр.44-62.

50 Сумматор по модулю два 8_1-8_N известен и описан например, в книге: Ю.А.Беляев,
 А.В.Семенов; Теоретические основы вычислительной техники Часть 1-ЛВВИУС,
 1988. - с.117-118.

Схема элемента запуска 9, может быть реализована как переключатель
 механический, известный и описанный в книге: Ю.Л.Мазора, Е.А.Мачусского,

В.И.Правды. Радиотехника: Энциклопедия. - М: Издательский дом «Додэка-XXI» 2002. стр.865

Генератор псевдослучайной последовательности работает следующим образом.

Подготовка устройства к работе заключается в установке всех элементов в исходное состояние:

- триггеры $2_1, \dots, 2_M$ (Фиг.1) устанавливаются в состояние логического нуля, посредством кратковременной подачи на установочные входы R триггеров $2_1, \dots, 2_M$ высокого уровня сигнала от БУНС 5 (Фиг.4) при замыкании ключа 5.4 (Фиг.4) данного блока;

- на управляющие входы $1, \dots, M$ и управляющие входы обратной связи $1, \dots, N$ (Фиг.1) подаются сигналы, определяющие структуру псевдослучайной последовательности;

- ГТИ 5 (Фиг.1) формирует сигналы тактовой синхронизации с частотой следования, соответствующей частоте формируемой псевдослучайной последовательности;

- элемент запуска 9 (Фиг.1,6) находится в отключенном состоянии.

Устройство-формирователь псевдослучайной последовательности работает в следующих режимах:

формирование псевдослучайной последовательности максимальной длины и фиксированной структуры; формирование псевдослучайной последовательности переменной длины; формирование псевдослучайной последовательности разных структур.

При формировании псевдослучайной последовательности максимальной длины и фиксированной структуры, задействованы все триггеры $2_1, \dots, 2_M$ устройства.

Сумматоры по модулю два 8_1-8_N , ЭУС 6_1-6_N , БОС 7_1-7_N подключаются в соответствии с установленными правилами.

Исходное состояние: на управляющие входы $1, \dots, M$ подается сигнал логической единицы, на управляющие входы обратной связи, за исключением одного, который определяет требуемую структуру формируемой псевдослучайной последовательности, подается сигнал логического нуля. Выбор входа обратной связи, определяющего структуру формируемой псевдослучайной последовательности, может проводиться по правилам, как показано, например, в книге: Варакин Л.Е. «Системы связи с шумоподобными сигналами - М.: Радио и связь, 1985, страница 59.

В данном случае устройство работает следующим образом: при замыкании контакта в элементе запуска 9 (Фиг.1, Фиг.6) сигнал логической единицы через элемент 10 ИЛИ (Фиг.1) подается на информационный вход триггера 2_1 , с приходом синхронизирующего сигнала с генератора тактовых импульсов на синхронизирующие входы триггеров $2_1, \dots, 2_M$ данная единица записывается в триггер 2_1 .

При приходе следующего тактового импульса триггер 2_1 переходит в состояние логического нуля, триггер 2_2 переводится в состояние логической единицы. Таким образом, логическая единица последовательно по триггерам передвигается до триггера 2_M .

При переводе триггера 2_M в состояние логической единицы, к выходу которого подключен сумматор по модулю два, формирующий структуру псевдослучайной последовательности, начинает формироваться псевдослучайная последовательность. При этом структура псевдослучайной последовательности формируется посредством

подачи сигналов по цепи обратной связи с выхода включенного сумматора по модулю два 8_1-8_N , на вход элемента «ИЛИ» 10 (Фиг.1, Фиг.4) далее на информационный вход триггера 2_1 . То же самое происходит при переходе М-го триггера в состояние логической единицы. Таким образом, формируется структура псевдослучайной последовательности.

При формировании псевдослучайной последовательности переменной длины часть триггеров исключается из процесса формирования псевдослучайной последовательности путем подачи на соответствующие $1, \dots, M$ (Фиг1.) управляющие входы сигнала логический ноль. В этом случае триггер будет находиться в отключенном состоянии, а на его выходе будет сигнал логического нуля. Сигнал логического нуля на управляющем входе отключает одноименный триггер, переводя его в состояние логического нуля, и обеспечивает прохождение информационного сигнала через коммутирующий элемент 4 (Фиг.5) на соответствующий объединитель 3 (Фиг.1) подключенный к выключенному триггеру. Тот же сигнал логического нуля на управляющем входе через схему элемента управления сумматором по модулю два (Фиг.2) отключает сумматор по модулю два и обеспечивает прохождение по цепи обратной связи (Фиг.3) информационного сигнала формирующего структуру псевдослучайной последовательности. Прохождение информационного сигнала относительно задействованных (включенных в работу) триггеров осуществляется аналогично процессу формирования псевдослучайной последовательности максимальной длины.

Процесс передачи информации при отключении триггеров обеспечивается посредством работы схемы коммутирующего элемента. Если на управляющем входе будет сигнал логического нуля, элемент 4.m.1 (Фиг.5) подготовит элемент 4.m.2 к прохождению информационного сигнала, не задействуя одноименный отключенный триггер.

Формирование псевдослучайной последовательности разных структур обеспечивается за счет отключения (включения) сумматоров по модулю два 8 (Фиг.1).

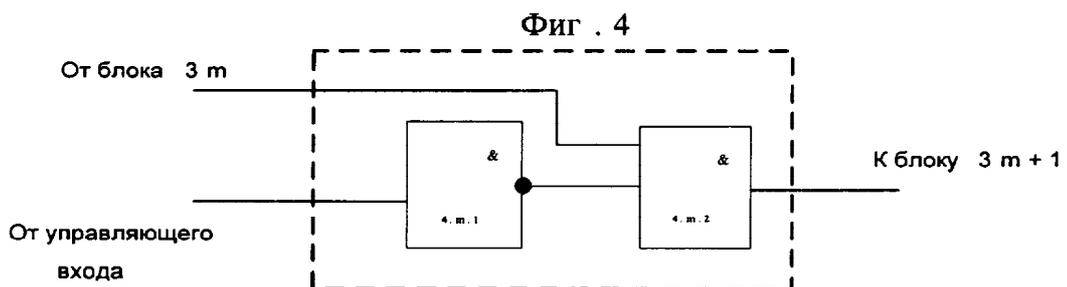
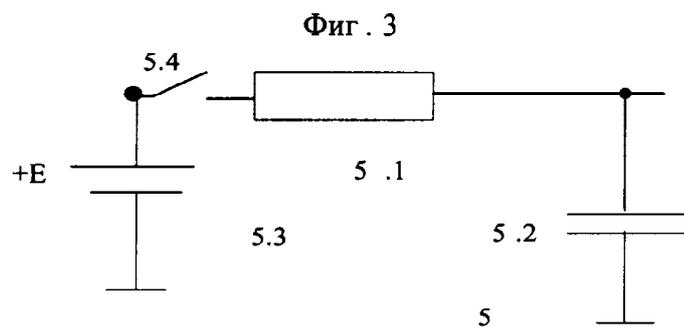
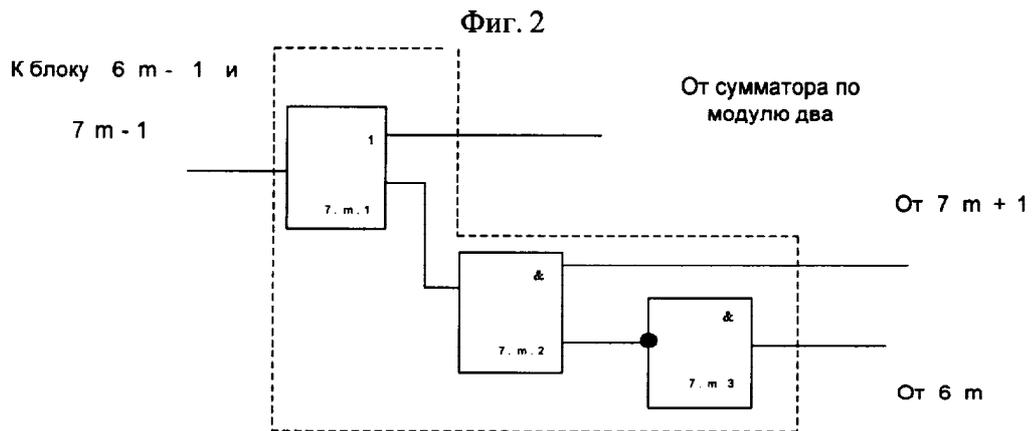
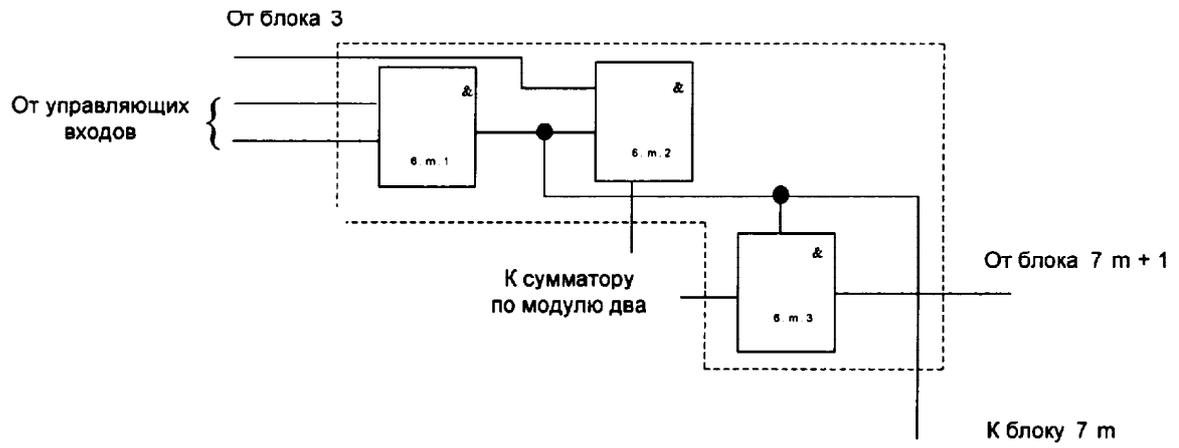
Во всех случаях соответствующий сумматор по модулю два включается одновременной подачей на одноименный управляющий вход обратной связи и соответствующий управляющий вход логической единицы. В этом случае сигнал на входах сумматора по модулю два будет определяться сигналами на выходах предыдущего и М-го объединителей. Элементы 6.m.2 и 6.m.3 (Фиг.2) устройства управления сумматором по модулю два находятся в ожидающем режиме, так как на выходе элемента 6.m.1 будет сигнал логической единицы, который соответственно подается на один из входов элементов 6.m.2 и 6.m.3. В то же время элемент 7.m.2 (Фиг.3) блока обратной связи находится в состоянии запрещающем продвижение информационного сигнала, что исключает передачу сигнала обратной связи, минуя сумматор по модулю два.

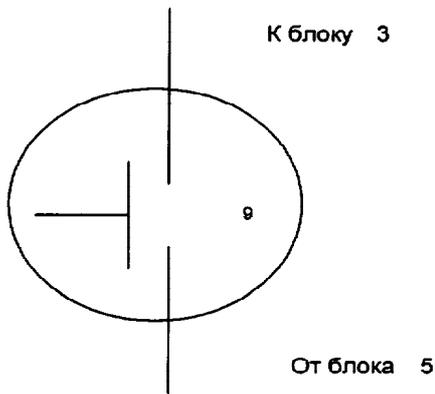
При наличии на управляющих входах схемы блока управления сумматором по модулю два (Фиг.1, Фиг.2) хотя бы одного логического нуля, что соответствует случаю отключения триггера из процесса формирования псевдослучайной последовательности (логический ноль на соответствующем управляющем входе (Фиг.1) или отключения сумматора по модулю два (логический ноль на управляющем входе обратной связи) в этом случае на выходах элементов 6.m.2 и 6.m.3 будет сигнал логического нуля, что обеспечит возможность передачи сигнала обратной связи, минуя сумматор по модулю два, так как элемент 7.m.1 и 7.m.2 (Фиг.3) в этом случае находятся в ожидающих режимах.

Таким образом, по сравнению с ближайшим аналогом заявленный генератор формирования псевдослучайной последовательности имеет большие функциональные возможности, поскольку может быть использован, например, для построения универсальных устройств тестирования каналов связи.

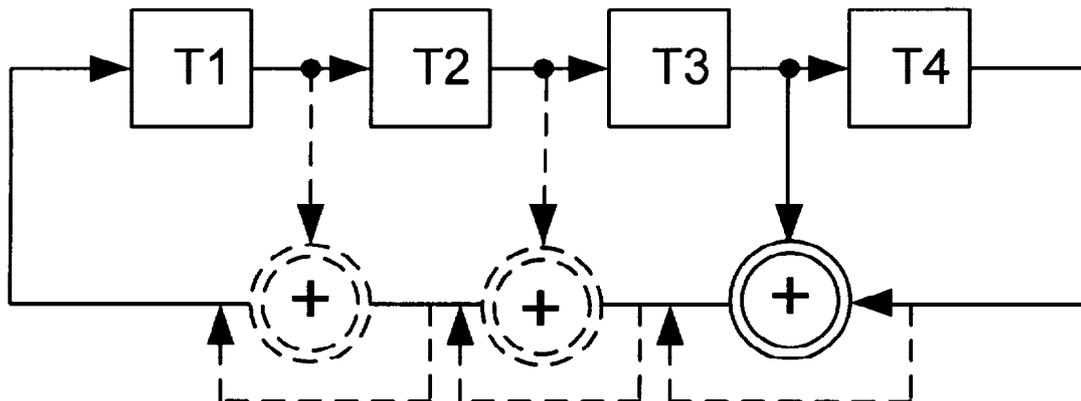
Формула изобретения

Генератор псевдослучайной последовательности, содержащий сумматор по модулю два, и генератор тактовых импульсов, выход которого подключен к тактовым входам $M \geq 3$ триггеров, отличающийся тем, что дополнительно введен блок установки начального состояния, элемент запуска, элемент ИЛИ, M коммутирующих элементов, M объединителей, $N=M-1$ элементов управления сумматором и N блоков обратной связи, и дополнительно $N-1$ сумматоров по модулю два, выход блока установки начального состояния подключен к входам установки в состояние ноль M триггеров и к входу элемента запуска, выход которого подключен к первому входу элемента ИЛИ, второй вход которого подключен к выходу первого блока обратной связи, выход p -го, где $p=1, 2, \dots, (M-1)$, коммутирующего элемента подключен к первому входу p -го объединителя, второй вход которого подключен к выходу p -го триггера, выход p -го объединителя подключен к первому входу $(p+1)$ -го коммутирующего элемента, информационному входу $(p+1)$ -го триггера и информационному входу p -го элемента управления сумматором, управляющий выход которого подключен к блокирующему входу p -го блока обратной связи, информационный вход которого подключен к выходу p -го сумматора по модулю два, первый и второй информационные входы которого подключены соответственно к первому и второму информационному выходам p -го элемента управления сумматором, вход обратной связи которого и передающий вход p -го блока обратной связи подключены к информационному выходу $(p+1)$ -го блока обратной связи, выход M -го объединителя подключен к входу обратной связи N -го элемента управления сумматором и передающему входу N -го блока обратной связи, и является выходом генератора псевдослучайной последовательности, выход элемента ИЛИ подключен к второму входу первого коммутирующего элемента и информационному входу первого триггера, первый вход m -го, где $m=1, 2, \dots, M$ коммутирующего элемента подключен к входу установки в состояние единица и к управляющему входу m -го триггера и является m -м управляющим входом генератора псевдослучайной последовательности, причем блокирующий вход n -го, где $n=1, 2, \dots, N$ элемента управления сумматором подключен к входу установки в состояние единица $(n+1)$ -го триггера, а разрешающий вход n -го элемента управления сумматором является n -м управляющим входом обратной связи генератора псевдослучайной последовательности.





Фиг. 6



Фиг. 7

Таблица

Номер отключаемого триггера	Номер включенного сумматора	Псевдослучайная последовательность
Нет	1	000111101011001
	2	000101
	3	000100110101111
4	2	0010111
	1	0011101
3	3	0010111
	1	0011101
3,4	1	0110
2	3	0010111
	1	0011101

Фиг. 8