

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6400548号
(P6400548)

(45) 発行日 平成30年10月3日 (2018. 10. 3)

(24) 登録日 平成30年9月14日 (2018. 9. 14)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 5 2 H

H O 1 L 29/12 (2006. 01)

H O 1 L 29/78 6 5 3 A

H O 1 L 29/06 (2006. 01)

H O 1 L 29/78 6 5 2 T

H O 1 L 29/78 6 5 2 C

H O 1 L 29/06 3 0 1 D

請求項の数 6 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2015-180504 (P2015-180504)
 (22) 出願日 平成27年9月14日 (2015. 9. 14)
 (65) 公開番号 特開2017-59570 (P2017-59570A)
 (43) 公開日 平成29年3月23日 (2017. 3. 23)
 審査請求日 平成29年8月31日 (2017. 8. 31)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (73) 特許権者 317011920
 東芝デバイス&ストレージ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100119035
 弁理士 池上 徹真
 (74) 代理人 100141036
 弁理士 須藤 章
 (74) 代理人 100088487
 弁理士 松山 允之
 (72) 発明者 河野 洋志
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の面と第2の面とを有するS i C層と、
 前記S i C層内に設けられた第1導電型の第1のS i C領域と、
 前記第1のS i C領域内に設けられた第2導電型の第1の低濃度ピラー領域と、
 前記第1のS i C領域内に設けられた第2導電型の第2の低濃度ピラー領域と、
 前記第1の低濃度ピラー領域と前記第1の面との間に設けられ、前記第1の低濃度ピラー領域よりも第2導電型の不純物濃度の高い第2導電型の第1の高濃度ピラー領域と、
 前記第2の低濃度ピラー領域と前記第1の面との間に設けられ、前記第2の低濃度ピラー領域よりも第2導電型の不純物濃度の高い第2導電型の第2の高濃度ピラー領域と、
 少なくとも一部が前記第1の高濃度ピラー領域と前記第2の高濃度ピラー領域との間に設けられたゲート電極と、
 前記第1のS i C領域と前記第1の面との間に設けられ、前記第1の高濃度ピラー領域よりも第2導電型の不純物濃度の低い第2導電型の第1のボディ領域と、
 前記第1のS i C領域と前記第1の面との間に設けられ、前記第2の高濃度ピラー領域よりも第2導電型の不純物濃度の低い第2導電型の第2のボディ領域と、
 前記第1のボディ領域と前記ゲート電極との間、及び、前記第2のボディ領域と前記ゲート電極との間に設けられ、前記第1の面を基準とする前記第2の面の側の端部の深さが、前記第1の面を基準とする前記第1の高濃度ピラー領域及び前記第2の高濃度ピラー領域の深さよりも浅いゲート絶縁膜と、

10

20

前記第 1 の高濃度ピラー領域と前記ゲート電極との間に前記第 1 の高濃度ピラー領域に接して設けられ、前記ゲート電極との間に前記第 1 の S i C 領域を挟み、前記第 1 の高濃度ピラー領域よりも第 2 導電型の不純物濃度の低い第 2 導電型の第 1 のサイドピラー領域と、

前記第 2 の高濃度ピラー領域と前記ゲート電極との間に前記第 2 の高濃度ピラー領域に接して設けられ、前記ゲート電極との間に前記第 1 の S i C 領域を挟み、前記第 2 の高濃度ピラー領域よりも第 2 導電型の不純物濃度の低い第 2 導電型の第 2 のサイドピラー領域と、

前記第 1 のボディ領域と前記第 1 の面との間に設けられた第 1 導電型の第 1 のソース領域と、

前記第 2 のボディ領域と前記第 1 の面との間に設けられた第 1 導電型の第 2 のソース領域と、

を備え、

前記第 1 のサイドピラー領域と前記第 2 のサイドピラー領域との間の距離が、前記第 1 の低濃度ピラー領域と前記第 2 の低濃度ピラー領域との間の距離よりも短い半導体装置。

【請求項 2】

前記第 1 の S i C 領域と、前記第 2 の面との間に、前記第 1 の S i C 領域よりも第 1 導電型の不純物濃度の低い第 1 導電型の第 2 の S i C 領域を、更に備える請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 の S i C 領域と、前記第 2 の面との間に、前記第 1 の S i C 領域よりも第 1 導電型の不純物濃度の高い第 1 導電型の第 3 の S i C 領域を、更に備える請求項 2 記載の半導体装置。

【請求項 4】

前記第 1 の面を基準とする前記第 1 のサイドピラー領域及び前記第 2 のサイドピラー領域の深さが、前記第 1 の面を基準とする前記ゲート絶縁膜の前記第 2 の面の側の端部の深さよりも深い請求項 1 乃至請求項 3 いずれか一項記載の半導体装置。

【請求項 5】

前記第 1 の高濃度ピラー領域と前記第 1 の面との間に設けられ、前記第 1 の高濃度ピラー領域及び前記第 1 の面に接し、前記第 1 のボディ領域よりも第 2 導電型の不純物濃度の高い第 2 導電型の第 1 のコンタクト領域と、

前記第 2 の高濃度ピラー領域と前記第 1 の面との間に設けられ、前記第 2 の高濃度ピラー領域及び前記第 1 の面に接し、前記第 2 のボディ領域よりも第 2 導電型の不純物濃度の高い第 2 導電型の第 2 のコンタクト領域と、

を更に備える請求項 1 乃至請求項 4 いずれか一項記載の半導体装置。

【請求項 6】

前記第 1 の面に設けられ、前記第 1 のソース領域、前記第 2 のソース領域、前記第 1 の高濃度ピラー領域、及び、前記第 2 の高濃度ピラー領域に電氣的に接続されたソース電極と、

前記第 2 の面に設けられ前記第 1 の S i C 領域に電氣的に接続されたドレイン電極と、
を更に備える請求項 1 乃至請求項 5 いずれか一項記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

次世代の半導体デバイス用の材料として S i C（炭化珪素）が期待されている。S i C は S i（シリコン）と比較して、バンドギャップが 3 倍、破壊電界強度が約 10 倍、熱伝

10

20

30

40

50

導率が約3倍と優れた物性を有する。この特性を活用すれば低損失かつ高温動作可能な半導体デバイスを実現することができる。

【0003】

SiCを用いたMOSFET (Metal Oxide Semiconductor Field Effect Transistor) のオン抵抗を低減する構造として、トレンチ内にゲート電極を設けるトレンチゲート型のMOSFETがある。トレンチゲート型のMOSFETでは、トレンチ底部での電界集中によるゲート絶縁膜の破壊が懸念される。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】特開2012-164707号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明が解決しようとする課題は、ゲート絶縁膜破壊の抑制を可能とする半導体装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態の半導体装置は、第1の面と第2の面とを有するSiC層と、前記SiC層内に設けられた第1導電型の第1のSiC領域と、前記第1のSiC領域内に設けられた第2導電型の第1の低濃度ピラー領域と、前記第1のSiC領域内に設けられた第2導電型の第2の低濃度ピラー領域と、前記第1の低濃度ピラー領域と前記第1の面との間に設けられ、前記第1の低濃度ピラー領域よりも第2導電型の不純物濃度の高い第2導電型の第1の高濃度ピラー領域と、前記第2の低濃度ピラー領域と前記第1の面との間に設けられ、前記第2の低濃度ピラー領域よりも第2導電型の不純物濃度の高い第2導電型の第2の高濃度ピラー領域と、少なくとも一部が前記第1の高濃度ピラー領域と前記第2の高濃度ピラー領域との間に設けられたゲート電極と、前記第1のSiC領域と前記第1の面との間に設けられ、前記第1の高濃度ピラー領域よりも第2導電型の不純物濃度の低い第2導電型の第1のボディ領域と、前記第1のSiC領域と前記第1の面との間に設けられ、前記第2の高濃度ピラー領域よりも第2導電型の不純物濃度の低い第2導電型の第2のボディ領域と、前記第1のボディ領域と前記ゲート電極との間、及び、前記第2のボディ領域と前記ゲート電極との間に設けられ、前記第1の面を基準とする前記第2の面側の端部の深さが、前記第1の面を基準とする前記第1の高濃度ピラー領域及び前記第2の高濃度ピラー領域の深さよりも浅いゲート絶縁膜と、前記第1の高濃度ピラー領域と前記ゲート電極との間に前記第1の高濃度ピラー領域に接して設けられ、前記ゲート電極との間に前記第1のSiC領域を挟み、前記第1の高濃度ピラー領域よりも第2導電型の不純物濃度の低い第2導電型の第1のサイドピラー領域と、前記第2の高濃度ピラー領域と前記ゲート電極との間に前記第2の高濃度ピラー領域に接して設けられ、前記ゲート電極との間に前記第1のSiC領域を挟み、前記第2の高濃度ピラー領域よりも第2導電型の不純物濃度の低い第2導電型の第2のサイドピラー領域と、前記第1のボディ領域と前記第1の面との間に設けられた第1導電型の第1のソース領域と、前記第2のボディ領域と前記第1の面との間に設けられた第1導電型の第2のソース領域と、を備え、前記第1のサイドピラー領域と前記第2のサイドピラー領域との間の距離が、前記第1の低濃度ピラー領域と前記第2の低濃度ピラー領域との間の距離よりも短い。

20

30

40

【図面の簡単な説明】

【0007】

【図1】第1の実施形態の半導体装置の模式断面図。

【図2】第1の実施形態の半導体装置の作用及び効果の説明図。

50

【図 3】第 2 の実施形態の半導体装置の模式断面図。

【発明を実施するための形態】

【0008】

以下、図面を参照しつつ本発明の実施形態を説明する。なお、以下の説明では、同一又は類似の部材等には同一の符号を付し、一度説明した部材等については適宜その説明を省略する。

【0009】

また、以下の説明において、 n^+ 、 n 、 n^- 及び、 p^+ 、 p 、 p^- の表記は、各導電型における不純物濃度の相対的な高低を表す。すなわち n^+ は n よりも n 型の不純物濃度が相対的に高く、 n^- は n よりも n 型の不純物濃度が相対的に低いことを示す。また、 p^+ は p よりも p 型の不純物濃度が相対的に高く、 p^- は p よりも p 型の不純物濃度が相対的に低いことを示す。なお、 n^+ 型、 n^- 型を単に n 型、 p^+ 型、 p^- 型を単に p 型と記載する場合もある。

【0010】

(第 1 の実施形態)

本実施形態の半導体装置は、第 1 の面と第 2 の面とを有する SiC 層と、SiC 層内に設けられた第 1 導電型の第 1 の SiC 領域と、第 1 の SiC 領域内に設けられた第 2 導電型の第 1 の低濃度ピラー領域と、第 1 の SiC 領域内に設けられた第 2 導電型の第 2 の低濃度ピラー領域と、第 1 の低濃度ピラー領域と第 1 の面との間に設けられ、第 1 の低濃度ピラー領域よりも第 2 導電型の不純物濃度の高い第 2 導電型の第 1 の高濃度ピラー領域と、第 2 の低濃度ピラー領域と第 1 の面との間に設けられ、第 2 の低濃度ピラー領域よりも第 2 導電型の不純物濃度の高い第 2 導電型の第 2 の高濃度ピラー領域と、少なくとも一部が第 1 の高濃度ピラー領域と第 2 の高濃度ピラー領域との間に設けられたゲート電極と、第 1 の SiC 領域と第 1 の面との間に設けられ、第 1 の高濃度ピラー領域よりも第 2 導電型の不純物濃度の低い第 2 導電型の第 1 のボディ領域と、第 1 の SiC 領域と第 1 の面との間に設けられ、第 2 の高濃度ピラー領域よりも第 2 導電型の不純物濃度の低い第 2 導電型の第 2 のボディ領域と、第 1 のボディ領域とゲート電極との間、及び、第 2 のボディ領域とゲート電極との間に設けられ、第 1 の面を基準とする第 2 の面側の端部の深さが、第 1 の面を基準とする第 1 の高濃度ピラー領域及び第 2 の高濃度ピラー領域の深さよりも浅いゲート絶縁膜と、第 1 の高濃度ピラー領域とゲート電極との間に第 1 の高濃度ピラー領域に接して設けられ、ゲート電極との間に第 1 の SiC 領域を挟み、第 1 の高濃度ピラー領域よりも第 2 導電型の不純物濃度の低い第 2 導電型の第 1 のサイドピラー領域と、第 2 の高濃度ピラー領域とゲート電極との間に第 2 の高濃度ピラー領域に接して設けられ、ゲート電極との間に第 1 の SiC 領域を挟み、第 2 の高濃度ピラー領域よりも第 2 導電型の不純物濃度の低い第 2 導電型の第 2 のサイドピラー領域と、第 1 のボディ領域と第 1 の面との間に設けられた第 1 導電型の第 1 のソース領域と、第 2 のボディ領域と第 1 の面との間に設けられた第 1 導電型の第 2 のソース領域と、を備える。

【0011】

図 1 は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置は、SiC (炭化珪素) を用いたトレンチゲート型の縦型 MOSFET 100 である。以下、第 1 導電型が n 型、第 2 導電型が p 型である場合を例に説明する。

【0012】

MOSFET 100 は、SiC 層 10、ソース電極 12、ドレイン電極 14、ゲート絶縁膜 16、ゲート電極 18、層間絶縁膜 20、トレンチ 40 を備える。SiC 層 10 内には、 n^+ 型のドレイン領域 (第 3 の SiC 領域) 22、 n^- 型の第 1 のドリフト領域 (第 2 の SiC 領域) 24、 n^- 型の第 2 のドリフト領域 (第 1 の SiC 領域) 26、 p^- 型の第 1 の低濃度ピラー領域 28a、 p^- 型の第 2 の低濃度ピラー領域 28b、 p^+ 型の第 1 の高濃度ピラー領域 30a、 p^+ 型の第 2 の高濃度ピラー領域 30b、 p 型の第 1 のボディ領域 32a、 p 型の第 2 のボディ領域 32b、 n^+ 型の第 1 のソース領域 34a、 n^+ 型の第 2 のソース領域 34b、 p^+ 型の第 1 のコンタクト領域 36a、 p^+ 型の第 2 の

コンタクト領域 36b、 p^- 型の第1のサイドピラー領域 60a、 p^- 型の第2のサイドピラー領域 60bを備える。

【0013】

SiC層 10は、単結晶のSiCである。SiC層 10は、例えば、4H-SiCである。

【0014】

SiC層 10は、第1の面と第2の面とを備える。以下、第1の面を表面、第2の面を裏面とも称する。なお、以下、「深さ」とは、第1の面を基準とする深さを意味する。

【0015】

第1の面は、例えば、(0001)面に対し0度以上8度以下傾斜した面である。また、第2の面は、例えば、(000-1)面に対し0度以上8度以下傾斜した面である。(0001)面はシリコン面と称される。(000-1)面はカーボン面と称される。

10

【0016】

n^+ 型のドレイン領域 22は、SiC層 10の裏面に設けられる。ドレイン領域 22は、例えば、窒素(N)を n 型不純物として含む。ドレイン領域 22の n 型不純物の不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0017】

n^- 型の第1のドリフト領域 24は、ドレイン領域 22上に設けられる。第1のドリフト領域 24は、第2のドリフト領域 26とSiC層 10の裏面との間に設けられる。

【0018】

第1のドリフト領域 24は、例えば、窒素(N)を n 型不純物として含む。第1のドリフト領域 24の n 型不純物の不純物濃度は、第2のドリフト領域 26の n 型不純物の不純物濃度よりも低い。第1のドリフト領域 24の n 型不純物の不純物濃度は、例えば、 $4 \times 10^{14} \text{ cm}^{-3}$ 以上 $6 \times 10^{16} \text{ cm}^{-3}$ 以下である。第1のドリフト領域 24の厚さは、例えば、 $0.1 \mu\text{m}$ 以上 $150 \mu\text{m}$ 以下である。

20

【0019】

n^- 型の第2のドリフト領域 26は、第1のドリフト領域 24上に設けられる。

【0020】

第2のドリフト領域 26は、例えば、窒素(N)を n 型不純物として含む。第2のドリフト領域 26の n 型不純物の不純物濃度は、例えば、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。第2のドリフト領域 26の厚さは、例えば、 $3 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下である。

30

【0021】

p^- 型の第1の低濃度ピラー領域 28aは、第2のドリフト領域 26内に設けられる。第1の低濃度ピラー領域 28aは、例えば、アルミニウム(Al)を p 型不純物として含む。第1の低濃度ピラー領域 28aの p 型不純物の不純物濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0022】

第1の低濃度ピラー領域 28aの深さは、例えば、 $2 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下である。第1の低濃度ピラー領域 28aの幅(図1中の“w”)は、例えば、 $0.5 \mu\text{m}$ 以上 $2.5 \mu\text{m}$ 以下である。

40

【0023】

p^- 型の第2の低濃度ピラー領域 28bは、第2のドリフト領域 26内に設けられる。第2の低濃度ピラー領域 28bは、例えば、アルミニウム(Al)を p 型不純物として含む。第2の低濃度ピラー領域 28bの p 型不純物の不純物濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0024】

第2の低濃度ピラー領域 28bの深さは、例えば、 $2 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下である。第2の低濃度ピラー領域 28bの幅は、例えば、 $0.5 \mu\text{m}$ 以上 $2.5 \mu\text{m}$ 以下である。

【0025】

50

第1の低濃度ピラー領域28aと第2の低濃度ピラー領域28bとは、製造ばらつきの範囲内で同一の形状及び不純物濃度を備える。第1の低濃度ピラー領域28aと第2の低濃度ピラー領域28bとの間の距離（図1中の“d1”）は、例えば、0.5 μm以上3.0 μm以下である。

【0026】

第1の低濃度ピラー領域28aのp型不純物の不純物濃度とn型不純物の不純物濃度の差を N_1 、第1の低濃度ピラー領域28aの幅をw、第1の低濃度ピラー領域28aと第2の低濃度ピラー領域28bとの間の第2のドリフト領域26のn型不純物の不純物濃度とp型不純物の不純物濃度の差を N_2 、第1の低濃度ピラー領域28aと第2の低濃度ピラー領域28bとの間の距離をd1とした場合に、 $N_1 w / N_2 d 1$ は、例えば0.8以上1.5以下である。

10

【0027】

第1の低濃度ピラー領域28a及び第2のドリフト領域26のp型不純物及びn型不純物の不純物濃度は、例えば、平均濃度である。平均濃度は、不純物濃度を複数の点において測定し、平均値を計算することで求められる。

【0028】

p⁺型の第1の高濃度ピラー領域30aは、第1の低濃度ピラー領域28aとSiC層10の表面との間に設けられる。第1の高濃度ピラー領域30aは、第1の低濃度ピラー領域28aと接して設けられる。

【0029】

20

第1の高濃度ピラー領域30aは、例えば、アルミニウム（Al）をp型不純物として含む。第1の高濃度ピラー領域30aのp型不純物の不純物濃度は、第1の低濃度ピラー領域28aのp型不純物の不純物濃度より高い。第1の高濃度ピラー領域30aのp型不純物の不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0030】

第1の高濃度ピラー領域30aの深さは、トレンチ40の深さよりも深い。第1の高濃度ピラー領域30aの深さは、例えば、1 μm以上3 μm以下である。第1の高濃度ピラー領域30aの幅は、例えば、0.5 μm以上1.5 μm以下である。

【0031】

30

p⁺型の第2の高濃度ピラー領域30bは、第2の低濃度ピラー領域28bとSiC層10の表面との間に設けられる。第2の高濃度ピラー領域30bは、第2の低濃度ピラー領域28bと接して設けられる。

【0032】

第2の高濃度ピラー領域30bは、例えば、アルミニウム（Al）をp型不純物として含む。第2の高濃度ピラー領域30bのp型不純物の不純物濃度は、第2の低濃度ピラー領域28bのp型不純物の不純物濃度より高い。第2の高濃度ピラー領域30bのp型不純物の不純物濃度は、例えば、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $5 \times 10^{20} \text{ cm}^{-3}$ 以下である。

【0033】

40

第2の高濃度ピラー領域30bの深さは、トレンチ40の深さよりも深い。第2の高濃度ピラー領域30bの深さは、例えば、1 μm以上3 μm以下である。第2の高濃度ピラー領域30bの幅は、例えば、0.5 μm以上1.5 μm以下である。

【0034】

第1の高濃度ピラー領域30aと第2の高濃度ピラー領域30bとは、製造ばらつきの範囲内で同一の形状及び不純物濃度を備える。

【0035】

p⁻型の第1のサイドピラー領域60aは、第1の高濃度ピラー領域30aとゲート電極18との間に第1の高濃度ピラー領域30aに接して設けられる。第1のサイドピラー領域60aは、第1の高濃度ピラー領域30aと第2のドリフト領域26との間に設けら

50

れる。第1のサイドピラー領域60aは、第1の高濃度ピラー領域30aに接する。第1のサイドピラー領域60aとゲート電極18との間に第2のドリフト領域26が挟まれる。

【0036】

第1のサイドピラー領域60aは、例えば、アルミニウム（Al）をp型不純物として含む。第1のサイドピラー領域60aのp型不純物の不純物濃度は、第1の高濃度ピラー領域30aのp型不純物の不純物濃度より低い。第1のサイドピラー領域60aのp型不純物の不純物濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0037】

第1のサイドピラー領域60aの深さは、ゲート絶縁膜16の第2の面型の端部の深さよりも深い。第1のサイドピラー領域60aの深さは、トレンチ40の深さよりも深い。第1のサイドピラー領域60aの深さは、例えば、 $1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下である。第1のサイドピラー領域60aの幅は、例えば、 $0.1 \mu\text{m}$ 以上 $0.5 \mu\text{m}$ 以下である。

【0038】

第1のサイドピラー領域60aの深さは、第1の高濃度ピラー領域30aの深さより浅くても深くても構わない。トレンチ底部での電界集中によるゲート絶縁膜の破壊を抑制する観点からは、第1のサイドピラー領域60aの深さは、第1の高濃度ピラー領域30aの深さより深いことが望ましい。

【0039】

p型の第2のサイドピラー領域60bは、第2の高濃度ピラー領域30bとゲート電極18との間に第2の高濃度ピラー領域30bに接して設けられる。第2のサイドピラー領域60bは、第2の高濃度ピラー領域30bと第2のドリフト領域26との間に設けられる。第2のサイドピラー領域60bは、第2の高濃度ピラー領域30bに接する。第2のサイドピラー領域60bとゲート電極18との間に第2のドリフト領域26が挟まれる。

【0040】

第2のサイドピラー領域60bは、例えば、アルミニウム（Al）をp型不純物として含む。第2のサイドピラー領域60bのp型不純物の不純物濃度は、第2の高濃度ピラー領域30bのp型不純物の不純物濃度より低い。第2のサイドピラー領域60bのp型不純物の不純物濃度は、例えば、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0041】

第2のサイドピラー領域60bの深さは、ゲート絶縁膜16の第2の面型の端部の深さよりも深い。第2のサイドピラー領域60bの深さは、トレンチ40の深さよりも深い。第2のサイドピラー領域60bの深さは、例えば、 $1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下である。第2のサイドピラー領域60bの幅は、例えば、 $0.1 \mu\text{m}$ 以上 $0.5 \mu\text{m}$ 以下である。

【0042】

第2のサイドピラー領域60bの深さは、第2の高濃度ピラー領域30bの深さより浅くても深くても構わない。トレンチ底部での電界集中によるゲート絶縁膜の破壊を抑制する観点からは、第2のサイドピラー領域60bの深さは、第2の高濃度ピラー領域30bの深さより深いことが望ましい。

【0043】

第1のサイドピラー領域60aと第2のサイドピラー領域60bとの間の距離（図1中の“d2”）は、第1の低濃度ピラー領域28aと第2の低濃度ピラー領域28bとの間の距離（図1中の“d1”）よりも短い。

【0044】

p型の第1のボディ領域32aは、第2のドリフト領域26とSiC層10の表面との間に設けられる。第1のボディ領域32aは、第1の高濃度ピラー領域30aとゲート電極18との間に設けられる。第1のボディ領域32aは、MOSFET100のチャンネル

10

20

30

40

50

領域として機能する。

【0045】

第1のボディ領域32aは、例えば、アルミニウム（Al）をp型不純物として含む。第1のボディ領域32aのp型不純物の不純物濃度は、第1の高濃度ピラー領域30aのp型不純物の不純物濃度よりも低い。第1のボディ領域32aのp型不純物の不純物濃度は、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。第1のボディ領域32aの深さは、例えば、0.3 μm 以上0.8 μm 以下である。

【0046】

p型の第2のボディ領域32bは、第2のドリフト領域26とSiC層10の表面との間に設けられる。第2のボディ領域32bは、第2の高濃度ピラー領域30bとゲート電極18との間に設けられる。第2のボディ領域32bは、MOSFET100のチャンネル領域として機能する。

10

【0047】

第2のボディ領域32bは、例えば、アルミニウム（Al）をp型不純物として含む。第2のボディ領域32bのp型不純物の不純物濃度は、第2の高濃度ピラー領域30bのp型不純物の不純物濃度よりも低い。第2のボディ領域32bのp型不純物の不純物濃度は、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上 $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。第2のボディ領域32bの深さは、例えば、0.3 μm 以上0.8 μm 以下である。

【0048】

第1のボディ領域32aと第2のボディ領域32bとは、製造ばらつきの範囲内で同一の形状及び不純物濃度を備える。

20

【0049】

n^+ 型の第1のソース領域34aは、第1のボディ領域32aとSiC層10の表面との間に設けられる。第1のソース領域34aの少なくとも一部は、SiC層10の表面に設けられる。

【0050】

第1のソース領域34aは、例えば、リン（P）をn型不純物として含む。第1のソース領域34aのn型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。第1のソース領域34aの深さは、第1のボディ領域32aの深さよりも浅く、例えば、0.1 μm 以上0.4 μm 以下である。

30

【0051】

n^+ 型の第2のソース領域34bは、第2のボディ領域32bとSiC層10の表面との間に設けられる。第2のソース領域34bの少なくとも一部は、SiC層10の表面に設けられる。

【0052】

第2のソース領域34bは、例えば、リン（P）をn型不純物として含む。第2のソース領域34bのn型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。第2のソース領域34bの深さは、第2のボディ領域32bの深さよりも浅く、例えば、0.1 μm 以上0.4 μm 以下である。

【0053】

第1のソース領域34aと第2のソース領域34bとは、製造ばらつきの範囲内で同一の形状及び不純物濃度を備える。

40

【0054】

p^+ 型の第1のコンタクト領域36aは、第1の高濃度ピラー領域30aとSiC層10の表面との間に、SiC層10の表面に接して設けられる。第1のコンタクト領域36aは、例えば、第1の高濃度ピラー領域30aに接して設けられる。第1のコンタクト領域36aは、第1のソース領域34aに接して設けられる。

【0055】

第1のコンタクト領域36aは、例えば、アルミニウム（Al）をp型不純物として含む。第1のコンタクト領域36aのp型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ c}$

50

m^{-3} 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0056】

第1のコンタクト領域36aの深さは、第1のボディ領域32aの深さよりも浅く、例えば、 $0.1 \mu\text{m}$ 以上 $0.4 \mu\text{m}$ 以下である。

【0057】

p⁺型の第2のコンタクト領域36bは、第2の高濃度ピラー領域30bとSiC層10の表面との間に、SiC層10の表面に接して設けられる。第2のコンタクト領域36bは、例えば、第2の高濃度ピラー領域30bに接して設けられる。第2のコンタクト領域36bは、第2のソース領域34bに接して設けられる。

【0058】

第2のコンタクト領域36bは、例えば、アルミニウム(Al)をp型不純物として含む。第2のコンタクト領域36bのp型不純物の不純物濃度は、例えば、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下である。

【0059】

第2のコンタクト領域36bの深さは、第1のボディ領域32aの深さよりも浅く、例えば、 $0.1 \mu\text{m}$ 以上 $0.4 \mu\text{m}$ 以下である。

【0060】

第1のコンタクト領域36aと第2のコンタクト領域36bとは、製造ばらつきの範囲内で同一の形状及び不純物濃度を備える。

【0061】

ゲート電極18は、SiC層10に形成されたトレンチ40内に設けられる。ゲート電極18は、ゲート絶縁膜16上に設けられる。ゲート電極18の少なくとも一部は、第1の高濃度ピラー領域30aと第2の高濃度ピラー領域30bとの間に設けられる。

【0062】

ゲート電極18は、導電層である。ゲート電極18は、例えば、p型不純物又はn型不純物を含む多結晶質シリコンである。

【0063】

ゲート絶縁膜16は、トレンチ40内に設けられる。ゲート絶縁膜16は、第1のボディ領域32a及び第2のボディ領域32bとゲート電極18との間に設けられる。ゲート絶縁膜16のSiC層の裏面側の端部の深さは、第1の高濃度ピラー領域30a及び第2の高濃度ピラー領域30bの深さよりも浅い。言い換えれば、トレンチ40の深さは、第1の高濃度ピラー領域30a及び第2の高濃度ピラー領域30bの深さよりも浅い。

【0064】

ゲート絶縁膜16は、例えば、シリコン酸化膜である。ゲート絶縁膜16には、例えば、High-k絶縁膜(高誘電率絶縁膜)が適用可能である。

【0065】

層間絶縁膜20は、ゲート電極18上に設けられる。層間絶縁膜20は、例えば、シリコン酸化膜である。

【0066】

ソース電極12は、SiC層10の表面に設けられる。ソース電極12は、第1のソース領域34a、第2のソース領域34b、第1のコンタクト領域36a、第2のコンタクト領域36b、第1の高濃度ピラー領域30a、及び、第2の高濃度ピラー領域30bに電氣的に接続される。ソース電極12は、第1のソース領域34a、第2のソース領域34b、第1のコンタクト領域36a、及び、第2のコンタクト領域36bに接する。

【0067】

ソース電極12は、金属を含む。ソース電極12を形成する金属は、例えば、チタン(Ti)とアルミニウム(Al)の積層構造である。ソース電極12は、SiC層10に接する金属シリサイドや金属カーバイドを含んでも構わない。

【0068】

ドレイン電極14は、SiC層10の裏面に設けられる。ドレイン電極14は、ドレイ

10

20

30

40

50

ン領域22と電氣的に接続される。

【0069】

ドレイン電極14は、例えば、金属又は金属半導体化合物である。ドレイン電極14は、例えば、ニッケルシリサイド(NiSi)、チタン(Ti)、ニッケル(Ni)、銀(Ag)、及び、金(Au)から成る群から選ばれる材料を含む。

【0070】

なお、SiC層10中の各領域の不純物濃度は、例えば、二次イオン質量分析法(Secondary Ion Mass Spectrometry: SIMS)により測定することが可能である。また、SiC層10中の各領域の幅、形状、深さは、例えば、走査型静電容量顕微鏡法(Scanning Capacitance Microscopy: SCM)を用いて測定することが可能である。また、SiC層10中の各領域の不純物濃度の大小は、例えば、SCMで判定可能である。

10

【0071】

以下、実施形態の半導体装置の作用及び効果について説明する。

【0072】

本実施形態のような、トレンチゲート型のMOSFET100では、プレーナ構造のMOSFETに比べ微細化が可能となりチャンネル密度が向上できる。したがって、MOSFETのオン抵抗が低減される。もっとも、トレンチ底部での電界集中によるゲート絶縁膜の破壊が問題となる。

【0073】

20

本実施形態では、トレンチ40の両側に、トレンチ40よりも深い p^+ 型の第1の高濃度ピラー領域30a及び p^+ 型の第2の高濃度ピラー領域30bを設ける。 p^+ 型の第1の高濃度ピラー領域30a及び p^+ 型の第2の高濃度ピラー領域30bから n^- 型の第2のドリフト領域26に伸びる空乏層により、トレンチ40底部のゲート絶縁膜16への電界集中が緩和される。したがって、トレンチ底部での電界集中によるゲート絶縁膜の破壊が抑制される。

【0074】

しかし、トレンチ40よりも深い第1の高濃度ピラー領域30a及び第2の高濃度ピラー領域30bを設けることにより、ドリフト領域の実効的な幅が狭まり、オン抵抗の増大要因となる。また、第1の高濃度ピラー領域30a及び第2の高濃度ピラー領域30bと第2の面との距離が短くなるので、耐圧の劣化要因となる。

30

【0075】

本実施形態のMOSFET100では、ドリフト領域を、低濃度の第1のドリフト領域24と、高濃度の第2のドリフト領域26の2層構造とする。高濃度の第2のドリフト領域26は低抵抗になるため、オン抵抗の増大が抑制される。

【0076】

しかし、高濃度の第2のドリフト領域26内では電界強度が高くなり、耐圧の劣化要因となる。このため、本実施形態では、第2のドリフト領域26中に、 p^- 型の第1の低濃度ピラー領域28a、 p^- 型の第2の低濃度ピラー領域28bを設けることにより、第2のドリフト領域26の少なくとも一部を空乏化し、電界強度を緩和する。したがって、耐圧の劣化が抑制される。

40

【0077】

よって、MOSFET100によれば、ゲート絶縁膜16の破壊を抑制すると共に、オン抵抗の増大及び耐圧の劣化を抑制することが可能となる。

【0078】

図2は、本実施形態の半導体装置の作用及び効果の説明図である。図2は、第1及び第2のサイドピラー領域60a、60bを設けた場合のゲート絶縁膜(酸化膜)16にかかる電界強度のシミュレーション結果を示す図である。第1及び第2のサイドピラー領域60a、60bの濃度を $5 \times 10^{17} \text{ cm}^{-3}$ 、幅を $0.1 \mu\text{m}$ とした場合の計算結果を示す。比較のために、第1及び第2のサイドピラー領域60a、60bが無い場合の計算結

50

果を示す

【0079】

図2から明らかなように、第1及び第2のサイドピラー領域60a、60bを設けることにより、ゲート絶縁膜16にかかる電界強度が、約0.5MV/cm低下していることが分かる。

【0080】

このように、本実施形態のMOSFET100では、第1及び第2のサイドピラー領域60a、60bをも受けることにより、オフ状態で第1及び第2のサイドピラー領域60a、60bが空乏化することにより電界強度を緩和することができる。第1及び第2のサイドピラー領域60a、60bを設けない場合、第1及び第2の低濃度ピラー領域28a、28b、及び、第1及び第2の高濃度ピラー領域30a、30bの不純物濃度によってのみ電界強度を抑制する。本実施形態では、第1及び第2のサイドピラー領域60a、60bの空乏化がゲート絶縁膜16の電界強度の抑制に寄与するため、ゲート絶縁膜の電界強度を低減することができる。

10

【0081】

なお、第1及び第2のサイドピラー領域60a、60bが無い場合、ゲート絶縁膜16にかかる電界強度を低減させる場合、第1及び第2の高濃度ピラー領域30a、30bとトレンチ40との距離を近づけることが考えられる。しかし、この場合、不純物濃度の高い第1及び第2の高濃度ピラー領域30a、30bがトレンチに近づくことで、オン抵抗が増大する恐れがある。本実施形態では、第1及び第2の高濃度ピラー領域30a、30bよりも不純物濃度が低い第1及び第2のサイドピラー領域60a、60bを設けることで、ゲート絶縁膜16にかかる電界強度の低減に伴うオン抵抗の増大を抑制できる。

20

【0082】

本実施形態のMOSFET100において、p⁺型の第1の高濃度ピラー領域30aとp⁺型の第1のコンタクト領域36aとが接することが望ましい。また、p⁺型の第2の高濃度ピラー領域30bとp⁺型の第2のコンタクト領域36bとが接することが望ましい。

【0083】

MOSFET100のオフ動作時には、第1又は第2の低濃度ピラー領域28a、28b、又は、第1又は第2の高濃度ピラー領域30a、30bの最大電界強度点でアバランシェ降伏が生じる。第1又は第2の低濃度ピラー領域28a、28b、又は、第1又は第2の高濃度ピラー領域30a、30bでアバランシェ降伏が生じた場合、アバランシェ降伏が生じた点からソース電極12に至る経路の抵抗が高いと、キャリアが十分にソース電極12に抜けず、素子破壊が生じる恐れがある。

30

【0084】

第1の高濃度ピラー領域30aと第1のコンタクト領域36a、及び、第2の高濃度ピラー領域30bと第2のコンタクト領域36bとが、それぞれ接触することで、第1又は第2の低濃度ピラー領域28a、28b、又は、第1又は第2の高濃度ピラー領域30a、30bからソース電極12に至る経路の抵抗が、例えば、不純物濃度の低い第1又は第2のボディ領域32a、32bが間に挟まれる場合に比べ低下する。したがって、素子破壊が抑制され、アバランシェ耐量が向上する。

40

【0085】

以上、本実施形態のMOSFET100によれば、オン抵抗の増加、耐圧の劣化、及び、ゲート絶縁膜破壊の抑制が可能となる。

【0086】

(第2の実施形態)

本実施形態の半導体装置は、第1のサイドピラー領域60aと第2のサイドピラー領域60bとの間の距離が、第1の低濃度ピラー領域28aと第2の低濃度ピラー領域28bとの間の距離が略同一であること以外は、第1の実施形態と異なっている。以下、第1の実施形態と重複する内容については記述を省略する。

50

【0087】

図3は、本実施形態の半導体装置の模式断面図である。本実施形態の半導体装置は、SiC（炭化珪素）を用いたトレンチゲート型の縦型MOSFET200である。以下、第1導電型がn型、第2導電型がp型である場合を例に説明する。

【0088】

MOSFET200は、第1のサイドピラー領域60aと第2のサイドピラー領域60bとの間の距離（図3中の“d2”）が、第1の低濃度ピラー領域28aと第2の低濃度ピラー領域28bとの間の距離（図3中の“d1”）が略同一である。

【0089】

第1のサイドピラー領域60aは、第1の低濃度ピラー領域28aと第1のボディ領域32aとの間に、第1の低濃度ピラー領域28a及び第1のボディ領域32aと接して設けられる。第2のサイドピラー領域60bは、第2の低濃度ピラー領域28bと第1のボディ領域32bとの間に、第2の低濃度ピラー領域28b及び第2のボディ領域32bと接して設けられる。

10

【0090】

本実施形態のMOSFET200によれば、第1の実施形態と同様の作用により、オン抵抗の増加、耐圧の劣化、及び、ゲート絶縁膜破壊の抑制が可能となる。

【0091】

第1及び第2の実施形態では、SiCの結晶構造として4H-SiCの場合を例に説明したが、本発明は6H-SiC、3C-SiC等、その他の結晶構造のSiCを用いたデバイスに適用することも可能である。また、SiC層10の表面に（0001）面以外の面を適用することも可能である。

20

【0092】

第1及び第2の実施形態では、第1導電型がn型、第2導電型がp型の場合を例に説明したが、第1導電型をp型、第2導電型をn型とすることも可能である。

【0093】

第1及び第2の実施形態では、p型不純物としてアルミニウム（Al）を例示したが、ボロン（B）を用いることも可能である。また、n型不純物として窒素（N）及びリン（P）を例示したが、砒素（As）、アンチモン（Sb）等を適用することも可能である。

【0094】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。例えば、一実施形態の構成要素を他の実施形態の構成要素と置き換え又は変更してもよい。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

【符号の説明】

【0095】

- 10 SiC層
- 12 ソース電極
- 14 ドレイン電極
- 16 ゲート絶縁膜
- 18 ゲート電極
- 22 n⁺型のドレイン領域（第3のSiC領域）
- 24 n⁻型の第1のドリフト領域（第2のSiC領域）
- 26 n⁻型の第2のドリフト領域（第1のSiC領域）
- 28a p⁻型の第1の低濃度ピラー領域
- 28b p⁻型の第2の低濃度ピラー領域
- 30a p⁺型の第1の高濃度ピラー領域

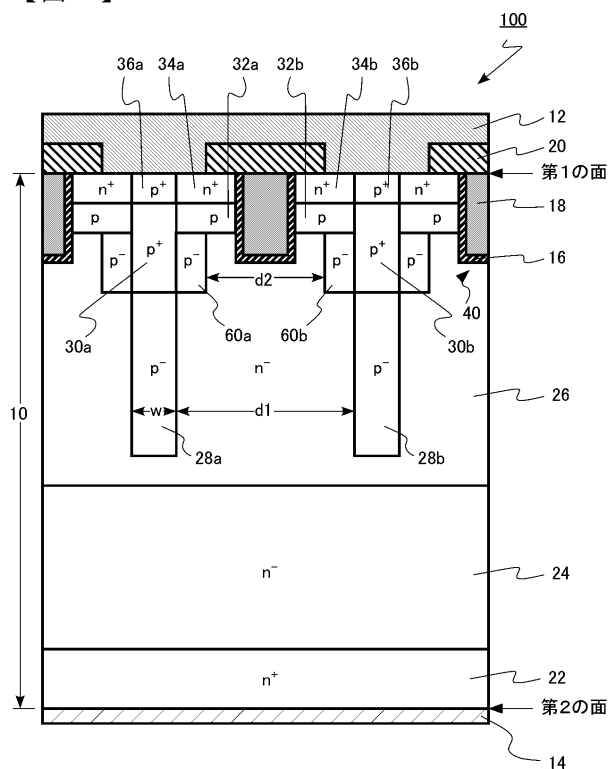
40

50

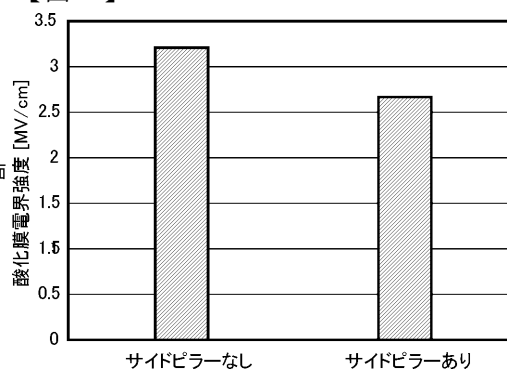
- | | |
|-------|------------------------------|
| 3 0 b | p ⁺ 型の第2の高濃度ピラー領域 |
| 3 2 a | p型の第1のボディ領域 |
| 3 2 b | p型の第2のボディ領域 |
| 3 4 a | n ⁺ 型の第1のソース領域 |
| 3 4 b | n ⁺ 型の第2のソース領域 |
| 3 6 a | p ⁺ 型の第1のコンタクト領域 |
| 3 6 b | p ⁺ 型の第2のコンタクト領域 |
| 6 0 a | p ⁻ 型の第1のサイドピラー領域 |
| 6 0 b | p ⁻ 型の第2のサイドピラー領域 |
| 1 0 0 | M O S F E T (半導体装置) |
| 2 0 0 | M O S F E T (半導体装置) |

10

【图 1】



【图 2】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/06 3 0 1 V

審査官 杉山 芳弘

(56)参考文献 特開 2 0 1 2 - 1 6 4 7 0 7 (J P, A)
特開 2 0 0 9 - 1 4 1 3 6 3 (J P, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6