【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】令和5年12月22日(2023.12.22)

【国際公開番号】WO2023/022179
【出願番号】特願2023-542430(P2023-542430)
【国際特許分類】
H01L 25/07(2006.01)
【FI】
H01L 25/08 B

【手続補正書】
【提出日】令和4年12月21日(2022.12.21)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
（ａ）第１支持体の第１面上に、前記第１面の面外方向に延びる第１柱状接続部を含む第１接続部と、前記第１面の面外方向に延びる第２柱状接続部を含む第２接続部と、を形成する工程、
（ｂ）第１ＩＣチップおよび前記第１ＩＣチップに接続される第１ダイ電極を有する第１半導体ダイと、第２ＩＣチップおよび前記第２ＩＣチップに接続される第２ダイ電極を有する第２半導体ダイと、を準備して、前記第１接続部上に前記第１ダイ電極が配置され、かつ、前記第２接続部上に前記第２ダイ電極が配置されるように、前記第１半導体ダイおよび前記第２半導体ダイのそれぞれを前記第１支持体上に搭載する工程、
（ｃ）前記（ｂ）工程の後、前記第１半導体ダイ、前記第２半導体ダイ、前記第１接続部、および前記第２接続部を、第１封止体により封止する工程、
（ｄ）前記（ｃ）工程の後、前記第１支持体を取り除き、かつ、前記第１柱状接続部の一部分および前記第２柱状接続部の一部分をそれぞれ前記第１封止体から露出させる工程、
（ｅ）前記第１接続部に接続される第１ブリッジ電極、および前記第２接続部に接続される第２ブリッジ電極を含むブリッジを準備して、前記（ｄ）工程の後、前記第１柱状接続部上に前記第１ブリッジ電極が配置され、かつ、前記第２柱状接続部上に前記第２ブリッジ電極が配置されるように、前記ブリッジを前記第１封止体で封止された構造体に搭載する工程、
を含む、半導体モジュールの製造方法。
【請求項２】
請求項１において、
（ｆ）前記（ｅ）工程の後、前記第１ブリッジ電極および前記第２ブリッジ電極を、第２封止体で封止する工程、
を更に含む、半導体モジュールの製造方法。
【請求項３】
請求項２において、
前記第１封止体は、複数の第１フィラ粒子を含み、
前記第２封止体は、複数の第２フィラ粒子を含み、
前記複数の第１フィラ粒子の平均粒径は、前記複数の第２フィラ粒子の平均粒径より大きい、半導体モジュールの製造方法。

【請求項４】
請求項１において、
前記（ａ）工程では、前記第１接続部および前記第２接続部のそれぞれは、下地のシード層上に形成され、
前記（ｂ）工程では、前記第１接続部の側面および前記第２接続部の側面は、酸化被膜で覆われている、半導体モジュールの製造方法。
【請求項５】
請求項４において、
前記（ｂ）工程では、
前記第１ダイ電極は半田材を介して前記第１接続部に接合され、
前記第２ダイ電極は半田材を介して前記第２接続部に接合される、半導体モジュールの製造方法。
【請求項６】
請求項４において、
前記（ｅ）工程では、
前記第１ブリッジ電極は半田材を介して前記第１接続部に接合され、
前記第２ブリッジ電極は半田材を介して前記第２接続部に接合される、半導体モジュールの製造方法。
【請求項７】
請求項１において、
前記（ｅ）工程において、前記ブリッジを準備する工程は、
（ｅ１）第２支持体上に第１絶縁層、配線、および第２絶縁層を積層するように順に形成する工程、
（ｅ２）前記（ｅ１）工程の後、前記第２絶縁層よりも厚い第３絶縁層を介して前記第２支持体上の前記第２絶縁層と、基板とを貼り合わせる工程、
（ｅ３）前記（ｅ２）工程の後、前記第２支持体を除去する工程、
（ｅ４）前記（ｅ３）工程の後、前記第１絶縁層上に前記配線と電気的に接続された前記第１ブリッジ電極および前記第２ブリッジ電極を形成する工程、
を更に有する、半導体モジュールの製造方法。
【請求項８】
（ａ）第１支持体の第１面上に、第１絶縁層を形成した後、前記第１絶縁層に第１開口部および第２開口部を形成する工程、
（ｂ）前記第１開口部内に形成される第１柱状接続部を含む第１接続部と、前記第２開口部内に形成される第２柱状接続部を含む第２接続部と、を形成する工程、
（ｃ）第１ＩＣチップ、前記第１ＩＣチップに接続される第１ダイ電極、および前記第１ダイ電極のを封止する第２絶縁層を有する第１半導体ダイと、第２ＩＣチップ、前記第２ＩＣチップに接続される第２ダイ電極、および前記第２ダイ電極を封止する第３絶縁層を有する第２半導体ダイと、を準備して、前記第１接続部上に前記第１ダイ電極が配置され、かつ、前記第２接続部上に前記第２ダイ電極が配置されるように、前記第１半導体ダイおよび前記第２半導体ダイのそれぞれを前記第１支持体上に搭載する工程、
（ｄ）前記（ｃ）工程の後、前記第１半導体ダイおよび前記第２半導体ダイを、第１封止体により封止する工程、
（ｅ）前記（ｄ）工程の後、前記第１支持体を取り除き、かつ、前記第１柱状接続部の一部分および前記第２柱状接続部の一部分をそれぞれ前記第１絶縁層から露出させる工程、
（ｆ）前記第１接続部に接続される第１ブリッジ電極と、前記第２接続部に接続される第２ブリッジ電極と、を含むブリッジを準備して、前記（ｅ）工程の後、前記第１柱状接続部上に前記第１ブリッジ電極が配置され、かつ、前記第２柱状接続部上に前記第２ブリッジ電極が配置されるように、前記ブリッジを前記第１封止体で封止された構造体に搭載する工程、

を含み、
前記（ｃ）工程において、
前記第１絶縁層と前記第２絶縁層とは互いに接合され、かつ、前記第１ダイ電極は前記第１絶縁層および前記第２絶縁層により封止され、
前記第１絶縁層と前記第３絶縁層とは互いに接合され、かつ、前記第２ダイ電極は前記第１絶縁層および前記第３絶縁層により封止される、半導体モジュールの製造方法。
【請求項９】
請求項８において、
前記（ｂ）工程では、
前記第１ダイ電極は半田材を介して前記第１接続部に接合され、
前記第２ダイ電極は半田材を介して前記第２接続部に接合される、半導体モジュールの製造方法。
【請求項１０】
請求項９において、
前記（ｆ）工程で準備する前記ブリッジは、前記第１ブリッジ電極および前記第２ブリッジ電極のそれぞれの一部分を封止する第４絶縁層を更に有し、
前記（ｆ）工程では、
前記第１ブリッジ電極は半田材を介して前記第１接続部に接合され、
前記第２ブリッジ電極は半田材を介して前記第２接続部に接合され、
前記第１絶縁層と前記第４絶縁層とは互いに接合される、半導体モジュールの製造方法。
【請求項１１】
第１ＩＣチップおよび前記第１ＩＣチップに接続される第１ダイ電極を有する第１半導体ダイと、
第２ＩＣチップおよび前記第２ＩＣチップに接続される第２ダイ電極を有する第２半導体ダイと、
前記第１ダイ電極に電気的に接続される第１接続部と、
前記第２ダイ電極に電気的に接続される第２接続部と、
前記第１接続部に接続された第１ブリッジ電極、および前記第２接続部に接続された第２ブリッジ電極を有するブリッジと、
前記第１半導体ダイおよび前記第２半導体ダイを封止する第１封止体と、
を備え、
前記第１接続部は、前記第１半導体ダイと前記ブリッジとの間に配置され、前記第１半導体ダイおよび前記ブリッジの一方から他方に向かう方向に延びる第１柱状接続部を含み、
前記第２接続部は、前記第２半導体ダイと前記ブリッジとの間に配置され、前記第２半導体ダイおよび前記ブリッジの一方から他方に向かう方向に延びる第２柱状接続部を含み、
前記第１ブリッジ電極および前記第２ブリッジ電極は、前記第１封止体から露出し、
前記第１柱状接続部および前記第２柱状接続部のそれぞれは、前記第１封止体に封止されている、半導体モジュール。
【請求項１２】
請求項１１において、
前記第１ブリッジ電極および前記第２ブリッジ電極のそれぞれは、第２封止体に封止されている、半導体モジュール。
【請求項１３】
請求項１１において、
前記第１封止体は、複数の第１フィラ粒子を含み、
前記第２封止体は、複数の第２フィラ粒子を含み、
前記複数の第１フィラ粒子の平均粒径は、前記複数の第２フィラ粒子の平均粒径より大

きい、半導体モジュール。
【請求項１４】
請求項１１において、
前記第１接続部の側面および前記第２接続部の側面は、酸化被膜で覆われている、半導体モジュール。
【請求項１５】
請求項１１において、
前記ブリッジは、
チップと、
前記チップ上に順に積層された第１絶縁層、第２絶縁層、および第３絶縁層と、
前記第２絶縁層と前記第３絶縁層との間に挟まれ、前記第１ブリッジ電極および前記第２ブリッジ電極のそれぞれに接続された配線と、
を有し、
前記第１絶縁層の厚さは前記第２絶縁層の厚さよりも厚い、半導体モジュール。
【請求項１６】
第１の電極を有する第１のダイと、
第２の電極を有する第２のダイと、
前記第１の電極に電気的に接続される第１の接続部と、
前記第２の電極に電気的に接続される第２の接続部と、
前記第１の接続部と前記第２の接続部とに電気的に接続されたブリッジと、
を備え、
前記第１の接続部は、前記ブリッジから前記第１のダイに向いた柱状接続部を有する、電子装置。
【請求項１７】
前記柱状接続部は、前記ブリッジから前記第１の電極に向いた第１の柱状接続部と、前記第１の柱状接続部の端部に接続されており、前記第１の柱状接続部の端部から前記第１の電極に向いた第２の柱状接続部と、を有し、
前記第１の柱状接続部の前記第２の柱状接続部に接続されている部分の断面積は、前記第２の柱状接続部の前記第１の柱状接続部に接続されている部分の断面積よりも大きい、請求項１６に記載の電子装置。
【請求項１８】
前記第１のダイ、前記第２のダイ、前記第１の接続部、および前記第２の接続部を、一体となって封止する封止部材をさらに備える、請求項１６に記載の電子装置。
【請求項１９】
前記第１のダイおよび前記第２のダイを一体となって封止する第１の封止部材と、前記第１の接続部および前記第２の接続部を一体となって封止する第２の封止部材をさらに備える、
請求項１６に記載の電子装置。
【請求項２０】
前記ブリッジは、はんだを介して前記柱状接続部に接続されている、請求項１６に記載の電子装置。
【請求項２１】
前記第１のダイは、ハイブリッドボンディングにより前記第１の接続部に接続されており、
前記第２のダイは、ハイブリッドボンディングにより前記第２の接続部に接続されており、
前記第１のダイおよび前記第２のダイは、一体となって封止部材により封止されている、請求項１６に記載の電子装置。
【請求項２２】
請求項１６に記載の電子装置と、

配線が内部に設けられている配線層と、
前記配線と前記電子装置とを電気的に接続する接続部と、
を備える、電子モジュール。
【請求項２３】
前記第１のダイは、第３の接続部が電気的に接続されている第３の電極を有し、
前記第１のダイ、前記第３の電極および前記第３の接続部は、一体となって封止部材により封止されており、
前記第３の接続部は、前記封止部材を貫通して、前記配線層に接続されている、請求項２２に記載の電子モジュール。
【請求項２４】
支持体上に前記支持体から突出した柱状接続部を含む第１の接続部と、第２の接続部とを形成する形成工程と、
前記第１の接続部に第１のダイが有する第１の電極を結合させ、前記第２の接続部に第２のダイが有する第２の電極を結合させるダイ結合工程と、
前記第１のダイ、前記第２のダイ、前記第１の接続部を樹脂により封止する封止工程と、
前記第１の接続部の下部と前記第２の接続部の下部とにブリッジを結合させるブリッジ結合工程と、
を含む、電子装置の製造方法。
【請求項２５】
前記第１の接続部は、第１の柱状接続部と、第２の柱状接続部とを有し、
前記形成工程は、前記第１の接続部が前記支持体から前記第１のダイに向かって突出するように、前記支持体上に前記第１の接続部を形成する工程と、前記第２の柱状接続部が前記第１の柱状接続部から前記第１のダイに向かって突出するように、第２の接続部を前記第１の接続部の上に形成する工程を含み、
前記第１の柱状接続部の前記第２の柱状接続部に接続されている部分の断面積は、前記第２の柱状接続部の前記第１の柱状接続部に接続されている部分の断面積よりも大きく、
前記ダイ結合工程は、前記第２の柱状接続部に前記第１のダイを接続する工程を含む、
請求項２４に記載の電子装置の製造方法。