



(12) 发明专利

(10) 授权公告号 CN 101706552 B

(45) 授权公告日 2011. 09. 28

(21) 申请号 200910221015. X

(22) 申请日 2009. 11. 03

(66) 本国优先权数据

200910181350. 1 2009. 07. 02 CN

(73) 专利权人 苏州国芯科技有限公司

地址 215011 江苏省苏州市高新区竹园路
209 号苏州创业园 C2031 室

(72) 发明人 王宗宝 肖佐楠 郑荏 林雄鑫

(74) 专利代理机构 苏州创元专利商标事务所有
限公司 32103

代理人 马明渡

(51) Int. Cl.

G01R 31/28(2006. 01)

(56) 对比文件

CN 1627516 A, 2005. 06. 15,

CN 101458304 A, 2009. 06. 17,

US 2006085707 A1, 2006. 04. 20,

US 2004216018 A1, 2004. 10. 28,

审查员 郭军宏

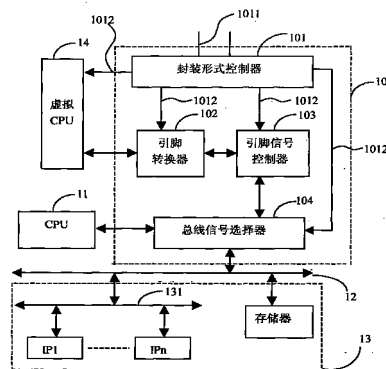
权利要求书 2 页 说明书 7 页 附图 5 页

(54) 发明名称

支持芯片不同引脚封装的可配置式片上测试模块

(57) 摘要

一种支持芯片不同引脚封装的可配置式片上测试模块,其特征在于:由封装形式控制器(101)、引脚转换器(102)、引脚信号控制器(103)和总线信号选择器(104)组成。这种测试模块可以通过配置的方式来支持一款多功能芯片针对不同应用采用不同引脚(pin脚)的封装形式。本发明的特点是:1、测试模块通用性强,测试范围广,几乎可以测试除了内部CPU之外的其它所有功能模块;2、具有较少的逻辑,对芯片面积的影响可以忽略,从而不会提高芯片的生产成本;3、由于测试时采用的虚拟CPU(激励控制器)在芯片外部,因此测试程序的开发更为灵活和有针对性。



1. 一种支持芯片不同引脚封装的可配置式片上测试模块,其特征在于:由封装形式控制器(101)、引脚转换器(102)、引脚信号控制器(103)和总线信号选择器(104)组成,其中:

封装形式控制器(101)由输入端口(1011)和封装形式信号生成电路组成,输入端口(1011)用于输入当前芯片封装形式的配置信号,所述输入端口(1011)由至少两个信号输入端构成,每个信号输入端均由芯片上的一个引脚定义而成;封装形式信号生成电路由一组与门和反相器构成,其中,一组与门并行设置,反相器设在与门的不同输入端产生不同组合,使输入端口(1011)通过与门与反相器的不同组合生成不同的封装形式信号(1012),这些封装形式信号(1012)分别传送给引脚转换器(102)、引脚信号控制器(103)和总线信号选择器(104);

引脚转换器(102)根据接收到的封装形式信号(1012)将引脚输入信号和引脚输出信号转换成测试信号;所述引脚转换器(102)中具有两组并行设置的多选一选择器,第一组多选一选择器用来将引脚输入信号转换成测试信号中的地址信号、控制信号和写数据信号,第二组多选一选择器用来将测试信号中的读数据信号转换成引脚输出信号;第一组多选一选择器中每个多选一选择器的第一输入端与第一种封装形式所对应引脚连接,第二输入端与第二种封装形式所对应的引脚连接,第三输入端与第三种封装形式所对应的引脚连接,以此类推;每个多选一选择器的选择控制端与封装形式信号(1012)连接,一组多选一选择器的输出端作为测试信号的地址线、控制线和写数据线,其中,地址线和写数据线复用;第二组多选一选择器中每个多选一选择器的输出端与对应的引脚连接,多选一选择器的输入端与该引脚输出的所有读数据位连接,每个多选一选择器的选择控制端与封装形式信号(1012)连接;

引脚信号控制器(103)根据接收到的封装形式信号(1012)将引脚转换器(102)得到的信号进行组合和分配,并根据总线协议进行读写控制;引脚信号控制器(103)具有一个地址信号传送电路、一个写数据信号传送电路、一个读数据信号传送电路以及一个状态控制器;所述地址信号传送电路由第一组二选一选择器和第一组寄存器组成,其中,每个二选一选择器和一个寄存器对应组成一条地址信号传送通路,二选一选择器的第一输入端对应连接引脚转换器(102)输出的地址线,二选一选择器的输出端连接对应寄存器的数据输入端,寄存器的数据输出端分出两路,其中一路作为返回信号连接二选一选择器的第二输入端,另一路作为地址输出信号,二选一选择器的选择控制端由状态控制器控制;所述写数据信号传送电路由第二组二选一选择器和第二组寄存器组成,其中,每个二选一选择器和一个寄存器对应组成一条写数据信号传送通路,二选一选择器的第一输入端对应连接引脚转换器(102)输出的写数据线,二选一选择器的输出端连接对应寄存器的数据输入端,寄存器的数据输出端分出两路,其中一路作为返回信号连接二选一选择器的第二输入端,另一路作为写数据输出信号,二选一选择器的选择控制端由状态控制器控制;所述读数据信号传送电路由第三组二选一选择器和第三组寄存器组成,其中,每个二选一选择器和一个寄存器对应组成一条读数据信号传送通路,二选一选择器的第一输入端连接来自芯片内部总线(12)的读数据输入信号,二选一选择器的输出端连接对应寄存器的数据输入端,寄存器的数据输出端分出两路,一路作为返回信号连接二选一选择器的第二输入端,另一路作为读数据输出信号连接芯片的读数据引脚,二选一选择器的选择控制端由状态控制器控制;

所述状态控制器为一个状态机,该状态机具有空闲状态、锁存地址状态、锁存写数据状态和送出读数据状态,这四种状态之间的跳转关系如下:

(1) 处于空闲状态时,如果外部引脚没有给出操作请求信号,则保持空闲状态不变,当外部引脚给出操作请求信号有效时,则进入锁存地址状态;

(2) 在锁存地址状态时,用所述第一组寄存器锁存来自对应引脚的地址信息,并把地址送往芯片内部总线(12);

(3) 当外部引脚给出写操作信号时,状态机从锁存地址状态进入锁存写数据状态;

(4) 处于锁存写数据状态时,用所述第二组寄存器锁存来自对应引脚的写数据信息,并把写数据送往芯片内部总线(12),同时产生操作完成信号;

(5) 当外部引脚给出读操作信号时,状态机从锁存地址状态进入送出读数据状态;

(6) 处于送出读数据状态时,用所述第三组寄存器锁存来自芯片内部总线(12)的读数据信息,并把从总线(12)得到的读数据送往对应引脚,同时产生操作完成信号;

(7) 操作完成信号使状态机重新回到空闲状态;

总线信号选择器(104)用于控制总线信号的连接,总线信号选择器(104)具有第四组二选一选择器;所述第四组二选一选择器的第一输入端连接芯片内部的CPU(11),第二输入端连接引脚信号控制器(103)中的地址输出信号和写数据输出信号,第四组二选一选择器的选择控制端与封装形式信号(1012)连接,第四组二选一选择器的输出端连接芯片内部总线(12)的地址线和写数据线;芯片内部总线(12)的读数据线,既与CPU(11)的读数据线连接,又与引脚信号控制器(103)中的读数据输入信号连接,在测试模式下封装形式信号有效,此时芯片内部的CPU(11)与总线(12)断开,而芯片外部的虚拟CPU(14)通过引脚转换器(102)和引脚信号控制器(103)与总线(12)连接,实现对不同模块的测试连接。

支持芯片不同引脚封装的可配置式片上测试模块

技术领域

[0001] 本发明涉及嵌入式芯片技术,尤其涉及嵌入式芯片中的测试模块。这种测试模块可以通过配置的方式来支持一款多功能芯片针对不同应用采用不同引脚(pin脚)的封装形式。

背景技术

[0002] 当前SOC(System on Chip,称为系统级芯片或片上系统)技术发展迅速,产品生存周期缩短,针对某一个应用而开发一款芯片往往并不符合经济效益。越来越多的IC设计商更倾向于在一款芯片上集成更多的各种功能模块,然后通过后续的市场调查和软件开发,使同一款芯片可以应用于不同的领域,从而延长产品生存周期,最大程度的获得利润。这样做的结果必然使得芯片设计的引脚数量增多,但当这样的芯片设计应用于某一具体领域时,并不需要这么多引脚,所以当同一款芯片设计应用于不同领域时会有不同引脚的封装形式。

[0003] 芯片测试是芯片生产和使用中必不可少的环节,其目的在于考察芯片的质量。芯片测试方式有多种,其中利用外部模拟的虚拟CPU通过芯片引脚控制总线来测试芯片内所有功能模块和公用模块的性能和质量是一种常用的测试方法。这种采用虚拟CPU测试方法的特点一是只需要较少的逻辑电路就可以灵活和有针对性的测试目标;二是与使用芯片内部CPU测试相比使用的引脚更少。但使用这种测试方法对于一款多功能芯片来说,由于不同应用采用不同引脚的封装形式,必然导致测试的不兼容性以及测试成本的增加。理论上虽然可以采用片内自建BIST模块(自测模块)来解决这一问题,但自建BIST模块(自测模块)往往只是针对单独的功能模块而设计,比如设计一个针对存储器的BIST模块(自测模块),而其它功能模块的测试就很难兼容,而且发现错误后也很难具体定位错误的原因。如果想通过BIST模块测试更多的功能模块,则需要非常复杂的逻辑电路,必然导致芯片面积增加,成本升高。因此,对于一款集成有各种不同应用功能模块的嵌入式芯片来说,如何设计一种可以通过配置的方式来支持芯片不同引脚封装的通用型测试模块是本发明研究的问题。

发明内容

[0004] 本发明提供支持芯片不同引脚封装的可配置式片上测试模块,目的旨在解决一款多功能芯片针对不同应用采用不同引脚封装形式所带来的测试兼容性问题。

[0005] 为达到上述目的,本发明采用的技术方案是:一种支持芯片不同引脚封装的可配置式片上测试模块,由封装形式控制器、引脚转换器、引脚信号控制器和总线信号选择器组成,其中:

[0006] 封装形式控制器由输入端口和封装形式信号生成电路组成,输入端口用于输入当前芯片封装形式的配置信号,所述输入端口由至少两个信号输入端构成,每个信号输入端均由芯片上的一个引脚定义而成;封装形式信号生成电路由一组与门和反相器构成,其中,

一组与门并行设置,反相器设在与门的不同输入端产生不同组合,使输入端口通过与门与反相器的不同组合生成不同的封装形式信号,这些封装形式信号分别传送给引脚转换器、引脚信号控制器和总线信号选择器。

[0007] 引脚转换器根据接收到的封装形式信号将引脚输入信号和引脚输出信号转换成测试信号;所述引脚转换器中具有两组并行设置的多选一选择器,第一组多选一选择器用来将引脚输入信号转换成测试信号中的地址信号、控制信号和写数据信号,第二组多选一选择器用来将测试信号中的读数据信号转换成引脚输出信号;第一组多选一选择器中每个多选一选择器的第一输入端与第一种封装形式所对应引脚连接,第二输入端与第二种封装形式所对应的引脚连接,第三输入端与第三种封装形式所对应的引脚连接,以此类推;每个多选一选择器的选择控制端与封装形式信号连接,一组多选一选择器的输出端作为测试信号的地址线、控制线和写数据线,其中,地址线和写数据线复用;第二组多选一选择器中每个多选一选择器的输出端与对应的引脚连接,多选一选择器的输入端与该引脚可能输出的所有读数据位连接,每个多选一选择器的选择控制端与封装形式信号连接。对于读数据线,在不同的封装形式下,同一个引脚会输出不同的读数据位,所以相对应的多选一选择器的输入端由该引脚可能输出的所有读数据位构成,多选一选择器的选择控制端与封装形式信号连接,多选一选择器的输出端接到引脚(注:引脚是双向的,所以既可以把引脚信号传到写数据线,也可以接收读数据信号)。

[0008] 引脚信号控制器根据接收到的封装形式信号将引脚转换器得到的信号进行组合和分配,并根据总线协议进行读写控制;引脚信号控制器具有一个地址信号传送电路、一个写数据信号传送电路、一个读数据信号传送电路以及一个状态控制器;所述地址信号传送电路由第一组二选一选择器和第一组寄存器组成,其中,每个二选一选择器和一个寄存器对应组成一条地址信号传送通路,二选一选择器的第一输入端对应连接引脚转换器输出的地址线,二选一选择器的输出端连接对应寄存器的数据输入端,寄存器的数据输出端分出两路,其中一路作为返回信号连接二选一选择器的第二输入端,另一路作为地址输出信号,二选一选择器的选择控制端由状态控制器控制;所述写数据信号传送电路由第二组二选一选择器和第二组寄存器组成,其中,每个二选一选择器和一个寄存器对应组成一条写数据信号传送通路,二选一选择器的第一输入端对应连接引脚转换器输出的写数据线,二选一选择器的输出端连接对应寄存器的数据输入端,寄存器的数据输出端分出两路,其中一路作为返回信号连接二选一选择器的第二输入端,另一路作为写数据输出信号,二选一选择器的选择控制端由状态控制器控制;所述读数据信号传送电路由第三组二选一选择器和第三组寄存器组成,其中,每个二选一选择器和一个寄存器对应组成一条读数据信号传送通路,二选一选择器的第一输入端连接来自芯片内部总线的读数据输入信号,二选一选择器的输出端连接对应寄存器的数据输入端,寄存器的数据输出端分出两路,一路作为返回信号连接二选一选择器的第二输入端,另一路作为读数据输出信号连接芯片的读数据引脚,二选一选择器的选择控制端由状态控制器控制;所述状态控制器为一个状态机,该状态机具有空闲状态、锁存地址状态、锁存写数据状态和送出读数据状态,这四种状态之间的跳转关系如下:

[0009] (1) 处于空闲状态时,如果外部引脚没有给出操作请求信号,则保持空闲状态不变,当外部引脚给出操作请求信号有效时,则进入锁存地址状态;

[0010] (2) 在锁存地址状态时,用所述第一组寄存器锁存来自对应引脚的地址信息,并把地址送往芯片内部总线;

[0011] (3) 当外部引脚给出写操作信号时,状态机从锁存地址状态进入锁存写数据状态;

[0012] (4) 处于锁存写数据状态时,用所述第二组寄存器锁存来自对应引脚的写数据信息,并把写数据送往芯片内部总线,同时产生操作完成信号;

[0013] (5) 当外部引脚给出读操作信号时,状态机从锁存地址状态进入送出读数据状态;

[0014] (6) 处于送出读数据状态时,用所述第三组寄存器锁存来自芯片内部总线(12)的读数据信息,并把从总线得到的读数据送往对应引脚,同时产生操作完成信号;

[0015] (7) 操作完成信号使状态机重新回到空闲状态;

[0016] 总线信号选择器用于控制总线信号的连接,总线信号选择器具有第四组二选一选择器;所述第四组二选一选择器的第一输入端连接芯片内部的 CPU,第二输入端连接引脚信号控制器中的地址输出信号和写数据输出信号,第四组二选一选择器的选择控制端与封装形式信号连接,第四组二选一选择器的输出端连接芯片内部总线的地址线和写数据线;总线的读数据线既与内部 CPU 的读数据线连接,又与引脚信号控制器中的读数据输入信号连接,在测试模式下封装形式信号有效,此时芯片内部的 CPU 与总线断开,而芯片外部的虚拟 CPU 通过引脚转换器和引脚信号控制器与总线连接,实现对不同模块的测试。

[0017] 上述技术方案中的有关内容解释如下:

[0018] 1、上述方案中,所述“测试信号”是指测试时外部虚拟 CPU 与芯片内部之间传输的信号,这些信号有以下四种类型:

[0019] (1) 控制信号,比如读、写操作信号,传输方向由外部虚拟 CPU 到芯片内部;

[0020] (2) 地址信号,传输方向由外部虚拟 CPU 到芯片内部;

[0021] (3) 写数据信号,传输方向由外部虚拟 CPU 到芯片内部;

[0022] (4) 读数据信号,传输方向由芯片内部到外部虚拟 CPU。

[0023] 本发明工作原理是:根据一款多功能芯片在实际应用中的不同引脚封装形式设计了一种通用型测试模块。测试时在芯片外部虚拟 CPU(激励控制器)的配合下,可以根据芯片当前的封装形式向封装形式控制器输入相应的配置信号,封装形式控制器经过处理后将表示当前芯片引脚封装形式的封装形式信号分别传送给引脚转换器、引脚信号控制器和总线信号选择器,引脚转换器根据封装形式信号将现有引脚合理分配成测试时的控制信号输入端、地址信号输入端以及数据信号输入输出端;引脚信号控制器根据接收到的封装形式信号将引脚转换器得到的信号进行组合和分配,并根据总线协议进行读写控制;总线信号选择器根据接收到的封装形式信号将芯片内部的 CPU 与内部总线断开,而芯片外部的虚拟 CPU 通过引脚转换器和引脚信号控制器与内部总线连接,实现对模块组内的每个模块进行测试。

[0024] 由于上述技术方案运用,本发明与现有技术相比具有下列优点和效果:

[0025] 1、本发明针对一款集成有各种不同应用功能模块的嵌入式芯片设计了一种通用型测试模块。这种测试模块在芯片外部虚拟 CPU(激励控制器)的配合下,可以通过配置的方式支持芯片不同引脚的封装形式。

[0026] 2、本发明测试模块通用性强,测试范围广,几乎可以测试除了内部 CPU 之外的其它所有功能模块。

[0027] 3、本发明测试模块具有较少的逻辑,对芯片面积的影响可以忽略,从而不会提高芯片的生产成本。

[0028] 4、本发明测试时,由于虚拟 CPU(激励控制器)在芯片外部,并不集成在芯片内,因此测试程序的开发更为灵活和有针对性。

附图说明

[0029] 附图 1 为本发明原理框图;

[0030] 附图 2 为本发明封装形式控制器 101 中的封装形式信号生成电路示意图;

[0031] 附图 3 为本发明引脚转换器 102 中的一组并行设置的多选一选择器示意图;

[0032] 附图 4 为本发明引脚信号控制器 103 中的地址信号传送电路、写数据信号传送电路以及读数据信号传送电路示意图;

[0033] 附图 5 为本发明引脚信号控制器 103 中的状态机示意图;

[0034] 附图 6 为本发明总线信号选择器 104 中的第四组二选一选择器示意图;

[0035] 附图 7 为本发明实施例测试存储器流程图。

[0036] 以上附图中,10、测试模块;101、封装形式控制器;1011、输入端口;1012、封装形式信号;102、引脚转换器;103、引脚信号控制器;104、总线信号选择器;11、CPU;12、总线;13、模块组;131、IP 总线;14、虚拟 CPU。

具体实施方式

[0037] 下面结合附图及实施例对本发明作进一步描述:

[0038] 实施例:一种支持芯片不同引脚封装的可配置式片上测试模块

[0039] 图 1 为本发明原理框图,从图中可以看出,芯片由 CPU 11、总线 12、测试模块 10 和模块组 13 构成,模块组 13 中包含存储器、IP1 ~ IPn 应用模块,IP1 ~ IPn 应用模块通过 IP 总线 131 与总线 13 连接。虚拟 CPU 14 为芯片外部模仿测试时读写操作的激励控制器。

[0040] 下面将对测试模块 10 进行详细描述:

[0041] 如图 1 所示,本发明测试模块 10 由封装形式控制器 101、引脚转换器 102、引脚信号控制器 103 和总线信号选择器 104 组成。各组成部分详细内容如下:

[0042] 1、封装形式控制器 101

[0043] 封装形式控制器 101 由输入端口 1011(见图 1)和封装形式信号生成电路组成,输入端口 1011 用于输入当前芯片封装形式的配置信号。所述输入端口 1011 由至少两个信号输入端构成(图 1 中示意性给出两个信号输入端),每个信号输入端均由芯片上的一个引脚定义而成。封装形式信号生成电路由一组与门和反相器构成,如图 2 所示,一组与门并行设置,反相器设在与门的不同输入端产生不同组合,使输入端口 1011 通过与门与反相器的不同组合生成不同的封装形式信号 1012,这些封装形式信号 1012 分别传送给引脚转换器 102、引脚信号控制器 103、总线信号选择器 104 和虚拟 CPU14,如图 1 所示。

[0044] 2、引脚转换器 102

[0045] 引脚转换器 102 根据接收到的封装形式信号 1012 将引脚输入信号和引脚输出

信号转换成测试信号。所述引脚转换器 102 中具有两组并行设置的多选一选择器, 第一组多选一选择器用来将引脚输入信号转换成测试信号中的地址信号、控制信号和写数据信号, 第二组多选一选择器用来将测试信号中的读数据信号转换成引脚输出信号; 第一组多选一选择器如图 3 所示, 每个多选一选择器的第一输入端与第一种封装形式所对应引脚连接, 第二输入端与第二种封装形式所对应的引脚连接, 第三输入端与第三种封装形式所对应的引脚连接, 以此类推; 每个多选一选择器的选择控制端与封装形式信号 1012 (图 3 中的 Pin-mode[1:0]) 连接, 一组多选一选择器的输出端作为测试信号的地址线、控制线和写数据线, 其中, 地址线和写数据线复用, 复用的地址线和写数据线可以采用不同的时钟周期来传输, 即上一个时钟周期传输地址, 下一个时钟周期传输写数据。图 3 中 P-addr-data[24:0] 表示地址线和写数据线复用, Pin-A0 ~ Pin-S2 表示芯片外部引脚, 其中, 1'b0 表示接地。第二组多选一选择器 (未给出图示) 中每个多选一选择器的输出端与对应的引脚连接, 多选一选择器的输入端与该引脚可能输出的所有读数据位连接, 每个多选一选择器的选择控制端与封装形式信号连接。对于读数据线, 在不同的封装形式下, 同一个引脚会输出不同的读数据位, 所以相对应的多选一选择器的输入端由该引脚可能输出的所有读数据位构成, 多选一选择器的选择控制端与封装形式信号连接, 多选一选择器的输出端接到引脚 (注: 引脚是双向的, 所以既可以把引脚信号传到写数据线, 也可以接收读数据信号)。所述测试信号有控制信号、地址信号、写数据信号和读数据信号四种, 控制信号比如读、写操作信号, 传输方向由外部虚拟 CPU 14 到芯片内部, 通过控制线传输; 地址信号传输方向由外部虚拟 CPU 14 到芯片内部, 通过地址线传输; 写数据信号传输方向由外部虚拟 CPU 14 到芯片内部, 通过写数据线传输; 读数据信号传输方向由芯片内部到外部虚拟 CPU 14, 通过读数据线传输。

[0046] 3、引脚信号控制器 103

[0047] 引脚信号控制器 103 根据接收到的封装形式信号 1012 将引脚转换器 102 得到的信号进行组合和分配, 并根据总线协议进行读写控制。引脚信号控制器 103 具有一个地址信号传送电路、一个写数据信号传送电路、一个读数据信号传送电路以及一个状态控制器。所述地址信号传送电路如图 4 中的上图, 该电路由第一组二选一选择器和第一组地址寄存器组成, 其中, 每个二选一选择器和一个地址寄存器对应组成一条地址信号传送通路, 二选一选择器的第一输入端 P-addr-data 对应连接引脚转换器 102 输出的地址线, 二选一选择器的输出端连接对应地址寄存器的数据输入端, 地址寄存器的数据输出端 P-addr 分出两路, 其中一路作为返回信号连接二选一选择器的第二输入端, 另一路作为地址输出信号, 二选一选择器的选择控制端由状态控制器控制。所述写数据信号传送电路如图 4 中的中图, 该电路由第二组二选一选择器和第二组写数据寄存器组成, 其中, 每个二选一选择器和一个写数据寄存器对应组成一条写数据信号传送通路, 二选一选择器的第一输入端 P-addr-data 对应连接引脚转换器 102 输出的写数据线, 二选一选择器的输出端连接对应写数据寄存器的数据输入端, 写数据寄存器的数据输出端 P-data-in 分出两路, 其中一路作为返回信号连接二选一选择器的第二输入端, 另一路作为写数据输出信号, 二选一选择器的选择控制端由状态控制器控制。所述读数据信号传送电路如图 4 中的下图, 该电路由第三组二选一选择器和第三组读数据寄存器组成, 其中, 每个二选一选择器和一个读数据寄存器对应组成一条读数据信号传送通路, 二选一选择器的第一输入端 P-data-out 连

接来自芯片内部总线 12 的读数据输入信号,二选一选择器的输出端连接对应读数据寄存器的数据输入端,读数据寄存器的数据输出端 P-data-out-to-pin 分出两路,一路作为返回信号连接二选一选择器的第二输入端,另一路作为读数据输出信号连接芯片的读数据引脚,二选一选择器的选择控制端由状态控制器控制。所述状态控制器为一个状态机,如图 5 所示,该状态机具有空闲状态、锁存地址状态、锁存写数据状态和送出读数据状态,这四种状态之间的跳转关系如下:

[0048] (1) 处于空闲状态时,如果外部引脚没有给出操作请求信号,则保持空闲状态不变,当外部引脚给出操作请求信号有效时,则进入锁存地址状态;

[0049] (2) 在锁存地址状态时,用所述第一组寄存器锁存来自对应引脚的地址信息,并把地址送往芯片内部总线 12;

[0050] (3) 当外部引脚给出写操作信号时,状态机从锁存地址状态进入锁存写数据状态;

[0051] (4) 处于锁存写数据状态时,用所述第二组寄存器锁存来自对应引脚的写数据信息,并把写数据送往芯片内部总线 12,同时产生操作完成信号;

[0052] (5) 当外部引脚给出读操作信号时,状态机从锁存地址状态进入送出读数据状态;

[0053] (6) 处于送出读数据状态时,用所述第三组寄存器锁存来自芯片内部总线 (12) 的读数据信息,并把从总线 12 得到的读数据送往对应引脚,同时产生操作完成信号;

[0054] (7) 操作完成信号使状态机重新回到空闲状态。

[0055] 4、总线信号选择器 104

[0056] 总线信号选择器 104 用于控制总线信号的连接,总线信号选择器 104 具有第四组二选一选择器。所述第四组二选一选择器如图 6 所示,第四组二选一选择器的第一输入端连接芯片内部的 CPU 11,第二输入端连接引脚信号控制器 103 中的地址输出信号和写数据输出信号,第四组二选一选择器的选择控制端与封装形式信号 1012 (Pin-mode[1:0]) 连接,第四组二选一选择器的输出端连接芯片内部总线 12 的地址线和写数据线。内部总线 12 的读数据线,既与 CPU 11 的读数据线连接,又与引脚信号控制器 103 中的读数据输入信号连接。在测试模式下封装形式信号 1012 有效,此时芯片内部的 CPU 11 与总线 12 断开,而芯片外部的虚拟 CPU 14 通过引脚转换器 102 和引脚信号控制器 103 与总线 12 连接,实现对不同模块的测试。

[0057] 下面结合附图 7 对 48 引脚 (48pin) 封装形式下测试存储器作进一步说明:

[0058] 在 48 引脚封装形式下 (全部引脚为 128pin),由于有些引脚需要外接其它芯片,可以用于测试的引脚个数不足 30 个,所以 32 位操作就不可行了,因此选用 16 位操作,为了覆盖到所有模块的地址空间,需要选用 24 位地址线,此外还需要 2 个引脚用做控制信号。选取 16 位地址线和 16 位数据线复用。总共需要 26 个引脚。其具体操作步骤如下:

[0059] A、从输入端口 1011 配置 mode[1:0] = 2'b10。

[0060] B、封装形式控制器 101 根据 mode 的值,输出封装形式信号 1012 表示 48 引脚封装形式。

[0061] C、确定存储器的测试内容,根据内容开发测试程序。

[0062] D、假设首先对存储器进行读写遍历测试,由于 48 引脚封装的限制,可用的引脚只

有 26 个,所以选用 16 位读写操作。

[0063] E、使用虚拟 CPU 14(激励控制器)中的 16 位读写模块对整个存储器的地址空间写入 8'h55。48 引脚封装形式信号会控制虚拟 CPU 14 把数据写到哪些引脚上。本例选用引脚 D[23:0] 作为地址线,D[15:0] 作为写数据线,时钟周期 clk1 和时钟周期 clk2 作为 treq 和 rw 信号线,所以虚拟 CPU 14 会把地址信息送到 D[23:0],写数据信息送到 D[15:0]。

[0064] F、在第一个时钟周期,来自于 D[23:0] 的信息经引脚信号控制器 103 转换成地址信息送到总线 12,发起一次对存储器的一个地址的访问。

[0065] G、在第二个时钟周期,同样来自于 D[15:0] 的写数据信息经引脚信号控制器 103 转换成写数据信息送到总线 12,总线 12 把数据写到存储器的相应地址。

[0066] H、重复 F ~ G 步骤把存储器的所有的地址空间写入 8'h55。

[0067] I、重复 F ~ H 步骤,只是把写操作换成读操作,在虚拟 CPU 14 中会把接收到的读数据与写数据进行比较,从而判断测试结果是否符合要求。

[0068] 上述实施例只为说明本发明的技术构思及特点,其目的在于让熟悉此项技术的人士能够了解本发明的内容并据以实施,并不能以此限制本发明的保护范围。凡根据本发明精神实质所作的等效变化或修饰,都应涵盖在本发明的保护范围之内。

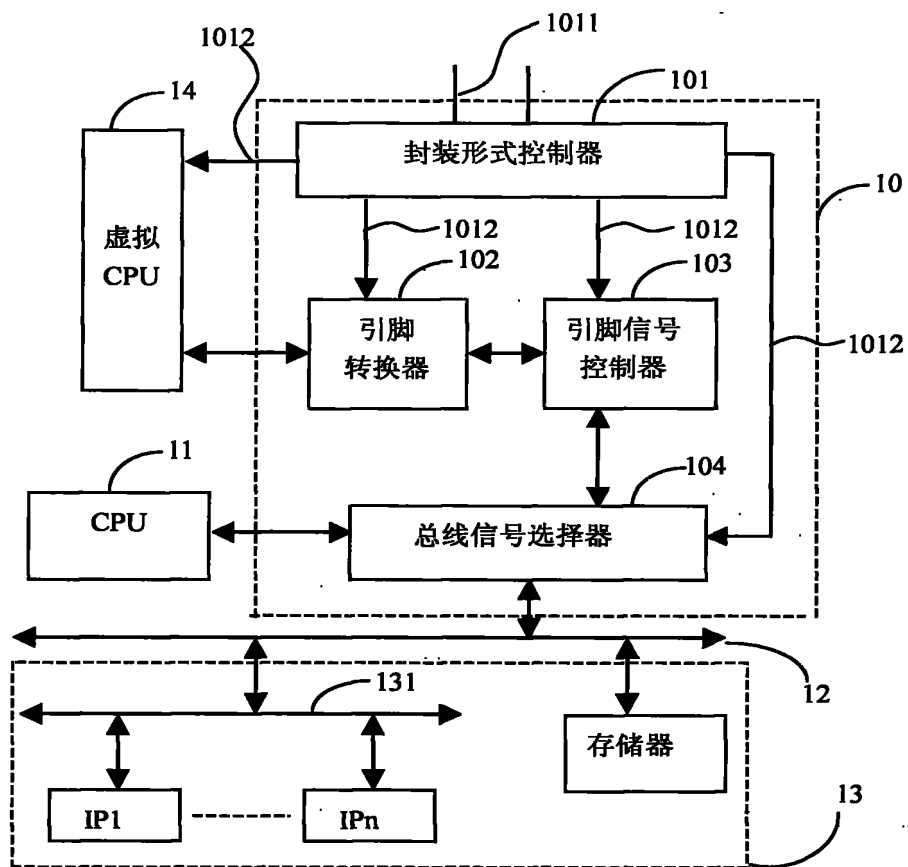


图 1

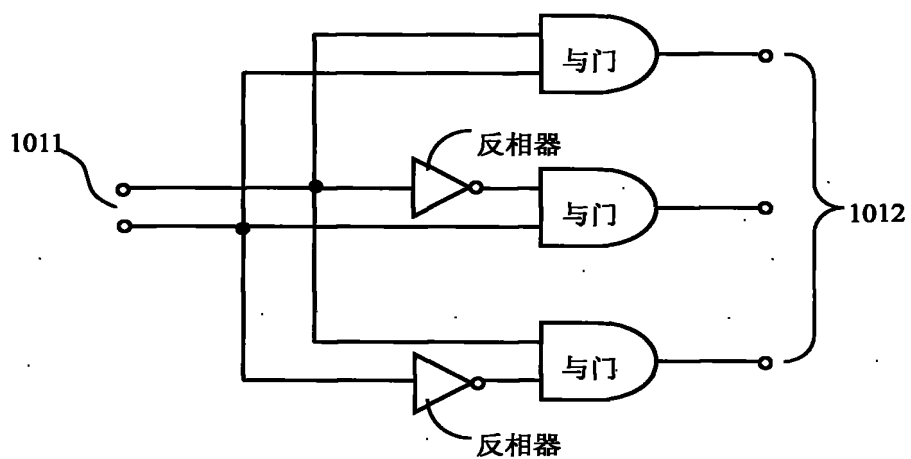


图 2

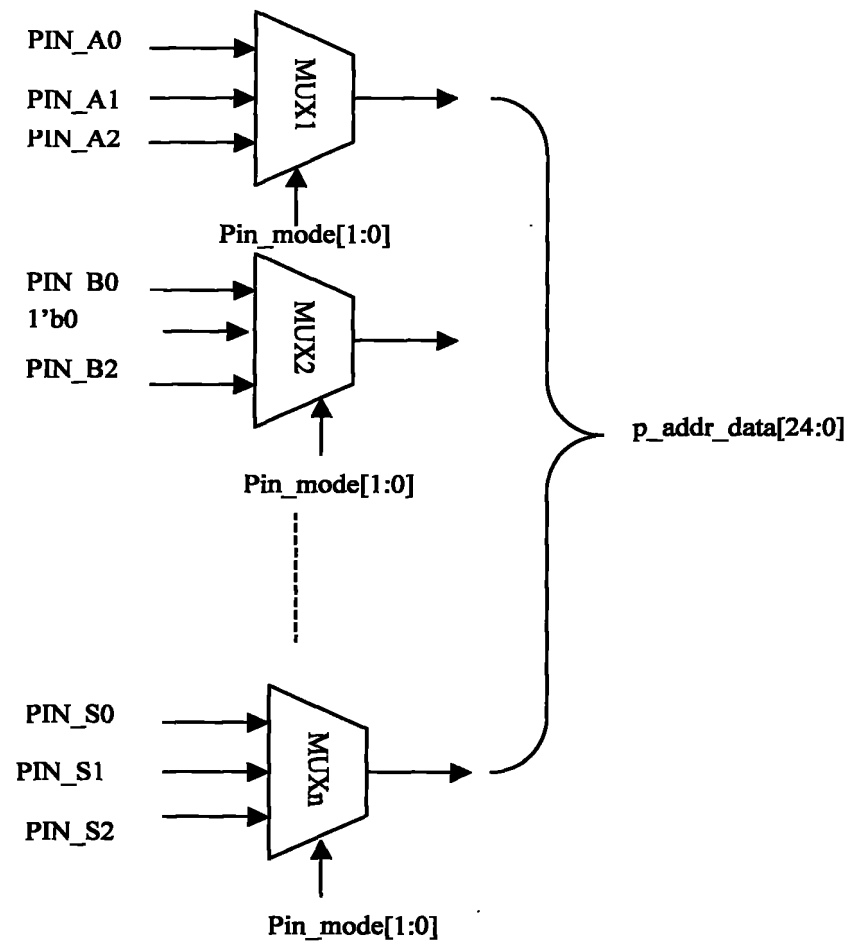


图 3

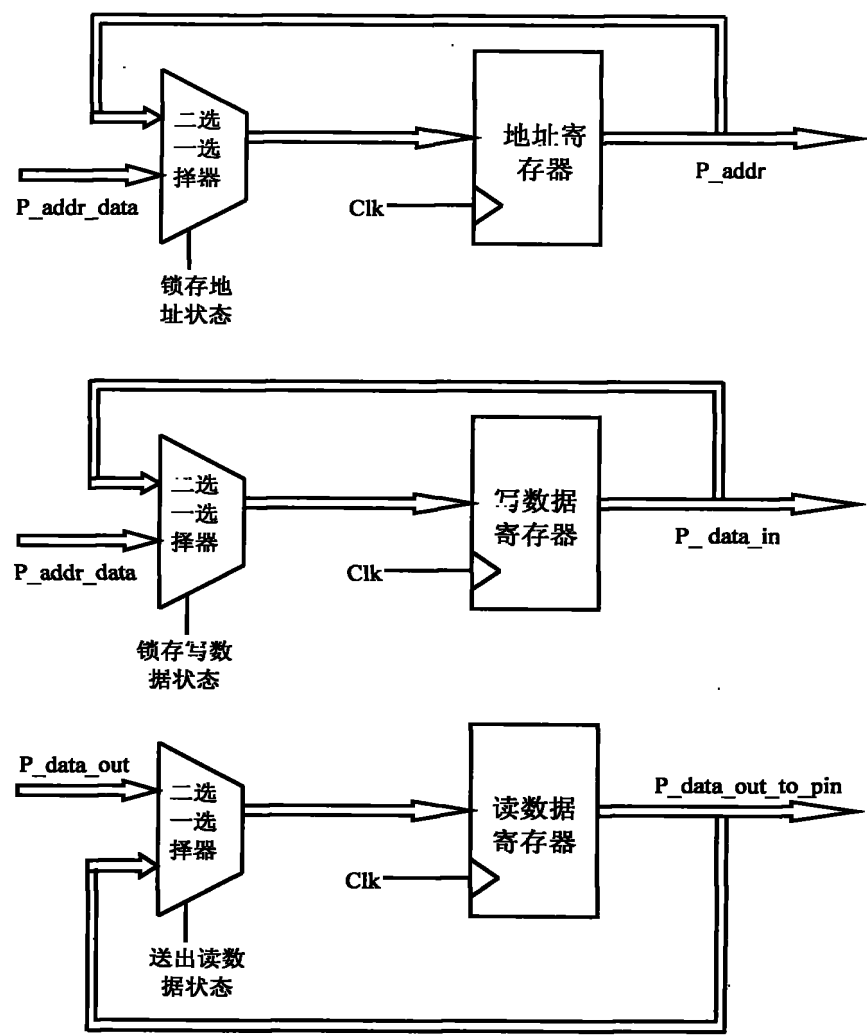


图 4

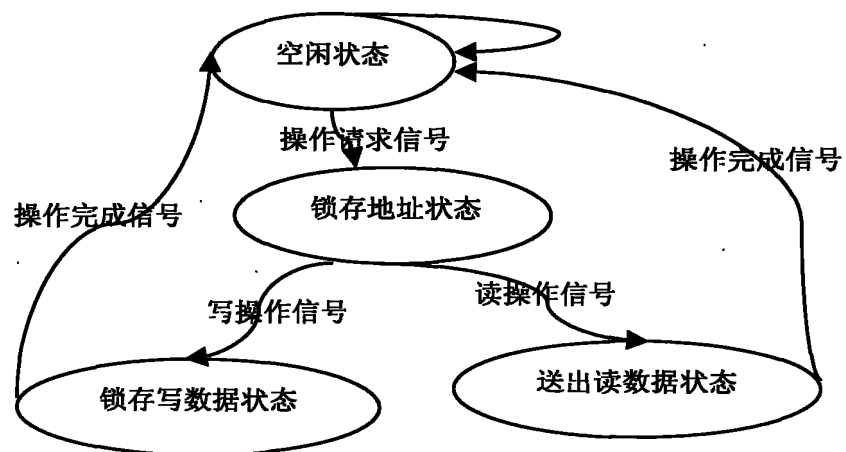


图 5

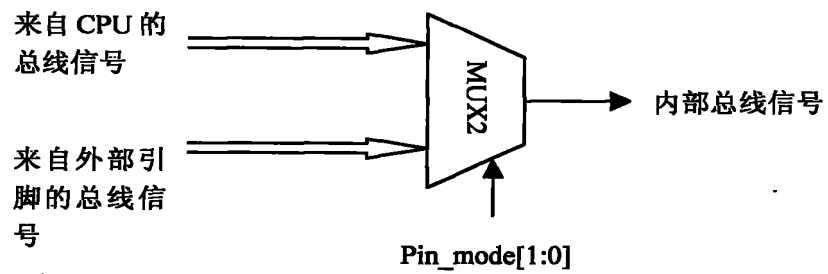


图 6

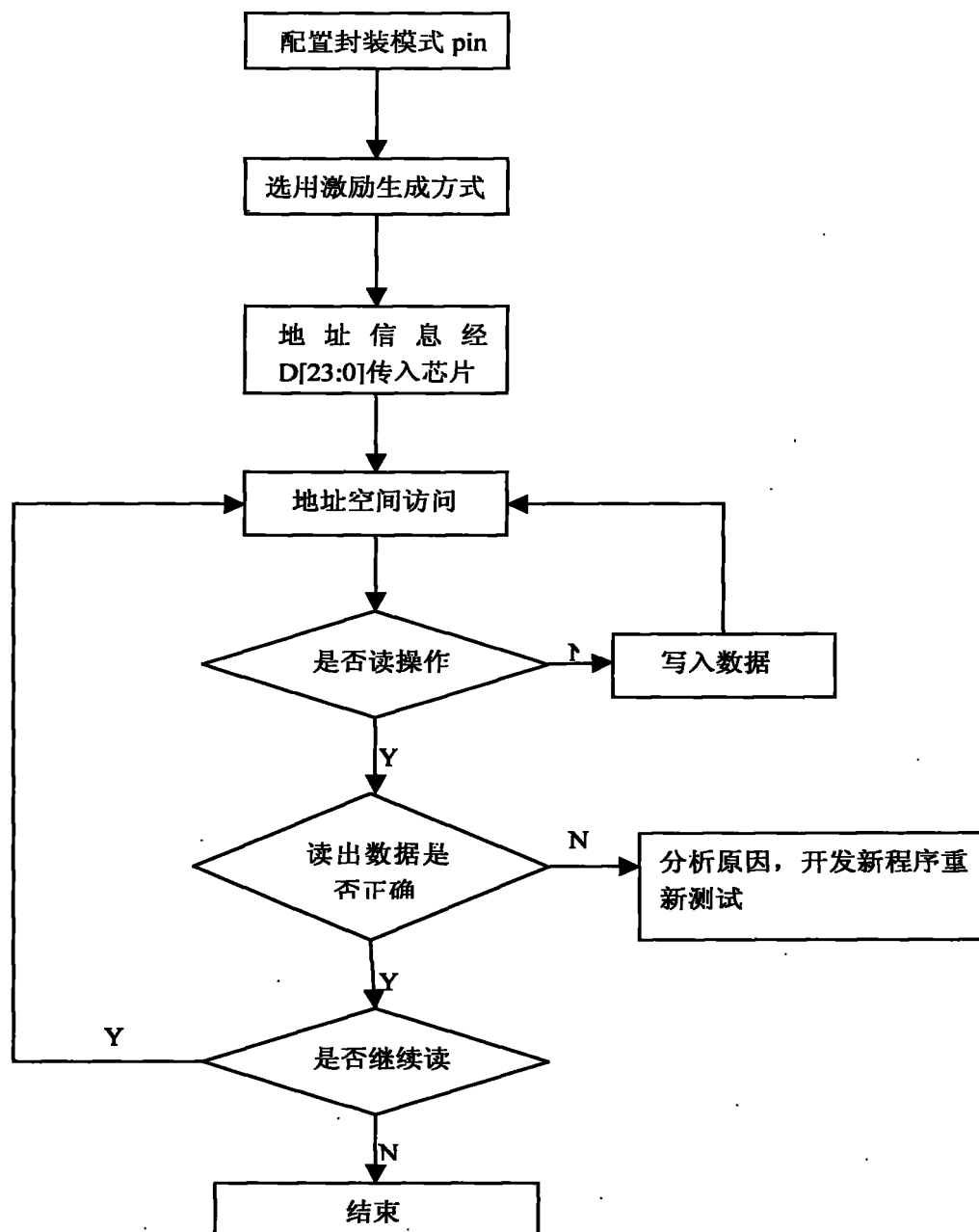


图 7