



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월18일
(11) 등록번호 10-1845504
(24) 등록일자 2018년03월29일

(51) 국제특허분류(Int. Cl.)
G06F 1/20 (2006.01)
(21) 출원번호 10-2013-7012786
(22) 출원일자(국제) 2011년10월25일
심사청구일자 2016년10월24일
(85) 번역문제출일자 2013년05월16일
(65) 공개번호 10-2014-0001902
(43) 공개일자 2014년01월07일
(86) 국제출원번호 PCT/US2011/057640
(87) 국제공개번호 WO 2012/058202
국제공개일자 2012년05월03일
(30) 우선권주장
12/915,361 2010년10월29일 미국(US)
(56) 선행기술조사문헌
US20090235108 A1*
(뒷면에 계속)
전체 청구항 수 : 총 14 항

(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 95054 산타 클라라 어거스틴 드
라이브 2485
(72) 발명자
브라노버 알렉산더
미국 메사츄세츠 02467 체스트넛 힐 뉴턴 스트리트 783
나프지거 사무엘 디.
미국 콜로라도 80525 포트 콜링 애쉬마운트 드라이브 3749
(74) 대리인
박장원

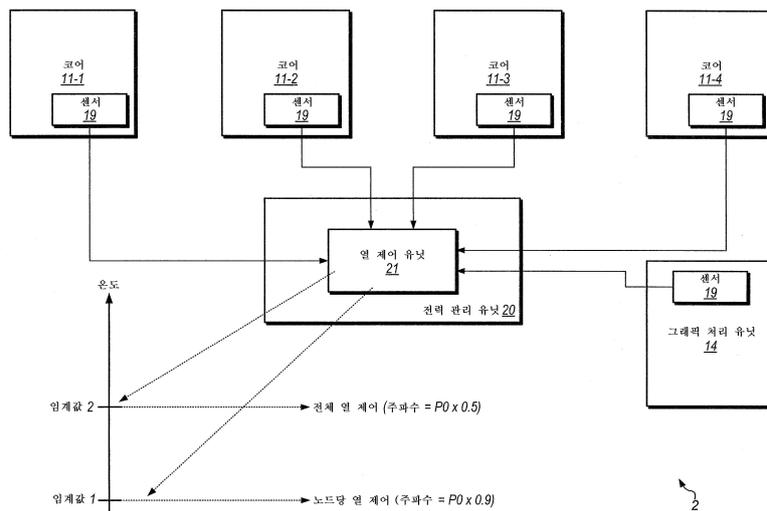
심사관 : 손경완

(54) 발명의 명칭 처리 노드의 열 제어를 위한 방법 및 장치

(57) 요약

처리 노드의 노드마다 열 제어를 위한 장치 및 방법이 개시된다. 본 장치는 복수의 처리 노드를 포함하고, 제1 온도 임계값을 초과하는 제1 검출된 온도의 지시값을 수신하는 것에 응답하여 상기 복수의 처리 노드 중 적어도 하나에 대해 제1 주파수 한계값을 설정하도록 구성된 전력 관리 유닛을 더 포함하며, 여기서 제1 검출된 온도는 상기 복수의 처리 노드 중 하나와 연관된다. 전력 관리 유닛은 제2 온도 임계값을 초과하는 제2 온도의 지시값을 수신한 것에 응답하여 상기 복수의 처리 노드 각각에 대해 제2 주파수 한계값을 설정하도록 더 구성된다.

대표도 - 도2



(56) 선행기술조사문헌

US20060161375 A1*

US20100073068 A1*

KR1020080097419 A

KR1020080038389 A

JP10198456 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

시스템으로서,

복수의 프로세싱 노드들; 및

전력 관리 유닛

을 포함하며, 상기 전력 관리 유닛은,

제 1 검출된 온도가 제 1 온도 임계값을 초과함을 나타내는 표시를 수신하는 것에 응답하여, 상기 복수의 프로세싱 노드들 중 하나의 프로세싱 노드에 대해 제 1 주파수 한계값을, 상기 복수의 프로세싱 노드들 중 다른 프로세싱 노드들과는 독립적으로 설정하고, 상기 제 1 검출된 온도는 상기 복수의 프로세싱 노드들 중 상기 하나의 프로세싱 노드와 관련되며;

제 2 검출된 온도가 제 2 온도 임계값을 초과함을 나타내는 표시를 수신하는 것에 응답하여, 상기 복수의 프로세싱 노드들 각각에 대해 제 2 주파수 한계값을 설정하고, 상기 제 2 검출된 온도는 상기 복수의 프로세싱 노드들 중 어느 하나의 프로세싱 노드와 관련되며;

소정의 프로세싱 노드가 적어도 2개 유형의 작업부하들 중 제 1 유형의 작업부하를 프로세싱하고 있다고 결정함에 응답하여, 상기 소정의 프로세싱 노드를 오버클록킹하게 하고, 상기 제 1 유형의 작업부하는 연산 한정된 (compute-bounded) 작업부하이며; 그리고

상기 소정의 프로세싱 노드가 메모리 한정된(memory-bounded) 작업부하인 제 2 유형의 작업부하를 프로세싱하고 있다고 결정함에 응답하여, 상기 소정의 프로세싱 노드를 더 낮은 동작점으로 설정하도록 구성된 것을 특징으로 하는 시스템.

청구항 2

방법으로서,

제 1 검출된 온도가 제 1 온도 임계값을 초과함을 나타내는 표시를 수신하는 것에 응답하여, 복수의 프로세싱 노드들 중 하나의 프로세싱 노드에 대해 제 1 주파수 한계값을, 상기 복수의 프로세싱 노드들 중 다른 프로세싱 노드들의 주파수와는 독립적으로, 설정하는 단계, 상기 제 1 검출된 온도는 상기 복수의 프로세싱 노드들 중 하나의 프로세싱 노드와 관련되며;

제 2 검출된 온도가 제 2 온도 임계값을 초과함을 나타내는 표시를 수신하는 것에 응답하여, 상기 복수의 프로세싱 노드들 각각에 대해 제 2 주파수 한계값을 설정하는 단계, 상기 제 2 검출된 온도는 상기 복수의 프로세싱 노드들 중 어느 하나의 프로세싱 노드와 관련되며;

소정의 프로세싱 노드가 적어도 2개 유형의 작업부하들 중 제 1 유형의 작업부하를 프로세싱하고 있다고 결정함에 응답하여, 상기 소정의 프로세싱 노드를 오버클록킹하게 하는 단계, 상기 제 1 유형의 작업부하는 연산 한정된 작업부하이므로; 그리고

상기 소정의 프로세싱 노드가 메모리 한정된 작업부하인 제 2 유형의 작업부하를 프로세싱하고 있다고 결정함에 응답하여, 상기 소정의 프로세싱 노드를 더 낮은 동작점으로 설정하는 단계

를 포함하는 것을 특징으로 하는 방법.

청구항 3

제2항에 있어서,

복수의 동작점 중 하나에서 상기 복수의 프로세싱 노드들 각각을 동작시키는 단계를 더 포함하되, 상기 복수의 동작점 각각은 클록 주파수와 공급 전압을 포함하며, 상기 방법은,

상기 제 1 검출된 온도가 상기 제 1 온도 임계값 이상임을 나타내는 표시를 수신하는 것에 응답하여 상기 복수의 프로세싱 노드들 중 하나에 대해 제 1 동작점 한계값을 설정하는 단계; 및

상기 제 2 검출된 온도가 상기 제 2 온도 임계값 이상임을 나타내는 표시를 수신하는 것에 응답하여 상기 복수의 프로세싱 노드들 각각에 대해 제 2 동작점 한계값을 설정하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 4

제3항에 있어서,

상기 제 1 동작점 한계값은 최대 동작 주파수 미만의 제 1 클록 주파수를 가지는 동작점을 포함하고 그리고 최대 공급 전압 미만의 제 1 공급 전압을 더 포함하는 것을 특징으로 하는 방법.

청구항 5

제4항에 있어서,

상기 제 2 동작점 한계값은 상기 제 1 클록 주파수 미만의 제 2 클록 주파수와, 상기 제 1 공급 전압 미만의 제 2 공급 전압을 가지는 동작점을 포함하는 것을 특징으로 하는 방법.

청구항 6

제1항에 있어서,

상기 복수의 프로세싱 노드들 각각에 대하여 상기 제 1 온도 임계값은 대응 국부 열 설계 전력(Thermal Design Power: TDP) 한계값에 기초하고, 상기 제 2 온도 임계값은 글로벌 TDP 한계값에 기초하며,

상기 전력 관리 유닛은 동작 동안 상기 복수의 프로세싱 노드들 각각에 대하여 상기 국부 열 설계 전력(TDP) 한계값을 가변시키도록 구성되고, 상기 글로벌 TDP 한계값은 동작 동안 고정시키도록 구성되는 것을 특징으로 하는 시스템.

청구항 7

삭제

청구항 8

삭제

청구항 9

제6항에 있어서,

상기 전력 관리 유닛은 또한, 상기 복수의 프로세싱 노드들 중 하나 이상의 추가적인 프로세싱 노드들의 각 동작점들에 기초하여, 상기 복수의 프로세싱 노드들 중 소정의 프로세싱 노드에 대해 상기 국부 열 설계 전력(TDP) 한계값을 설정하는 것을 특징으로 하는 시스템.

청구항 10

제9항에 있어서,

상기 전력 관리 유닛은 또한, 상기 복수의 프로세싱 노드들 중 휴지 상태에 진입하는 하나 이상의 추가적인 노드들에 응답하여 상기 복수의 프로세싱 노드들 중 상기 소정의 프로세싱 노드에 대해 상기 국부 열 설계 전력(TDP) 한계값을 증가시키는 것을 특징으로 하는 시스템.

청구항 11

제6항에 있어서,

상기 글로벌 TDP 한계값은 지정된 주변 온도값에 기초하는 것을 특징으로 하는 시스템.

청구항 12

제2항에 있어서,

상기 프로세싱 노드들 중 하나 이상은 프로세서 코어이고, 상기 프로세싱 노드들 중 적어도 하나는 그래픽 프로세싱 유닛인 것을 특징으로 하는 방법.

청구항 13

제2항에 있어서,

상기 복수의 프로세싱 노드들 각각에 대해 서로 독립적으로 각각의 동작점을 설정하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 14

프로그램 명령을 포함하는 컴퓨터 판독가능한 저장매체로서, 상기 프로그램 명령은 컴퓨터 시스템에 의해서 실행될 때, 상기 컴퓨터 시스템으로 하여금,

제 1 검출된 온도가 제 1 온도 임계값을 초과함을 나타내는 표시를 수신하는 것에 응답하여, 복수의 프로세싱 노드들 중 하나의 프로세싱 노드에 대해 제 1 주파수 한계값을, 상기 복수의 프로세싱 노드들 중 다른 프로세싱 노드들과는 독립적으로 설정하게 하고, 상기 제 1 검출된 온도는 상기 복수의 프로세싱 노드들 중 상기 하나의 프로세싱 노드와 관련되며;

제 2 검출된 온도가 제 2 온도 임계값을 초과함을 나타내는 표시를 수신하는 것에 응답하여, 상기 복수의 프로세싱 노드들 각각에 대해 제 2 주파수 한계값을 설정하게 하고, 상기 제 2 검출된 온도는 상기 복수의 프로세싱 노드들 중 어느 하나의 프로세싱 노드와 관련되며;

소정의 프로세싱 노드가 적어도 2개 유형의 작업부하들 중 제 1 유형의 작업부하를 프로세싱하고 있다고 결정함에 응답하여, 상기 소정의 프로세싱 노드를 오버클록킹하게 하고, 상기 제 1 유형의 작업부하는 연산 한정된(compute-bounded) 작업부하이며; 그리고

상기 소정의 프로세싱 노드가 메모리 한정된(memory-bounded) 작업부하인 제 2 유형의 작업부하를 프로세싱하고 있다고 결정함에 응답하여, 상기 소정의 프로세싱 노드를 더 낮은 동작점으로 설정하게 하도록 된 것을 특징으로 하는 컴퓨터 판독가능한 저장매체.

청구항 15

제14항에 있어서,

상기 복수의 프로세싱 노드들 각각은 복수의 동작점 중 하나에서 동작하도록 구성되고, 제 1 동작점 한계값은 상기 제 1 주파수 한계값을 포함하고, 상기 제 1 주파수 한계값에서의 제 1 클록 주파수는 지정된 최대 동작 주파수 미만이며, 상기 제 1 동작점 한계값은 최대 공급 전압 미만인 제 1 공급 전압을 더 포함하고, 그리고 제 2 동작점 한계값은 상기 제 1 클록 주파수 미만인 제 2 클록 주파수를 갖는 동작점과 상기 제 1 공급 전압 미만인 제 2 공급 전압을 포함하는 것을 특징으로 하는 컴퓨터 판독가능한 저장매체.

청구항 16

제14항에 있어서,

상기 복수의 프로세싱 노드들 각각에 대하여 상기 제 1 온도 임계값은 대응 국부 열 설계 전력(Thermal Design Power: TDP) 한계값에 기초하고, 상기 제 2 온도 임계값은 글로벌 TDP 한계값에 기초하며, 상기 컴퓨터 시스템은 동작 동안 상기 복수의 프로세싱 노드들 각각에 대하여 상기 국부 열 설계 전력(TDP) 한계값을 가변시키도록 구성되고, 상기 글로벌 TDP 한계값은 동작 동안 고정시키도록 구성되는 것을 특징으로 하는 컴퓨터 판독가능한 저장매체.

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

발명의 설명

기술 분야

[0001] 본 발명은 집적 회로에 관한 것으로, 보다 상세하게는 집적 회로의 열 제어에 관한 것이다.

배경 기술

[0002] 프로세서 또는 다른 유형의 집적 회로(IC: integrated circuit)의 설계 동안, 많은 요인이 고려되어야 한다. 일반적으로, 성능과 같은 요인은 전력 소비량과 같은 다른 요인과 밸런싱된다. 많은 IC의 설계에 영향을 미치는 다른 요인은 열 출력이다. 많은 IC는 동작 동안 상당한 양의 열을 생성할 수 있다. 체크하지 않고 내버려 두는 경우, IC의 동작 동안 생성된 열은 손상을 유발하거나 완전한 고장을 일으킬 수 있다.

[0003] 열과 관련된 손상을 방지하기 위하여, 많은 IC는 일정 형태의 열 제어 장치를 사용한다. 여러 실시예에서, IC에

서 열 제어 장치는 여러 위치에 하나 이상의 온도 센서와 제어 유닛을 포함할 수 있다. 제어 유닛은 여러 센서로부터 온도 지시값을 수신하고 이 지시값을 하나 이상의 온도 임계값과 비교할 수 있다. 온도 센서 중 하나로부터 보고된(reported) 온도가 임계값을 초과하는 경우에 IC의 동작은 추가적인 온도 증가를 방지하기 위해 스케일 축소될 수 있다. IC의 성능을 스케일 축소하는 것은 이에 제공되는 공급 전압을 감소시키거나, 클럭 주파수를 감소시키거나, 이 둘 모두를 수행하거나, 또는 일부 다른 방법(예를 들어, IC의 작업 부하를 감소시키거나, 제한하거나, 재할당하는 것)에 의하여 달성될 수 있다. IC는 온도가 임계값 아래로 떨어질 때까지 감소된 성능 상태에서 이후 추가적으로 일정 시간 기간 동안 유지될 수 있다.

[0004] 성능이 감소되는 온도 임계값은 IC 자체의 지정된 최대 온도를 초과함이 없이 IC(또는 그 냉각 시스템)에 의해 발산될 수 있는 전력의 양으로 정의될 수 있는 열 설계 전력(TDP: thermal design power)이라고 알려진 파라미터에 기초할 수 있다. TDP는 지정된 주변 온도에 기초할 수 있다. 예를 들어, IC의 TDP는 35°C의 주변 온도에 대해 지정될 수 있다. 즉, 전력 소비량은 35°C의 주변 온도(예를 들어, 실온)에서 (최대 지정된 IC 온도로 결정된 바에 따라) 과열을 일으킬 수 있는 양까지 일어날 수 있다. 최대 온도는 이에 따라 TDP가 더 이상 발산될 수 없는 IC 다이(die)에 대한 온도로 지정될 수 있다. 전력 소비량 및 이에 따라 성능은 이 온도에 도달할 때 감소될 수 있다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0005] 처리 노드(또는 "프로세싱 노드"라 함)의 노드마다 열 제어를 위한 장치 및 방법이 개시된다. 일 실시예에서, 시스템은 복수의 처리 노드를 포함한다. 본 시스템은 제1 온도 임계값 이상인 제1 검출된 온도의 지시값을 수신하는 것에 응답하여 복수의 처리 노드 중 적어도 하나의 처리 노드에 대해 제1 주파수 한계값을 설정하도록 구성된 전력 관리 유닛을 더 포함하며, 여기서 제1 온도 임계값은 복수의 처리 노드 중 하나와 연관된 것이다. 전력 관리 유닛은 제2 온도 임계값을 초과하는 제2 온도의 지시값을 수신하는 것에 응답하여 복수의 처리 노드 각각에 대해 제2 주파수 한계값을 설정하도록 더 구성된다.

[0006] 일 실시예에서, 처리 노드의 노드마다 열 제어를 위한 방법은 제1 온도 임계값 이상인 제1 검출된 온도의 지시값을 수신하는 것에 응답하여 복수의 처리 노드 중 적어도 하나의 처리 노드에 대해 제1 주파수 한계값을 설정하는 단계를 포함하며, 여기서 제1 검출된 온도는 복수의 처리 노드 중 하나와 연관된 것이다. 본 방법은 제2 온도 임계값을 초과하는 제2 온도의 지시값을 수신한 것에 응답하여 복수의 처리 노드 각각에 대해 제2 주파수 한계값을 설정하는 단계를 더 포함한다.

[0007] 본 발명은 여러 변형과 대안적인 형태를 가질 수 있으나, 특정 실시예가 예를 들어 도면에 도시되고 본 명세서에 상세히 설명된다. 그러나, 도면과 상세 설명은 본 발명을 개시된 특정 형태로 제한하려고 의도된 것이 아니라, 이와는 반대로, 본 발명은 첨부된 청구범위에 한정된 본 발명의 사상과 범위 내에 있는 모든 변형, 균등물 및 대안을 커버하려고 의도된 것으로 이해되어야 한다.

도면의 간단한 설명

[0008] 본 발명의 다른 측면은 첨부 도면을 참조하여 이하 상세한 설명을 읽을 때 보다 명백해질 것이다.

도 1은 집적 회로(IC)의 시스템온칩(SOC: system on a chip)의 일 실시예의 블록도;

도 2는 열 제어 유닛을 구비하는 멀티 코어 프로세서의 일 실시예의 블록도;

도 3a는 멀티 코어 프로세서의 일 실시예에 대한 제1 상황에서 열 설계 전력 할당을 도시한 블록도;

도 3b는 멀티 코어 프로세서의 일 실시예에 대한 제2 상황에서 열 설계 전력 할당을 도시한 블록도;

도 3c는 멀티 코어 프로세서의 일 실시예에 대한 제3 상황에서 열 설계 전력 할당을 도시한 블록도;

도 3d는 멀티 코어 프로세서의 일 실시예에 대한 제4 상황에서 열 설계 전력 할당을 도시한 블록도;

도 3e는 멀티 코어 프로세서의 일 실시예에 대한 제4 상황에서 열 설계 전력 할당을 도시한 블록도;

도 3f는 멀티 코어 프로세서의 일 실시예에 대한 제5 상황에서 열 설계 전력 할당을 도시한 블록도;

도 4는 멀티 코어 프로세서의 일 실시예에 대해 2개의 상이한 시나리오 하에서 사용될 수 있는 최대 코어 전력을 도시한 그래프;

도 5는 개별 코어의 열 설계 전력(TDP)에 기초하여 프로세서 코어의 성능을 승격(boot)하는 방법의 일 실시예의 흐름도;

도 6은 노드마다 열 제어와 전체 열 제어를 모두 사용하는 방법의 일 실시예의 흐름도;

도 7은 전력 관리 유닛을 구비하는 회로의 일 실시예를 설명하는 데이터 구조를 포함하는 컴퓨터 판독가능한 매체의 일 실시예의 블록도.

발명을 실시하기 위한 구체적인 내용

[0009] 멀티 코어 프로세서의 노드마다 열 제어(PNTC: per-node thermal control)를 위한 방법 및 장치가 이제 보다 상세히 설명된다. 본 설명은 (그래픽 처리 유닛을 구비할 수 있는) 복수의 프로세서 코어를 구비하는 프로세서에 관한 것이지만, 본 명세서에 설명된 여러 방법과 장치 실시예는 복수의 기능 유닛을 구비하는 임의의 집적 회로(IC)에 보다 넓게 적용될 수 있다. 따라서, 본 명세서에 있는 여러 방법 및 장치 실시예에 대한 설명은 예시적인 것이지만 발명을 제한하려는 것으로 의도된 것이 아니다. 본 발명의 개시를 위하여, 처리 노드는 일반 목적 컴퓨터 프로세서, 그래픽 처리 유닛 또는 다른 유형의 처리 회로의 프로세서 코어와 같은 처리를 수행하는 임의의 유형의 기능 유닛으로 정의될 수 있다. 나아가, 본 명세서에 설명된 방법 및 장치는 동일한 IC 다이에 있는 다수의 상이한 유형의 처리 노드를 구비하는 IC에 적용될 수 있다.

[0010] PNTC의 사용은 전체 적용되는 하드웨어 열 제어(globally applied hardware thermal control)(HTC)를 배타적으로 사용하는 것보다 프로세서 또는 다른 IC의 와트당 성능(performance-per-watt)을 더 우수하게 할 수 있다. 예를 들어, 프로세서는 35°C의 주변 온도에 기초하여 전체적으로 IC에 대해 전체 열 설계 전력(TDP) 한계값을 가지도록 설계될 수 있다. 즉, TDP 한계값은 다이 위 온도(on-die temperature)가 미리 결정된 온도 임계값에 도달할 때 도달될 수 있다. 더 우수한 성능은 예를 들어 28°C의 주변 온도에 기초하여 TDP 한계값을 사용하여 프로세서를 동작시키는 것에 의해 달성될 수 있다. 이것은 더 낮은 주변 온도에서의 주변 공기는 35°C의 더 높은 주변 온도에서보다 더 우수한 속도로 열을 발산할 수 있으므로 28°C의 주변 상태에서 미리 결정된 온도 임계값에 도달하도록 더 높은 클럭 주파수 및/또는 동작 전압에서 동작할 수 있는 것으로 인한 것이다. 따라서, 국부(예를 들어, 코어마다) TDP 한계값은 더 낮은 주변 온도 상태에 기초하여 설정될 수 있다. 나아가, 국부 TDP 한계값은 동작 동안 변경될 수 있다. 예를 들어, 활성 프로세서 코어에 대한 국부 TDP 한계값은 하나 이상의 다른 프로세서 코어가 비활성 상태에 있을 때 증가될 수 있다. 본 발명의 개시를 위하여, 전체 TDP 한계값은 IC가 정격인 최대 전력 발산 양으로 전체적으로 IC에 적용된 한계값으로 정의될 수 있다. 전체 TDP 한계값은 주어진 IC 설계에 대해 고정되어 있을 수 있다. 국부 TDP 한계값은 상당한 양의 열이 생성될 수 있는 프로세서 코어, 그래픽 처리 유닛 또는 임의의 다른 기능 유닛을 포함하는 코어마다 또는 처리 노드마다 처리 노드/코어에 적용된 TDP 한계값으로 정의될 수 있다. 나아가, 주어진 처리 노드에 대한 국부 TDP 한계값은 다른 처리 노드의 상태에 기초하여 변할 수 있다.

[0011] 본 발명의 개시를 위한 동작점(operating point)은 클럭 주파수로 정의될 수 있고, 또한 동작 전압(예를 들어, 기능 유닛에 제공된 공급 전압)을 포함할 수도 있다. 주어진 기능 유닛에 대해 동작점을 증가시키는 것은 이 유닛에 제공된 클럭 신호의 주파수를 증가시키는 것으로 정의될 수 있고, 또한 그 동작 전압을 증가시키는 것을 포함할 수 있다. 유사하게, 주어진 기능 유닛에 대해 동작점을 감소시키는 것은 클럭 주파수를 감소시키는 것으로 정의될 수 있고, 또한 동작 전압을 감소시키는 것을 포함할 수 있다. 동작점을 제한하는 것은 클럭 주파수 및/또는 동작 전압을 특정 상태 세트에 대해 지정된 최대값(그러나, 반드시 모든 상태에 대해 최대 한계값을 지정하는 것은 아님)으로 제한하는 것으로 한정될 수 있다. 따라서, 동작점이 특정 처리 노드에 대해 제한될 때, 이 처리 노드는 현재 상태 세트에 대해 최대 지정된 값까지 클럭 주파수와 동작 전압에서 동작할 수 있으나, 지정된 값 미만인 클럭 주파수와 동작 전압 값에서도 동작할 수 있다.

[0012] PNTC를 사용하는 경우, 임계 온도는 전체 TDP 한계값에 도달할 때를 결정하는데 사용되는 온도 임계값보다 약간 더 낮게 설정될 수 있다. 예를 들어, 전체 TDP 한계값에 대한 임계 온도가 100°C라면, 국부 TDP 한계값에 도달할 때를 결정하는 온도 임계값은 96°C일 수 있다. 각 프로세서 코어의 온도는 모니터링될 수 있고, 주어진 코어의 온도가 이 한계값에 도달하는 경우, 주어진 코어는 제1 양만큼 강동(throttled)될 수 있다. 예를 들어, 개선된 구성 및 전력 인터페이스(ACPI: Advanced Configuration and Power Interface) 스펙에 부합하는

실시예에서, 코어는 P0 상태의 클럭 주파수의 90%로 강등될 수 있다(예를 들어, P0 상태 클럭이 2.0GHz에 있을 때 코어는 1.8GHz로 강등될 수 있다). 클럭 주파수를 강등시키는 것에 더하여, 대응하는 동작 전압의 감소는 또한 적어도 주어진 코어에 대해 수행될 수 있다(예를 들어, P0 상태에서 동작하는 경우 1.1볼트로부터 1.0볼트로 전압을 감소시킬 수 있다). 일부 실시예에서, 다른 프로세서 코어의 동작점이 또한 이 동작점으로 제한될 수 있으나, 동작점이 다른 코어에 대해 변하지 않는 다른 실시예들도 가능하고 고려된다. 하나의 코어가 국부 온도 임계값에 도달하는 것에 응답하여 모든 코어의 동작점이 제한되는 실시예에서, 다른 코어는 예를 들어 P0 상태에서 또는 일반적으로 높은 동작점에서 동작하는 경우에도 강등될 수 있다. 나아가, 일부 실시예에서, 프로세서 코어는 별개의 고유한 전압 면(plane)에 연결될 수 있고, 이에 따라 그 동작 전압은 다른 프로세서 코어에 상관없이 제어될 수 있다. 다른 실시예에서, 프로세서 코어는 전압 면을 공유할 수 있고, 동작 전압은 최고 국부 TDP 한계값을 가지는 프로세서 코어에 대한 동작점에 기초하여 설정될 수 있다.

[0013] 주어진 코어의 온도가 강등 후에 상승을 계속하는 경우, 전체 강등(HTC)이 일어날 수 있고, 여기서 모든 프로세서 코어는 제2 동작점 한계값으로 강등된다. 보다 구체적으로, 이것은 프로세서의 IC 다이 위 임의의 점에서의 온도가 전체 TDP 한계값에 대응하는 전체 임계 온도에 도달할 때 발생할 수 있다. 이것이 발생할 때 모든 프로세서 코어에 대한 클럭 주파수는 강등을 통해 상당한 감소를 받을 수 있고, 동작 전압이 이에 대응하여 또한 감소될 수 있다. 예를 들어, 하나의 ACPI 호환 실시예에서, 프로세서 코어는 클럭 주파수가 1.0GHz로 제한되도록 P3 상태로 강등될 수 있다(여기서 2.0GHz는 이 실시예에서 P0 상태에 대한 클럭 주파수이다). 유사하게, 동작 전압은 또한 모든 코어에 대해 제한되도록 감소될 수도 있다.

[0014] 주어진 프로세서 코어에 대한 국부 TDP 한계값은 변할 수 있으며, 다른 프로세서 코어의 상태에 따라 증가되거나 감소될 수 있다. 예를 들어, 쿼드 코어 프로세서에서, 2개의 코어가 전력 게이팅(power-gated)(예를 들어, 전력 다운)되는 반면, 제3 코어는 휴면(sleep) 상태에 있을 때, 나머지 코어에 대한 TDP 한계값은 증가될 수 있는데, 그 이유는 다른 코어는 이 코어에 의해 생성된 열의 일부를 발산할 수 있기 때문이다. 코어 국부 TDP 한계값은 더 낮은 주변 온도(예를 들어, 전체 TDP 한계값에 대한 35°C와는 대조적으로 28°C)에 기초할 수 있으므로, 이에 따라 이것은 지정된 것보다 더 높은 주파수에서 그 대응하는 클럭 신호를 실행하는, 즉 오버클럭킹을 가능하게 하는 점으로 증가될 수 있다. 예를 들어, P0 상태에서 클럭 주파수가 2.0GHz(및 이에 따라 최대 지정된 클럭 주파수)인 하나의 ACPI 호환 실시예에서, 높은 국부 TDP 한계값을 가지는 코어는 2.0GHz를 초과하는 주파수에서(예를 들어, 3.6GHz에서) 클럭킹될 수 있다. 이것은 일부 처리 작업부하, 특히 연산 한정된(compute-bound) 작업부하에 대해 더 우수한 성능을 초래할 수 있다. 연산 한정된 작업부하는 메인 메모리에 대해 (있다 하더라도) 덜 빈번한 액세스를 가지는 연산 집약적인 처리 작업부하로 정의될 수 있다. 그러나, 오버클럭킹이 높은 국부 TDP 한계값으로 인해 주어진 프로세서 코어에 대해 가능한 경우에도 이것은 모든 경우에 반드시 수행되는 것은 아니라는 것이 주목된다. 예를 들어, 프로세서 작업부하가 메모리 한정되면(즉, 빈번한 메모리 액세스가 수행되어 대응하는 파이프라인 에러(stall)를 야기하는 것), 오버클럭킹은 일반적으로 임의의 성능 이득을 제공하지 못한다. 따라서, 높은 국부 TDP 한계값을 가지는 프로세서 코어는 그럼에도 불구하고 메모리 한정된 작업부하를 처리하는 경우 더 낮은 클럭 주파수에서 동작될 수 있다.

[0015] 전력 관리 유닛을 가지는 프로세서

[0016] 도 1은 메모리에 연결된 집적 회로(IC)의 일 실시예의 블록도이다. IC2 및 메모리(6)는 디스플레이(3)와 디스플레이 메모리(300)와 함께 본 예에서 컴퓨터 시스템(10)의 적어도 일부를 형성한다. 도시된 실시예에서, IC2는 다수의 처리 노드(11)(예를 들어, 11-1, 11-2 등)를 구비하는 프로세서이다. 본 명세서에서 설명되는 방법은 별개의 고유한 IC 다이 위 다수의 프로세서(단일 코어 또는 멀티 코어 프로세서일 수 있는)를 구현하는 멀티 프로세서 컴퓨터 시스템과 같은 다른 배열에 적용될 수 있다는 것이 주목된다. 멀티 코어 실시예에서, 처리 노드(11)는 서로 동일한 것(즉, 동종 멀티 코어)일 수 있고, 또는 하나 이상의 처리 노드(11)는 서로 상이한 것(즉, 이종 멀티 코어)일 수 있다.

[0017] 처리 노드(11)는 하나 이상의 실행 유닛, 캐시 메모리, 스케줄러, 브랜치 예측 회로 등을 각각 포함할 수 있다. 나아가, 각 처리 노드(11)는 컴퓨터 시스템(10)에 대한 메인 메모리 기능을 할 수 있는 메모리(6)에 액세스 요청을 선언(assert)하도록 구성될 수 있다. 이 요청은 판독 요청 및/또는 기록 요청을 포함할 수 있고, 노스 브리지(north bridge)(12)에 의해 각 프로세서 코어(11)로부터 초기에 수신될 수 있다. 메모리(6)에 액세스 요청은 도시된 실시예에서 메모리 제어기(18)를 통해 라우팅될 수 있다.

[0018] 각 프로세서 코어(11)는 도시된 실시예에서 노스 브리지(12)에 연결된다. 노스 브리지(12)는 메모리 및 여러 주변 장치와의 인터페이스를 포함하는 처리 노드(11) 각각에 대한 폭넓은 인터페이스 기능을 제공할 수 있다. 각

처리 노드(11)에 연결되는 외에, 노스 브리지(12)는 입력/출력(I/O) 인터페이스(13), 그래픽 처리 유닛(GPU: graphics processing unit)(14), 메모리 제어기(18), 위상 동기 루프(PLL: phase-locked loop)(4), 및 전압 조절기(5)에 더 연결된다. 추가적인 기능 유닛은 일부 실시예에서 더 포함될 수 있다. 노스 브리지(12)는 컴퓨터 시스템(10)에서 활동하기 위한 통신 허브로 기능하며, 처리 노드(11), 메모리(6)(메모리 제어기(18)를 통해), 디스플레이(3)(GPU(14)를 통해), 및 여러 주변 장치(I/O 인터페이스(13)를 통해) 사이에 통신을 라우팅하고 조정하는 기능을 할 수 있다.

[0019] I/O 인터페이스(13)는 컴퓨터 시스템(10)에서 사우스 브리지 디바이스(south bridge device)로 기능할 수 있다. 다수의 상이한 유형의 주변 버스는 I/O 인터페이스(13)에 연결될 수 있다. 이 특정 예에서, 버스 유형은 PCI(peripheral component interconnect) 버스, PCI-연장된(PCI-X) 버스, PCIE(PCI Express) 버스, 기가비트 이더넷(gigabit Ethernet) 버스, 및 USB(universal serial bus)를 포함한다. 그러나, 이들 버스 유형은 예시적인 것이고, 많은 다른 버스 유형이 I/O 인터페이스(13)에 더 연결될 수 있다. 주변 디바이스는 주변 버스 중 일부 또는 전체에 연결될 수 있다. 이 주변 디바이스는 키보드, 마우스, 프린터, 스캐너, 조이스틱 또는 다른 유형의 게임 제어기, 매체 기록 디바이스, 외부 저장 디바이스, 네트워크 인터페이스 카드 등을 포함한다(그러나 이로 제한되지 않는다). 대응하는 주변 버스를 통해 I/O 유닛(13)에 연결될 수 있는 주변 디바이스 중 적어도 일부는 DMA(direct memory access)를 사용하여 메모리 액세스 요청을 선언할 수 있다. (판독 요청과 기록 요청을 포함할 수 있는) 이들 요청은 I/O 인터페이스(13)를 통해 노스 브리지(12)에 전달될 수 있고 메모리 제어기(18)로 라우팅될 수 있다.

[0020] GPU(14)는 컴퓨터 시스템(10)에 대한 비디오 처리 기능을 수행할 수 있다. GPU(14)에 의해 수행되는 비디오 처리 기능은 3D 그래픽과 다른 유형의 복잡한 그래픽 기능은 물론 기본 비디오 렌더링을 포함할 수 있다. GPU(14)에 의해 처리되는 비디오 정보는 다수의 상이한 유형의 디스플레이 유닛 중 하나일 수 있는 디스플레이(3)에 디스플레이하기 위해 출력될 수 있다. 디스플레이(3)는 평판 액정 디스플레이(LCD), LED(light-emitting diode) 디스플레이, 플라즈마 디스플레이, CRT(cathode ray tube) 디스플레이, 또는 임의의 다른 적절한 유형으로 구현될 수 있다.

[0021] 도시된 실시예에서, GPU(14)는 디스플레이 처리를 위한 데이터를 저장할 수 있는 디스플레이 버퍼를 포함할 수 있다. 디스플레이 처리를 위한 데이터는 메모리 제어기(18)와 노스 브리지(12)를 통해 메모리(6)로부터 판독될 수 있다. 따라서, GPU(14)는 프레임을 업데이트하고 디스플레이 버퍼를 채우기 위해 메모리(6)에 직접 메모리 액세스(DMA)를 하도록 구성될 수 있다.

[0022] 도시된 실시예에서, 노스 브리지(12)는 아래에서 보다 상세히 설명되는 바와 같이 각 활동 레벨이나 작업 부하에 기초하여 각 처리 노드(11)의 전력 소비량을 관리하도록 구성된 전력 관리 유닛(20)을 포함한다. 나아가, 멀티 코어(또는 멀티 프로세서) 실시예에서, 전력 관리 유닛(20)은 서로 독립적으로 개별 처리 노드(11)의 동작점을 설정할 수 있다. 따라서, 제1 프로세서 코어(11)가 제1 동작점에서 동작할 수 있는 반면, 제2 프로세서 코어(11)는 제1 동작점과는 상이한 제2 동작점에서 동작할 수 있다. GPU(14)가 상당한 양의 전력을 소비(그리하여 상당한 양의 열을 발생)하므로, 각 동작점은 처리 노드(11)의 동작점과 동일한 방식으로 전력 관리 유닛(20)에 의해 더 제어될 수 있다. 따라서, 국부 TDP 한계값을 설정하고 처리 노드(11) 중 주어진 노드의 동작점을 제어하는 것에 관한 하기 설명은 GPU(14)에도 적용될 수 있다.

[0023] 도시된 실시예에서 전력 관리 유닛(20)은 열 제어 유닛(21)을 더 포함한다. 전력 관리 유닛(20)에 의해 동작점을 설정하는 것은 열 제어 유닛(21)에 의해 수행되는 동작에 기초하여 적어도 부분적으로 수행될 수 있다. 일 실시예에서, 열 제어 유닛(21)은 IC(2)가 전체 TDP 전력 한계값(이하 전체 전력 한계값이라고 언급됨) 내에서 동작하는지 여부를 결정하기 위하여 처리 노드(11) 각각으로부터(및 후술되는 그래픽 처리 유닛(14)으로부터) 수신된 온도 정보를 모니터링할 수 있다. 나아가, 열 제어 유닛(21)은 처리 코어(11) 각각에 대해 국부 TDP 한계값(이하 국부 전력 한계값)을 설정하고 변경시킬 수도 있다. 예를 들어, 4개의 처리 노드(11)를 구비하는 실시예에서, 모두 4개의 처리 노드(11)가 활성이고 작업부하를 처리하고 있다면, 각 국부 전력 한계값은 동일한 값으로 설정될 수 있다. 그러나, 2개의 처리 노드(11)는 활성이지만 다른 2개의 처리 노드는 휴지(idle) 상태에 있는 경우, 활성 노드에 대한 국부 전력 한계값은 국부 전력 한계값 내에서 증가될 수 있고 휴지 노드는 이에 대응하여 감소될 수 있다. 이들 두 경우 및 다른 경우에 처리 노드(11)에 대한 국부 전력 한계값은 전체 전력 한계값이 초과되지 않도록 구성될 수 있다.

[0024] 열 제어 유닛(21)은 각 처리 노드(11)로부터 온도 정보를 더 수신할 수 있다. 수신된 온도 정보는 처리 노드(11)가 각 국부 전력 한계값 내에서 동작하고 있는지 여부를 결정하기 위해 사용될 수 있다. 예를 들어, 열 제

어 유닛(21)은 주어진 프로세서 코어(11)의 보고된 온도와, 현재 국부 전력 한계값에 기초하는 온도 임계값과 비교할 수 있다. 이 온도가 임계값 온도 이상인 경우, 전력 관리 유닛(20)은 보고하는 프로세서 코어(11)의 제한된 강등을 수행하는 것에 의해 응답할 수 있다. 제한된 강등은 보고하는 프로세서 코어(11)에 대해 동작 클럭 주파수에서 작은 감소를 포함할 수 있고, 제한된 전압 감소를 더 포함할 수 있다. 이 프로세서 코어(11)의 동작점은 이후 온도가 임계값 이하로 떨어질 때까지 적어도 일정 시간 동안 제한될 수 있다. 동작점 한계값을 제거한 후 추가적인 열이 발산될 수 있도록 이 온도에 추가적인 시간이 허용될 수 있다.

[0025] 일부 실시예에서, 동작점을 제한하는 것은 노드마다 수행되고 온도가 임계값을 초과한 프로세서 코어(11)에만 적용될 수 있다. 다른 실시예에서, 모든 처리 노드(11)는 온도 임계값이 초과되는 프로세서 코어(11)의 동일한 동작점으로 제한될 수 있다. 동작점은 처리 노드(11)에 제공된 클럭 신호의 주파수를 제한하는 것에 의해 제한될 수 있다. 동작점을 더 제한하는 것은 프로세서 노드(11)에 제공된 동작 전압을 제한하는 것에 의해 달성될 수 있다.

[0026] 열 제어 유닛(21)은 IC(2)가 전체적으로 전체 전력 한계값 내에서 동작하는지 여부를 결정하도록 더 구성될 수 있다. 처리 노드(11)로부터 온도 정보를 수신하는 외에, 열 제어 유닛(21)이 다른 실시예에서 존재할 수 있는 다른 기능 유닛으로부터 및 다른 기능 유닛 각각으로부터 이를 수신할 수 있다. 임의의 기능 유닛으로부터(또는 IC(2) 위의 임의의 점으로부터) 온도 판독값이 제2 온도 임계값을 초과하는 경우, 전력 관리 유닛(20)은 IC(2)를 전체적으로 강등시키는 것에 의해 응답할 수 있다. 전체적으로 강등하는 것은 각 프로세서 노드(11)에의 클럭 주파수를 상당히 감소시키는 것에 의해 정의될 수 있고, 또한 IC(2)의 다른 기능 유닛에 적용될 수 있다. 나아가, 각 프로세서 코어(11)에 대한 동작 전압은 또한 상당히 더 감소될 수 있다. 전체 강등에 이어서 모든 처리 노드(11)에 대한 동작점은 열 제어 유닛(21)에 보고되는 모든 온도가 제2 임계값 미만일 때까지 적어도 제한될 수 있고, IC(2)를 더 냉각시킬 수 있도록 이후 지정된 시간 동안 제한될 수 있다.

[0027] 도시된 실시예에서, IC(2)는 시스템 클럭 신호를 수신하도록 연결된 위상 동기 루프(PLL)(4)를 포함한다. PLL(4)는 대응하는 클럭 신호를 각 처리 노드(11)에 그리고 GPU(14)에 분배할 수 있다. 이 실시예에서, 각 처리 노드(11)와 GPU(14)에 의해 수신된 클럭 신호는 서로 독립적이다. 나아가, 이 실시예에서, PLL(4)은 서로 독립적으로 각 처리 노드(11)에 제공된 각 클럭 신호의 주파수를 개별적으로 제어하고 변경하도록 구성된다. PLL(4)은 처리 노드(11)와 독립적으로 GPU(14)에 제공된 클럭 신호의 주파수를 더 제어하고 변경할 수 있다. 아래에서 더 상술되는 바와 같이, 처리 노드(11) 중 임의의 주어진 노드에 의해 수신된 클럭 신호의 주파수는 가변 국부 전력 한계값, 이로부터 보고된 온도값, 및 이에 부과된 성능 요구조건에 따라 증가되거나 감소될 수 있다. 클럭 신호가 PLL(4)로부터 출력될 수 있는 여러 주파수는 각 처리 노드(11)에 대해 상이한 동작점에 대응할 수 있다. 따라서, 처리 노드(11) 중 특정 노드에 대한 동작점을 변화시키는 것은 각 수신된 클럭 신호의 주파수를 변경시키는 것에 의해 수행될 수 있다.

[0028] 하나 이상의 처리 노드(11)의 각 동작점을 변경하는 것이 하나 이상의 각 클럭 주파수를 변경하는 것을 포함하는 경우에, 전력 관리 유닛(20)은 PLL(4)에 제공된 디지털 신호(세트F[M:0])의 상태를 변경할 수 있다. 이 디지털 신호 세트는 PLL(4)에 연결된 각 기능 유닛에 대해 클럭 주파수를 설정하는 정보를 포함할 수 있다. 이들 신호의 변경에 응답하여 PLL(4)은 영향을 받는 기능 유닛의 클럭 주파수를 변경할 수 있다.

[0029] 도시된 실시예에서, IC(2)는 전압 조절기(5)를 더 포함한다. 다른 실시예에서, 전압 조절기(5)는 IC(2)와는 별도로 구현될 수 있다. 전압 조절기(5)는 각 처리 노드(11)에 동작 전압(또는 공급 전압)을 제공할 수 있다. 일부 실시예에서, 전압 조절기(5)는 특정 동작점에 따라 변하는(예를 들어, 더 큰 성능을 위해 증가되고, 더 큰 전력 절감을 위해 감소되는) 동작점을 제공할 수 있다. 일부 실시예에서, 각 처리 노드(11)는 전압 면을 공유할 수 있다. 따라서, 각 처리 노드(11)는 이 실시예에서 다른 처리 노드(11)와 동일한 전압에서 동작한다. 다른 실시예에서, 전압 면은 공유되지 않아서 각 처리 노드(11)에 의해 수신되는 공급 전압이 다른 처리 노드(11)에 의해 수신된 각 공급 전압에 독립적으로 설정되고 조절될 수 있다. 따라서, 동작 전압의 조절을 포함하는 동작점 조절은 공유되지 않는 전압 면을 구비하는 실시예에서 다른 것과 독립적으로 각 처리 노드(11)에 선택적으로 적용될 수 있다. 동작점을 변경시키는 것이 하나 이상의 처리 노드(11)에 대한 동작점을 변경시키는 것을 포함하는 경우에, 전력 관리 유닛(20)은 전압 조절기(5)에 제공된 디지털 신호(세트V[M:0])의 상태를 변경할 수 있다. 신호(세트V[M:0])의 변경에 응답하여 전압 조절기(5)는 영향을 받은 처리 노드(11)에 제공된 동작 전압을 조절할 수 있다. GPU(14)는 일부 실시예에서는 하나 이상의 처리 노드(11)와 전압 면을 공유유하지만, 다른 노드에서는 자기 자신의 전압 면을 가질 수 있고, 적절히 조절된 공급 전압을 더 구비할 수 있다.

[0030] 전술된 바와 같이, 각 처리 노드(11)에 대한 동작점은 보고된 온도, 가변 국부 전력 한계값 및 고정된 전체 전

력 한계값에 기초하여 설정되거나 제한될 수 있다. 나아가, 각 처리 노드(11)에 대한 동작점은 각 활동 레벨(예를 들어, 처리 작업부하)에 따라 더 설정될 수 있다. 도시된 실시예에서, 전력 관리 유닛(20)은 각 처리 노드(11)에 대한 활동 레벨을 나타내는 정보를 수신할 수 있고, 국부 및 전체 전력 한계값 내에서 적절히 동작점을 설정할 수 있다. 전력 관리 유닛(20)은 특정 유형의 작업부하에 기초하여 주어진 처리 노드의 동작점을 더 설정할 수 있다. 일반적으로 말하면, 연산 한정된 작업부하를 실행하는 프로세서 코어(11)는 더 높은 동작점으로 설정되거나 또는 메모리 한정된 작업부하를 실행할 때 더 낮은 동작점으로 설정될 수 있다. 연산 한정되지도 않고 또는 메모리 한정되지도 않은 작업부하에서 프로세서 코어(11)는 중간 동작점으로 설정될 수 있다. 작업부하의 활동 레벨과 유형은 초당 실행 명령, 메모리 액세스 요청, 캐시 히트/미스(cache hit/miss), 파이프라인 에러, 브랜치 미스 예측, 발행된 명령, 실행된 명령 등과 같은 여러 메트릭에 기초하여 전력 관리 유닛(20)에 의해 결정될 수 있다.

[0031] 전술된 바와 같이, 프로세서 코어(11)의 동작점은 적어도 클록 주파수에 의해 한정될 수 있고 또한 동작점에 의해 더 한정될 수 있다. 일반적으로 말하면, "더 높은" 동작점으로 전이하는 것은 영향을 받는 프로세서 코어(11)에 대한 클록 주파수를 증가시키는 것에 의해 한정될 수 있다. 더 높은 동작점으로 전이하는 것은 동작 전압을 증가시키는 것을 더 포함할 수 있다. 유사하게, "더 낮은" 동작점으로 전이하는 것은 영향을 받는 프로세서 코어(11)에 대한 클록 주파수를 감소시키는 것에 의해 한정될 수 있다. 영향을 받는 프로세서 코어(11)에 제공된 동작 전압을 감소시키는 것은 더 낮은 동작점으로 전이하는 한정에 더 포함될 수 있다.

[0032] 일 실시예에서, 동작점은 개선된 구성 및 전력 인터페이스(ACPI) 스펙의 성능 상태(이하 'P 상태')에 대응할 수 있다. 아래 표 1은 ACPI 표준을 사용하여 구현된 일 실시예에 대한 P 상태를 나열한다.

표 1

P- 상태 색인	주파수	전압
P0	2 GHz	1.1 V
P1	1.8 GHz	1.0 V
P2	1.5 GHz	0.9 V
P3	1 GHz	0.85 V
P4	800 MHz	0.8 V

[0033]

[0034] 위 표 1에 나열된 P 상태는 ACPI 호환 프로세서가 C0으로 알려진 비-휴지 상태에서 동작할 때 적용될 수 있다. 위 표 1에 대응하는 실시예에서, P 상태(P0)는 2GHz의 클록 주파수와 1.1볼트의 동작 전압을 가지는 최고 동작점이다. 일 실시예에서 전력 관리 유닛(20)은 프로세서 코어(11)가 현재 국부 전력 한계값에 의해 허용될 때 높은 활동 레벨에 응답하여 P 상태(P0)에서 동작할 수 있게 한다. P 상태(P0)에서 동작은 연산 한정된 작업부하를 처리하는데 사용될 수 있다. 연산 한정된 작업부하는 시간에 민감하고 연산 집약적이어서 (만약 있다 해도) 거의 메모리 액세스를 요구하지 않는다. 더 낮은 전력 소비량에 상응하는 휴지 상태로 더 빠른 리턴을 가능하게 하면서도 최대 성능을 유지하는 것을 가능하게 하는 최단 시간에 작업부하를 실행하는 것이 바람직할 수 있다. 그러므로, 높은 활동 레벨을 가지는 연산 한정된 작업부하가 P 상태(P0)에서 실행될 수 있어서 더 빠른 완료를 가능하게 할 수 있다.

[0035] P 상태(P4)는 800MHz의 클록 주파수와 0.8V의 동작 전압을 가지는 이 특정 실시예에서 최하 동작점이다. 전력 관리 유닛(20)은 더 높은 P 상태가 현재 국부 전력 한계값 내에 있는 경우에도 프로세서 코어(11)가 낮은 활동 레벨에 응답하여 P 상태(P4)에서 동작할 수 있게 한다. P 상태(P4)는 시간에 민감하지 않는(또는 주파수에 민감한) 다른 작업은 물론 메모리 한정된 작업부하에 사용될 수 있다. 메모리 한정된 작업부하는 시스템 메모리에 빈번한 액세스를 포함하는 것이다. 메모리 액세스는 (메모리에 액세스하지 않는 명령의 실행 시간에 비해) 큰 지연시간을 수반하므로, 메모리 한정된 작업부하에 대해 클록 주파수를 감소시키는 것은 전력 절감과 최소 성능 영향을 가질 수 있고 시스템의 와트당 성능 메트릭을 개선시킬 수 있다.

[0036] 검출된 활동 레벨이 낮은 활동 임계값보다 더 크고, 높은 활동 임계값보다 더 낮은 경우, 대응하는 프로세서 코어(11)의 동작은 특정 실시예에 따라 OS, 다른 소프트웨어, 펌웨어 및/또는 다른 하드웨어의 지시 하에서 P 상

태(P1, P2, P3) 중에서 이들 P 상태에서의 동작이 현재 국부 전력 한계값 내에 있는 것을 제공하는 어느 하나의 상태로 설정될 수 있다.

[0037] 표 1에 나열된 P 상태는 예시적인 동작점 세트인 것이 주목된다. 상이한 클록 주파수와 동작 전압을 구비하는 동작점을 사용하는 실시예들도 가능하고 고려된다. 나아가, 전술된 바와 같이, 일부 실시예는 처리 노드(11)에 대해 공유된 전압 면을 사용할 수 있고, 각 동작점은 클록 주파수에 기초하여 한정될 수 있다. 일부 실시예에서, 처리 노드 각각에 대한 동작점은 고정되어 있을 수 있으나, 다른 실시예에서, 동작전압은 동시에 모든 처리 노드(11)에 대해 조절될 수 있다. 또한, 위 표 1에서 P 상태로 나열된 동작점은 비 ACPI 실시예에서도 사용될 수 있는 것이 주목된다.

[0038] 나아가, 심지어 ACPI 실시예에서, 위 나열된 동작점은 PNTC가 사용될 때 전부 포함하는 것은 아닐 수 있다. 보다 구체적으로, 일부 경우에, P0 상태를 넘는 성능 승격은 처리 작업부하에 적절한 경우 주어진 프로세서 코어(11)에 적용될 수 있고, 현재 국부 전력 한계값에 의해 허용될 수 있다. 예를 들어, 처리 노드(11) 중 주어진 노드가 연산 한정된 작업부하를 실행하지만 나머지 처리 노드(11)는 휴지 상태에 있는 상황을 고려해 보자. 이 경우에, 휴지 처리 노드에 대한 국부 전력 한계값은 감소될 수 있는 반면, 활성 프로세서 코어(11)에 대한 국부 전력 한계값은 증가될 수 있다. 국부 전력 한계값을 증가시키는 것은 활성 프로세서 코어(11)에 대한 오버클럭킹을 가능하게 할 수 있다. 따라서, 활성 프로세서 코어(11)가 이 예에서 연산 한정된 작업부하를 실행하므로, 이에 제공된 클록 신호의 주파수는 P0 상태에 대한 것보다 더 큰 값으로 증가될 수 있다. 이것은 이어서 연산 한정된 작업부하의 더 빠른 실행을 가능하게 할 수 있고, 주변 온도가 충분히 낮은 경우 IC(2)가 전체 전력 한계값 내에 유지될 수 있게 하면서 수행될 수 있다. 나아가, 주변 온도가 국부 전력 한계값이 기반하는 값 미만인 경우, 활성 프로세서 코어(11)를 오버클럭킹하는 것은 강등 가능성 없이 연산 한정된 작업부하의 더 빠른 실행을 가능하게 할 수 있다. 이 유형의 결정론적 성능은 낮은 주변 온도 환경에서 와트당 더 큰 성능을 초래할 수 있다.

[0039] 전체 및 국부 열 설계 전력(TDP):

[0040] 도 2는 열 제어 유닛을 포함하는 멀티 코어 프로세서의 일 실시예의 블록도이다. 보다 구체적으로, 도 2는 여러 처리 노드(11), GPU(14) 및 열 제어 유닛(21) 사이에 기능 관계를 도시한다. 도 2는 (개별적으로 기능 유닛에 적용될 수 있고 가변적일 수 있는) 국부 전력 한계값 및 (전체적으로 IC에 적용되고 고정되어 있을 수 있는) 전체 전력 한계값에 기초하여 시스템 응답의 차이를 도시한 그래프를 더 포함한다.

[0041] 도시된 실시예에서, IC(2)는 전력 관리 유닛(20)의 열 제어 유닛(21)에 각각 연결된 4개의 처리 노드(11)(즉, 코어(11-1 내지 11-4)) 및 GPU(14)를 포함한다. 각 처리 코어(11)와 GPU(14)는 IC(2)의 다이 영역의 중심 부분을 차지할 수 있다. 나아가, 각 처리 코어(11)와 GPU(14)는 도시된 실시예에서 하나 이상의 센서(19)를 포함하며, 각 센서는 각 유닛 내 온도를 센싱하도록 구성된다. 일부 실시예에서, 센서(19)의 다수의 예는 각 기능 유닛이 구현되는 IC 다이의 영역에 걸쳐 여러 위치에 배치될 수 있다. 일부 실시예에서, 각 센서(19)는 열 제어 유닛(21)에 각 센싱된 온도를 보고하도록 연결될 수 있다. 다른 실시예에서, 각 기능 유닛은 이 기능 유닛에 최고 측정된 온도만을 보고하도록 구성될 수 있다.

[0042] 센서(19)는 여러 방식으로 구현될 수 있다. 일 실시예에서, 센서(19)는 링 발진기 기반 온도 센서로 구현될 수 있다. 이 온도에서 링 발진기는 온도 증가에 따라 주파수가 증가하거나 또는 반대로 특정 주파수를 가지는 신호를 출력할 수 있다. 측정된 온도에 비례하는 전압 또는 전류를 출력하는 온도 센서가 더 가능하고 고려된다. 다른 실시예에서, 온도값은 실행된 코드 스트림 또는 동작 동안 생성된 신호와 같은 다른 정보로부터 외삽될 수 있다.

[0043] 열 제어 유닛(21)은 도 2에서 블록도를 동반하는 그래프로 도시된 바와 같이 제1 온도 임계값 및 제2 온도 임계값과 각 기능 유닛으로부터 수신된 온도를 비교할 수 있다. 제1 온도 임계값은 노드마다 열 제어(PNTC)를 수행할 때 사용될 수 있는 반면, 제2 온도 임계값은 전체적으로 열 제어(HTC)를 수행할 때 사용될 수 있다. 도시된 실시예에서, 제1 온도 임계값은 제2 온도 임계값 미만이다. 제1 및 제2 온도 임계값의 예시적인 값은 각각 96°C 및 100°C이다. 나아가, 제1 온도 임계값은 제1 주변 온도(예를 들어, 28°C) 및 최대 국부 전력 한계값에 기초할 수 있다. 제2 온도 임계값은 제2 주변 온도(예를 들어, 35°C) 및 전체 전력 한계값에 기초할 수 있다. 제1 온도 임계값보다 더 큰 온도 판독값은 보고하는 처리 코어(11)가 국부 전력 한계값을 초과하는 것을 나타낼 수 있다. 제2 온도 임계값보다 더 큰 온도 판독값은 전체적으로 IC(2)가 그 전체 전력 한계값을 초과하는 것을 나타낼 수 있다.

- [0044] 도시된 실시예에서, 프로세서 코어(11)의 주어진 코어가 제1 임계값 온도 이상인 온도를 보고하는 경우, 보고하는 프로세서 코어(11)는 강등될 수 있다. 보다 구체적으로, 보고하는 프로세서 코어(11)의 클럭 주파수는 그 온도가 제1 온도 임계값 이상인 것이라고 열 제어 유닛(21)이 결정한 것에 응답하여 지정된 레벨로 감소될 수 있다. 하나의 ACPI 호환 실시예에서, 적어도 보고하는 프로세서 코어(11)의 클럭 주파수는 P0 상태의 주파수의 90%로 감소될 수 있다. 나아가, 보고하는 프로세서 코어(11)의 클럭 주파수는 대응하는 보고된 온도가 적어도 제1 임계값 아래로 떨어질 때까지 이 동작점으로 제한될 수 있고, 추가적인 냉각을 허용하도록 추가적인 시간 동안 유지될 수 있다.
- [0045] 일부 실시예에서, 활성인 프로세서 코어(11)의 다른 코어는 제1 온도 임계값 이상인 온도를 하나의 프로세서 코어(11)가 보고하는 것에 응답하여 P0 상태의 주파수의 90%로 동작점이 더 제한될 수 있다. 하나의 특정 프로세서 코어(11)가 제1 온도 임계값 이상인 온도를 보고할 때 다른 활성인 프로세서 코어(11)가 동작점에서 제한되지 않는 실시예들도 가능하고 고려된다.
- [0046] 도시된 실시예에서, 열 제어 유닛(21)이 제2 온도 임계값 이상인 임의의 프로세서 코어로부터 보고된 온도값을 수신하는 경우, 전력 관리 유닛(20)은 모든 활성 프로세서 코어(11)를 전체적으로 강등하는 것에 의해 응답할 수 있다. 하나의 ACPI 호환 실시예에서, 동반 그래프에서 예시된 바와 같이, 활성 프로세서 코어(11)에 대한 클럭 주파수는 P0 상태의 주파수의 50%로 강등될 수 있다. P0 상태의 50%의 클럭 주파수 미만의 클럭 주파수에서 이미 동작하는 활성 프로세서 코어(11)는 이전과 같이 동작을 계속할 수 있다. 그러나, 모든 프로세서 코어(11)는 P0 상태의 것보다 기껏 50%인 클럭 주파수를 가지는 동작점으로 제한될 수 있다.
- [0047] 제2 온도 임계값을 만족하거나 이를 초과하는 보고된 온도에 응답하여 클럭 주파수를 제한하는 외에, 각 프로세서 코어(11)에 대한 동작 전압은 더 제한될 수 있다. 표 1을 다시 참조하면, P0 상태의 주파수의 50%인 클럭 주파수가 특정 실시예에서 P3 상태에 대응한다. 표 1에서 P3 상태에서 동작 전압은 0.85볼트(P0 상태에 대해 1.1볼트)이다. 따라서, 분할된 전압 면 실시예에서(즉, 각 처리 코어(11)는 자기 자신의 전압 면을 구비함), P3 상태의 것을 초과하는 전압에서 동작하는 임의의 프로세서 코어(11)에 대한 동작 전압은 보고된 온도 판독값이 제2 온도 임계값 이상인 것을 열 제어 유닛(21)이 결정한 것에 응답하여 0.85볼트로 감소될 수 있다. 공유된 전압 면 실시예(즉, 모든 프로세서 코어(11)는 동일한 전압 면을 공유함)에서, 모든 처리 코어(11)에 대한 동작 전압은 P3 상태의 것으로 설정될 수 있다. 유사한 동작 전압 조절은 이 실시예가 ACPI 호환인지에 상관없이 그리고 프로세서 코어(11)가 공유된 전압 면 또는 별개의 전압 면을 사용하는지에 상관없이 다른 실시예에서 이루어질 수 있다.
- [0048] 다시 본 명세서에 설명된 프로세서 코어(11)에 수행된 동작점의 제한 및 강등 조치는 GPU(14)에도 적용될 수 있다는 것이 주목된다.
- [0049] 노트마다 열 제어를 사용하는 국부 TDP 분배
- [0050] 도 3a 내지 도 3f는 PNIC를 사용하는 프로세서의 일 실시예의 여러 상황에 대한 열 설계 전력 할당을 도시한 블록도이다. 보다 구체적으로, 도 3a 내지 도 3f는 각 코어가 다수의 여러 활동 또는 휴지 상태 중 하나에 있을 때 여러 프로세서 코어(11)에 대한 국부 전력 한계 분배를 도시한다. 프로세서 코어(11) 중 주어진 코어에 대한 휴지는 클럭 게이팅 상태(즉, 코어로의 클럭 신호가 억제된 채 전력이 유지되는) 및 전력 게이팅 상태(즉, 클럭 신호가 코어에 제공되지 않고 전력이 이로부터 제거될 때)를 포함할 수 있다는 것이 주목된다.
- [0051] 도 3a 내지 도 3f의 예는 GPU(14)에 할당된 국부 전력 한계값을 포함하지 않는다는 것이 주목된다. 그러나, 도 3a 내지 도 3f는 예시를 위하여 제시된 것이고 여러 실시예에서 GPU(14)와 같은 GPU에 대한 국부 전력 한계값은 본 명세서에 설명된 것과 동일한 원리를 사용하여 할당되고 변경될 수 있다는 것이 주목된다.
- [0052] 도 3a에서, 모든 프로세서 코어(11)는 활성이고 처리 작업부하를 실행한다. 도시된 실시예에서, 전체 전력 한계값은 40와트이다. 이 실시예에서 4개의 프로세서 코어(11) 각각이 활성이므로 열 제어 유닛(21)은 각각에 10와트의 국부 전력 한계값을 할당할 수 있고 이에 의해 국부 전력 한계값을 균일하게 분배할 수 있다. 도시된 실시예는 위 표 1에 제시된 수치에 부합하는 ACPI 호환 실시예인 경우, 임의의 프로세서 코어(11)에 대해 최대 클럭 주파수는 2.0GHz일 수 있으나, 최대 3.2GHz의 간헐적인 승격이 허용될 수 있다. 국부 전력 한계값이 기초하는 주변 온도로서 28°C의 예시적인 수치를 사용하면, 프로세서 코어(11) 각각은 주변 온도가 28°C 미만인 환경에 대해 결정론적이고 반복적인 방식으로 3.2GHz의 간헐적인 승격을 가지고 2.0GHz에서 동작할 수 있다. 주변 온도가 28°C를 초과하는 경우 도 3a에 도시된 구성이 여전히 허용될 수 있으나, 일부 강등(예를 들어, 도 2에 대하여 설명된 것)이 일어날 수 있다.

- [0053] 도 3b에서, 2개의 처리 코어(11)가 휴지인 반면, 다른 2개는 활성이다. 이 예에서 휴지 프로세서 코어는 클록 게이팅(즉, 이 코어로의 클록 신호가 억제됨)되고 전력 게이팅되지 않을 수 있다. 따라서, 활성 코어에 대한 국부 전력 한계값은 각각 15와트에 설정될 수 있다. 2개의 활성 프로세서 코어(11)에 대한 15와트 국부 전력 한계값은 이 코어에 대해 오버클록킹을 통해 성능 승격을 가능하게 할 수 있다. 이 특정 예에서, 2개의 활성 프로세서 코어(11) 각각은 최대 3.2GHz의 클록 주파수에서 동작될 수 있다. 낮은 주변 환경(예를 들어, 본 명세서에 설명된 예시적인 실시예에 대해 28°C 미만)에서, 2개의 활성 코어의 동작은 국부 또는 전체 전력 한계값을 초과하는 것으로 인해 강등할 필요 없이 달성될 수 있다. 더 높은 주변 온도 실시예(예를 들어, 예시적인 실시예에서 28°C 이상)에서, 3.2GHz에서 활성 프로세서 코어(11) 중 하나 또는 둘 모두의 동작은 일부 강등을 초래할 수 있다.
- [0054] 성능 승격이 활성 프로세서 코어(11)에 대해 가능한 경우에도, 실제 동작 클록 주파수는 처리 작업부하에 더 좌우될 수 있다는 것이 주목된다. 예를 들어, 도 3b의 예에서 활성 프로세서 코어에 대한 처리 작업부하가 연산 한정된 경우, 클록 주파수는 3.2GHz로 증가될 수 있다. 그러나, 도 3b의 예에서 활성 프로세서 코어(11)에 대한 처리 작업부하가 메모리 한정되고(및 이에 따라 코어 클록 주파수에 민감하지 않은) 경우, 이 상황에서 클록 주파수를 증가시키는 것이 임의의 상당한 성능 이득을 초래하지 않을 수 있으므로 상당히 낮은 클록 주파수로 동작될 수 있다.
- [0055] 클록 게이팅 프로세서 코어에 대해, 이들 각각에 대한 5와트 국부 전력 한계값은 이들 코어 중 하나 또는 둘 모두를 활성 상태에 진입하게 하는 이벤트가 일어나는 경우 전력 마진을 제공할 수 있다. 나아가, 2개의 휴지 프로세서 코어(11)는 2개의 활성 코어에 대해 열 싱크로 작용할 수 있다. 일부 실시예에서, 여러 프로세서 코어(11)에 국부 전력 한계값을 할당하는 것은 코어가 구현된 IC 다이 위 레이아웃의 기하학적 형상에 좌우될 수 있다. 예를 들어, 활성 코어가 휴지 코어에 물리적으로 인접하여 위치한 경우, 국부 전력 한계값이 다른 활성 코어에 물리적으로 인접하여 위치한 경우보다 더 클 수 있다.
- [0056] 도 3c의 예에서, 3개의 프로세서 코어(11)가 휴지(클록 게이팅) 상태인 반면, 하나의 프로세서 코어(11)는 활성이다. 이 경우에, 활성 프로세서 코어(11)는 19와트의 국부 전력 한계값이 할당될 수 있고, 최대 3.6GHz의 주파수로 오버클록킹될 수 있다. 3.6GHz의 클록 주파수에서, 활성 프로세서 코어(11)는 지정된 값(예를 들어, 전술된 28°C 값) 아래 주변 온도에 대해 할당된 국부 전력 한계값 내에서 동작할 수 있다. 지정된 값 위에서 3.6GHz의 클록 주파수에서 동작하는 것은 활성 프로세서 코어(11)의 일부 강등을 초래할 수 있다.
- [0057] 도 3d는 2개의 프로세서 코어(11)가 휴지이고 다른 2개가 활성인, 도 3b의 것과 유사한 상황을 도시한다. 활성 프로세서 코어(11)에서 각각 13와트의 국부 전력 한계값이 할당될 수 있다. 활성 프로세서 코어(11)는 도 3b의 예에서 3.2GHz의 최대 클록 주파수에 비해 이 예에서 최대 3.4GHz의 클록 주파수에서 동작할 수 있다.
- [0058] 도 3b의 예에 비해 이 예에서 국부 전력 한계값들 사이의 차이는 다수의 상이한 요인 중 하나 이상의 요인의 결과일 수 있다. 이러한 요인 중 하나는 프로세서 코어(11)가 구현되는 IC 다이의 레이아웃의 기하학적 형상이다. 예를 들어, 도 3b에 도시된 예에서, 2개의 활성 프로세서 코어(11)는 각각 휴지 프로세서 코어(11)에 물리적으로 인접하여 있으나 서로 인접하지 않을 수 있다. 이와 대조적으로, 도 3d의 예에서 2개의 활성 프로세서 코어(11)는 서로 물리적으로 인접하여 있을 수 있다. 따라서, 도 3b의 예에서, 활성 프로세서 코어(11)에 의해 생성된 열은 도 3d의 예에서보다 보다 용이하게 발산될 수 있다.
- [0059] 도 3b의 것에 비해 도 3d의 예에서 활성 프로세서 코어(11)에 대해 더 낮은 국부 전력 한계값은 활성 코어(11) 각각의 더 타이트한 열 제어를 제공할 수 있다. 따라서, 높은 주변 온도를 가지는 환경에서 동작하는 경우, 열 제어 유닛(21)은 도 3b의 것에 비해 더 낮은 국부 전력 한계값으로 인해 활성 코어(11)에 대해 PNTC 강등(도 2에 대해 전술된 것)을 수행하도록 더 신속할 수 있다. 이것은 전체 (HTC) 강등(또한 도 2에 대해 전술된 것)이 필요한 것을 덜 요구할 수 있다.
- [0060] 도 3e의 예에서, 2개의 프로세서 코어(11)는 전력 게이팅(즉, 전력 다운)되고, 다른 프로세서 코어(11)는 휴지(클록 게이팅)이지만, 하나의 프로세서 코어(11)는 활성이다. 활성 프로세서 코어(11)는 3.9GHz의 최대 클록 주파수에서 26와트의 국부 전력 한계값이 할당될 수 있다. 이 상황에서 최대 전력 소비량은 40와트의 전체 전력 한계값 미만인 최대 35.6와트 추가한다. 이 차이는 휴지 또는 전력 게이팅 프로세서 코어 중 하나가 웨이크업 이벤트로 인해 활성 상태에 진입하는 경우에 보호 대역을 제공할 수 있다.
- [0061] 도 3f에서, 2개의 프로세서 코어(11)는 전력 게이팅되는 반면, 나머지 2개는 활성이다. 이 경우에, 활성 프로세서 코어(11)는 3.8GHz의 최대 클록 주파수에서 각각 17와트의 국부 전력 한계값이 할당된다. 이 경우에 최대 전

력 소비량은 다시 40와트 전체 전력 한계값 미만인 최대 34.6와트를 추가한다. 도 3e의 예에서와 같이 할당된 국부 전력 한계값의 총 양과 전체 전력 한계값 사이의 차이는 휴지 또는 전력 게이팅 프로세서 코어 중 하나가 웨이크업 이벤트로 인해 활성 상태에 진입하는 경우에 보호 대역을 가능하게 할 수 있다.

[0062] 도 4는 멀티 코어 프로세서의 일 실시예에 대해 2개의 상이한 시나리오 하에서 사용될 수 있는 최대 코어 전력을 도시한 그래프이다. 보다 구체적으로, 도 4는 전체 HTC만을 사용하는 실시예에 비해 PNTC를 사용하여 달성가능한 최대 코어 전력 사용량의 차이를 도시한다. 그래프의 좌측에는 PNTC를 위해 구성된 실시예에 대해 최대 코어 전력이 도시된다. 그래프의 우측에는 HTC만을 위해 구성된 시예에 대해 최대 코어 전력이 도시된다. PNTC를 사용하여 프로세서 코어에 적용된 국부 전력 한계값은 전체 전력 한계값에 대한 것보다 더 낮은 주변 온도에 기초하므로, 추가적인 전력은 PNTC 실시예에서 코어마다 소비될 수 있다. 이것은 프로세서 코어의 성능을 승격하여 여분의 전력을 이용가능하게 할 수 있다. 전술된 바와 같이, 이 성능 승격은 최고 지정된 동작점의 최대 주파수를 넘어 (예를 들어, 표 1에 예시된 ACPI 호환 실시예에 지정된 최대 주파수보다 더 큰 값으로) 코어 클럭 주파수를 증가시키는 것에 의해 달성될 수 있다. 이런 방식으로 클럭 주파수를 증가시키는 것은 오버클록킹이라고 알려져 있다. 주어진 프로세서 코어에 대해 작업부하의 요구량이 오버클록킹에 상응하는 주파수 증가를 정당화하는 경우 프로세서 코어는 전체적으로 적용된 HTC에만 의존하는 실시예에서 달성가능할 수 있는 것보다 더 신속히 이 작업부하를 실시할 수 있게 될 수 있다.

[0063] 방법 실시예:

[0064] 도 5 및 도 6은 PNTC를 위해 구성된 멀티 코어 프로세서에 사용될 수 있는 여러 방법의 실시예를 도시한다. 도 5는 PNTC 프로세서 실시예에서 국부 전력 한계에 기초하여 프로세서 코어의 성능을 승격시키는 방법의 일 실시예의 흐름도이다. 도 6은 멀티 코어 프로세서에서 PNTC 및 전체 HTC를 모두 사용하는 방법의 일 실시예의 흐름도이다.

[0065] 도 5의 방법(500)은 하나 이상의 비활성 프로세서 코어를 감소된 전력 상태에 배치하는 것으로 시작한다(블록 502). 감소된 전력 상태는 클럭 게이팅 상태 또는 전력 게이팅 상태일 수 있다. 클럭 게이팅 상태에서는 감소된 전력 상태에 배치된 코어에 클럭 신호가 제공되는 것이 억제될 수 있으나, 동작 전압은 계속 제공될 수 있다. 전력 게이팅 상태에서는 감소된 전력 상태에 배치된 코어에 클럭 신호도 제공되지 않고 동작 전압도 제공되지 않는다. 감소된 전력 상태에 비활성 프로세서 코어를 배치하는 외에, 각 국부 전력 한계값이 더 감소될 수 있다(블록 504).

[0066] 활성으로 유지되는 하나 이상의 프로세서 코어는 각각 증가된 국부 전력 한계값에서 계속 동작할 수 있다(블록 506). 나머지 활성 프로세서 코어에 대한 국부 전력 한계값은 감소된 전력 상태에 배치된 코어의 국부 전력 한계값의 감소에 응답하여 증가될 수 있다. 활성 코어에 대한 성능 요구량이 증가하지 않거나 상대적으로 낮은 경우(블록 508에서 아니오), 코어는 현재 동작점에서 계속 동작할 수 있다. 그러나, 나머지 활성 코어에 대한 성능 요구량이 증가하거나 상대적으로 높은 경우(블록 508에서 예), 국부 전력 한계값을 증가시키는 것은 동작점을 증가시켜 성능을 최대화하는 것을 가능하게 할 수 있다. 도시된 실시예에서, 이것은 높은 또는 증가된 성능 요구량을 가지는 각 활성 코어를 오버클록킹하는 것에 의해 달성될 수 있다(블록 510). 오버클록킹은 연산 한정된 프로세서 작업부하에 대해 그리고 보다 일반적으로 성능이 코어 클럭 주파수에 민감한 작업부하에 대해 수행될 수 있다.

[0067] 오버클록킹은 2개의 상태 하에서 활성 프로세서 코어에 대해 계속될 수 있다. 이들 상태 중 제1 상태는 이 코어에 대해 보고된 최고 온도가 PNTC에 대해 사용된 제1 온도 임계값 미만으로 유지되는 것이다(예를 들어, 위 도 2에서 그래프 참조). 온도가 제1 임계값 아래에 유지되고(블록 512에서 아니오), 프로세서 작업부하의 성능 요구량이 더 높은 동작점을 정당화할만큼 충분히 높게 유지(블록 514에서 예)되면, 오버클록킹은 계속될 수 있다(블록 510). 오버클록킹 프로세서 코어로부터 보고된 온도가 제1 임계값을 만족시키거나 초과하는 경우(블록 512에서 예) 또는 작업부하 요구량이 오버클록킹이 성능 이점을 제공하지 않는 점으로 감소(블록 514)하는 경우, 오버클록킹은 중단될 수 있다(블록 516). 오버클록킹이 제1 온도 임계값을 초과하는 것으로 인해 중단되는 경우(블록 512에서 예), 보고하는 코어의 강등(도 1 및 도 2에 대해 전술된 것)이 수행될 수 있다. 하나의 ACPI 호환 실시예에서, 이 강등은 P0 상태의 것의 90%인 클럭 주파수를 가지는 것으로 보고하는 코어의 동작점을 제한할 수 있다.

[0068] 도 5의 흐름도는 이것이 속하는 방법의 단일 반복을 도시한다. 그러나, 이 방법은 PNTC가 사용되는 프로세서의 동작 동안 필요한 횟수만큼 반복될 수 있다는 것이 주목된다.

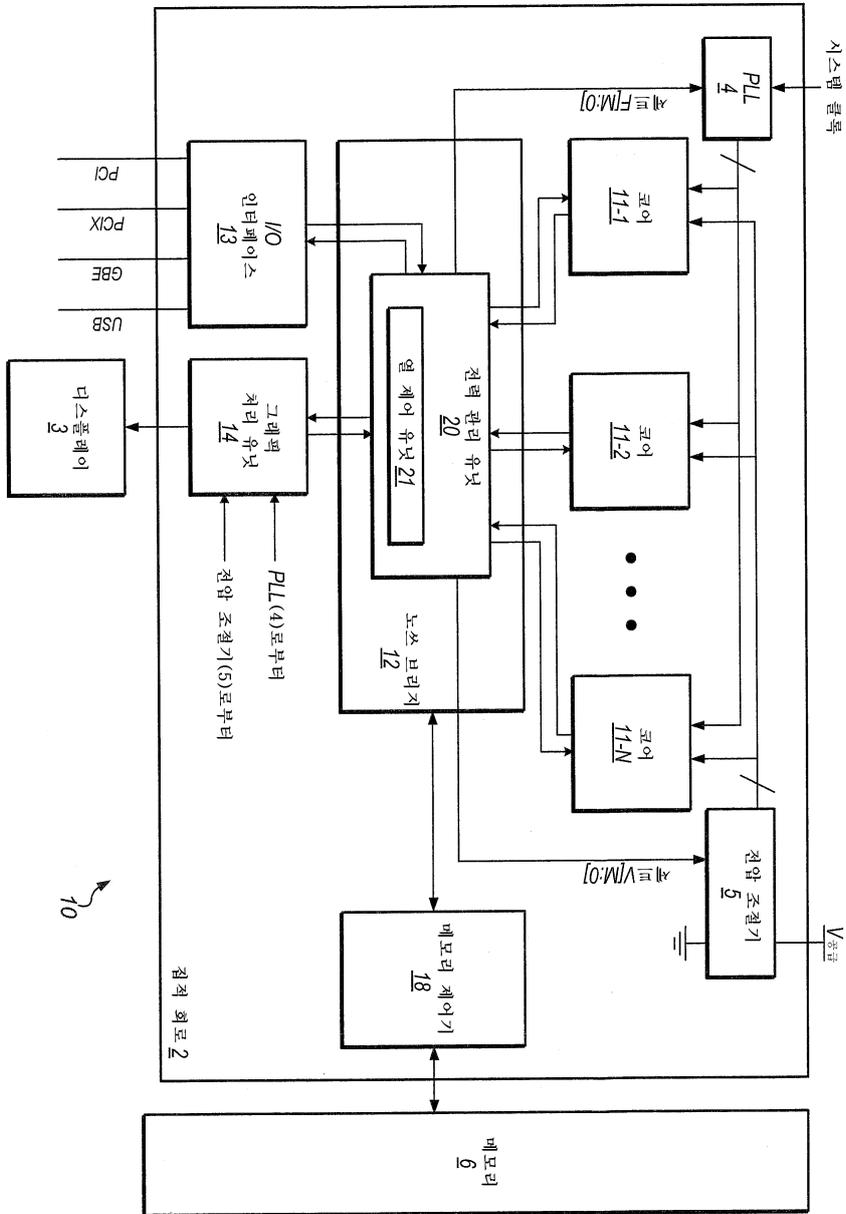
- [0069] 도 6은 동일한 프로세서에서 PNTC와 HTC 모두의 사용을 도시하는 흐름도이다. 도시된 실시예에서, 방법(600)은 다수의 프로세서 코어 각각에 대해 보고된 온도를 모니터링하는 것으로 시작한다(블록 602). 보고된 온도의 모니터링은 이들 값을 도 2의 그래프에 도시된 것과 같은 제1 및 제2 임계값과 비교하는 단계를 포함할 수 있다. IC 다이에 대해 보고된 온도가 제1 및 제2 임계값 중 어느 것보다도 크거나 같지 않은 경우(블록 604에서 아니오), 강등 또는 다른 전력 감소 조치가 온도 관독값에 응답하여 수행되지 않는다(블록 616). 그러나, 여러 프로세서 코어에 대한 각 동작점을 감소시키는 것은 감소된 작업부하 요구량에 응답하여 발생할 수 있다는 것이 주목된다. 이 동작점은 성능 요구량이 감소되는 프로세서 코어의 클럭 게이팅 및 전력 게이팅을 포함할 수 있다.
- [0070] 주어진 코어로부터 보고된 온도가 제1 온도 임계값을 만족시키거나 초과하지만(블록 604에서 예), 온도가 제2 온도 임계값을 만족시키거나 초과하는 것으로 코어가 보고하지 않는 경우(블록 606에서 아니오), 주어진 코어는 강등될 수 있고 제한된 동작점(예를 들어, P 상태)(블록 608)이 노드마다 열 제어(PNTC)를 수행할 때 사용될 수 있지만 제2 온도 임계값은 전체적으로 열 제어(HTC)를 수행할 때 사용될 수 있다.
- [0071] 일부 실시예에서, 동작점은 보고하는 코어에 대해서만 제한된다. 다른 실시예에서, 모든 코어는 보고하는 코어와 동일한 방식으로 동작점이 제한될 수 있다. 더 나아가, 일부 실시예는 동작점의 부분적인 제한을 허용할 수 있다. 예를 들어, 전압 면이 모든 코어에서 공유된 실시예에서, 모든 코어에 대한 동작 전압은 지정된 값(예를 들어, 도 1의 P0 상태에 대한 동작 전압의 90%)으로 제한될 수 있는 반면, 비보고하는 코어에 대한 클럭 주파수는 제한되지 않는다.
- [0072] 임의의 보고된 온도가 제2 온도 임계값을 만족시키거나 초과하는 경우(블록 606에서 예), 코어 동작점의 전체 강등 및 제한이 수행될 수 있다(블록 610). 도 2 및 표 1의 예를 다시 참조하면, 일 실시예에서, 모든 코어에 대한 동작점은 P0 상태의 클럭 주파수의 50%로 제한되는데, 즉 P3 상태에 대응하는 동작점으로 제한될 수 있다. 동작 전압은 P3 상태에 의해 지정된 것으로 유사하게 제한될 수 있다. P3 상태에 의해 지정된 것보다 더 큰 클럭 주파수에서 동작하는 이 프로세서 코어는 보고된 온도가 제2 온도 임계값 이상인 것에 응답하여 강등될 수 있다. P3 상태의 것 이하의 동작 전압과 클럭 주파수에서 동작하는 이 프로세서 코어는 각 동작점에서 계속 동작할 수 있으나, 이 코어는 모든 코어에 대한 동작점이 제한되어 유지되는 동안 P3 상태보다 더 높은 동작점으로 증가하는 것에 의해 증가된 작업부하 요구량에 응답하지 않을 수 있다.
- [0073] (PNTC를 사용하여) 하나의 프로세서 코어에 대해 또는 (전체적으로 적용된 HTC를 사용하여) 모든 프로세서 코어에 대해 동작점을 감소시킨 후에, 온도가 지속적으로 모니터링될 수 있다. 보고된 온도가 제1 및 제2 온도 임계값 미만이면(블록 612에서 아니오), 동작점 제한이 지속될 수 있다(블록 614). 모든 온도가 한계값 내에 있는 경우(블록 612에서 예), 프로세서 코어는 지정된 최대값 미만인 상태로 동작점을 제한함이 없이 각 성능 요구량과 각 국부 전력 한계값에 기초하여 동작될 수 있다.
- [0074] 그러나, 제1 또는 제2 온도 임계값 중 하나의 임계값 이상인 보고된 온도에 응답한 강등 조치에 후속하여, 동작점 제한이 IC의 추가적인 냉각을 허용하도록 이후 시간 동안 지속될 수 있다는 것이 주목된다. 이에 따라 제3 온도 임계값을 사용하는 일 실시예가 고려된다. 이 실시예에서, 제3 온도 임계값은 제1 또는 제2 온도 임계값 중 어느 하나의 임계값 미만일 수 있다. PNTC 또는 HTC 중 어느 하나를 사용하여 동작점 감소에 후속하여, 하나 이상의 처리 코어는 하나 이상의 보고된 온도가 제3 온도 임계값 미만으로 떨어질 때까지 지속적으로 제한될 수 있다. 예를 들어, 단일 코어가 제1 온도 임계값을 초과하는 온도를 보고하는 것에 응답하여 PNTC를 사용하여 동작점이 강등 및/또는 제한되면, 이 코어는 그 최대 보고된 온도가 제3 임계값 미만으로 떨어질 때까지 계속 동작점이 제한될 수 있다.
- [0075] 컴퓨터 액세스 가능한 저장 매체:
- [0076] 다음으로 도 7을 참조하면, 시스템(10)을 나타내는 데이터베이스(705)를 포함하는 컴퓨터 액세스 가능한 저장 매체(700)의 블록도가 도시된다. 일반적으로 말하면, 컴퓨터 액세스 가능한 저장 매체(400)는 명령 및/또는 데이터를 컴퓨터에 제공하도록 사용하는 동안 컴퓨터에 의해 액세스가능한 임의의 비 일시적인 저장 매체를 포함할 수 있다. 예를 들어, 컴퓨터 액세스 가능한 저장 매체(400)는 자기 매체 또는 광학 매체, 예를 들어, 디스크(고정식 또는 이동식), 테이프, CD-ROM, 또는 DVD-ROM, CD-R, CD-RW, DVD-R, DVD-RW, 또는 블루레이(Blu-Ray)와 같은 저장 매체를 포함할 수 있다. 저장 매체는 RAM(예를 들어, SDRAM(synchronous dynamic RAM), 더블 데이터 레이터(DDR, DDR2, DDR3 등), SDRAM, 저전력 DDR(LPDDR2 등) SDRAM, RDRAM(Rambus DRAM), SRAM(static RAM) 등), ROM, 플래시 메모리, USB(Universal Serial Bus) 인터페이스와 같은 주변 인터페이스를 통해 액세스 가능한 비휘발성 메모리(예를 들어, 플래시 메모리) 등을 더 포함할 수 있다. 저장 매체는 네트워크 및/또는 무선 링크와 같은 통신 매체를 통해 액세스가능한 저장 매체뿐만 아니라 MEMS(microelectromechanical systems)

를 포함할 수 있다.

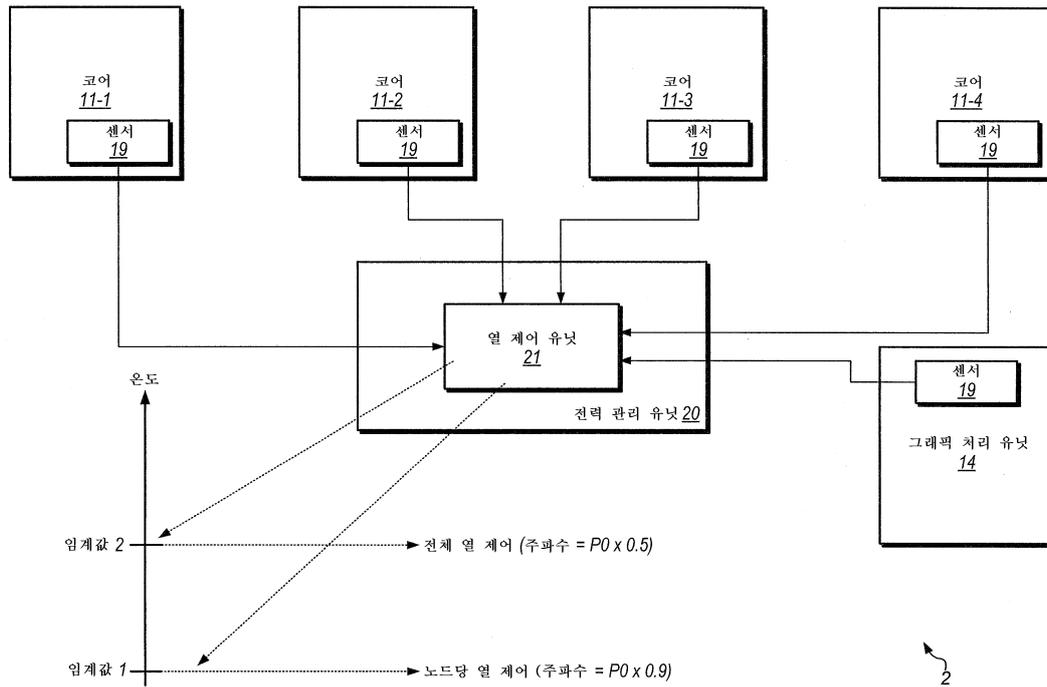
- [0077] 일반적으로, 컴퓨터 액세스 가능한 저장 매체(700)에서 운반되는 시스템(10)을 나타내는 데이터베이스(705)는 프로그램에 의해 관독될 수 있는, 그리고 시스템(10)을 포함하는 하드웨어를 제조하는데 직접 또는 간접 사용될 수 있는 데이터베이스 또는 다른 데이터 구조일 수 있다. 예를 들어, 데이터베이스(705)는 Verilog 또는 VHDL과 같은 하이 레벨 설계 언어(high level design language)(HDL)에서 하드웨어 기능의 동작 레벨 설명(behavioral-level description) 또는 레지스터 전달 레벨(RTL: register-transfer level) 설명일 수 있다. 이 설명은 합성 라이브러리(synthesis library)로부터 게이트의 리스트를 포함하는 네트리스트(netlist)를 생성하기 위해 설명을 합성할 수 있는 합성 도구에 의해 관독될 수 있다. 이 네트리스트는 시스템(10)을 포함하는 하드웨어의 기능을 또한 나타내는 게이트의 세트를 포함한다. 이 네트리스트는 마스크에 적용되는 기하학적인 형상을 설명하는 데이터 세트를 생성하도록 배치되고 라우팅될 수 있다. 마스크는 시스템(10)에 대응하는 반도체 회로 또는 회로들을 생성하기 위해 여러 반도체 제조 단계들에 사용될 수 있다. 대안적으로, 컴퓨터 액세스 가능한 저장 매체(700)에 있는 데이터베이스(705)는 원하는 대로 네트리스트(합성 라이브러리를 가지거나 없는) 또는 데이터 세트, 또는 그래픽 데이터 시스템(GDS) II 데이터일 수 있다.
- [0078] 컴퓨터 액세스 가능한 저장 매체(700)가 시스템(10)의 표현(representation)을 포함하지만, 다른 실시예는, 원하는 바에 따라, IC(2), 임의의 세트의 에이전트(예를 들어, 처리 노드(11), I/O 인터페이스(13), 전력 관리 유닛(20) 등), 에이전트의 부분(예를 들어, 열 제어 유닛(21) 등)을 포함하여 시스템(10)의 임의의 부분의 표현을 포함할 수 있다.
- [0079] 본 발명은 특정 실시예를 참조하여 설명되었으나, 본 실시예는 예시적인 것일 뿐 본 발명의 범위는 이로 제한되는 것은 아니라는 것이 이해될 수 있을 것이다. 전술된 실시예에 임의의 변형, 변경, 추가 및 개선이 가능하다. 이들 변형, 변경, 추가 및 개선은 이하의 특허청구범위에 상술된 본 발명의 범위 내에 있을 수 있다.

도면

도면1

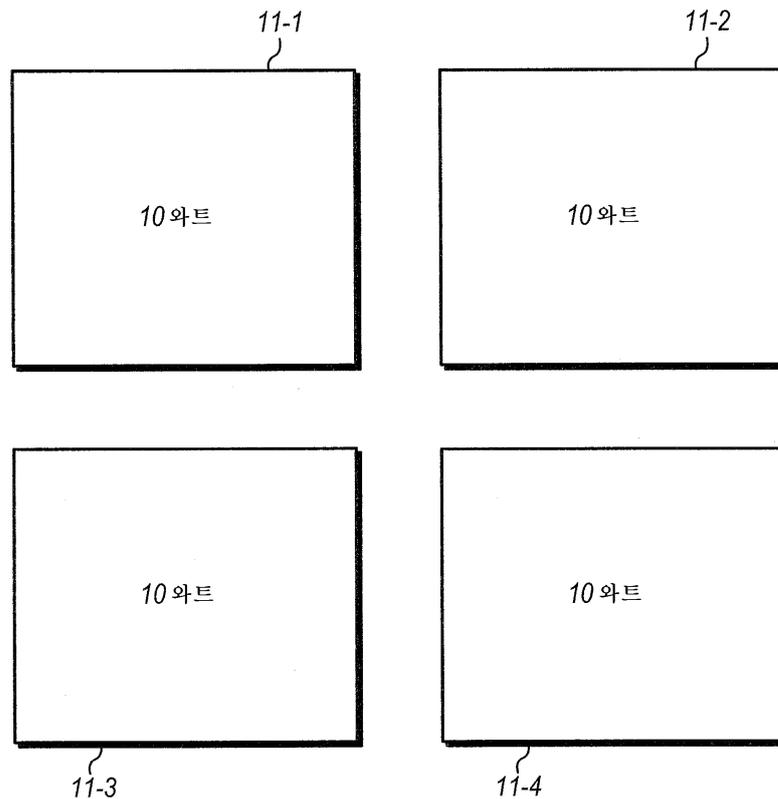


도면2



도면3a

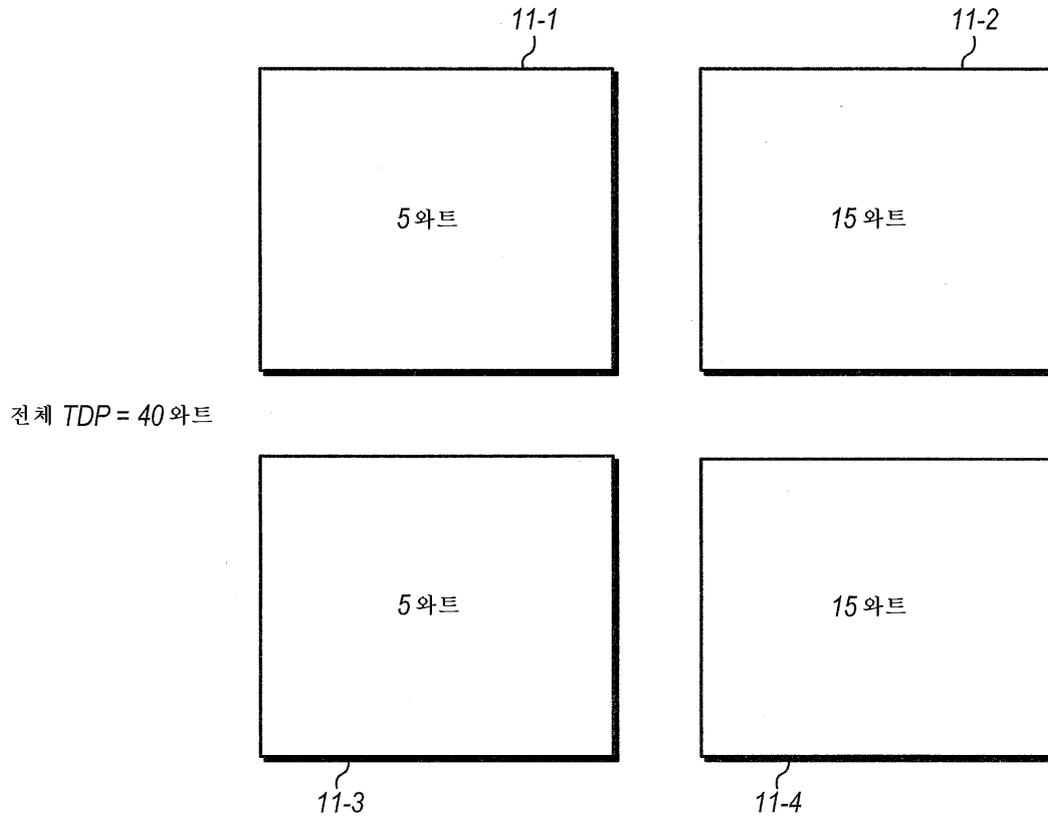
균일한 TDP 분배
 $F_{\text{기저}} = 2.0 \text{ GHz}$
 $F_{\text{승격}} = 3.2 \text{ GHz}$ (간헐적으로)



전체 TDP = 40와트

도면3b

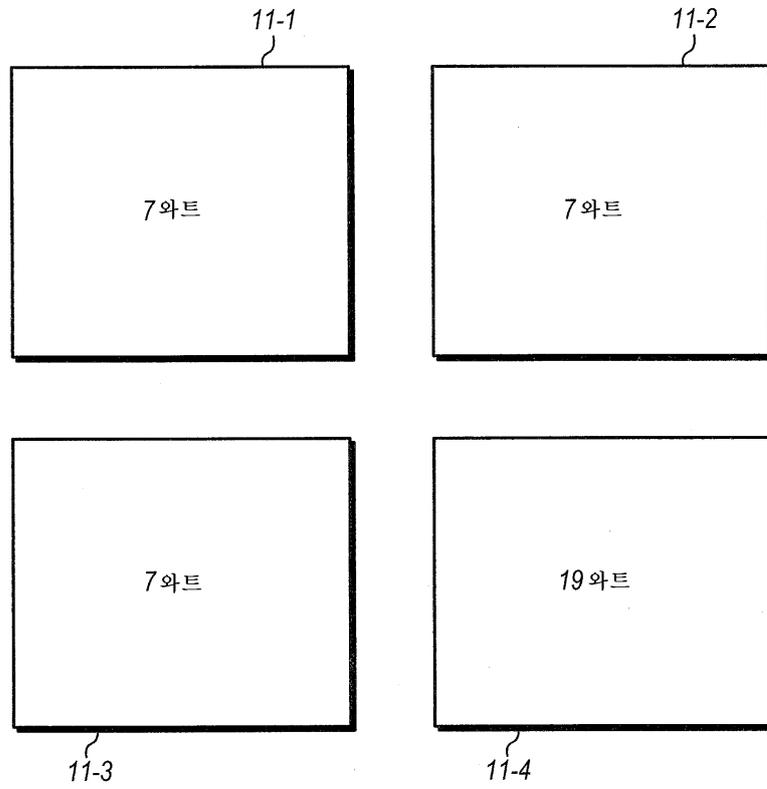
2개의 코어는 휴지, 2개의 코어는 활성
 $F_{max} = 3.2 \text{ GHz}$



도면3c

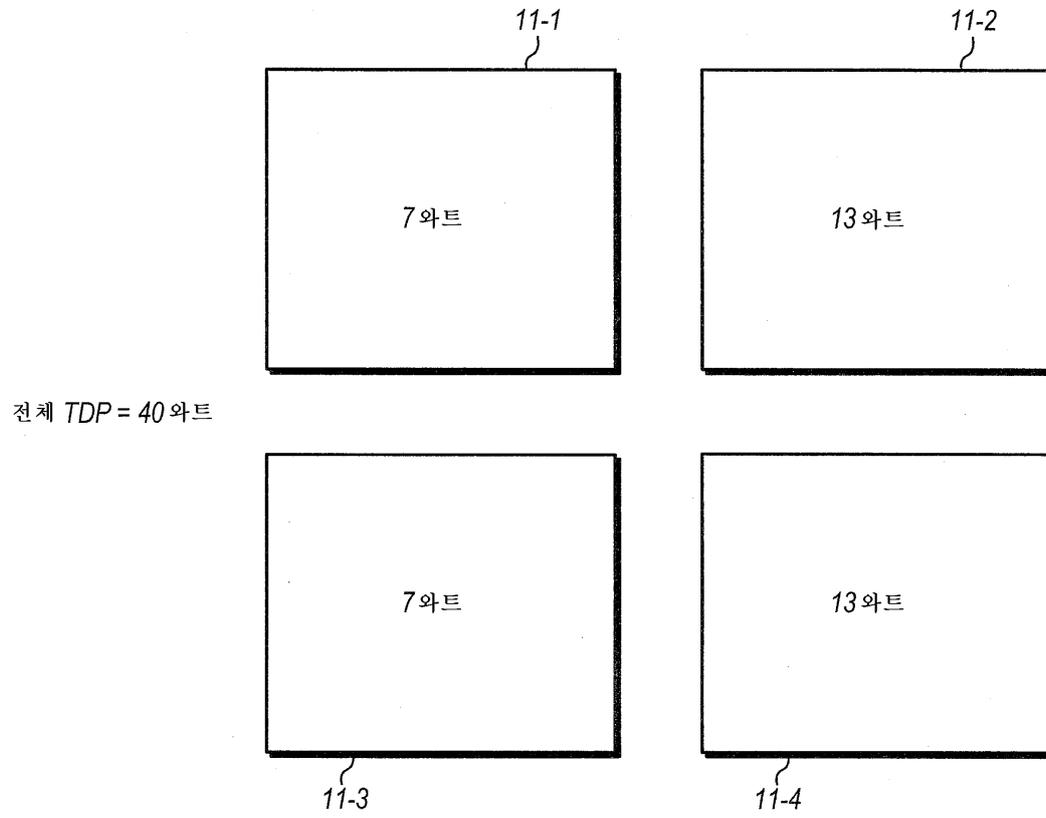
3개의 코어는 휴지, 1개의 코어는 활성
 $F_{max} = 3.6 \text{ GHz}$

전체 TDP = 40 와트



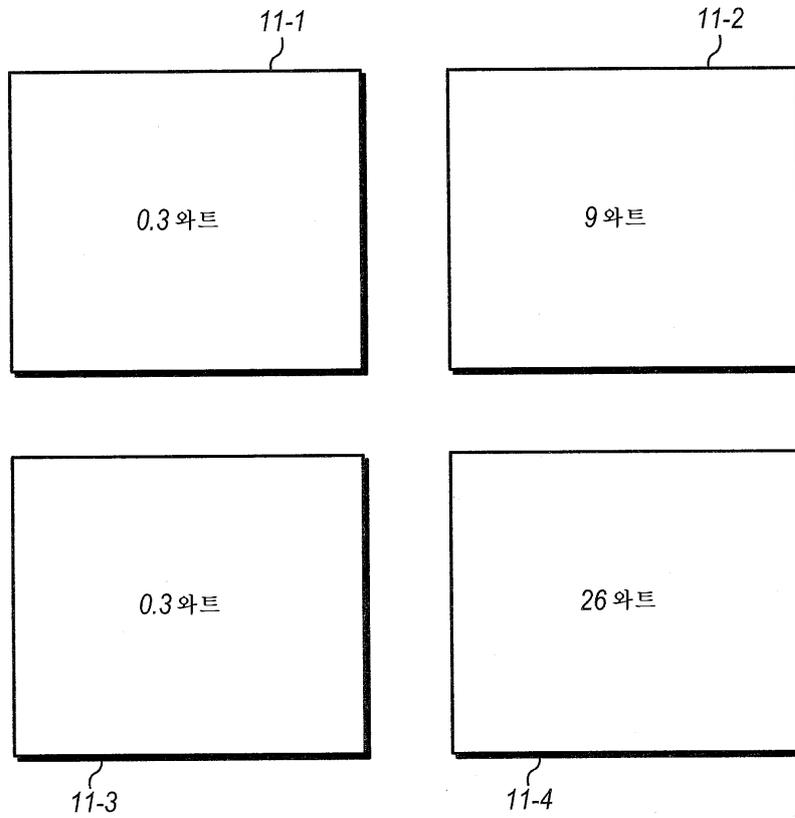
도면3d

2개의 코어는 휴지, 2개의 코어는 활성
 $F_{max} = 3.4 \text{ GHz}$



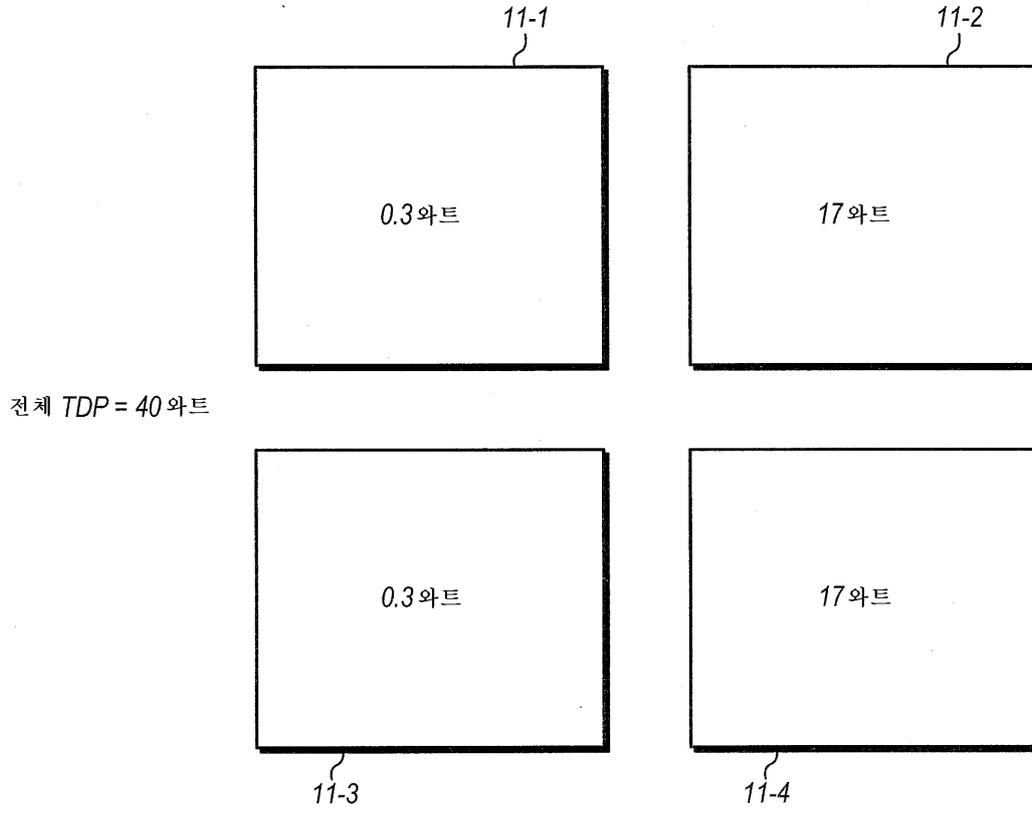
도면3e

2개의 코어는 전력 게이팅, 1개의 코어는 휴지, 1개의 코어는 활성
 $F_{max} = 3.9 \text{ GHz}$

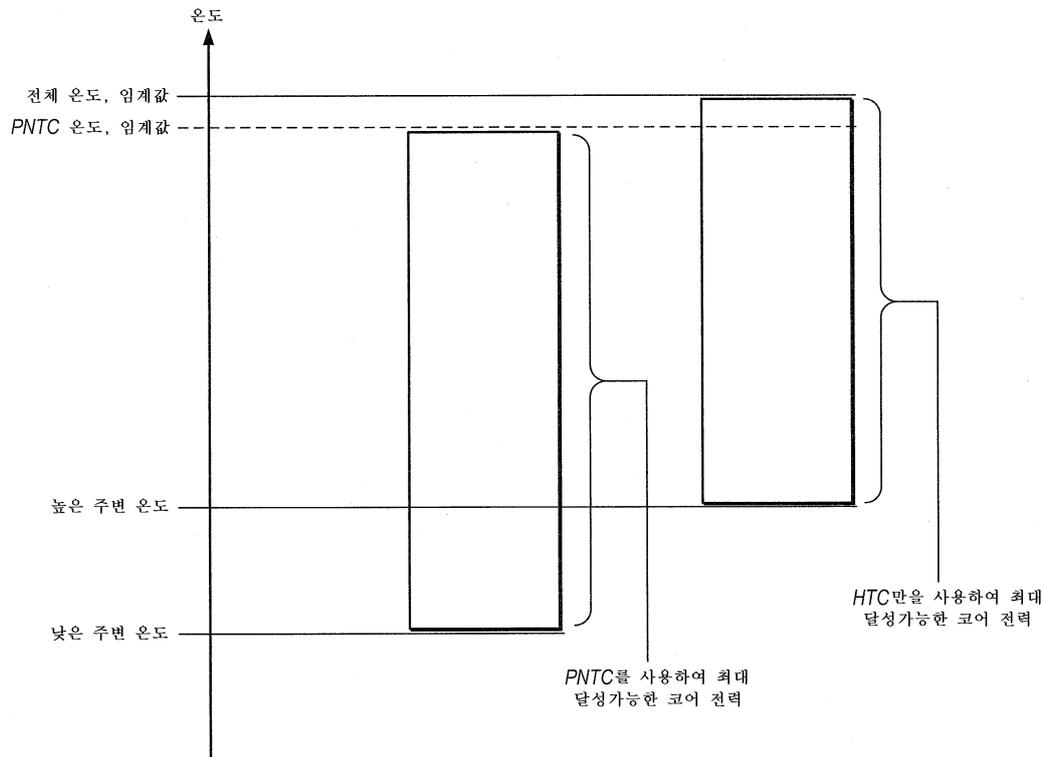


도면3f

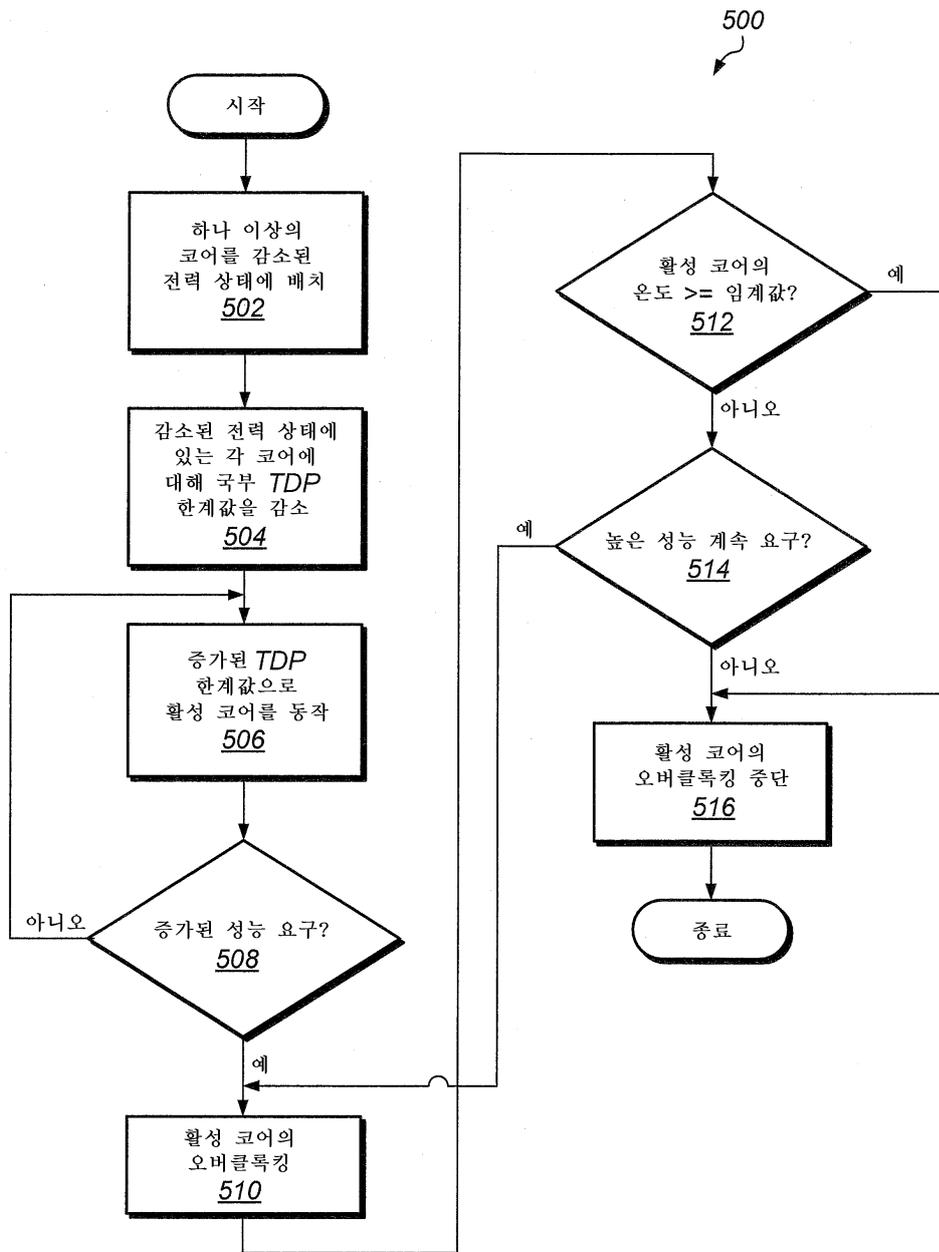
2코어는 전력 게이팅, 2개의 코어는 활성
 $F_{max} = 3.8 \text{ GHz}$



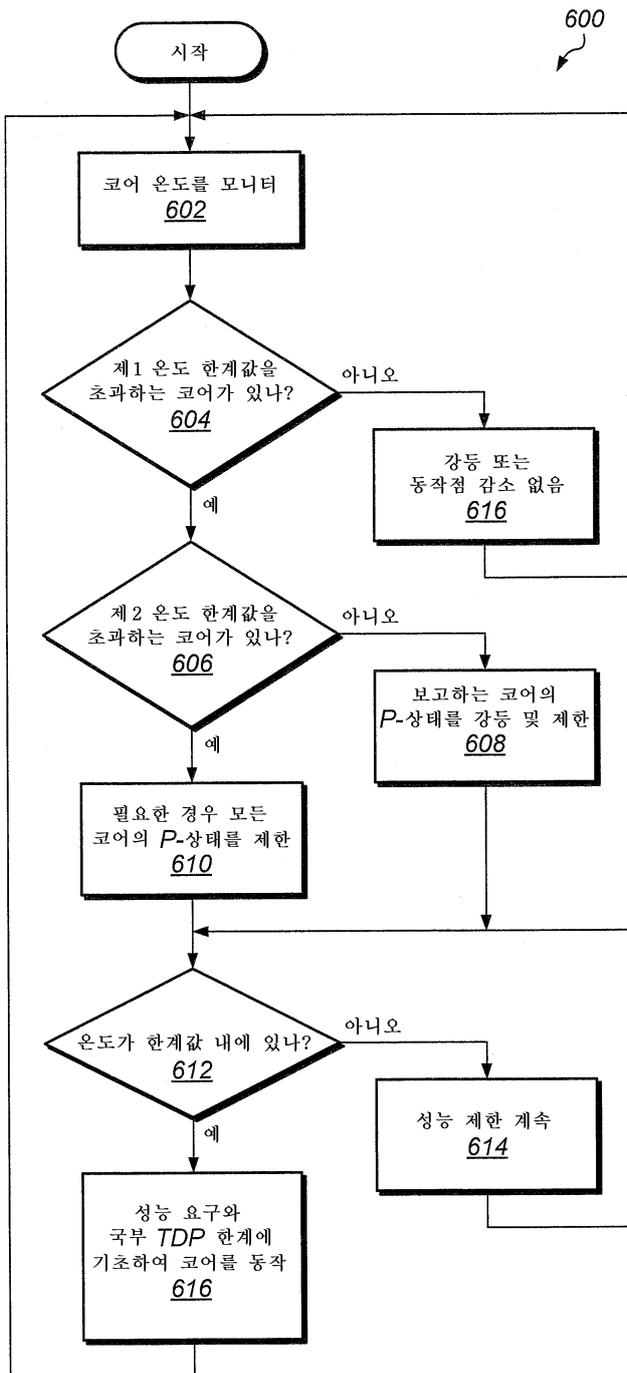
도면4



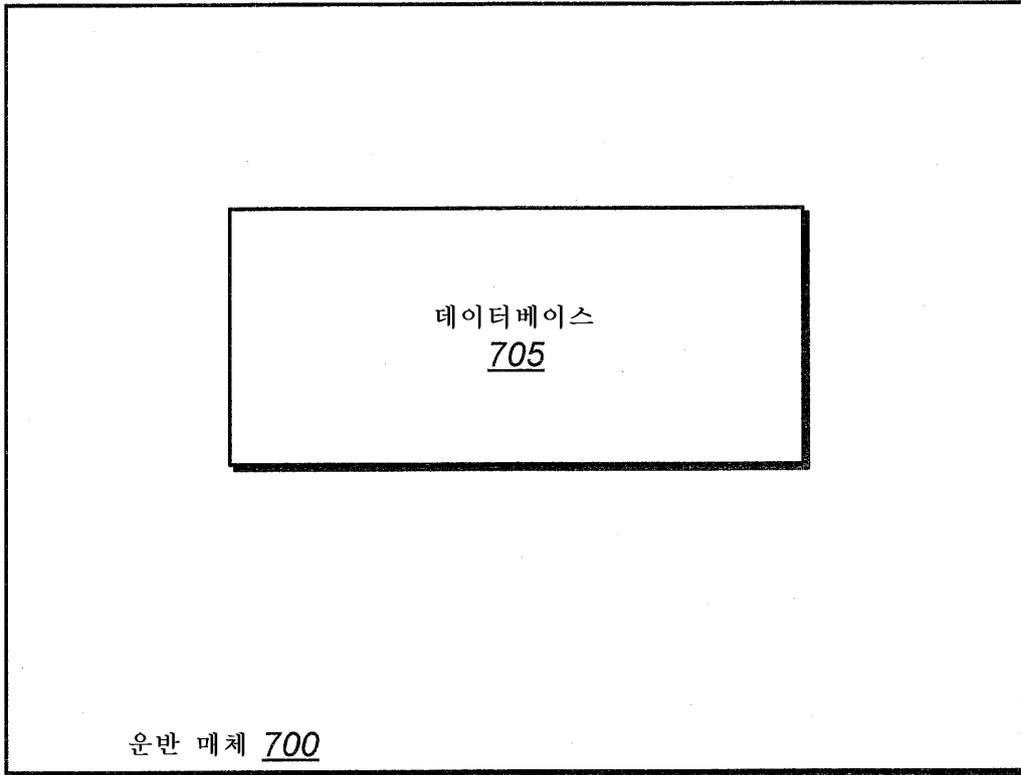
도면5



도면6



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제15항

【변경전】

제 1 주파수 한계값에서의 클록 주파수는

【변경후】

제 1 주파수 한계값에서의 제 1 클록 주파수는