

双面影印

公告本

申請日期	89. 3. 13
案 號	63104425
類 別	G11C 11/40

A4
C4

464862

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	記憶體裝置
	英 文	MEMORY DEVICE
二、發明人	姓 名	(1)西村幸一 (2)畠山淳
	國 籍	日 本
	住、居所	(1)(2)日本國神奈川縣川崎市中原區上小田中4丁目1番1號
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號
	代 表 人 姓 名	秋草直之

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權
1999.03.26 特願平願11-083618

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

本發明有關於一種記憶體裝置，其讀出放大器之啟動時間係經適當地控制者。

早期技藝之說明

第9圖係早期技藝之記憶體裝置之略圖。此早期技藝之記憶體裝置包含一存儲單元5，其中-NMOS電晶體7和電容器8係位於字線WL和位元線BL之交叉點處，一字線驅動機4，它回應列地址選通之列啟動信號ras而啟動字線WL，一讀出放大器3，它於存儲單元之讀取及寫出中讀出並放大位元線BL/ $\overline{BL}$ 之間之電位差，一延遲電路1它應用一特殊之延遲時間至列地址選通ras，並產生一門扣一賦能信號le，以及一升壓電路6，它自一外部電源電壓Vdd產生一升壓之電源電壓Vpp。

當一列地址選通ras係自cpu或記憶體控制器輸入至字線驅動機4時(圖中未顯示)，字線WL之電位升高，NMOS電晶體T開始導電，以及相當於電容器8內所捲持之資料之電壓係應用於位元線BL。

其次，此讀出放大器啟動信號lepx、lenz係在位元線BL/ $\overline{BL}$ 之間非常小電位差之發生之時間輸出，以及此讀出放大器係被啟動。此讀出放大器3讀取並放大位元線BL/ $\overline{BL}$ 之間之電位差。

第10圖係一早期技藝記憶體裝置中延遲電路1之示意圖。此延遲電路1包含反相器46、47、49、52、54、61、62，一反或電路51及電容器48、50、53、55以及一外部電源電壓Vdd係經供應作為反相器46、47、49、52、54、61、

五、發明說明（2）

62和反或電路51之驅動電源。

延遲電路1之延遲時間係設定至如此之一值，即一間隔WL-LE可以保持在字線WL之啟動定時和讀出放大器3之啟動定時之間。以此一方式吾人即可能來啟動此讀出放大器3於適當之時間於小電位差發生於位元線BL./BL之間時。

第11圖係延遲電路1之操作之定時圖。當列地址選通ras變為高位準時，字線驅動機4係經啟動如上文所述，以及字線WL之電位昇高。另一方面，此列地址選通ras係由延遲電路1內之反相器46所側反，並變成在節點n1處之信號，以及時間t1之延遲係由反相器47、49所應用，以及電容器48、50即變成在節點n2處之信號。

在節點n1處之信號以及在節點n2處之信號係輸入至反或電路51並變成在節點n3處之信號，以及時間t2之進一步延遲係由反相器52、54及電容器53、55所應用以變成在節點n4處信號。在節點n4處信號之波形係由反相器61、62所構形以變成門扣一賦能信號Le。當此一門扣一賦能信號之位準變成高時，此讀出放大器3係被啟動。在此一情況中延遲電路1之延遲時間係(t1+t2)。

第12圖顯示當外部電源電壓係小於升壓之電源電壓Vpp時在正常狀況下操作時儲存單元5之波形。當列地址選通ras係輸入時，字線WL之電位昇高。此升壓之電源電壓Vpp係應用於字線WL，因此字線WL之電位在一斜坡處上升。該斜坡相當於升壓之電源電壓Vpp之電壓位準

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

當字線WL之電位升高時，此記憶體5之NMOS電晶體7開始導電，以及電容器8之電荷係放電壓位元線BL。電容器8之充電電壓上之改變係由虛線所顯示。一電位差開始發生於位元線BL、BL之間於電荷係自電容器8放電時。

當字線WL之電位已上升之後，延遲電路1之延遲時間係經設定以與用於電位差所須要之時間一致，它可以由讀出放大器3放大以發生於位元線BL、BL內。此一時間係上文提及之間隔WL-LE。

當有一足夠之電位差在位元線BL、BL內時之定時處，此讀出放大器啟動信號 lep_x 、 len_z 係輸入至讀出放大器，以及此讀出放大器讀取並放大位之線BL、BL中之電位差。由於外電源電壓Vdd係應用於延遲電路1，故延遲電路1之延遲時間(t_1+t_2)就視外部電源電壓Vdd而改變。

一如上文所說明者，此升壓之電源電壓Vpp，它升高此外部電源電壓Vdd者，係應用於字線WL驅動機4，以及此字線WL係由此升壓之電源電壓Vpp所驅動。此係完成以使能使高電壓係應用於存儲單元5之NMOS電晶體7之閘極，俾使此NMOS電晶體7充分地導電。此外，為了要減少電力消耗，此單元步降電源電壓Viic，它係自外部電源電壓Vdd降下者，係以讀出放大之方式而應用於存儲單元5。

當此事發生時，升壓之電源電壓Vpp或單元步降電源電壓Viic係在記憶體裝置裡面所產生之正常電壓，故由於外部電源電壓Vdd之起伏之影響係很小。同時，用於記憶

五、發明說明（4）

體操作之必要WL-LE間隔係由升壓之電源電壓和單元步降電源電壓 V_{lic} 之電壓位準所決定，故即令是如果外部電源電壓改變它亦不改變。

另一方面，此外部電源電壓 V_{dd} 係供應至延遲電路1如第10圖內所示。有兩個主要原因該外部電源電壓 V_{dd} 係用作用於延遲電路1之電源以取代升壓電源電壓 V_{pp} 。

(1)升壓電路6之換流效率自外部電源電壓 V_{dd} 產生此升壓之電源電壓 V_{pp} 係30至50%，以及由於它較供應至負載一方之量消耗更多電力，自降低電力消耗量之觀點，吾人必須限制升壓電源電壓 V_{pp} 係供應之目的地。

(2)經常地應用一高電壓，諸如此升壓之電源電壓 V_{pp} 者，至延遲電路1之組件諸如反相器46者，由於較大應力電壓而將縮短組件諸如反相器46者之壽命，並因此而不是很理想。

此外部電源電壓 V_{dd} 因為上述理由在早期技藝中係供應至延遲電路1。在此一情況下，外部電源電壓 V_{dd} 之電壓位置就視所使用之外部電源之模式而易於改變，以及當外部電源電壓 V_{dd} 改變以變得高時，反相器46之信號振幅之斜度變為很陡而延遲電路1之延遲時間變成很短。

第13圖顯示當外部電源電壓 V_{dd} 變為較升壓之電源電壓 V_{pp} 較大時此存儲單元之操作波形。一如第13圖內所示，當外部電源電壓 V_{dd} 係設定為高時，延遲電路1之延遲時間變短，以及讀出放大器啟動信號 lep_x 、 len_z 之輸出定時變快，以及WL-LE間隔變得更短。當此發生時，此讀

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

出放大器3係在位元線BL,/BL之間可以產生足夠之電位差之前被啟動，並因此，此記憶體不能適當地操作。

一種方法係可行，其中此WL-LE間隔可以藉安裝用於延遲電路1之一經常電壓電源而不管外部電源電壓Vdd是否係變化。不過，此一方法因為它會增加記憶體裝置之電力消耗而不理想。

本發明之概述

本發明之目的係在提供一種記憶體裝置，它係具有能力保持必需之WL-LE間隔而不會增加電力消耗即令是如果此外部電源電壓Vdd改變時亦然。

上文提及之目的係藉提供一記憶體裝置而達成，它包含：

存儲單元經提供於字線和位元線之交叉部分處；

一字線驅動機接收一第一電源電壓用以回應於第一啟動信號而驅動此字線；

一延遲電路接收一第二電源電壓用以產生一第二啟動信號，此信號延遲第一啟動信號；

以及一讀出放大器，為回應第二啟動信號，用以放火自存儲單元所讀出之電壓；

其中此第二電源電壓係自第一電源電壓所產生。

本發明中，有一第一電源電壓係供應至字線驅動機，以及一第二電源電壓係供應至延遲電路。以及由於第二電源電壓係自第一電源電壓所產生，故延遲電路之延遲時間係就視第一電源電壓而定而非依據外部電源電壓。此外，

五、發明說明（6）

由於外部電源電壓之起伏，讀出放大器之致動定時並未變成更快，以及由於吾人可能要穩定地保持所要求之WL-WE間隔，吾人可能適當地操作此記憶體而不會在記憶體裝置之電力消耗上有增加。

此外，本發明之上文提及之記憶體裝置中之第二電源電壓係自一電晶體所產生，其中此外部電源電壓係供應至其汲極，以及第一電源電壓係供應至其閘極。

在本發明中，由於第二電源電壓係自一電晶體產生，其中此外部電源電壓係供應至其汲極以及第一電源電壓係供應至其閘極，吾人可能來保持係供應至延遲電路之第二電源電壓低於第一電源電壓減去電晶體之臨限電壓之值，即令當地外部電源電壓變成高時亦然。

此外，由於延遲電路之延遲時間變得較相當於第一電源電壓減去電晶體閾值後之值之時間更短，以及因為吾人可能要保持所須要之WL-LE間隔而不論外部電源電壓上之起伏如何，故吾人可能來適當地操作此記憶體而不會讓記憶體之電力消耗上有增加。

圖式之簡要說明

第1圖係本發明之記憶體裝置之一示意圖。

第2圖係本發明之讀出放大器和存儲單元之示意圖。

第3圖係一略圖，它解釋本發明之步升電路。

第4圖係本發明之字線驅動機之示意圖。

第5圖係本發明之延遲電路之示意圖。

第6圖係一定時圖，用於本發明之延遲電路之操作。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(7)

第7圖係本發明之讀出放大器啟動電路之示意圖。

第8圖係一略圖，顯示本發明之存儲單元之波形。

第9圖係早期記憶體裝置之示意圖。

第10圖係早期延遲電路之示意圖。

第11圖係用於早期延遲電路之操作之一定時圖。

第12圖係一略圖，它顯示在正常狀況下操作時早期存儲單元之波形。

第13圖係一略圖，它顯示早期存儲單元之波形。

較佳具體例之詳細說明

本發明之較佳具體例將以附圖為基準來作解釋。不過，此具體例係並不限制本發明之技術範圍。

第1圖係一示意圖，顯示本發明之一記憶體裝置，諸如一動態隨機存取記憶體DRAM。本發明之記憶體裝置包含：一存儲單元5有NMOS電晶體7和電容器8者，並位於一點，在此點字線WL交叉位元線BL，一字線驅動機4，它回應於列地址選通ras而啟動字線WL，一讀出放大器3，它放存儲單元5之讀/寫操作中讀取並放大位元線BL、BL之間之電位差，一延遲電路1，它藉應用一特殊之延遲時間至列地址選通ras而產生一接扣賦能信號le，一讀出放大器啟動電路2，它自接扣賦能信號le產生讀出放大器啟動信號lepx、lenz，以及一升壓電路6，它自外部電源電壓Vdd產生一升壓之電源電壓Vpp。

當一系列地址選通ras係自記憶體控制器(圖中未顯示)輸入至字線驅動機4時，此字線WL之電位升高，以及相當於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

電容器8內握持之資料之電壓係應用於位元線BL./BL。在此一時刻當一非常小之電位差發生於此位元線BL./BL內時，此讀出放大器致動信號lepx、lenz係被係啟動，以及此讀出放大器3讀出並放大位元線BL./BL之間之電位差。

第2圖係本發明之存儲單元5和讀出放大器3之示意圖。此存儲單元係以NMOS電晶體7和電容器8構成，它係放置在字線WL交叉位元線BL之一點處。用於面對單元之電極之一電極Vpc係應用於電容器8之一個電極。

此讀出放大器3係以PMOS電晶體11、12、13和NMOS電晶體14、15、16構成，以及它係以PMOS電晶體11之路徑連接至單元步降電源電壓Viic，並係以NMOS電晶體16之路徑接地線。此單元步降電源電壓Viic係一定電壓用以減少存儲單元5之電力消耗於儲存資料之同時，並係藉下降外部電源電壓Vdd而產生。

一預充電電路以及NMOS電晶體17、18、19構成者係經連接於位元線BL./BL之間，以及一預充電電壓Vpr係應用於連接此NMOS電晶體18、19之一點處。當此DRAM係在備用狀態中時，此NMOS電晶體17、18、19藉啟動(高位準)位元線控制信號brs而導電，以及此將短路此位元BL./BL，並藉應用此預充電電壓Vpr，此預定電操作係經實施。

當DRAM變成有效時，此位元線控制信號brs係被解除啟動(低位準)，以及轉移開控制信號by係經啟動(高位準)，此NMOS電晶體20、21變成可導電以及位元線BL./BL

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

變為連接至讀出放大器3。字線WL之電位隨後上升，以及相當於電容器8內所握持之資料之一電壓係應用於位元線BL/ $\overline{BL}$ 。

當非常小之電位差發生於位元線BL/ $\overline{BL}$ 之間之一時刻，讀出放大器啟動信號 lep_x 、 len_z 係輸入至PMOS電晶體11和NMOS電晶體16之閘極，以及此讀出放大器係經啟動。當係已啟動之後，此讀出放大器讀取並放大位元線BL/ $\overline{BL}$ 之間之電位差。

第3圖係一略圖，解釋本發明之升壓電路6。本發明之升壓電路6，如第3A圖中所示者，係以NMOS電晶體25、27和一電容器26所建造，其中NMOS電晶體25之汲極係連接至升壓電源電壓 V_{pp} ，以及NMOS電晶體27之源極係連接至升壓電源電壓 V_{pp} 。

一如第3B圖內所示，當信號A係在時間 t_{11} 時於NMOS電晶體25之閘極處輸入時，此NMOS電晶體變為導電，以及節點a變成相等於外部電源電壓 V_{dd} ，以及電容器係由外部電源電壓 V_{dd} 所充電。在時間 t_{12} 時，此信號A進行關斷，以及當一信號B，其振幅係相等於外部電源電壓 V_{dd} 之振幅者，係應用於電容器26時，節點a之電位變成大約 V_{dd} 之一倍。

其次，在時間 t_{13} 時，當一信號C係在NMOS電晶體27之閘極處輸入時，此NMOS電晶體27變成導電，以及節點a變為連接至升壓之電源線並升高此升壓之電源電壓 V_{pp} 。在時間 t_{14} 及 t_{15} 時，信號C和信號B進至關斷，以及升壓之電源電壓 V_{pp} 由於放電而下降，不過藉重覆地應用信號

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

A、B和C，吾人可能來保持此升壓之電源電壓 V_{pp} 正常不變。

第3C圖顯示外部電源 V_{dd} 和升壓之電源 V_{pp} 之間之關係。在本具體例之升壓電路6內，當外部電源電壓 $V_{dd}=2.5V$ 時，例如，此外部電源電壓 V_{dd} 係已昇高一階，以及升壓之電源電壓 $V_{pp}=3.5V$ 。顯示於第3C圖內之電壓 V_{dd2} 係驅動此延遲電路1之電壓，後文將予說明。

第4圖係本具體例之字線驅動機4之一示意圖。一如第4A圖內所示，此字線驅動機4係以一NMOS電晶體29和NMOS電晶體30所建造，其中NMOS電晶體29之汲極係連接至升壓之電源電壓(第一電源電壓) V_{pp} ，以及NMOS電晶體30之源極係連接至接地線。此外，在列地址選通`ras`之時刻，它係一解碼之選擇信號，此產生之信號 ϕ_r 和 ϕ_r' 係輸入至NMOS電晶體29和30之閘極。

當信號 ϕ_r 變高(高位準)時，此NMOS電晶體30導電，此升壓之電源電壓 V_{pp} 係應用於字線WL，此存錯單元之NMOS電晶體7導電，以及電容器18之資料電壓係由位元線BL所讀取。

第4B圖顯示一字線驅動機4之具有解碼器性能者，以及它係以PMOS電晶體31、33、35、37、39和NMOS電晶體32、34、38、40所建造。當信號 ϕ_r 係已啟動時，此升壓之電源電壓 V_{pp} 係應用於字線WL0至WL3，它係由解碼信號 ϕ_0 至 ϕ_3 所選擇，以及相當之資料電壓係由位元線BL讀取。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

另一方面，一如上文所說明者，為了要以讀出放大器3放大位元線BL₁/BL之電位差至用於記憶體操作所需要之一值，一充分之間隔(WL-LE)於字線WL之啟動時間和讀出放大器3之啟動時間之間必須予以保持。換言之，吾人必需使用間隔WL-LE係不因外部電源電壓V_{dd}中之起伏而減小，一如發生於早期技藝中者，並係必需要在藉存儲單元5內握持之電荷使一充分之電位差發生於位元線BL₁/BL之間之後以啟動此讀出放大器5。

在本發明之具體例之DRAM中，延遲電路1之延遲時間由於外部電源電壓V_{dd}之起伏係不容許變成較短，以及間隔WL-LE係充分地保持而與外部電源電壓V_{dd}之起伏無關。

第5圖係本發明之本具體例之延遲電路1之示意圖，本具體例之延遲電路1包含一延遲時間發生器70，它係以反相器46、47、49、52、54、56反或電路51，以及電容器48、50、53、55和NMOS電晶體45，其中此外部電源電壓V_{dd}係供應至其汲極，同時它供應一驅動電壓(第二電源電壓)V_{dd2}至延遲時間發生器70。此外，它包含一位準換器71，它係以PMOS電晶體57、59和NMOS電晶體58、60建造，它變換信號振幅自V_{dd2}至V_{dd}，以及波形成單元72，它係以反相器61、62所建造。

NMOS電晶體45之汲極係連接至外部電源電壓V_{dd}，以及此升壓電源電壓(第一電源電壓)V_{pp}係應用至其閘極。同時，此源極係連接至反相器46之電源接頭，並供應

五、發明說明 (12)

驅動電壓(第二電源電壓) V_{dd2} 至延遲時間發生器70。

在此一情況下，當外部電源電壓 V_{dd} 和NMOS電晶體45之臨限電壓 V_{th} 之和係較升壓之電源電壓 V_{pp} 為小時，延遲時間發生器70之驅動電壓 V_{dd2} 變為相等於外部電源電壓 V_{dd} 。另一方面，當外部電源電壓 V_{dd} 和臨限電壓 V_{th} 之和變成較升壓之電源電壓 V_{pp} 為大時，此驅動電壓 V_{dd2} 係以臨限電壓 V_{th} 小於升壓之電源電壓 V_{pp} 之一值。亦即為：

當 $V_{dd}+V_{th}<V_{pp}$ 時，那麼 $V_{dd2}=V_{dd}$ ，以及

當 $V_{dd}+V_{th}\geq V_{pp}$ 時，那麼 $V_{dd2}=V_{pp}-V_{th}$

外部電源電壓 V_{dd} 和升壓電源電壓 V_{pp} 之間之關係係顯示如第3C圖內如上文所提及者。

在本具體例之延遲電路1內，當驅動電壓 V_{dd2} 變為最大($V_{dd2}=V_{pp}-V_{th}$)時，此延遲時間(t_1+t_2)係設定至間隔WL-LE所需要之最小之值。

因此，正常地當外部電源電壓係較升壓之電源電壓 V_{pp} 為小如第3C圖內所示時，此驅動電壓 $V_{dd2}=V_{dd}$ ，以及此延遲時間(t_1+t_2)變為較相當於當 $V_{dd2}=V_{pp}-V_{th}$ ，以及此延遲時間(t_1+t_2)變為較相當於當 $V_{dd2}=V_{pp}-V_{th}$ 時值要長。此外，連同係可能來充分地保持此所要之間隔WL-LE，一低驅動電壓係應用於反相器46，俾使反向器46之壽命係不會被縮短。

另一方面，當此外部電源電壓 V_{dd} 係較此升壓之電源電壓為大時，那麼此驅動電壓 V_{dd2} 係受限於 $V_{pp}-V_{th}$ 之一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(13)

值如第3C圖內所示，以及延遲時間(t_1+t_2)不會變為較上文提及之設定值為更短。此外，連同係可能以保持所須要之間隔WL-LE，此升壓之電源電壓Vpp係應用此NMOS電晶體45之閘極，因此升壓電路6之電力消耗不會增加。

以此一方式，本具體例之此延遲電路1使其可能來充分地啟動此讀出放大器3於適當之時間於一極小之電位差發生於位元線BL、BL之間，而勿關於此外部電源電壓Vdd如何起伏，以及延遲時間(t_1+t_2)不會變成較所須要之間隔WL-LE為短。

第6圖係本具體例之延遲電路1之操作之一定時圖。當此列地址選通ras係低(L位準)時，節點n11和n2係藉反相器46、47、49而形成為高(H位準)，以及節點n3和n4係藉反或電路51而反相並變低(L位準)，同時，位準變換器71之NMOS電晶體60導電，因此節點n5變為低(L位準)，以及此門扣賦能信號'le'之係供應至讀出放大器啟動電路2者變低(L位準)。當此發生時，字線驅動機4和讀出放大器3兩者係無效。

當列地址選通'ras'變高(H位準)時，此字線驅動機4係經啟動，以及字線之電位升高。另一方面，當列地址選通'ras'係由延遲電路1之反相器46所反相時，節點n1變低(L位準)。在節點n1處之信號係以時間t1在反相器47、49以及電容器48、50處被延遲，以變為在節點n2處之信號，以及連同在節點n1處之信號係輸入至反或電路51，並變成在節點n3處之信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

在節點n3處之信號係進一步地以時間t2在反相器52，54及電容器53、55處被延遲，並變成在節點n4處之信號。在節點n4處之信號係在位準變換器71之NMOS電晶體58之閘極處輸入，以及它係由反相器56所反相並隨後在NMOS電晶體60之閘極處輸入列地址選通'ras'之信號位準係外部電源電壓Vdd，不過，在節點n1至n4處之信號位準係Vdd2。

此位準變換器71，為了要匹配下一階段之讀出放大器放動電路2之信號位準，變換延遲時間發生器70之信號位準至外部電源電壓Vdd。在節點n5處之信號有如同在節點n4處之信號之相同定時，以及它們係由反相器61、62所形成以變成外部電源電壓Vdd之閘扣賦能信號'le'。

第7圖係本具體例之讀出放大器啟動電路2之一示意圖。本具體例之讀出放大器啟動電路2係以反相器65、66、67所建造，並輸出放大器啟動信號'lenz'，它係與自延遲電路1輸入之閘扣賦能信號'le'在同一相位中，以及另一啟動信號'lepx'有相反之相位，並啟動此讀出放大器3。

第8圖係一略圖，顯示當外部電源電壓Vdd係較升壓之電源電壓Vpp為大時存儲單元5之操作波形。當此列地址選通'ras'係輸入時，字線WL之電位升高。一如上文所提及者，此升壓之電源電壓Vpp係應用於字線WL，因此字線WL之電位以一相當於升壓電源電壓Vpp之電壓位準之一斜度升高。

當字線WL之電位升高時，存儲單元5之NMOS電晶體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(15)

7導電，以及由電容器8所握持之電荷係放電至位元線BL。虛線顯示電容器8之充電電壓上之改變。當由電容器8所提持之電荷係經放電時，位元線BL/ $\overline{BL}$ 之間之電位差即開始發生。當此發生時，位元線BL/ $\overline{BL}$ 之電位上昇高之斜度就視單元步降電源電壓 V_{ic} 而定，它係藉讀出放大器3之路徑而應用至存儲單元5。

當字線之電位業已昇高之後，此讀出放大器啟動信號'lenz'、'lepz'係於位元線BL/ $\overline{BL}$ 之間有足夠電位差時之時刻輸入至讀出放大器3，此一間隔WL-LE係由延遲電路1之延遲時間(t_1+t_2)來設定。

驅動電壓Vdd2係應用至本具體例之延遲電路1之延遲時間發生器70。如上文所述，此驅動電壓Vdd2係保持在相等於或小於 $V_{pp}-V_{th}$ 之值(V_{th} 係NMOS電晶體45之臨限電壓)即令當外部電源電壓Vdd變為較升壓電源電壓 V_{pp} 為大時亦然，以及延遲電路1之延遲時間(t_1+t_2)不會變為較相當於 $V_{pp}-V_{th}$ 之時間為短。

此外，吾人可能來保持此用於記憶體操作所須要之間隔WL-LE，並以啟動此讀出放大器3於適當之時間，以便能實施精確之記憶體操作，而無關於外部電源電壓Vdd上之起伏。

本具體例之升壓電路6係如此建造，即它供應一經常升壓之電源電壓 V_{pp} ，不過，由於製造方法上之變化，那係可能使升壓之電源電壓 V_{pp} 之設定值可位移。字線WL之電位上昇之斜度就視升壓之電源電壓 V_{pp} 而定，因此，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 記憶體裝置)

一種記憶體裝置有存儲單元在字線和位元線之交叉部分，一字部驅動機用以回應於第一致動信號而驅動字線，一延遲電路用以產生延遲第一致動信號之第二致動信號，以及一讀出放大器，為回應於第二致動信號，用以放大自存儲單元所讀取之電壓者，包含：一第一電源電壓，它係供應至字線驅動機者，以及一第二電源電壓，它係供應至延遲電路者，此處第二電源電壓係自第一電源電壓所產生。

在本發明中，有一第一電源電壓係供應至字線驅動機，以及一第二電源電壓係供應至延遲電路。以及由於第二電源電壓係自第一電源電壓所產生，故延遲電路之延遲時間係視第一電源電壓而不依賴外部電源電壓而定。此外，由於外於電源電壓之起伏，讀出放大器之致動定時並未變成更快，以及由於吾人可能要穩定地保持所要求之WL-L_E間隔，吾人可能適當地操作此記憶體而不會在記憶體裝置之電力消耗上有增加。

英文發明摘要(發明之名稱： MEMORY DEVICE)

A memory device having memory cells at cross sections of word lines and bit lines, a word-line driver for driving the word lines in response to a first activation signal, a delay circuit for generating a second activation signal that delays the first activation signal, and a sense amp for amplifying the voltage read from the memory cell in response to the second activation signal, comprises: a first power-supply voltage that is supplied to the word-line driver, and a second power-supply voltage that is supplied to the delay circuit, where the second power-supply voltage is generated from the first power-supply voltage.

In the present invention, there is a first power-supply voltage that is supplied to the word-line driver, and a second power-supply voltage that is supplied to the delay circuit. And since the second power-supply voltage is generated from the first power-supply voltage, the delay time of the delay circuit is depending on the first power-supply voltage, but does not depend on the external power supply voltage. In addition, the activation timing of the sense amp does not become faster due to fluctuations of the external power-supply voltage, and since it is possible to stably maintain the required WL-L_E interval, it is possible to operate the memory properly without an increase in power consumption of the memory device.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種記憶體裝置，包含，

存儲單元提供在字線和位元線之交叉部分；

一字線驅動機，為回應於第一啟動信號，接收一第一電源電壓用以驅動此字線；

一延遲電路，接收一第二電源電壓，用以產生延遲此第一啟動信號之一第二啟動信號；

以及一讀出放大器，為回應於第二啟動信號，用以放大自存儲單元讀出之電壓；

其中此第二電源電壓係自第一電源電壓的產生。

2. 如申請專利範圍第1請求項之記憶體裝置，其中該第一電源電壓係藉升壓此外部電源電壓所產生。

3. 如申請專利範圍第1請求項之記憶體裝置，其中該第二電源電壓係以一電晶體所產生，在其中一外部電源電壓係供應至其汲極，以及該第一電源係供應至其閘極。

4. 如申請專利範圍第2請求項之記憶體裝置，其中延遲電路之延遲時間大體上就視第二電源電壓而定，而與外部電源電壓之變化勿關。

5. 如申請專利範圍第3請求項之記憶體裝置，其中延遲電路之延遲時間包括一串聯之反相器和電容器，該反相器係供應以第二電源電壓作為其電源。

6. 如申請專利範圍第4請求項之記憶體裝置，其中延遲電路之延遲時間另包括一電壓位準變換器，用以變換串聯之反相器和電容器之輸出之電壓位準成為外部電源電壓位準。

(請先閱讀背面之注意事項再填寫本頁)

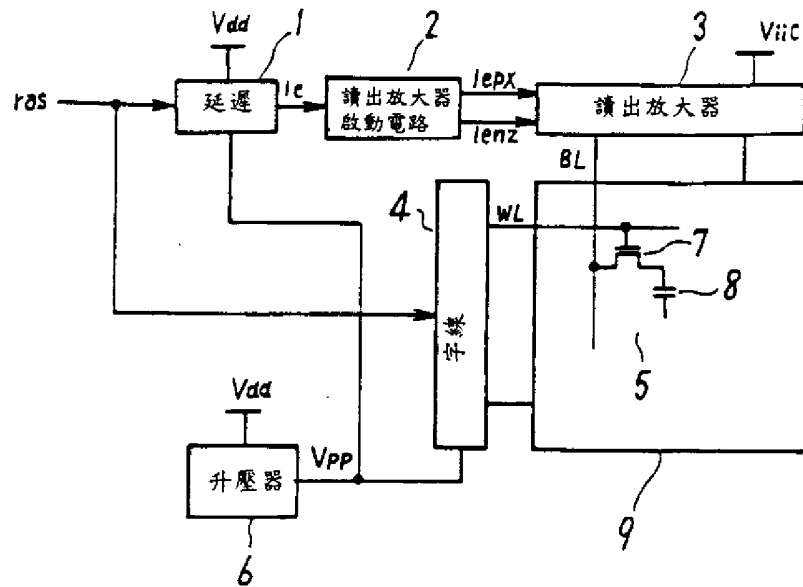
裝

訂

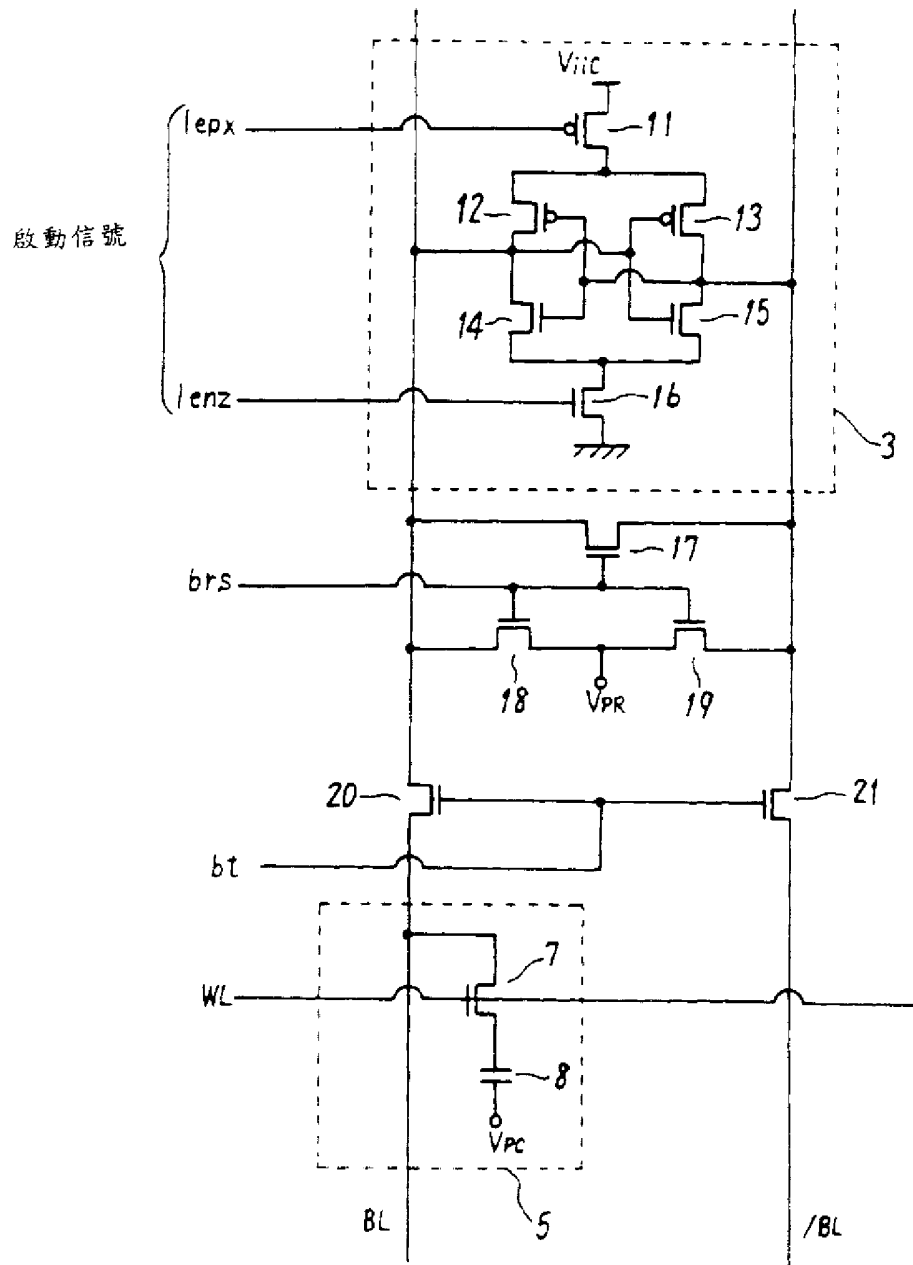
線

第 1 圖

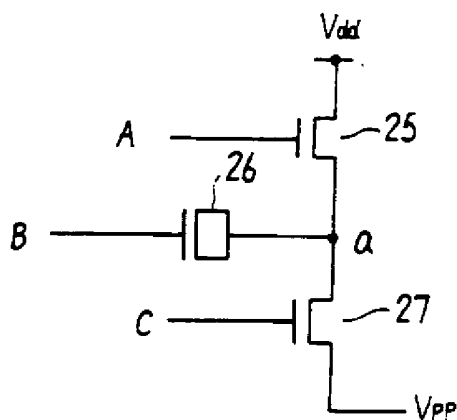
記憶體裝置結構



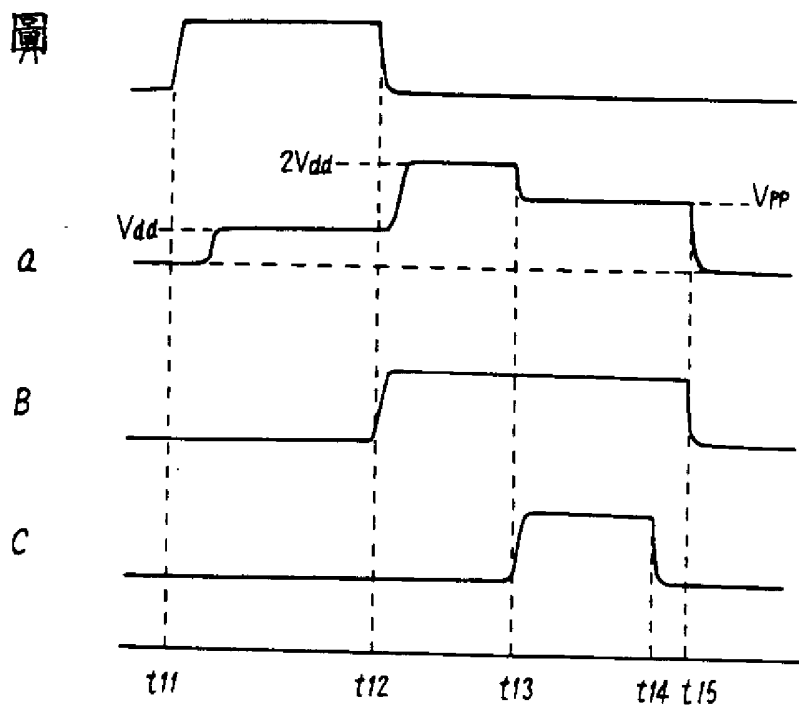
第 2 圖



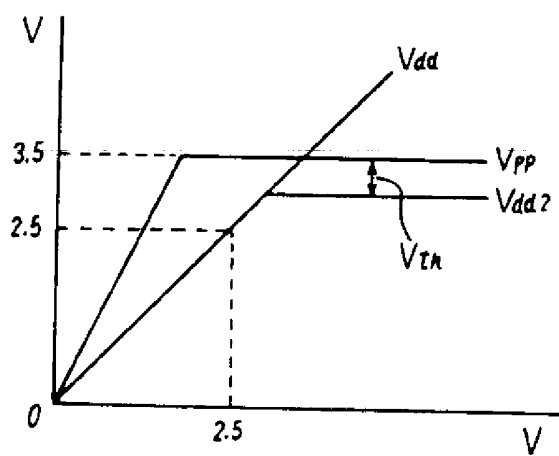
第 3A 圖



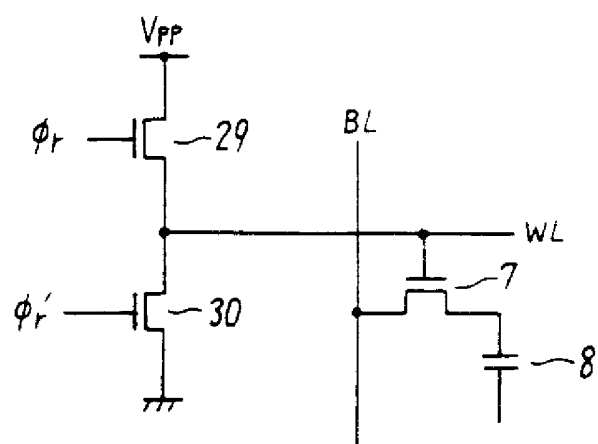
第 3B 圖



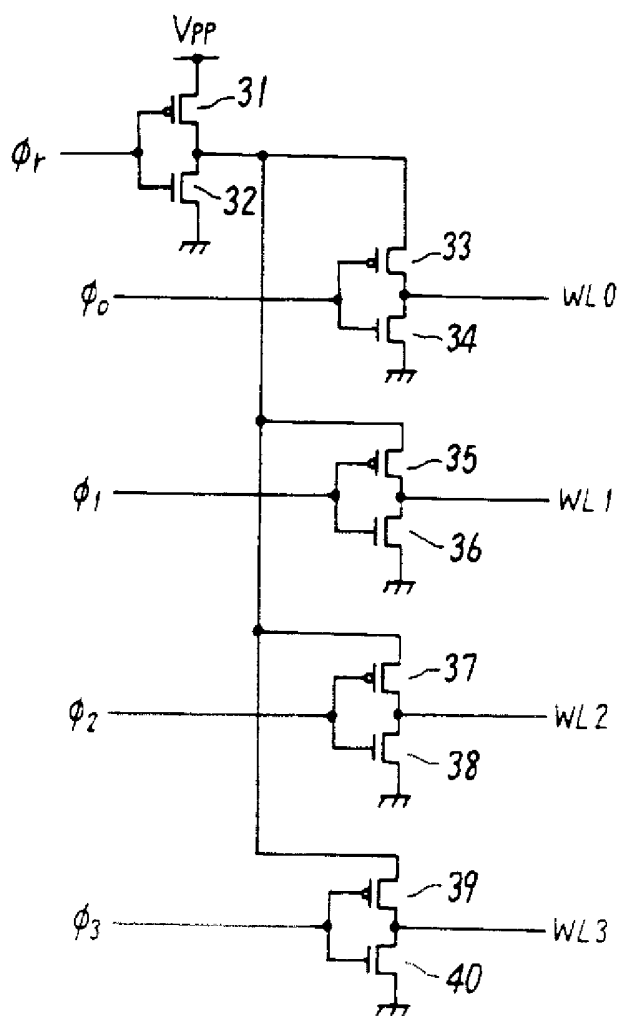
第 3C 圖



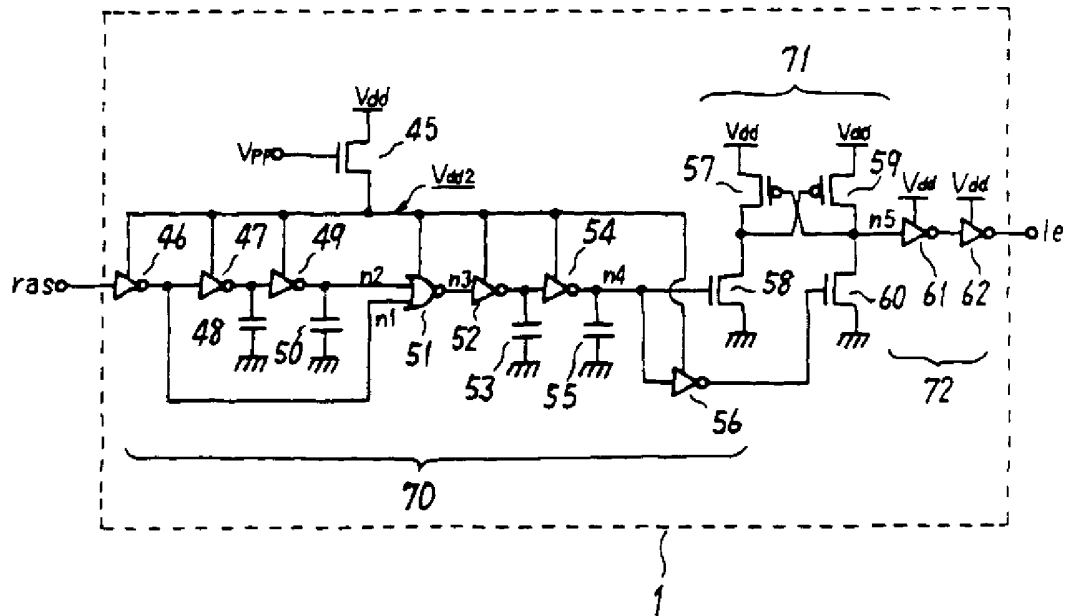
第 4A 圖



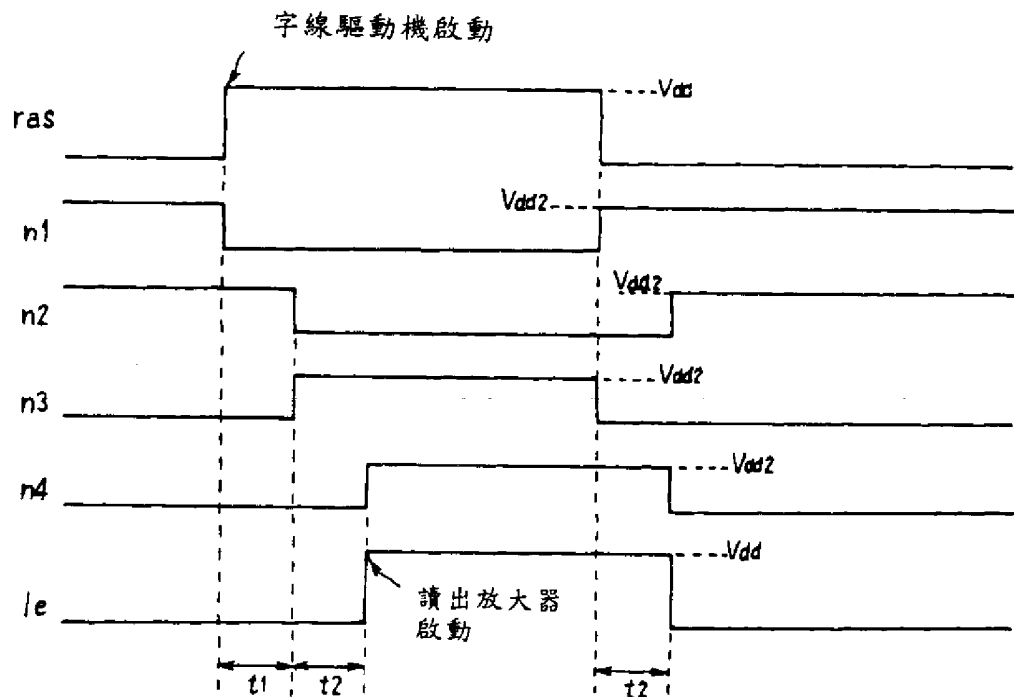
第 4B 圖



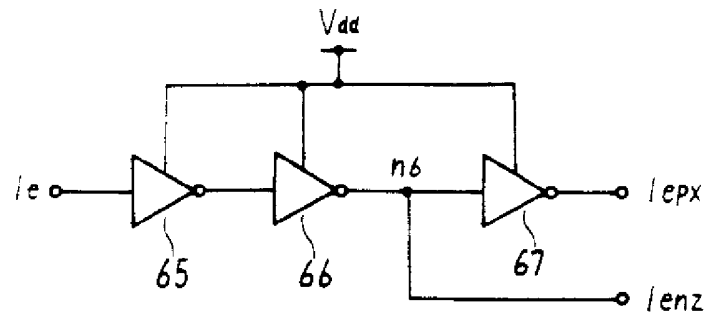
第 5 圖



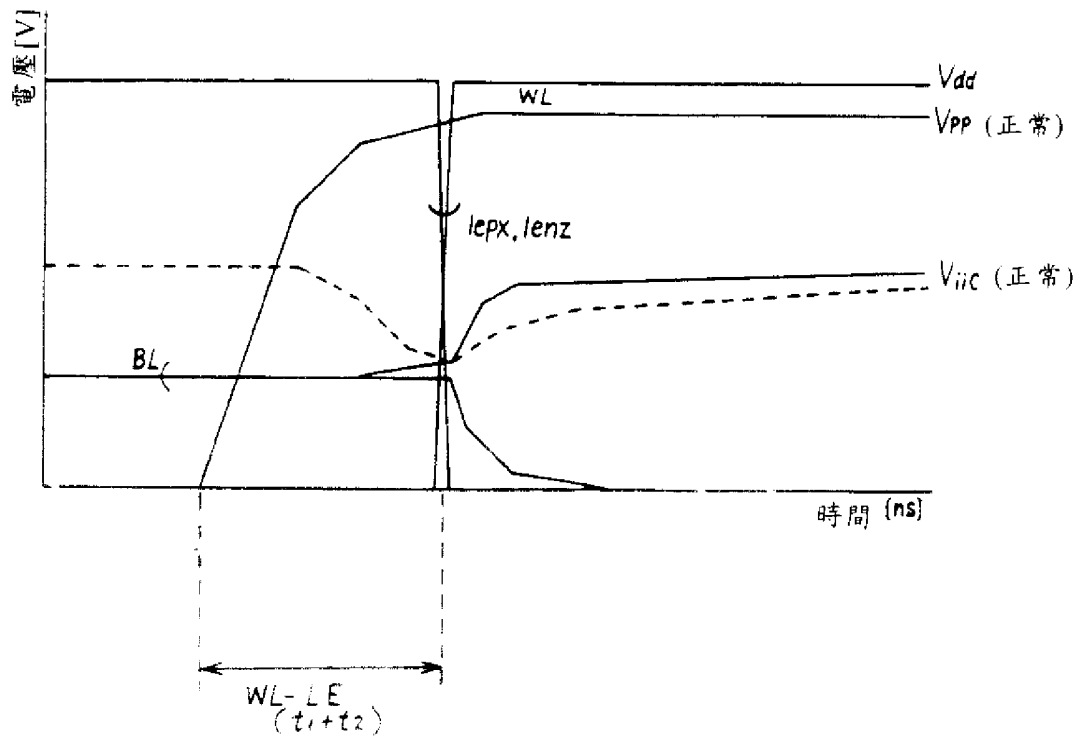
第 6 圖



第 7 圖

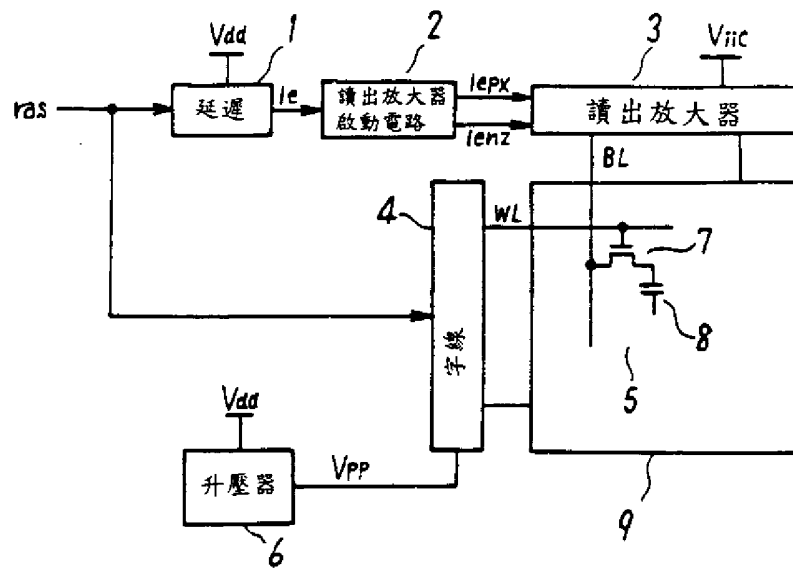


第 8 圖



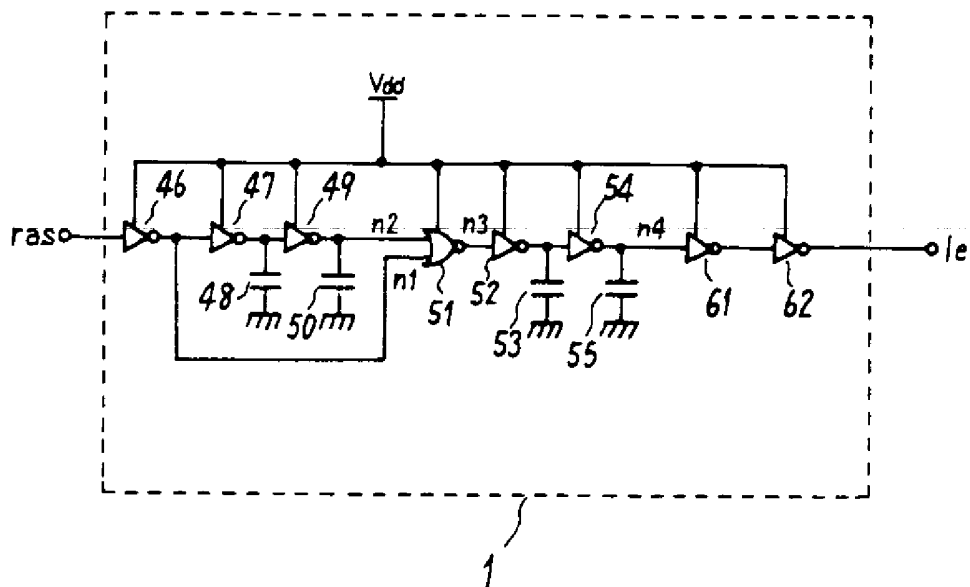
第 9 圖

記憶體裝置結構

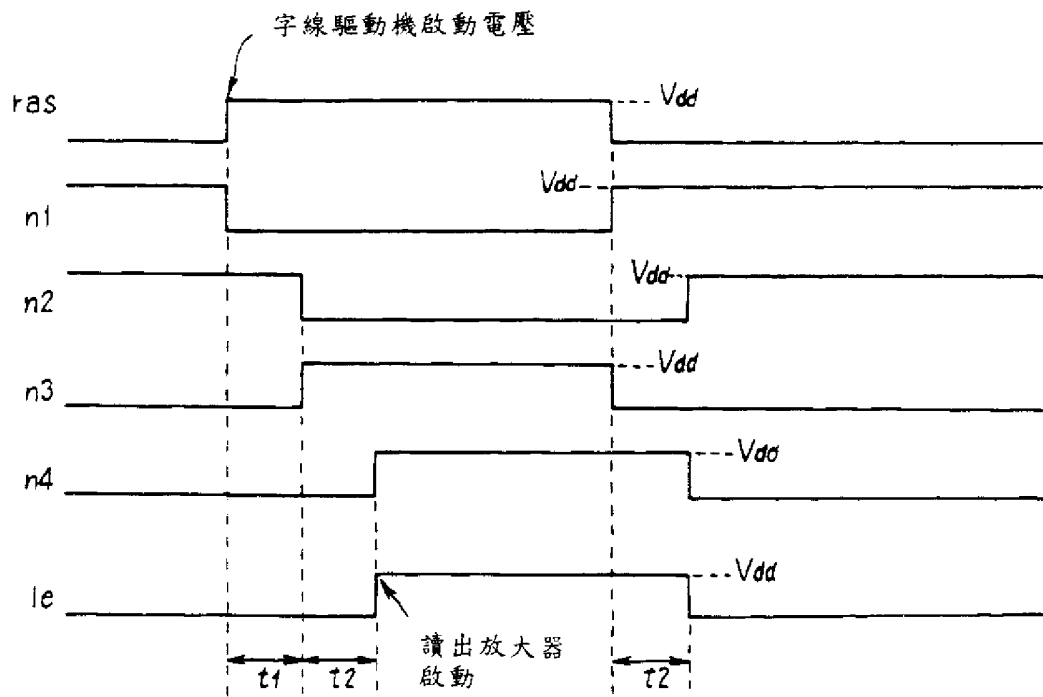


第 10 圖

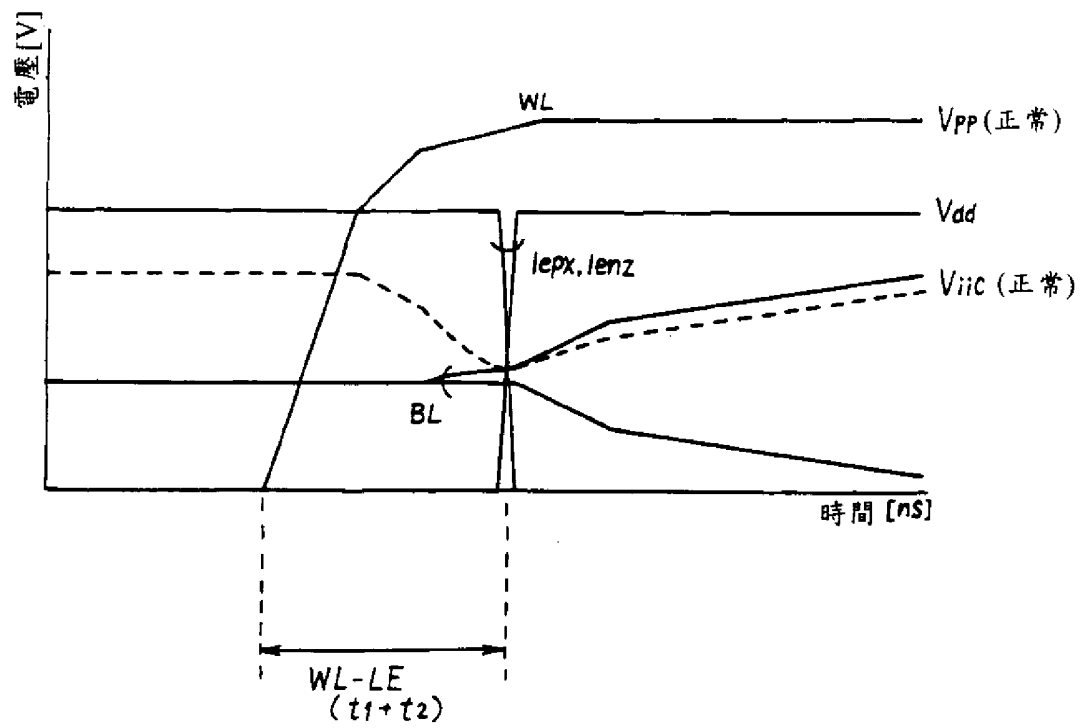
早期技藝



第 11 圖



第 12 圖
 $V_{dd} < V_{pp}$



第 13 圖

$V_{dd} > V_{pp}$

