(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 5/14

(45) 공고일자 1999년08월16일
(11) 등록번호 10-0216033
(24) 등록일자 1999년05월26일

(21) 출원번호	10-1995-0021040	(65) 공개번호	특1996-0005602
(22) 출원일자	1995년07월18일	(43) 공개일자	1996년02월23일
(30) 우선권주장	94-165614 1994년07월18일 일본(JP)		

(73) 특허권자 미쓰비시덴키 가부시키가이샤 다니구찌 이찌로오, 기타오카 다카시
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고
(72) 발명자 후루타니키요히로
일본국 효고 이따미시 미즈하라 4쪼메 1반찌 미쓰비시 덴끼 가부시끼가이샤 울트라 엘에스아이 카이하쓰 켄큐쇼
(74) 대리인 이화익

심사관 : 홍성표

(54) 저소비전력으로 안정되게 낮은 전원전압하에서 동작하는 반도체기억장치

요약

저소비 전력으로 안정되게 동작하는 반도체 기억장치를 제공한다.

본 반도체 기억장치는 내부 전원전압을 강압하여 제1 및 제2의 내부 전원전압을 생성하는 내부 전원전압 발생회로(4)와, 외부 전원전압에서 차지펌프 동작에 의해 고전압을 생성하는 Vpp 발생회로(5) 및, 외부 전원전압에서 차지펌프 동작에 의해 부전압을 발생하는 Vbb 발생회로(3)를 구비한다.

제1의 내부 전원전압은 제어회로(7) 및 센스앰프 구동신호 발생회로(6)에 제공된다.

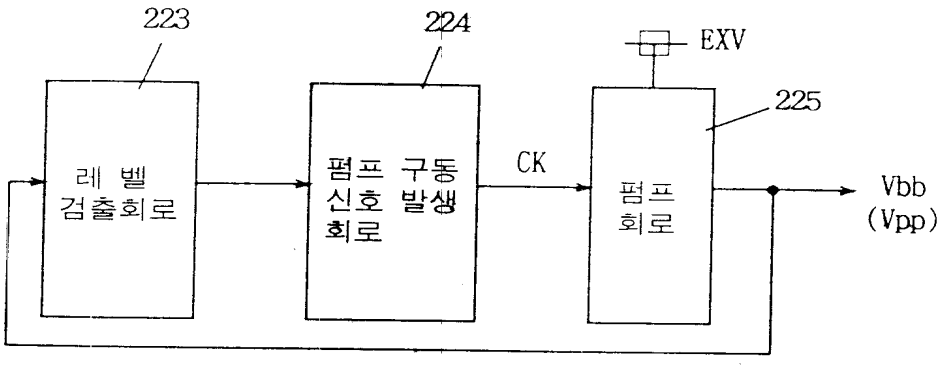
제2의 내부 전원전압은 비트선 이퀄라이즈/프리차지 신호를 발생하는 회로(9)에 제공된다.

제1의 내부 전원전압이 작게 되어도 Vpp 발생회로(5) 및 Vbb 발생회로(3)는 외부 전원전압에서 소정의 전압을 발생하기 때문에, 효율적이고 또한 안정되게 소정의 내부 고전압 및 부전압을 생성한다.

또, 비트선 이퀄라이즈/프리차지 신호는 제1의 내부 전원전압 보다도 전원 레벨이 높고 고속으로 비트선의 이퀄라이즈/프리차지를 행할 수가 있다.

그 결과 저전력 소비로 안정되게 동작하는 반도체 메모리 장치가 공급된다.

대표도



명세서

도면의 간단한 설명

제1도는 본 발명에 따른 차지펌프동작을 이용하는 내부전압 발생회로의 구성을 나타내는 도면.

제2도는 제1도에 나타난 내부전압 발생회로의 효과를 설명하기 위한 도면.

제3도는 본 발명에 따른 내부전압 발생회로의 구체적 구성을 나타내는 도면.

제4도는 제3도에 나타난 펌프구동신호 발생회로의 초단의 인버터 구성을 나타내는 도면.

제5도는 제3도에 나타난 부(-)전압발생회로의 동작을 나타내는 신호 파형도.

제6도는 본 발명에 따른 부(-)전압 발생회로의 다른 구성을 나타내는 도면.

제7도는 제6도에 나타난 부전압 발생회로의 동작을 나타내는 신호파형도.

제8도는 제6도에 나타난 프리차지용 MOS 트랜지스터의 단면구조를 나타내고, 제6도에 나타나는 부전압발생회로의 효과를 설명하기 위한 도면.

제9도는 본 발명에 따른 부전압발생회로의 또 다른 구성을 나타내는 도면.

제10도는 제9도에 나타난 부전압 발생회로의 동작 및 효과를 설명하기 위한 신호파형도.

제11도는 본 발명에 따른 내부고전압 발생회로의 구성을 나타내는 도면.

제12도는 제11도에 나타난 회로의 동작을 나타내는 신호파형도.

제13도는 제11도에 나타난 프리차지용 MOS트랜지스터 및 출력용 MOS 트랜지스터의 단면구조를 나타내는 도면.

제14도는 내부고전압을 발생하기 위한 차지펌프동작을 설명하기 위한 도면.

제15(a~e)도는 제14도에 나타난 차지펌프회로에서의 차지펌프용 MOS 커패시터의 동작을 설명하기 위한 도면.

제16도는 제11도에 나타난 차지펌프용 MOS 트랜지스터의 단면구조를 나타내는 도면.

제17도는 제11도에 나타난 차지펌프용 MOS 트랜지스터의 다른 구성을 나타내는 도면.

제18도는 제11도에 나타난 차지펌프용 MOS 커패시터의 또 다른 구성을 나타내는 도면.

제19도는 본 발명에 따른 중간전압 발생회로의 구성을 나타내는 도면.

제20도는 제19도에 나타난 회로의 동작을 나타내는 신호파형도.

제21도는 본 발명에 따른 중간전압 발생회로의 다른 구성을 나타내는 도면.

제22도는 본 발명에 따른 중간전압발생회로의 또 다른 구성을 나타내는 도면.

제23도는 본 발명에 따른 반도체기억장치의 전체구성 및 내부전원전압의 분배의 형태를 나타내는 도면.

제24도는 제23도에 나타난 내부전원전압 분배의 효과를 설명하기 위한 도면.

제25도는 제23도에 나타난 구성의 동작을 나타내는 신호파형도.

제26도는 제23도에 나타난 BLEQ 발생회로의 구성의 일예를 나타내는 도면.

제27도는 제23도에 나타난 내부 Vcc 발생회로의 구성을 개략적으로 나타내는 블록도.

제28도는 제37도에 나타난 활성 Vcc1발생회로 및 스텐바이 Vcc1 발생회로의 구체적 구성을 나타내는 도면.

제29도는 제27도에 나타난 활성 Vcc2 발생회로 및 스텐바이 Vcc2 발생회로의 구체적 구성을 나타내는 도면.

제30도는 제23도에 나타난 반도체기억장치에서 생성되는 내부전압을 나타내는 도면.

제31도는 본 발명에 따른 내부 전원전압 발생회로의 다른 구성을 나타내는 도면.

제32도는 제31도에 나타난 회로의 동작을 나타내는 신호파형도.

제33도는 본 발명에 따른 내부전원전압 발생회로의 또 다른 구성을 개략적으로 나타내는 도면.

제34도는 제33도에 나타난 내부전원전압 발생회로의 구체적 구성을 나타내는 도면.

제35도는 본 발명에 따른 내부전원전압 발생회로의 구성을 개략적으로 나타내는 도면.

제36도는 본 발명에 따른 내부전원전압 발생회로의 다른 구성을 개략적으로 나타내는 도면.

제37도는 제36도에 Vcc1 발생회로의 구체적 구성을 나타내는 도면.

제38(a-c)도는 제37도에 나타난 Vcc1 발생회로의 작용효과를 설명하기 위한 도면.

제39도는 본 발명에 따른 내부 전원전압 발생회로의 다른 구성을 나타내는 도면.

제40도는 본 발명에 따른 내부 전원전압 발생회로의 또 다른 구성을 나타내는 도면.

제41도는 본 발명에 따른 내부전원전압 발생회로의 또 다른 구성을 개략적으로 나타내는 블록도.

제42도는 제41도에 나타난 Vcc1 발생회로의 구체적 구성을 나타내는 도면.

제43도는 본 발명에 따른 내부 전원전압 발생회로의 또 다른 구성을 나타내는 도면.

제44도는 제43도에 나타내는 바이어스전압 VB을 발생하기 위한 회로구성을 나타내는 도면.

제45도는 본 발명에 따른 내부 전원전압 발생회로의 또 다른 구성을 나타내는 도면.

제46도는 제44도 및 제45도에 나타난 내부전원전압 발생회로의 효과를 설명하기 위한 신호파형도.

제47도는 기준전압 발생회로의 구체적 구성을 나타내는 도면.

제48도는 제47도에 나타난 기준전압발생회로의 작용을 설명하기 위한 도면.

제49도는 본 발명에 따른 기준전압발생회로의 또 다른 구성을 나타내는 도면.

제50도는 본 발명에 따른 반도체기억장치의 내부전원전압 분배의 따른 구성을 나타내는 도면.

제51도는 제50도에 나타내는 반도체기억장치의 내부전원전압의 레벨을 나타내는 도면.

제52도는 본 발명에 따른 반도체기억장치의 내부전원전압 분배의 또 다른 구성을 나타내는 도면.

제53도는 제52도에 나타난 반도체기억장치의 내부전원전압의 레벨을 설명하기 위한 도면.

제54도는 종래의 반도체기억장치의 구성을 개략적으로 나타내는 도면.

제55도는 종래의 부전압 발생회로의 구성을 나타내는 도면.

제56도는 제55도에 나타낸 부전압발생회로의 동작을 나타내는 파형도.

제57도는 제55도에 나타난 부전압발생회로의 문제점을 설명하기 위한 도면.

제58도는 종래의 BLEQ발생회로의 구성을 개념적으로 나타내는 도면.

제59도는 제58도에 나타난 구성의 문제점을 설명하기 위한 파형도.

제60도는 종래의 중간전압 발생회로의 구성을 나타내는 도면.

제61도는 제60도에 나타난 중간전압 발생회로의 문제점을 설명하기 위한 도면.

제62 도는 종래의 내부전원전압 발생회로의 구성을 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명

1 : 메모리어레리 2 : Vcc/2 발생회로

3 : Vbb 발생회로 4 : 내부 Vcc 발생회로

5 : Vpp 발생회로 6 : 센스앰프 구동신호 발생회로

7 : 제어회로 8, 11 : 워드선 디코더

9 : BLEQ 발생회로 10 : 신호 Φ발생회로

223 : 레벨검출회로 224 : 펌프구동신호 발생회로

225 : 펌프회로 45, 46, 47, 48, 50 : p채널 MOS트랜지스터

74 : MOS커패시터 2010 : p형 반도체기판

2012 : N형 불순물층 2014, 2016 : p형 불순물층

226 : 레벨검출회로 227 : 펌프구동신호 발생회로

228 : 펌프회로 108, 412 : MOS커패시터

109, 110 : P채널 MOS 트랜지스터

2020 : P형 반도체기판

2030, 2040 : N형 웰 2032, 2034, 2042, 2044 : p형 불순물층

25M, 26M, 27hf, 28, 29, 30 : p채널 MOS 트랜지스터

31, 32, 33 : n채널 MOS 트랜지스터

348, 349, 350, 351 : p채널 MOS 트랜지스터

2502 : 활성 Vcc1 발생회로 2503 : 스텐바이 Vcc1 발생회로

2512 : 활성 Vcc2 발생회로 2514 : 스텐바이 Vcc2 발생회로

300, 301, 304, 305 : 저항 176 : p채널 MOS 트랜지스터

315, 317 : 커런트미러형 증폭회로

175, 184 : p채널 MOS 트랜지스터

316, 318 : 커런트미러형 증폭회로

179, 189 : p채널 MOS 트랜지스터

180 : p채널 MOS트랜지스터 302, 303, 306, 307 : 저항

2522 : 활성 Vcc1발생회로 2524 : 스텐바이 Vcc1발생회로

2530 : 제어부 4A : 활성 Vcc1발생회로

4B : 스텐바이 Vcc1발생회로 417, 418 : 커런트미러형 증폭회로

358, 371 : p채널 MOS트랜지스터

382, 383 : 저항

3020 : Vcc1발생회로 3030 : Vcc2발생회로

221 : 활성 Vcc1발생회로 222 : 스텐바이 Vcc1발생회로

388, 392 : p채널 MOS트랜지스터

419, 420 : 커런트미러형 증폭회로

3031 : 활성 Vcc2발생회로 3035 : 스텐바이 Vcc2발생회로

3033, 3034 : 레벨쉬프트회로 3032, 3036 : 커런트미러형 증폭회로

3700 : 활성 Vcc1발생회로 3710 : 스텐바이 Vcc1발생회로

3810 : Vcc발생회로 3820 : Vcc2발생회로

3812 : 활성 Vcc1발생회로 3814 : 스텐바이 Vcc1발생회로

3900 : 제1구동부 3910 : 제2구동부

1043, 1046 : p채널 MOS트랜지스터

2010 : 커런트미러형 증폭회로

2020 : 구동부 4030, 4040 : 커런트미러형 차동증폭회로

4050 : 레벨쉬프트회로 209, 214, 221 : p채널 MOS트랜지스터

215, 2220, 222 : n채널 MOS트랜지스터

221a, 221b : p채널 MOS트랜지스터

[발명의 상세한 설명]

본 발명은 저소비전력으로 안정되게 필요로 하는 전압을 발생하기 위한 전압발생 회로의 구성에 관한 것으로, 특히, 반도체기억장치에서 이용함으로써 반도체기억 장치와 저소비전력화 및 저전압동작을 실현할 수 있는 구성에 관한 것이다. 다이나믹·랜덤·액세스·메모리 DRAM는 노트형 퍼스날컴퓨터 등의 휴대기기 에의 용도가 확대되어 오고 있다. 이와같은 휴대기기는 전원으로서 전지를 이용하기 때문에 전지의 수명을 될 수 있는 한 길게 하기 위해, 각 구성장치를 될 수 있는 한 저소비전력으로 동작하는 것이 요구된다. DRAM에서는 저소비전력을 실현하기 위해서, 예를들면 5V인 외부전원전압을 예를들면 내부에서, 예를들면 3.3V로 강압해서, 그 내부강압된 전압을 동작전원전압으로서 이용하는 것이 행해지고 있다.

이 저전원전압에 의해 신호의 진폭을 적게 해서 신호선의 충방전에 따른 소비전류를 저감한다. 제54도는 종래 DRAM 전체의 구성을 나타내는 도면이다. 제54도에서 종래의 DRAM은 메모리셀 MC이 행 및 열의 매트릭스모양으로 배열된 메모리셀어레이(1)를 포함한다.

메모리셀어레이(1)는 2개의 어레이블록 MAR 및 MAL로 분할된다.

어레이블록 MAL, MAR은 각각 메모리셀의 각 행에 대응해서 배열설치되는 복수의 워드선과 메모리셀의 각 열에 대응해서 배열설치되는 복수의 비트선쌍을 포함한다.

제54도에서는 도면을 간략화하기 때문에, 어레이블록 MAL, MAR 각각에 있어서 메모리셀 MC1, MC2을 대표적으로 나타낸다. 어레이블록 MAL에 포함되는 메모리셀 MC1은 워드선 WLL과 비트선 BLL의 교차부에 대응해서 배치되며, 정보를 기억하기 위한 캐패시터(12)와 워드선 WLL상의 신호전위에 응답해서 도통해서 캐패시터(12)를 비트선 BLL에 접속하는 n채널 MOS 트랜지스터로 구성된 액세스 트랜지스터(13)를 포함한다. 메모리셀 캐패시터(12)의 전극(셀 프레이트)에는 나중에 설명하는 Vcc/2발생회로 (2)에서의 중간전압VH이 공급된다.

어레이블록 MAR에 포함되는 메모리셀 MC2은 워드선 WLR과 비트선 BLR의 교차부에 대응해서 배치되며, 캐패시터(14)와 워드선 WLR상의 신호전위에 응답해서 도통하여 캐패시터(IB)의 비트선 BLR에 접속되는 n채널 MOS 트랜지스터로 구성되는 액세스 트랜지스터(15)를 포함한다.

캐패시터(14)의 셀 플레이트에는 Vcc/2발생회로(2)에서의 중간전압VH이 공급된다.

비트선 BLL은 비트선/BLL과 쌍을 이루어서 배치되며, 비트선 BLR은 비트선/BLR과 쌍을 이루어 배치된다.

비트선쌍 각각에서 한 쪽의 비트선에 메모리셀의 데이터가 전달되며, 다른 쪽의 비트선이 이 메모리셀 데이터의 비교기준전압을 공급한다.

비트선쌍BLL, /BLL과 비트선쌍BLR, /BLR의 사이에 센스앰프구동신호(Φp)에 응답해서 확성화되고, 선택된 비트선쌍 위의 전위를 차동적으로 증폭하는 센스앰 프(21)차, 신호(Φ)발생회로(10)에서의 어레이블록 선택신호(ΦR)에 응답해서 도통 하며, 비트선BLR, /BLR)을 센스앰프(21)에 접속하는 블록선택 게이트(22, 23)와, 신호(Φ)발생회로(10)에서의 어레이블록 선택신호(ΦL)에 응답해서 도통하여 비트선BLL, /BLL)을 센스앰프(21)에 접속하는 블록선택 게이트(16, 17)와, BLEQ발생 회로(9)에서의 비트선 이퀄라이즈신호 BLEQ에 응답해서 비트선BLL, /BLL, BLR, /BLR의 전위를 중간전압VH으로 프리차지하고 또한 이퀄라이즈하는 트랜지스터 (18, 19, 20)가 설치된다. 트랜지스터(18, 19)는 비트선 이퀄라이즈신호BLEQ에 응답해서, 중간전압VH을 비트선BLL, BLR 및 비트선/BLL, /BLR에 각각 전달한다. 트랜지스터(20)는 비트선 이퀄라이즈신호BLEQ에 응답해서 비트선BLL, BLR과 비트선/BLL, /BLR을 전기적으로 접속한다.

종래의 DRAM은 또한, 외부전원전압EXV을 강압해서 내부전원전압Vcc1을 발생 하는 내부 Vcc발생회로(4)와, 내부전원전압 Vcc1에서 내부전원전압 VccQ보다도 부고전압 Vpp을 발생하는 Vpp발생회로(5)와, 나중에 설명하는 제어회로(7)에서의 타이밍신호(신호경로는 나타내지 않음)에 응답해서 소정의 타이밍으로 내부 전압Vcc1레벨의 센스앰프구동신호(Φp)를 발생하는 센스앰프 구동신호발생회로(6)를 포함한다.

제어회로(7)는 어드레스신호Add, 로우어드레스 스트로브신호 /RAS, 칼럼어드레스스트로브신호 /CAS, 아웃 풋 인에이블신호 /OE 및 라이트 인에이블신호 /WE를 받아, 내부어드레스 신호(도시하지 않음)을 생성하고, 내부의 의 각 회로의 동작타이밍을 결정하는 제어신호를 생성하고, 또한 외부기록데이터 Din에서 내부기 록데이터를 생성하고, 또한 내부판독 데이터에서 외부 판독데이터 Dout를 생성한다. 종래의 DRAM은 또한, 어레이블록 MAL에 대해서 설치되며, 제어회로(7)에서의 내부 어드레스신호를 디코드하여, 어레이블록 MAL의 대응하는 워드선상에 Vpp 발생회로(5)에서의 내부고전압레벨의 워드선 구동신호를 전달하는 워드선 디코더 (8)와, 어레이블록(MAR)에 대해 설치되며, 제어회로(7)에서의 내부 어드레스신호를 디코드하여 Vpp발생회로(5)에서의 내부고전압 Vpp 레벨의 워드선 구동신호를 선택된 워드선 (어드레스 지정된 행에 대응하는 워드선상에 전달하는 워드선 디코더(11)를 포함한다.

BLEQ 발생회로(9)는 제어회로(7)에서의 내부에어신호에 응답하여 내부전원전압 Vcc1 레벨의 비트선 이퀄라이즈신호 BLEQ를 발생한다.

신호 Φ발생회로(10)는 제어회로(7)에서의 내부제어신호 및 내부 어드레스신호의 일부에 따라 블록선택신호 ΦL 및 ΦR의 한편을 비활성상태로 한다.

또한 이하의 설명에 있어서 「신호를 발생한다」는 「신호를 활성상태로 한다」의 의미로 사용한다.

즉 신호Φ 발생회로(10)는 선택된 워드선을 포함하는 어레이블록을 센스앰프(21) 에 접속하고, 비선택 어레이블록을 센스앰프(21)에서 분리한다.

스탠바이시에서는 신호ΦL 및 ΦR는 H의 활성상태에 있고, 블록선택게이트 (16) (17) (22) 및 (23)은 모두 온상태로 되어, 비트선 BLL, /BLL, BLR, /BLR은 모두 중간전압 VH에 프리차지된다.

Vpp 발생회로(3)는 내부전원전압 Vcc1에서 소정의 전압레벨인 부(-)전압 Vbb을 발생하고, 메모리셀어레이(1)가 형성된 반도체기판 영역에 부(-)전압 Vbb을 제공

이 부(-)전압 Vbb에 의해 기생 MOS트랜지스터(절연 게이트형 전계효과 트랜지스터)의 발생의 방지, 기판과 불순물영역 사이의 PN접합에 기인하는 기생용량의 저감, 액세스 트랜지스터의 한계치전압의 안정화 등을 실현한다.

다음에 데이터의 기록/판독 동작에 관하여 간단히 설명한다.

스탠바이시에 있어서는 로우어드레스 스트로브신호 /RAS는 H 의 비활성상태 에 있다. 이 상태에서는 워드선 WLL 및 WLR은 동시에 L 이고, 액세스 트랜지스터 (13) 및 (15)는 동시에 오프상태에 있다. 비트선 이퀄라이즈신호 BLEQ는 내부전원전압 Vcc1 레벨의 H 에 있고, 트렌지 18), (19) 및 (30)는 온 상태에 있으며, 비트선 BLL, /BLL 및 BLR, /BLR 은 중간전압 VH에 프리차지 되고 또한 이퀄라이즈 되어 있다. (블록선택게이트(1 6), (17), (2B) 및 (23)는 온 상태에 있다.)

신호 /RAS가 L 로 강하하면 메모리 사이클이 시작된다.

이 상태에서는 우선 BLEQ 발생회로(9)에서의 비트선 이퀄라이즈신호 BLEQ가 L 이 되고, 트랜지스터(18) (19) 및 (20)가 오프상태로 된다.

그것에 따라서 비트선 BLL, /BLL과 BLR 및 /BLR은 중간전압 VH의 플로팅 상태로 됨을 이 신호 /RAS의 강하에 응답하여 외부 어드레스신호 Add가 수신되고, 제어회로 (7)에서 내부어드레스신호가 출력된다.

이 내부 어드레스신호는 어레이블록을 지정하는 블록어드레스를 포함한다.

신호Φ발생회로(10)는 이 제어회로(7)에서의 블록어드레스에 따라 선택된 블록에 대한 블록선택신호 Φ(또는 ΦR)를 H 로 유지바고, 비선택 어레이블록에 대한 블록선택신호 ΦR(또는 ΦL)를 L 로 설정한다.

이어서 워드선디코더(8) 및 (11) 중 선택된 워드선을 포함하는 어레이블록에 대하여 설치된 워드선 리코더가 활성화된다.

지금 어레이블록 MAL에 포함되는 워드선 WLL이 선택되었다고 하자.

이 경우에는 워드선 더코더(8)가 동작하여, 제어회로(7)에서의 내부어드레스신호를 디코드하고, 워드선 WLL상에 Vpp 발생회로(5)에서의 내부 고전압 VPP 레벨의 워드선 구동신호를 전달한다.

이것에 의해 액세스 트랜지스터(13)가 온 상태로 되고, 커패시터(12)에 격납되어 있던 정보가 비트선 BLL에 전달된다.

비트선 /BLL은 프리차지레벨 VH을 유지한다.

다음에 센스앰프 구동신호 발생회로(6)에서의 센스앰프 구동신호 Φp가 내부전원 전압 Vcc(1)레벨로 상승하고, 센스앰프(21)가 활성화되어, 비트선 BLL 및 /BLL 상의 전위를 차동적으로 증폭한다.

다음에 칼럼어드레스 스트로브신호 /CAS의 강하에 응답하여 수신된 어드레스신호 Add에 의해 발생된 내부어드레스신호에 따라 열선택동작(비트선쌍 선택동작)이 행해져서, 선택된 열위의 메모리셀 MCI에 대한 데이터의 기록/판독이 실행된다.

데이터의 기록 및 판독의 어느 것이 행해지는가는 신호 / OH 및 /WE에 의해 결 정 된다 데이터의 기록/판독이 완료되면, 로우어드레스 스트로브신호 /RAS가 비활성상태로 되고, 선택워드선 WL4 상의 신호전위가 L 로 되며, 이어서 센스앰프구동 신호 Φp가 L 로 된다.

다음에 비활성상태에 있던 블록선택신호 ΦR가 H 로 되고, 블록선택게이트 (B2) 및 (23)가 온 상태로 되며, 비트선 이퀄라이즈신호 BLEQ가 H 로 되어, 비트선 BLL, /BLL과 BLR 및 /BLR의 프리차지/이퀄라이즈 동작이 실행된다. 신호Φ발생회로(10)에서의 블록선택신호 ΦL 또는 ΦR가 내부고전압 Vpp레벨로 되는 것은 이하의 이유에 의한다.

센스앰프(21)는 센스동작 완료후의 리스토어 동작시 메모리셀 MCI (또는 MC2) 의 기억데이터에 따라, 대응하는 비트선 BLL 및 /BLL(또는 BLR 및 /BLR)을 내부전원전압 Vcc(1)레벨 및 접지전위 Vss레벨로 설정한다. 센스앰프(21)와 비트선 BLL 및 /BLL (또는 BLR 및 /BLR)과의 사이에는 블록선택게이트(16) 및 (17)(또는 (22) 및 (23)가 설치되어 있다. 블록선택게이트는 (16) 및 (17)(또는 (22) 및 (23))이 그 게이트에 제공된 전압에서 한계치 전압만큼 낮은 전압을 대응하는 비트선 BLL 및 /BLL(또는 BLR 및 /BLR)에 전달할 수가 있다.

이 블록선택 게이트(16) 및 (17) (또는 (22E) 및 (23))에서의 한계치 전압손실의 영향을 배제하고, 비트선 BLL 및 /BLL (또는 BLR 및 /BLR)에 내부전원전압 Vcc1 레벨의 전압을 전달하기 위하여 블록선택신호 ΦL 또는 ΦR가 내부고전압 Vpp 레벨로 설정된다.

블록선택신호 ΦL 또는 ΦR가 내부고전압 Vpp 레벨로 설정되는 것은 메모리 사이클시만이라도 되고, 또 소위 「리스토어 동작」이 행해질 때 만이라도 된다. 대응하는 비트선 BLL 및 /BLL (또는 BLR 및 /BLR)에 내부전원전압 Vcc(1) 레벨이 전달될 때에 블록선택신호 ΦL 또는 ΦR가 내부고전압 Vpp레벨에 있으면 된다.

워드선 디코더(8) 및 (11)가 내부고전압 Vpp레벨의 워드선 구동신호를 발생하는 것은 이하의 이유에 의한다.

메모리셀 MCI(또는 MC2)은 액세스 트랜지스터(13) (또는 (15))를 통하여 메모리 셀 커패시터(12)(또는 (14))에 기억데이터를 기록한다.

커패시터(12)(또는 (14))의 축적전하량을 충분히 크게 하기 위해서는 되도록 높은 전압을 비트선 BLL(또는 BLR)에서 커패시터(12)(또는(14))에 전달할 필요가 있다.

액세스 트랜지스터(13)(또는 (15))에서의 한계치전압 손실의 영향을 배제하고, 내부전원전압 Vcc1레벨의 전압을 커패시터(12) (또는 (14))에 전달하기 위해 내부고 전압 Vpp레벨의 워드선 구동신호가 사용된다.

Vcc/2 발생회로로부터의 중간전압 VH이 커패시터(IB) 및 (14)의 셀플레이트에 제공되고 있는 것은 이하의 이유에 의한다.

커패시터(12) 및 (14)의 대향전극(스트레이지 노드)에는 접지전위 Vss 또는 내부 전원전압 Vcc(1)이 제공된다.

Vcc 1레벨의 H데이터 판독시와 Vss 레벨의 L 데이터 판독시에서의 비트선 BL (BLL, /BLL, BLR, /BLR를 총칭적으로 표시함)의 전위변화량은 동등하게 되는 것이 정확한 센스동작(센스마진)의 관점에서 바람직하다. 비트선 BL은 중간전압 VH에 프리차지되어 있다. 따라서 메모리셀 데이터 판독시에서의 비트선 BL의 프리차지레벨 VH로부터의 전위변위량을 H 데이터 판독시 및 L데이터 판독시에 있어서 동등하게 하기 위하여 커패시터(12) 및 (14)의 셀플레이트에 중간전압 VH이 인가된다.

H 데이터 격납시에서의 커패시터(IB) 및 (14)의 스트레이지 노드의 축적전하량 Q은 C · Vcc 1/2로 되고, L 데이터 기록시에서의 축적전하량 Q은 - C · Vcc 1/2로 된다.

여기에서 C는 커패시터(13) 및 (14)의 용량을 나타낸다.

즉 중간전압 VH을 메모리 커패시터의 셀플레이트에 인가함으로써 H 데이터 판독시와 L 데이터 판독시에서의 비트선 BL의 전위변화량을 같게 할 수가 있다.

종래의 DRAM은 내부 Vcc발생회로를 사용하여 외부전원전압 EXV을 강압하여 내부전원전압 Vcc1을 발생하고, 이 내부전원전압 Vcc1을 각 회로에 인가함으로 써 신호진폭을 작게하여, 소비전류 및 소비전력의 저감을 꾀한다.

그러나 다시 저동작 전원전압을 사용하여 저소비전력을 실현하기 위해서는 내부 동작 전원전압을 저하시켜도 그의 동작속도가 손상되는 일 없이 필요되는 전압레벨의 신호를 가능한 한 저소비전력으로 발생하는 것이 요구된다.

이 내부전원전압 Vcc1의 저전압화의 영향을 받는 회로에 관하여 설명한다.

(i)Vbb발생회로 /vpp 발생회로 :

반도체기판 영역에 바이어스 전압으로서 인가되는 부(-)전압 Vbb 및 워드선 드라이브 등에 이용되는 내부고전압 Vpp은 모두 커패시터의 차지펌프 동작을 이용하여 발생 된다.

이하 Vbb발생회로에 관하여 설명한다.

제55도는 제54도에 나타내는 Vbb발생회로(3)의 구성의 일예를 나타내는 도면이다.

제55도에 있어서, Vbb발생회로(3)는 소정의 펄스폭 및 주기를 가지는 클록신호 CK를 출력하는 컴프구동신호 발생회로(224)와, 펌프구동신호 발생회로(224)에서 의 클록신호 CK에 따라 차지펌프동작에 의해 부(-)전압 Vbb를 발생하는 펌프회로(225)와, 펌프회로(225)가 발생하는 부(-)전압 Vbb이 소정의 레벨에 달했을 때 펌프구동신호 발생회로(224)의 클록신호 CK의 발생동작을 정지시키는 레벨검지 회로(223)를 포함한다.

레벨검지회로(223), 펌프구동신호 발생회로(224) 및 펌프회로(225)는, 그 한편 동 작전원전압으로서 내부전원전압 Vcc1을 받고, 또한 다른편 전원전압으로서 접지 전위 VSS를 받는다. 레벨검지회로(223)는 펌프

회로(225)의 출력노드(또는 반도체기판 영역) NA에 소스가 접속되고, 또한 게이트 및 드레인이 노드 NB에 접속되는 n채널 MOS트랜지스터(87)와, 노드 NB과 노드 NC 사이에 설치되고 그 게이트에 접지전위 Vss을 받는 n채널 MOS트랜지스터(79)와, 내부전원노드 Vcc1과 노드 NC과의 사이 에 접속되고 또한 그 게이트에 접지전압 Vss을 받는 p채널 MOS트랜지스터(78) 를 포함한다.

또한 이하의 설명에 있어서 전원노드와 거기에 제공되는 전압은 동일한 부호를 사용하여 설명 한다.

MOS트랜지스터(78)는 큰 온 저항을 가지고 있어 저항소자로서 기능한다.

MOS트랜지스터(79)는 작은 온 저항을 가지고 있고, 또한 MOS트랜지스터(78)의 전류공급능력보다도 큰 전류공급능력을 가지고 있어, 노드 NB의 전위가 Vss-vthn 이하로 되었을때에 도통하여 노드 NC를 L 레벨로 설정한다.

Vthn는 MOS 트랜지스터(79)의 한계치전압이다.

MOS 트랜지스터(87)는 다이오드로서 기능하고, 도통시에 노드 NB와 노드 NA의 전위차를 그 한계치전압 Vthn으로 유지한다.

펌프구동신호 발생회로(224)는 레벨검지회로(223)의 노드 NC의 신호를 반전하는 인버터(91)와, 인버터(91)의 출력신호를 한편 입력으로 받는 2입력 NOR회로 (101)와, NOR회로(101)의 출력신호를 받는 3단의 종속접속된 인버터(92), (93) 및 (94)를 포함한다.

인버터(93)의 출력신호는 또 NOR회로(101)의 다른 편 입력에도 제공된다.

NOR회로(101)는 인버터(91)의 출력신호바 L 일 때 인버터로서 동작한다.

이 상태에서는 NOR회로(101), 인버터(92) 및 (93)에 의해 링 오실레이터가 형성 되어 소정의 펄스폭 및 주기를 갖는 클록신호가 생성된다.

인버터(91)의 출력신호가 H 일 때에는 NOR회로(101)의 출력신호는 L 에 고정되고, 클록신호 CK는 H 로 고정되어, 이 펌프구동신호 발생회로(224)의 클록신호 CK의 발생동작이 정지된다.

펌프회로(225)는 펌프구동신호 발생회로(224)에서의 클록신호 CK를 입력하는 인버터(95)와, 인버터(95)의 출력신호를 받는 2단의 종속접속된 인버터(96) 및 (97)와, 인버터(97)의 출력부와 노드 N6을 용량결합하는 커패시터(103)와, 인버터(95)의 출력신호를 받는 2단의 종속접속된 인버터(98) 및 (99)와 인버터(99)의 출력부와 노드 N5을 용량 결합하는 커패시터(104)와, 인버터(98)의 출력부와 노드 N7을 용량결합하는 커패시터(105)와, 노드 N7의 전위에 응답하여 노드 N5 및 N6의 전위를 접지전위 레벨에 방전하는 p채널 MOS트랜지스터(80) 및 (82)와, 노드 N7상의 전위를 한계치전압 Vthp의 레벨fh 크램프하는 p채널 MOS트랜지스터(83)와, 노드 N6상의 전위에 응답하여 도통하고 노드 N5에서 출력노드 NA에 부전하를 공급하는 p채널 MOS트랜지스터(81)를 포함한다. 또한 Vthp는 P채널 MOS트랜지스터(80, 81, 83) 및 (83)의 한계치전압을 나타낸다. 다음에 이 펌프회로(225)의 동작을 제56도를 참조하여 설명한다.

제56도에서는 이 펌프회로(BE5)가 안정되게 펌프동작을 행하고 있는 상태가 표시 된다.

클록신호 CK가 H 로 상승하면 인버터(98)의 출력신호도 H 로 상승하고, 노드 N7의 전위가 이 커패시터(105)의 용량결합(차지펌프)에 의해 상승한다.

노드 N7의 전위가 상승하면 MOS 트랜지스터(83)가 온 상태로 되고 이 노드 N7 의 전위가 |Vthp|로 크램프된다.

한편 인버터(97) 및 (99)의 출력신호는 L 로 되고, 노드 N6 및 N5는 커패시터 (103) 및 (104)의 용량결합에 의해 부(-)전위로 저하한다.

이 노드 N6 및 N5의 전위레벨은 후에 설명하지만 -Vcc1레벨로 된다.

MOS트랜지스터(80) 및 (82)는 그 게이트에 |Vthp|의 전위를 받고 있기 때문에 오프상태로 된다.

출력노드 NA로부터의 부(-)전압 Vbb의 전위가 -Vcc1+|Vthp|보다도 높은 경우에는 MOS 트랜지스터(81)가 온 상태로 되고, 노드 NA에서 노드 N5에 전류가 흐른다.

즉 노드 N5에서 노드 NA에 부(-)전하가 공급된다.

이것에 의해 노드 NA의 전위가 저하한다.

클록신호 CK가 L 로 강하하면 인버터(98)의 출력신호가 L 로 강하하고, 인버터(97) 및 (99)의 출력신호가 H 로 상승한다.

노드 N5의 전위는 커패시터(105)의 용량결합에 의해 부(-)전위(-Vcc1 +| Vthp|) 레벨로 되고, 한편 노드 N6 및 N5의 전위는 커패시터(103) 및 (105)의 용량 결합이 의해 일단 상승하지만, MOS트랜지스터(80) 및 (82)가 온상태로 되어 접지전위 Vss레벨로 방전된다.

MOS트랜지스터(81)는 노드NA의 전위가 노드 N5 및 N6의 전위보다도 낮기 때문에 오프상태로 된다. 인버터(95) 및 (99)의 출력신호가 L 레벨로 강하하면, 노드 N5는 -Vcc1의 전압레벨까지 저하하고, 노드 N6의 전위도 동일 -Vcc1의 전압레벨까지 저하한다. 따라서 MOS트랜지스터(81)는 노드 NA에 -Vcc1+|Vthp|의 전위를 전달할 수가 있다.

즉 부(-)전압 Vbb은 -Vcc1+|Vthp|까지 저하할 수가 있다.

이 부(-)전압 Vbb은 반도체기판 영역에 인가되지만 반도체기판 영역과 그 표면에 형성된 불순물영역의 사이에 형성되는 PN결합에 이 역바이어스 전압이 인가된다.

따라서 PN결합의 내압의 관점에서 부(-)전압 Vbb은 그 수치를 작게 하는 것이 바다.

또 필요이상으로 부(-)전압 Vbb의 수치를 크게 하는(보다 부(-)로 한다)것은 소비전류의 관점에서 바람직하지 않다.

따라서 레벨검지회로(223)에 의해 이 노드 NA에서 출력되는 부(-)전압 Vbb의 전압레벨을 검출하고, 부(-)전압 Vbb이 -2 · Vthn 이하로 되면, 펌프구동신호 발생 회로(224)의 클록신호 CK를 발생시키는 동작을 정지시키고 있다.

즉 레벨검지회로(223)에 있어서 부(-)전압 Vbb이 -2 · Vthn 이하로 되면, 로드 NB의 전위가 -Vthn 이하로 되고, 접지전압 Vss을 게이트로 받는 MOS트랜지스터(79)가 온 상태로 되고, 노드 NC의 전위가 저하하여 L 레벨이 된다. 그에 의해 펌프구동신호 발생회로(224)에 있어서, 인버터(91)의 출력이 H 로 되고 NOR 회로(101)의 출력이 L 레벨로 고정되며, 클록신호 CK는 H 로 고정 된다.

이것에 의해 펌프회로(225)의 펌프동작이 정지되고, 노드 NA에의 부(-)전하(전 자)의 공급이 정지된다.

펌프회로(225)는 클록신호 CK의 1 사이클마다 출력노드 NA에 부전하(전자)를 유출시키고 있다.

노드 NA에서의 부(-)전압 Vbb의 저하속도는 펌프회로(225) 출력부의 MOS트랜지스터(81)가 공급하는 전류량(부전하량)에 의해 결정된다.

제57도에 나타나는 바와 같이, 노드 N5의 전위는 기본적으로는 Vss와 -Vcc1의 사이에서 진동한다.

MOS 트랜지스터(81)는 노드 N5와 노드 NA의 전위차에 따라서 부전하를 노드 NA에 공급한다.

제57도에 있어서 사선의 영역으로 나타나는 바와 같이, 1 사이클마다 부전하가 공급되지만, 부(-)전압 Vbb의 전위레벨이 저하하는데 따라 이 출력노드 NA에서 공급되는 부전하량이 저감한다.

MOS트랜지스터(81)에 와한 부전하 공급정지시에 있어서, 노드 N5의 전위를 V(N5)로 하면 Vbb = V(N5)+|Vthp|로 된다.

따라서 부(-)전압 Vbb의 전위레벨이 -Vcc1+|Vthp|에 가까워짐에 따라 MOS 트랜지스터(81)를 통하여 흐르는 부(-)전압 전류(부전하량)가 감소하고 전위저하 속도가 저하한다.

저소비전력을 위하여 내부전원전압Vcc1)을 낮게한 경우, MOS트랜지스터의 한계치전압 Vthn은 스케일다운되지 않기 때문에 (서브한계치 전류가 커지기 때문에), 5의 최저 도달전위 -Vcc1의 전위레벨은 부(-)전압 Vbb의 목표전압레벨 -3 - Vthn에 가까워지고, 그에 따라 부(-)전압 Vbb의 전위저하 속도가 감소하며(부전하 공급량이 감소하기 때문에), 부(-)전압 Vbb이 소정의 레벨 -2·Vthn에 도달하는데 장시간을 요한다고 하는 문제가 있었다.

또 반도체기판의 동작시에 기판전류에 의해 기판바이어스 전압(부전압 Vbb)이 변동하였을 때, 펌프회로(225)에서의 부전하 공급량이 감소하고 있기 때문에, 고속으로 이 기판 바이어스 전압을 소정의 전위레벨 -2·Vthn로 복귀시키는 것이 불가능하게 되어, 안정된 동작을 보증할수 없다고 하는 문제도 있었다. 또한 상술한 부(-)전압 Vbb발생회로의 저전원전압화에 의한 효율의 저하라고 하는 문제는 내부고전압 Vpp이 발생하는 Vpp발생회로에서도 동일하게 생긴다.

내부고전압 발생회로(Vpp발생회로)에서는 원리적으로는 제54도에 나타나는 펌프회로(225)의 p채널 MOS트랜지스터를 n채널 MOS트랜지스터로 치환하고, 또 접지전위 Vss를 내부전원전압 Vcc1로 치환하는 것에 의해 내부고전압 Vpp발생을 위한 펌프회로가 얻어진다. 또 내부고전압 Vpp을 위한 레벨검지회로도, 제54도에 나타나는 레벨검지회로에 있어서 부(-)전압 Vbb을 내부고전압 Vpp로 치환하여, MOS트랜지스터의 도전형식을 역으로 하고, 또한 접지전압 Vss과 내부전원전압 Vcc1을 치환하는 것에 의해 실현된다.

상술한 바와 같이, 종래의 부(-)전압발생회로 및 내부고전압 발생회로에 펌프회로를 사용한 경우, 저소비전력화를 위하여 내부 전원전압레벨을 더 저하시킨 경우, 전하를 효율적으로 공급하는 것이 불가능하게 되어, 고속으로 소정 레벨의 전압 (부전압 Vbb 및 내부고전압 Vpp)을 발생시키는 것이 불가능하께 되어서 안정되게 저소비전력으로 동작하는 반도체기억장치를 실현하는 것이 불가능하다고 하는 문제가 있었다.

(ii) BLEQ 발생회로

제58도는 제54도에 나타나는 BLEQ 발생회로(9)의 개략구성을 나타내는 도면이다.

제58도에 있어서 BLEQ 발생회로(9)는 제54도에 나타내는 제어회로(7)에서 제공되는 내부 로우어드레스 스트로브신호 RAS에 응답하여 비트선 이퀄라이즈 신호 BLEQ를 발생한다.

이 BLEQ 발생회로(9)는 내부전원전압 Vcc1과 접지전압 Vss을 동작전원전압으로서 동작한다.

내부 로우어드레스 스트로브신호 RAS는 제54도에 나타내는 제어회로(7)에서 외부 로우어드레스 스트로브신호 /RAS에 응답하여 발생된다.

내부 로우어드레스 스트로브신호 RAS가 H 일 때, 비트선 이퀄라이즈 /프리차 지신호 BLEQ는 L 이 된다.

이하에 이 제58도에 나타내는 BLEQ 발생회로(9)의 동작을 그의 동작파형도인 제59도를 참조하여 설명한다.

외부 로우어드레스 스트로브신호 /RAS가 H 일 때, 내부 로우어드레스 스트 로브신호 RAS는 L 레벨에 있고, BLEQ 발생회로(9)에서의 비트선 이퀄라이즈 신호 BLEQ는 내부전원전압 Vcc1 레벨의 H 레벨에 있다.

이에 의해 MOS트랜지스터(18), (19) 및 (20)가 온 상태로 되고, 비트선 BL 및 /BL (제54도에 나타내는 비트선 BLL, /BLL 및 BLR, /BLR를 총칭적으로 나타낸다)를 소정의 중간전압 VH으로 프리차지하고 또한 이퀄라이즈하고 있다.

외부 로우어드레스 스트로브신호 /RAS가 L 로 강하하면, 따라서 내부 로우어 드레스 스트로브신호 /RAS가 H 로 상승하여 메모리 사이클이 시작된다.

이 내부 로우어드세스 스트로브신호 RAS의 상승에 응답하여, BLEQ 발생회로(9)에서의 비트선 이퀄라이즈 신호 BLEQ가 L 로 되고, MOS트랜지스터(18, 19) 및 (20)가 오프상태로 되어 비트선 BL 및 /BL은 중간전압 VH으로 플로팅상태가 된다.

이어서 도시하지 않은 워드선이 선택되어 그 전위가 상승하고, 이 선택된 워드선 에 접속되는 메모리셀의 데이터가 비트선 BL 또는 /BL에 전달된다.

다음에 센스동작이 행해져서 비트선 BL 및 /BL의 전위는, 판독된 메모리셀의 데이터에 따라서 내부전원전압 Vcc1레벨의 H 및, 접지전위 Vss레벨의 L 로 된다.

메모리 사이클이 완료되면 외부 로우어드레스 스트로브신호 /RAS가 H 로 상 승한다.

소정시간이 경과한 후 내부 로우어드레스 스트로브신호 RAS가 L 로 강하한다.

BLEQ 발생회로(9)에서의 비트선 이퀄라이즈신호 BLEQ가 이 내부 로우어드레스 스트로브신호 RAS의 강하에 응답하여 H 로 상승하고, MOS 트랜지스터(18), (19), 및 (20)가 온 상태로 된다.

이것에 의해 비트선 BL 및 /BL이 재차 중간전압 VH레벨로 프리차지/이퀄라이즈된다.

이 비트선 이퀄라이즈신호 BLEQ는 내부 전원전압 Vcc1 레벨이다.

반도체기억장치의 저소비 전력화를 위해 이 내부전원전압 Vcc1의 전압레벨을 저하시킨 경우, 따라러 비트선 이퀄라이즈 신호 BLEQ의 H 레벨의 전위가 저하 한다.

이 경우 MOS트랜지스터 18~20의 게이트- 소스간 전압이 작아져서(n채널 MOS 트랜지스터의 소스는 전위가 낮은 전극), 그들의 도전율이 작아진다.

따라서 MOS트랜지스터 18~20의 전류공급력이 작아지고, 메모리사이클 완료후 제59도에 점선으로 표시된 바와 같이, 비트선 BL 및 /BL의 전위가 소정의 중간전압 VH으로 설정되는 것이 지연된다.

한 편 외부 로우어드레스 스트로브신호 /RAS에는 RAS 프리차지시간 tPR 이라 고 하는 시간이 설정되어 있고, 외부 로우어드레스 스트로브신호 /RAS는 일단 H 레벨로 되면 RAS 프리차지시간 tPR이 경과한 후가 아니면 재차 L 레벨로 설정할 수가 없다(내부의 신호선을 확실하게 소정의 전위로 프리차지하기 때문이다).

이때 고속으로 비트선 BL 및 /BL의 전위를 소정의 중간전압 VH으로 소정의 시 간내에 프리차지 /이퀄라이즈 하는 것이 불가능한 경우, 이 RAS 프리차지 시간이 길어지고, 다음에 메모리 사이클을 개시시키기까지의 시간이 길어져서, 고속으로 반도체기억장치에 액세스하는 것이 불가능하게 된다고 하는 문제가 생긴다.

(iii) Vcc/2 발생회로

제60도는 종래의 Vcc/2 발생회로의 구성을 나타내는 도면이고, 예컨대 1990 심포지엄·온·VLSI 서킷·다이제스트·오브 테크니컬 페이퍼즈의 제 17 페이지 내지 제 18 페이지에 나타나 있다.

제60도에 있어서 Vcc/2 발생회로는 전원노드 Vcc1와 접지노드 Vss 사이에 직렬로 접속되는 저항(34) 및 (35)과, 전원노드 Vcc1와 노드 ND2의 사이에 접속 되는 저항(36)과, 게이트 및 드레인이 노드 ND2에 접속되고 그 소스가 노드 NDI 에 접속되는 n채널 MOS트랜지스터(38)와, 게이트 및 드레인이 노드 ND3에 접속되고 그 소스가 노드 NDI에 접속되는 p채널 MOS트랜지스터(40)와, 노드 NO3와 접지노드 Vss의 사이에 접속되는 저항(37)과, 전원노드 Vcc1와 노드 NDI의 사이에 접속되고 또한 그 게이트에 노드 ND3의 신호전위를 받는 n채널 MOS트랜지 스터(39)와, 노드 NDI와 접지노드 Vss의 사이에 접속되고 그 게이트에 노드 ND3의 신호전위를 받는 p채널 MOS트랜지스터(41)를 포함한다.

저항(34) 및 (35)은 동일한 저항치를 가지고, 저항(36) 및 (37)은 훨씬 큰 저항치를 가지고 있다.

트랜지스터(38) 및 (40)는 각각 한계치전압 Vthn 및 Vthp을 가진다.

다음에 동작에 관하여 간단하게 설명한다.

저항(34) 및 (35)는 동일한 저항치를 가지고 있음으로 노드 NDI의 전위는 Vcc 1/2로 된다.

저항(36) 및 (37)은 훨씬 큰 저항치를 가지고 있고, 트랜지스터(38) 및 (40)에는 작은 전류밖에 흐르지 않는다.

따라서 MOS 트랜지스터(38) 및 (40)은 각각 다이오드모드로 동작하고, 노드 ND2의 전위는 Vcc1/2+Vthn로 되며, 또 노드 ND3의 전위는 Vcc1/2- |Vthp| 가 된다.

MOS 트랜지스터(39) 및 (41)은 각각 한계치전압 Vthn 및 Vthp을 가지고 있다.

노드 ND4의 전위 VH가 Vcc 1/2보다도 낮아지면 MOS트랜기스터(39)가 온 상태, MOS트랜지스터(41)가 오프상태로 되고, 노드 ND4는 MOS트랜지스터(39)를 통하여 전원노드 Vcc1에서 전류를 공급받아 전압 VH이 상승한다.

노드 NO4의 전압 VH이 Vcc1/2보다도 높아지면, MOS 트랜지스터(39)가 오프상태, MOS트랜지스터(41)가 온 상태로 되고, 노드 ND4는 MOS트랜지스터(41)를 통해서 방전되어 그 전위가 저하한다.

이에 의해 노드 ND4의 전압 VH은 중간전압 Vcc 1/2 으로 설정된다.

MOS 트랜지스터(38)는 노드 ND2와 노드 ND1의 사이에 Vthn의 전압강하를 발생시키고, MOS 트랜지스터(40)는 노드 NDI와 노드 ND3 의 사이에 |Vthp| 의 전압강하가 생기게 한다.

따라서 이 Vcc/2 발생회로(2)가 동작하기 위해서는 Vcc1≥ Vthn+|Vthp| 의 조건을 필요로 한다.

즉 내부전원전압 Vcc1에 하한치가 존재하여 내부전원전압을 저하시킴으로써 저 소비전력을 실현하는 것이 불가능하다고 하는 문제가 있었다.

또 이하에 설명하는 바와 같이 메모리셀의 불량모드에 의하여는 전류소비가 커진다고 하는 문제도 있었다.

지금 제61도에 나타낸 바와 같이, 메모리셀 커패시터 MQ의 전극(셀 플레이트)와 워드선 WL과의 사이에 단락이 생긴 경우를 생각한다.

메모리 커패시터 MQ의 전극에는 이 Vcc/2 발생회로에서의 중간전압 VH이 제공되고 있다.

따라서 워드선 WL의 전위가 L 인 경우, 제60도에 나타내는 MOS 트랜지스 터(39)를 통하여 전원노드 Vcc1에서 전류가 노드 ND4 및 메모리셀 커패시터 전극(셀 플레이트)을 통하여 워드선 WL에 흘러들어간다.

일반적으로 제품의 수율을 확보하기 위하여, 이 메모리셀 커패시터 MQ에 있어서 0.2 mA의 리크전류가 생기고 있는 경우에도, 이 DRAM은 양품으로서 사용된다.

단 커패시터 전극의 단락을 가지는 결함 메모리셀은 용장회로에 의해 치환된다 (결함 떼모리셀 자체는 장치내에 존재한다).

따라서 Vcc/2 발생회로를 통하여 결함메모리셀의 커패시터 전극에 전류를 공급 하는 것이 요구되기 때문에 DRAM의 스탠바이시에도 내부전원전압 발생회로는 0.2 mA의 전류공급능력을 가질 필요가 생기고, 따라서 DRAM의 스탠바이 전류를 작게하는 것이 불가능하다고 하는 문제가 있었다.

또한 노드 ND4에서의 전압 VH이 소정의 레벨 Vcc 1/2로 된 경우에도, MOS 트랜지스터(39) 및 (41)의 게이트소스간 전압은 각각 Vthn 및 Vthp이고, MOS트랜지스터(39) 및 (41)를 통하여 서브한계치 전류가 전원노드 Vcc1에서 접지노드 Vss에 흘러 전류가 쓸데없이 소비된다.

이 서브한계치 전류를 저감하기 위하여는 트랜지스터(49) 및 (41)의 채널영역에 이온주입을 하고, 이들 MOS트랜지스터(39) 및 (41)의 한계치전압 Vthn 및 ㅣVthpㅣ를 크게 할 필요가 생긴다.

이 경우 MOS 트랜지스터(39) 및 (41)의 한계치 전압조정을 위하여 여분의 제조 공정이 필요해지고, 제조 공정을 간략화하는 일이 불가능하다고 하는 문제가 생긴다.

또한, MOS 트랜지스터(39) 및 (41)의 한계치전압의 크기를 크게 한 경우, 노드 ND4에서의 전압VH이 소정의 중간전위 Vcc1/2에서 벗어난 경우에도 MOS 트랜지스터(39) 또는 (41)가 온 상태로 되지 않고, Vcc/2 발생회로가 전압 VH이 소정 레벨에서 변화하여도 동작하지 않는 불감응대가 생겨, 전압 VH을 중간전위레벨로 정확하게 유지하는 것이 불가능해진다고 하는 문제가 생긴다.

(iv) 내부전원전압 발생회로

제62도는 종래의 내부전원전압 발생회로의 구성을 나타내는 도면이다.

제62도에 있어서, 종래의 내부전원전압 발생회로(4)는 활성화시(메모리 사이클시)에 동작하여 내부전원전압 Vccl을 공급하는 활성화 내부전원전압 발생회로 (313)와, 스탠바이시에 내부전원전압 Vcc1을 소정 전압레벨로 유지하기 위한 스탠바이 내부전원전압 발생회로(314)를 포함한다.

활성화 내부전원전압 발생회로(313)는, 로우어드레스 스트로브신호 /RAS(제54도에 나타내는 제어회로(7)에서 발생된다)를 반전하는 인버터(170)와, 인버터(170)의 출력신호에 응답하여 도통하고 노드 ND5에 외부전원전압 EXV을 전달하는 p 채널 MOS트랜지스터(310)와, 노드 ND5와 노드 ND7의 사이에 설치되고 그 게이트에 기준전압 Vref을 받는 n채널 MOS트랜지스터(164)와, 노드 ND6와 노드 ND7의 사이에 설치되고 그 게이트에 노드 ND9상의 신호전위를 받는 n채널 MOS 트랜지스터(165)와, 노드 ND7와 접지노드 Vss의 사이에 설치되고 그 게이트에 인버터(170)의 출력을 받는 n채널 MOS 트랜지스터(166)와, 노드 ND5와 외부전원전압 EXV을 받는 외부전원노드 EXV의 사이에 설치되는 p채널 MOS트랜지스터(158)와, 외부전원노드 EXV와 노드 ND6의 사이에 설치되는 p채널 MOS 트랜지스터 (159)를 포함한다.

노드 ND6는 MOS 트랜지스터(158) 및 (159)의 각각의 게이트에 접속된다.

MOS 트랜지스터(158) 및 (159)는 커런트미러 회로를 구성하고, MOS 트랜지스터(164) 및 (165)는 소스결합형 비교회로를 구성한다.

스탠바이 내부전원전압 발생회로(314)는 노드 ND10와 노드 ND13의 사이에 설치 되고, 그 게이트에 기준전압 Vref을 받는 n채널 MOS 트랜지스터(167)와, 노드 ND11와 노드 ND12의 사이에 설치되고, 그의 게이트에 노드 ND9 상의 신호전위를 받는 n채널 MOS트랜지스터(168)와, 외부전원노드 EXV와 노드 ND10의 사이에 설치되는 p채널 MOS 트랜지스터(161)와, 노드 NO11와 외부전원노드 EXV의 사이에 설치되는 p채널 MOS트랜지스터(162)를 포함한다.

노드 ND11는 MOS트랜지스터(161) 및 (162)의 게이트에 접속된다.

MOS 트랜지스터(161) 및 (162)는 커런트미러 회로를 구성하고, MOS 트랜지스터 (167) 및 (168)가 소스 결합형 비교회로를 구성한다.

이 스탠바이 내부전원전압 발생회로(314)는 또한, 노드 ND12와 접지노드 Vss의 사이에 설치되고, 그의 게이트에 내부전원전압 Vcc1을 받아 정전류원으로서 기능 하는 n채널 MOS트랜지스터(159)를 포함한다.

내부전원전압 발생회로(4)는 또한 활성화 내부전원전압 발생회로(313)의 노드 ND5상의 신호전위에 응답하여 도통하고 노드 ND8에 외부전원노드 EXV에서 전류를 공급하는 P채널 MOS 트랜지스터(160)와, 스탠바이 내부전원전압 발생회로(314)의 노드 ND10상의 신호전위에 응답하여 도통하고 외부전원노드 EXV에서 출력노드 ND8에 전류를 공급하는 P채널 MOS트랜지스터(163)와, 노드 ND8와 접지노드 Vss의 사이에 직렬로 접속되는 저항(171) 및 (172)를 포함한다.

저항(171) 및 (173)의 저항치는 그 비율이 예컨대 2 : 3이 되도록 설정된다.

다음에 동작에 관하여 간단히 설명한다.

스탠바이 상태에서는 로우어드레스 스트로브신호 /RAS는 H에 있고, 인버터 (170)의 출력은 L 에 있다.

이 상태에서는 MOS트랜지스터(310)가 온 상태, MOS 트랜지스터(166)가 오스 상태로 된다. 노드 ND5는 MOS 트랜지스터(310)에 의해 외부전원전압 EXV에까지 충전되고, MOS 트랜지스터(160)는 오프상태로 된다.

한 편, 스탠바이 내부전원전압 발생회로(314)에서는 MOS 트랜지스터(169)가 정 전류원으로서 동작하고 있고, 기준전압 Vref과 노드 ND9 상의 신호전위를 비교 하고 있다.

노드 ND9상의 신호전위가 기준전압 Vref 보다도 높은 경우에는, 노드 ND10의 전위가 상승하고 MOS 트랜지스터(163)의 콘덕턴스가 작아진다.

한 편 노드 ND9 상의 신호전위가 기준전압 Vref 보다도 낮는 경우에는, 노드 ND10의 전위가 저하하고 MOS 트랜지스터(163)의 콘덕턴스가 커져서 노드 ND8 에 전류를 공급한다.

이 동작에 의해 노드(9)상의 신호전위가 기준전압 Vref에 같아진다.

저항(171) 및 (172)의 저항치의 비는 2 : 3으로 설정되어 있고, 따라서 내부전원전 압 Vcc1은 5·Vref /3의 전압레벨로 유지된다.

예컨대 기준전압 Vref의 수치가 1.5V인 경우, 내부전원전압 Vcc1의 수치는 2.5V로 유지된다.

활성사이클(메모리 사이클)이 시작되면 로우어드레스 스트로브 /RAS가 L 로 되고, 활성화 내부전원전압 발생회로(313)가 활성상태로 된다. 즉 인버터(170)의 출력신호가 H 로 되고, MOS 트랜지스터(310)가 오프상태, MOS트랜지스터(166)가 온 상태로 된다.

이 MOS트랜지스터 (158, 159, 164) 및 (165)에 의해 형성되는 커런트미러형 차동 증폭회로의 동작은 스탠바이용 내부전원전압 발생회로의 그것과 같고, 노드 ND9 의 전압과 기준전압 Vref의 관계에 따라, MOS 트랜지스터(160)의 콘덕턴스를 조절함으로써 노드 ND8 상의 내부전원전압 Vcc1을 5·Vref /3의 일정한 전압레벨로 유지 한다.

내부전원전압 Vcc1이 거의 사용되지 않는 스탠바이시에는 소비전류가 작은 스탠 바이용 내부전원전압 발생회로(314)만을 동작시킴으로써 스탠바이시의 소비전류 를 저감한다.

내부전원전압 Vcc1이 소비되는(내부회로의 동작에 의해 신호선 충전에 의해 내 부전원전압 Vcc1에서 전류가 소비되는)데는, 메모리사이클(액티브사이클)에 있어서는 전류구동력이 큰 MOS 트랜지스터(160)에 의해 노드 ND8에 큰 전류를 공급하는 것에 의해 내부전원전압 Vcc1의 안정화를 꾀한다.

그렇지만 이 제62도에 나타내는 종래의 내부전원전압 발생회로 구성의 경우, 노드 ND8에서 접지노드 Vss에 저항(171) 및 (172)을 통하여 항상 전류가 흐른다. 이 저항(171) 및 (172)을 통하여 흐르는 전류를 작게 하기 위하여, 저항(171) 및 (172)의 저항치를 크게 했을 경우, 노드 ND8에서 노드 ND9의 RC지연이 커진다.

이 경우에는 노드 ND8 상의 신호전위의 변화가 지연되어 회로(313) 및 (314)에 전달되어, 이 내부전원전압 Vcc1의 변화에 고속으로 추종할 수가 없고, 내부전원 전압 Vcc1을 안정되게 일정한 레벨로 유지하는 것이 불가능하게 된다고 하는 문제가 생긴다.

즉 종래의 내부전원전압 발생회로의 구성에서는 저소비전력차를 도모하면 안정되게 내부전원전압을 발생하는 것이 불가능해진다고 하는 문제가 있었다.

상술한 바와 같이 종래의 반도체기억장치의 구성에는 성능을 열화시키지 않고 저 소비전력을 실현하는 것이 불가능하다고 하는 문제가 있었다.

그러므로 본 발명의 목적은, 안정되게 저소비전격으로 동작하는 반도체기억장치 를 제공하는 것이다.

본 발명의 다른 목적은 반도체기억장치의 저소비전력화를 실현하기 위한 각 구성을 제공하는 것이다.

본 발명의 또 다른 목적은, 저소비전력으로 효율적이고 안정되게 소정 전압레벨의 전압을 발생할 수 있는 내부전압 발생회로를 제공하는 것이다.

본 발명의 또 다른 목적은, 저소비전력으로서 효율적으로 기판바이어스 전압을 발생할 수 있는 부(-)전압 발생회로를 제공하는 것이다.

본 발명의 또 다른 목적은, 효율적으로 내부고전압을 발생하는 것이 가능한 내부 고전압 발생회로를 제공하는 것이다.

본 발명의 또 다른 목적은, 저소비전력으로 안정되게 중간전압을 발생하는 것이 가능한 중간전압 발생회로를 제공하는 것이다.

본 발명의 또 다른 목적은, 저소비전력으로 안정되게 내부전원전압을 발생하는 것이 가능한 내부전원전압 발생회로를 제공하는 것이다.

본 발명의 또 다른 목적은, 저소비전력으로 일정한 전압레벨의 기준전압을 안정 되게 발생하는 것이 가능한 기준전압발생회로 및 그를 위한 정전류원을 제공하는 것이 다.

본 발명의 또 다른 목적은, 저소비전력으로 고속으로 동작하는 반도체기억장치를 제공하는 것이다.

본 발명의 하나의 관점에 관계되는 반도체기억장치는, 외부에서 제공되는 외부전 원전압을 강압하여 내부전원전압을 생성하는 내부전원회로와, 차지펌프 동작에 의해 내부전원전압과 다른 전압레벨의 내부전압을

외부전원전압에서 생성하는 내부전압 발생수단을 구비한다.

본 발명의 하나의 관점에 관계되는 반도체기억장치에서는 차지펌프동작에 의해 외부전원전압에서 소정의 전압레벨의 내부전압을 발생하고 있기 때문에, 펌프회로가 출력하는 내부전압레벨이 목표전압레벨에 가까워져도 충분히 전하를 공급하 할 수가 있고, 고속이고 안정되게 소정 전압레벨의 내부전압을 발생할 수가 있다.

[실시예]

이하 부(-)전압 발생회로, 내부고전압 발생회로, 중간전압 발생회로 및 내부전원 전압 발생회로에 관하여 차례로 설명한다.

이들 회로는 하나 하나 독립해서 사용되어도 좋지만 편성하여 사용함으로써 저소비전력으로 안정되게 동작하는 반도체기억장치를 실현할 수가 있다.

[내부전압발생 회로]

제 1 도는 본 발명에 의한 내부전압 발생회로의 개략 구성을 나타내는 도면이다.

제 1 도에 있어서 내부전압발생회로는 펌프구동신호 CK를 발생하는 펌프구동신호 발생회로(224)와 외부전원노브 EXV에 제공되는 외부전원전압 EXV를 한편 동작 전원전압으로서 동작하고, 펌프구동신호 발생회로(224)에서의 클록신호 CK 에 따라 차지펌프동작을 행하여 내부전압(부전압 Vbb 또는 내부고전압 Vpp)을 발생하는 펌프회로(225)와, 펌프회로(B25)가 발생하는 내부전압의 레벨을 검지하고, 펌프구동신호 발생회로(224)의 신호발생 동작을 그의 레벨검지 결과에 따라 제어하는 레벨검출회로(223)를 포함한다. 레벨검출회로(223) 및 펌프구동신호 발생회로(224)는 외부전원전압 EXV 또는 내부전원전압 VCC1의 어느 하나를 동작전원전압으로 해서 받아도 된다.

제 2 도는 제 1 도에 나타내는 내부전압 발생회로의 동작을 개략적으로 나타내는 도면이다. 제 2 도에서는 내부전압으로서 부(-)전압 Vbb이 발생되는 경우의 상태가 일예로서 표시 된다. 펌프회로(225)는 외부전원전압 EXV을 동작 전원전압으로서 동작하고 있다. 따라서, 출력노드에 부(-)전압 Vbb을 공급하기 위한 내부노드의 전위진폭은 Vss 와 -EXV의 사이가 된다.

외부전원전압 EXV는 내부전원전압 Vcc1 보다도 높기 때문에, 부(-)전압 Vbb이 소정의 전압레벨(-2·Vthn)에 가까이 한 경우, 즉 -Vcc1의 전압레벨에 가까이 가도 제 2 도에 나타내는 바와 같이 이 내부노드 PND의 전위와 부(-)전압 Vbb 의 차이는 충분한 크기를 가지고 있어, 충분한 여유를 가지고 부전하를 공급하여 부(-)전압 Vbb을 저하시킬 수가 있다.

즉 제 2 도에 사선으로 나타내는 바와 같이, 내부전원전압 Vcc1을 이용하는 경우 보다도 외부전원전압 EXV을 이용하는 편이 내부노드 PND에 축적되는 부전하량이 커지고, 이 증가한 전하량에 의해 부(-)전압 Vbb이 소정레벨에 가까워져도 충분한 양의 부전하를 공급할 수가 있고, 고속으로 부(-)전압 Vbb을 저하시킬 수가 있다.

제 2 도에 나타내는 구성은, 내부고전압 Vpp을 발생하는 경우에도 적용할 수가 있다.

즉 펌프회로(225)에 있어서, 외부전원전압 EXV을 이용하여 차지펌프동작에 따라 내부전압을 발생함으로써 전하공급을 위한 내부노드의 전위진폭을 훨씬 크게 할 수가 있고, 내부전압이 소정 레벨에 가까워져도 충분한 양의 전하를 공급할 수가 있어, 고속으로 소정 레벨의 내부전압을 발생할 수가 있다. 이하 부(-)전압발생회로 및 내부 고전압 발생회로의 구체적 구성에 관하여 차례로 한다.

[부전압발생회로 1]

제 3 도는 본 발명에 따른 부(-)전압 발생회로의 제 1 의 실시예의 구성을 나타 내는 도면이다.

제 3 도에 있어서 부(-)전압 Vbb을 발생하는 회로는 제 1 도에 나타내는 구성과 같은 레벨의 검출회로(223), 펌프구동신호 발생회로(224) 및 펌프회로(225)를 포함한다.

레벨검출회로(223)는 펌프회로(225)의 출력노드 NA와 노드 NB의 사이에 설치되는 다이오드 접속된 n채널 MOS 트랜지스터(55)와, 노드 NB와 노드 NC의 사이에 설치되고 그 게이트가 접지전압 Vss을 받도록 접속되는 n채널 MOS 트랜지스터(54)와, 내부전원노드 Vcc1와 노드 NC1의 사이에 설치되고 그의 게이트에 접지전압 Yss을 받는 p채널 MOS트랜지스터(42)를 포함한다.

MOS트랜지스터(42)는 저항소자로서 기능하고, 미소전류를 내부전원노드 Vcc1에서 노드 NC에 공급한다.

즉 MOS트랜지스터(42)는 노드 NC의 전위를 내부전원전압 Vcc1레벨로 풀 업하는 풀 업소자로서 기능한다.

MOS트랜지스터(55)는 도통시에 Vthn의 전압강하를 생기게 한다.

또한, 이하에 특별히 예고되지 않는 한 Vthn은 n채널 MOS 트랜지스터의 한계치 전압을 나타내고, Vthp는 p채널 MOS트랜지스터의 한계치 전압을 나타낸다.

MOS트랜지스터(54)는 노드 NB의 번위가 -Vthn이 되었을 때에 도통한다.

즉 MOS트랜지스터(54) 및 (55)에 의해 펌프회로(225) 출력노드 NA의 부(-)전압 Vbb이 -2 · Vthn 이하로 되었을때에 이 레벨검출회로(223)의 노드 NC의 전위레벨이 L 레벨로 된다.

펌프구동신호 발생회로(224)는 레벨검출회로(223)의 노드 NC상의 신호전위를 받는 인버터(62)와, 인버터(62)의 출력신호를 그 한편 입력으로 받는 NOR회로(72)와, NOR회로(72)의 출력신호를 받는 3단의 종속접속된 인버터(63), (64) 및 (65) 를 포함한다.

인버터(64)의 출력신호는 다시 NOR회로의 다른편 입력에 제공된다.

인버터(65)에서 펌프구동용 클록신호 CK가 출력된다.

이 펌프구동신호 발생회로(224)는 외부전원전압 EXV을 일방동작전원전압으로서 동작한다.

따라서 클록신호 CK는 H 레벨이 외부전원전압 EXV레벨, L 레벨이 접지 전위 Vss 레벨이 된다.

레벨검출회로(223)의 노드 NC의 H 레벨은 내부전원전압 Vcc1레벨이다.

이 인버터(62)는 외부전원전압 EXV을 동작전원전압으로 해서 동작하고 있다.

이 인버터(62)에 있어서 관통전류를 방지하기 위하여, 인버터(62)는 제 4 도에 나타내는 구성을 구비한다.

제 4 도에 있어서 인버터(62)는 노드 NC와 노드 (62f)의 사이에 설치되어, 그 게이트에 내부전원전압 Vcc1을 받는 n채널 MOS트랜지스터(626)와, 외부전원노드 EXV와 노드(62e)의 사이에 설치되어, 그 게이트에 노드(62f)상의 신호전위를 받는 P채널 MOS트랜지스터(62a)와, 노드(62e)와 접지노드 Vss의 사이에 설치되어, 그 게이트에 노드(62f)상의 신호전위를 받는 n채널 MOS트랜지스터(62b)와, 외부 전원노드 EXV와 노드(62f)의 사이에 설치되어 그 게이트에 노드(62e)의 전위를 받는 p채널 MOS트랜지스터(62c)를 포함한다.

노드 NC의 전위가 내부전원전압 Vcc1레벨일 때 노드(621)에는 MOS트랜지스터 (634)를 통하여 Vcc1-Vthn레벨의 H 신호가 전달된다.

이 노드(62f)의 전위에 응답하여 MOS트랜지스터(62b)가 온 상태로 되어, 노드 (62e)의 전위를 저하시킨다.

이 노드(62b)의 전위저하에 의해 MOS트랜지스터(62c)가 온 상태로 되어 외부전 원노드 EXV에서 노드(621)에 전류를 공급하고, 노쓰(621)의 전위를 상승시킨다.

MOS트랜지스터(62b)가 보다 강하게 온 상태로 되어 노드(62e)의 전위는 접지전압 Vss레벨에 도달하고, 노드(621)의 전위는 MOS트랜지스터(62c)에 의해 외부전원전압 EXV레벨에 도달한다.

이것에 의해 MOS트랜지스터(62a)는 오프상태로 된다.

노드(62f)의 전위가 외부전원전압 EXV으로 되었을때, MOS트랜지스터(62d)는 오프상태로 있어 노드 NC는 외부전원전압 EXV의 영향을 받지 않고 내부전원전압 Vcc1레벨을 유지 한다.

노드 NC의 전위레벨이 L 레벨로 저하한 경우 MOS트랜지스터(62b)를 통하여 노드(62f)의 전위가 저하하고, p채널 MOS트랜지스터(62a)가 온 상태로 되어 노드 (62e)의 전위레벨을 상승시킨다.

이것에 의해 MOS트랜지스터(62c)가 오프상태로 이행하고, 최종적으로 MOS트랜지스터(62a)가 온 상태, MOS트랜지스터(62b)가 오프상태로 된다.

상술한 바와 같이, 인버터(62)에 레벨변환기능을 가지게 하는 것에 의해, 레벨검출회로(223)의 출력신호의 전위레벨이 내부전원전압 Vcc1레벨이라도 인버터(62) 에서의 관통전류를 방지할 수가 있고, 저소비전류를 실현할 수가 있다.

이 제 3 도에 나타내는 펌프구동신호 발생회로(224)의 동작은 종래의 것과 동일하다.

즉 레벨검출회로(223)의 노드 NC의 전위레벨이 보 일 때, 인버터(62)의 출력이 L 이 되어 NOR회로(72)가 인버터로서 기능하고, 이 NOR회로(72)와 인버터 (63) 및 (64)에 의해 링오실레이터가 구성되어, 소정의 펄스폭 및 주기를 가지는 신호가 생성 된다.

이 인버터(64)의 출력신호가 인버터(65)에 의해 반전되어 클록신호 CK가 생성 된다.

레벨검출회로(223)의 노드 NC의 언위레벨이 L 일 때 인버터(62)의 출력이 H 로 되어 NOR회로(7B)의 출력신호가 L 로 고정되고, 링오실레이터의 발진 동작이 정지되어 클록신호 CK는 H 레벨로 고정된다.

즉 이 펌프구동신호 발생회로(224)는 펌프회로(225)에서 출력되는 부(-)전압 Vbb이 소정레벨 -2·Vthn 이하로 되면, 그 발진동작을 정지하고 클록신호 CK를 소 정 레벨로 유지하며, 펌프회로(225)의 펌프동작을 정지한다.

펌프회로(225)는 펌프구동신호 발생회로(224)에서의 클록신호 CK를 입력하는 인버터(66)와 인버터(66)의 출력을 받는 인버터(67)와, 인버터(66)의 출력을 받는 2 단의 종속접속된 인버터(69) 및 (70)와, 인버터(67)의 출력을 받는 인버터(68)와, 인버터(68)의 출력신호에 응답하여 노드 N8의 전위를 차지펌프동작에 의해 변화 시키는 캐패시터(74)와, 노드 N8방의 전위를 한편 동작전원전압으로 하고, 접지 전압 Vss을 다른편 전원전압으로서 동작하며, 인버터(67)의 출력신호를 반전하는 인버터를 구성하는 P채널 MOS트랜지스터(46) 및 n채널 MOS트랜지스터(58)를 포함한다.

이 트랜지스터(46) 및 (58)로 구성되는 인버터는 출력노드 N9를 가지고 있다.

펌프회로(225)는 또한 인버터(66)의 출력신호에 응답하여 노드 N13b의 전위를 접지전위 레벨로 방전하는 n채널 MOS트랜지스터(56)와, 인버터(67)의 출력신호에 응답하여 노드 N 133의 전위를 접지전위 레벨로 방전하는 n채널 MOS트랜지스터(57)와, 노드 N13a상의 신호전위에 응답하여 노드 N13b에 노드 N8상의 신호전위를 전달하는 p채널 MOS트랜지스터(43)와, 노드 N13b상의 신호전위에 응답하여 노드 N8상의 신호전위를 노드 N13a상에 달하는 P채널 MOS트랜지스터(44)와, 노드 N13a상의 신호전위에 응답하여 외부전원노드 EXV에서 외부전원전압 EXV를 노드 N8에 전달하는 p채널 MOS트랜지스터(45)를 포함한다.

p채널 MOS트랜지스터(43), (44) 및 (45)의 기판영역(반도체기판 또는 웰영역)은 노드 N8에 접속된다.

노드 N8의 전위가 나중에 설명하는 바와 같이 최대 2·EXV레벨에까지 상승하기 때문이다.

펌프회로(225)는 또한, 노드 N9와 노드 N10을 용량결합하는 커패시터(75)와, 인버터(169)의 출력신호에 따라 차지펌프동작에 의해 노드 N12의 전위를 변화시키는 커패시터(77)와 인버터(70)의 출력신호에 응답하여 차지펌프동작에 의해 노드 N11의 전위를 변화시키는 커패시터(76)와, 노드 N12상의 신호전위를 | Vthp | 에 크램프하는 다이오드 접속된 P채널 MOS트랜지스터(49)와, 초드 N12상의 신호전위에 응답하여 노드 N10 및 N11의 전위를 접지전위 Vss레벨로 각각 방전하는 p 채널 MOS트랜지스터(47) 및 (48)와, 노드 N10상의 신호전위에 응답하여 노드 N11에서 출력노드 NA에 부전하를 공급하는 p채널 MOS트랜지스터(50)를 포함한다.

이 펌프회로(225)에 포함되는 인버터(66~70)는 외부전원전압 EXV을 한편 동작 전원전압으로 하고, 접지전압 Vss을 다른 면 동작 전원전압으로 해서 동작한다.

다음의 이 제 3 도에 나타내는 펌프회로의 동작을 그 동작파형도인 제 5 도를 참 조하여 설명 한다. 펌프구동신호 발생회로(224)에서의 클록신호 CK가 H 로 상승하면, 인버터(66) 의 출력이 L 로 강하하고, 인버터(67) 및 (69)의 출력신호가 H 로 상승 한다.

MOS트랜지스터(57)는 인버터(67)의 출력신호에 응답하여 도통하고, 노드 N13a를 접지전위 Vss레벨로 방전한다.

이것에 의해 MOS트랜지스터(45)가 온상태로 되어 노드 N8를 외부전원전압 EXV레벨로 충전한다.

한편 인버터(69)의 출력신호가 H 로 되어 노드 N12의 전위가 커패시터(77)의 차지펌프동작(용량결합)에 의해 상승하지만, MOS트랜지스터(49)에 의해 노드 N12의 전위는 | Vthp | 로 크램프된다.

한편 인버터(70)의 출력신호가 L로 강하하고 노드 N11의 전위가 커패시터(76)의 차지펌프동작에 의해 저하한다.

이때 MOS트랜지스터(48)는 게이트에 한계치전압의 절대치 | Vthp | 의 전압을 받아 오프상태로 되고 노드 N11의 전위는 -EXV로 된다.

마찬가지로 해서 인버터(67)의 출력신호가 H로 되면, MOS트랜지스터(58)는 온 상태로 되어 노드 N9의 전위가 접지전위 Vss레벨로 저하한다.

이때 MOS트랜지스터(47)는 MOS트랜지스터(48)와 같은 오프상태로 있다.

노드 N10의 전위는 후에 설명하는 바와 같이 -2·EXV로 된다.

이것에 의해 MOS트랜지스터(50)가 온상태로 되어 노드 N11에서 노드 NA에 부전하(전자)가 유출하고, 노드 NA의 전압 Vbb이 저하하며, 한편 노드 N11의 전위가 상승한다.

노드 N11와 NA의 전위가 동등하게 될 때에 MOS트랜지스터(50)가 오프상태로 된다.

이때 인버터(67)의 출력신호에 의해 MOS트랜지스터(57)가 온상태로 되고, 노드 N13a가 접지전압 Vss레벨로 방전된다.

따라서 MOS트랜지스터(45)가 온상태로 되고 노드 N8는 EXV로 충전된다.

클록신호 CK가 L 로 강하하면, 인버터(66)의 출력신호가 H 로 상승한다.

이것에 응답하여 MOS트랜지스터(56)가 온상태로 되어 노드 N13b가 접지전위 레 벨로 방전되며, MOS트랜지스터(44)가 온 상태로 되어 노드 N13a에는 노드 N8 위의 전위가 전달된다.

이때 인버터(67)의 출력신호는 L이고, MOS트랜지스터(57)는 오프상태로 된다. 또 인버터(68)의 출력신호가 H 로 상승하기 때문에, 그때까지 외부전원전압 EXV에 프리차지되어 있던 노드 N8의 전위는 커패시터(74)의 차지펌프동작에 의해 상승하고 2·EXV로 된다.

이것에 의해 MOS트랜지스터(45)가 오프상태로 된다.

또 인버터(67)의 출력신호는 L 로 되기 때문에 MOS트랜지스터(46)가 온상태, MOS트랜지스터(58)가 오프상태로 되고, 노드 N9는 노드 N8에서 전하가 공급되 어 2·EXV의 전압레벨에까지 상승한다.

이 노드 N9의 전위의 상승에 응답하여 노드 N10의 전위가 커패시터(75)의 차지 펌프동작에 의해 상승한다.

이때 인버터(69)의 출력신호가 L로 강하하고, 커패시터(74)의 차지펌프 동작에 의해 노드 N12의 전위는, -EXV+ | Vthp | 의 전위레벨에 저하하고, MOS트랜지스터(47) 및 (48)는 함께 온 상태로 되며, 노드 N10 및 N11은 접지전압 Vss레벨로 충전된다.

이것에 의해 MOS트랜지스터(50)는 오프상태로 된다.

노드 N8의 전위는 2·EXV와 EXV의 사이에서 변화하고, 노드 N9와 -2.EXV와 Vss의 사이에서 변화한다.

즉 진폭이 2·EXV이다.

따라서 노드 N10는 커패시터(75)의 차지펌프동작에 의해 Vss와 -EXV의 사이에서 변화한다.

노드 N11의 전위는 Vss와 -EXV의 사이에서 변화한다.

이 부(-)전압 Vbb이 소정 레벨의 -2·Vthn에 달하면 레벨검출회로(223)에 의해 클록신호 CK를 고정레벨로 해서 펌프회로(225)의 펌프동작을 정지시키고 있다.

노드 N8의 전압을 EXV와, 2·EXV의 사이에서 변화시키는 것에 의해 노드 N9 의 전위진폭을 3·EXV로 할 수가 있다.

이것에 의해 커패시터(75)의 용량결합에 의한 노드 N10의 전위진폭을 2·EXV로 할 수가 있고, 펌프회로(225) 출력의 부(-)전압 Vbb의 최저도달전위를 -EXV로 할 수가 있다.

따라서 저소비전력화를 위하여 내부전원전압 Vcc1을 저하시켜도 -EXV와 -2·Vthn과의 차는 충분한 크기가 있어, 부(-)전압 Vbb이 소정 전압레벨 -2·Vthn에 접근했다고 해도 충분한 량의 부전하를 출력노드 NA에 공급할 수가 있어, 고 효율의 부(-)전압 발생회로를 실현할 수가 있다.

또 레벨검출회로(233)에는 안정된 내부전원전압 Vcc1이 공급되고 있기 때문에, 외부데이터 EXV가 변동하여도 노드 NC의 전위레벨은 하등 변동하지 않기 때문에 정확하게 소정의 전압레벨 -2·Vthn을 검출할 수가 있다.

또한 제 3 도에 나타내는 펌프구동신호 발생회로(224)에 있어서는 외부전원전압 EXV이 제공되고 있다.

이것에 대신하여 펌프구동신호 발생회로(224)때는 내부전원전압 Vcc1이 한편 동작 전원전압으로서 공급되어도 된다.

이 경우에는 펌프회로(225)의 입력부의 인버터(66)가 제 4 도에 나타내는 구성을 구비하고 있으면 된다

[부전압발생회로 2]

제 6 도는 본 발명에 따른 부(-)전압발생회로의 제 2 의 실시예의 구성을 나타내는 도면이다.

제 6 도에 나타내는 부(-)전압발생회로는 이하의 점에서 제 3 도에 나타내는 부 (-)전압발생회로와 달리하고 있다.

즉 레벨검출회로(223)에는 외부전원전압 EXV이 제공되어 있다.

이 레벨검출회로(223)에 외부전원전압 EXV을 제공함으로써 내부전원전압 Vcc1을 공급하기 위한 배선이 필요없게 되어 레이아웃이 간략화된다.

즉 전원패드(2001)에 외부에서 제공되는 전원전압 EXV을 외부전원선(2002)을 통하여 레벨검출회로(223), 펌프구동신호 발생회로(224) 및 펌프회로(225)에 전달하는 것에 의해, 이들 회로의 동작전원전압을 전달하기 위한 전원선으로서는 외부 전원선(2002)만이 필요로 될 뿐이고 전원선 레이아웃이 간략화된다.

펌프구동신호 발생회로(224)의 구성은 제 6 도에 나타내는 것과 동일하고, 대응하는 부분에는 동일한 참조번호를 붙인다.

마찬가지로 레벨검출회로(223)의 구성자체도 제 3 도에 표시한 레벨검출회로의 구성과 같고 대응하는 부분에는 동일참조번호를 붙인다.

펌프회로(225)는 제 3 도에 나타내는 구성에 덧붙여서 외부전원노드 EXV와 노드 N3I의 사이에 접속되고 또한 그의 게이트에 외부전원전압 EXV을 받는 n채널 MOS 트랜지스터(1002)와, 인버터(67)의 출력신호에 응답하여 노드 N3I의 전위를 차지펌프동작에 의해 변화시키는 커패시터(1000)와, 노드 N3I상의 신호전위에 응답하여 외부전원전압 EXV을 노드 N30에 전달하는 n채널 MOS트랜지스터(1003)와, 인버터(68)의 출력신호에 응답하여 노드 N30의 전위를 차지펌프동작에 의해 변화시키는 커패시터(1001)를 포함한다.

노드 N8를 프리차지하기 위한 p채널 MOS트랜지스터(45)의 기판영역은 노드 N30에 접속된다.

이 펌프회로(225)의 다른 구성은 제 3 도에 나타내는 것과 같고, 대응하는 부분에는 동일한 참조번호를 붙인다.

다음에 이 제 6 도에 나타내는 펌프회로(225)의 추가부분의 동작에 관하여 그 동작파형도인 제 7 도를 참조하여 설명한다.

펌프구동신호 발생회로(224)에서의 클록신호 CK가 H 로 상승하면 노드 N8의 전위가 외부전원전압 EXV으로 되고, 노드 N13a의 전위가 접지전위 Vss레벨로 된다.

이 때, MOS트랜지스터(1002)에 의해 EXV-Vthn에 클램프되어 있던 노드 N3I의 전위가 커패시터(1000)의 차지펌프 동작에 의해 2·EXV-Vthn 레벨이 된다. 이로 인해 MOS트랜지스터(1003)가 온 상태가 되고, 노드 N30는 외부전원전압 EXV의 전압레벨이 된다.

이때 인버터(68)의 출력신호가 L 로 강하하여 커패시터(1001)에 의해 차지펌프동작이 행해지지만, MOS트랜지스터(1003)의 충전동작에 의해 노드 N30의 전 위는 외부전원전압 EXV의 레벨로 유지된다.

클록신호 CK가 L 로 강하하면, 상술한 바와 같이 노드 N8의 전위는 커패시 터(74)의 차지펌프동작에 의해 2·EXV로 되고, MOS트랜지스터(44)를 통하여 노드 N13a의 전위도 2·EXV로 된다.

노드 N31는 MOS트랜지스터(1002)에 의해 EXV-Vthn로 크램프되고, MOS트랜지스터(1003)는 오프상태로 된다.

따라서 노드 N30는 인버터(68)의 출력신호가 H 로 상승하기 때문에, 커패시터 (1001)의 차지펌프동작에 의해 프리차지레벨의 EXV에서 2·EXV의 전압레벨에 승압된다.

이 제 6 도에 있어서 새로이 추가된 구성은 펌프회로(225)가 발생하는 부(-)전압 Vbb의 전압레벨 자체에는 경향은 미치지 않는다.

이 펌프회로(225)는 제 3 도에 나타내는 구성과 마찬가지로 여유를 가지고 부(-) 전압 Vbb을 생성하는데, 이 제 6 도에 나타내는 구성의 이점에 관하여 설명한다.

제 8 도는 제 6 도에 나타내는 p채널 MOS트랜지스터(45)의 개략단면구조를 나타내는 도면이다.

MOS트랜지스터(45)는 부(-)전압 Vbb이 바이어스 전압으로서 인가되는 p형 반도 체기판(2010) 표면에 형성

된 N형 웰(2012) 내에 형성된다.

이 MOS트랜지스터(45)는 N웰(2012)의 표면에 사이를 두어 형성되는 p형 불순물 영역(2014) 및 (2016)과, 기판전극 인출영역이 되는 N형 불순물영역(2018)을 포함 한다.

p형 불순물영역(2014)은 노드 N8에 접속되고, p형 불순물영역(2016)은 외부전원 노드 EXV에 접속되며, 전극인출용 N형 불순물영역(2018)은 노드 N30에 접속된 다.

제 7 도에 나가내는 파형도에서 알 수 있듯이 노드 N8는 전압 EXV 및 2·EXV 의 사이에서 그의 전위가 변화한다.

노드 N30 즉 N웰(2013)의 전압은 EXV 및 2· EXV의 사이에서 변화한다.

노드 N30의 전위 즉 N웰(2012)의 전압은 p형 불순물영역(B14) 및 (216)의 전압레벨보다도 낮아지는 것은 아니다.

즉 이 P형 불순물영역(2014) 및 (2016)과 N웰(212)의 사이에 형성되는 PN 접합은 순방향으로 바이어스되는 것은 아니다.

따라서 B형 불순물영역(2014) 및 (2016)을 컬렉터로 하고, N웰(2012)을 베이스로 하며, p형 반도체기판(2010)을 이미터로 하는 기생바이폴러 트랜지스터는 항상 오프상태를 유지 한다.

이것에 의해 p형 불순물영역(2014) 및 (2016)에서 p형 반도체기판(2010)에 흐르는 리크전류 Ib의 발생을 방지할 수가 있다.

즉 리크전류 Ib가 p형 반도체기판(210)에 흘러들어오면 기판 바이어스를 제공하는 부(-)전압 Vbb의 전압레벨이 상승하고, 펌프회로는 이 리크전류 Ib에 의해 주입된 정(+)전하를 보상하는 부(-)전하를 공급할 필요가 있다.

이 때문에 펌프회로의 동작기간이 길어져서 소비전류가 증대한다.

따라서 이 제 6 도에 나타내는 구성을 이용함으로서 기판리크전류 Ib의 발생을 억제하는 것에 의해 부전하가 쓸데없이 소비되는 일은 없기 때문에(펌프회로 자신이 발생한 부전하를 소비하는 일은 없기 때문에), 저소비전류로 부(-)전압 Vbb을 발생할 수가 있다.

또한 상술한 실시예에 있어서, p형 반도체기판(2010) 표면에 메모리셀 형성영역 (2020)이 설치되어 있다.

이 트랜지스터(45)가 메모리셀 형성영역(2010)과 동일한 p형 반도체기판 표면에 형성되는 것은 아니고, 메모리셀 형성영역(2010)의 p형 반도체기판영역과 트랜지스터(45)를 형성하는 기판영역이 서로 분리되어 있어, 이 반도체기판영역에 접지 전압 Vss이 인가되는 소위 「트리플 웰구조」 등이 사용되는 경우에는 제 3 도에 나타내는 펌프회로에 있어서도 저소비전력화가 실현될 수가 있다.

[부전압발생회로 3]

제 9 도는 본 발명에 따른 부(-)전압발생회로의 제 3의 실시예를 나타내는 도면이다.

제 9 도에 나타내는 구성은 이하와 점에서 제 6 도에 나타내는 구성과 다르다.

즉 펌프회로(225)에 있어서 MOS트랜지스터(45)의 기판영역(백게이트)에 접속되는 노드 N30는 다이오드 접속된 n채널 MOS트랜지스터(45)의 기판영역(1088)(또는 p형 확산층과 n웰로 구성되는 접합 다이오드라도 된다)를 통하여 내부고전압 Vpp를 받는다.

제 9 도에 나타내는 구성에 있어서는, 제 6 도에 나타내는 커패시터(1000), MOS 트랜지스터(1002) 및 (1003)는 설치되어 있지 않다.

펌프회로(225)에 포함되는 구성요소의 수를 저감할 수가 있고 장치점유면적을 저 감할 수가 있다.

제 6 도에 나타내는 구성과 같고 대응하는 부분에는 동일한 참조번호를 붙인다.

부전압 Vbb을 발생하는 동작자체는 제 3 도에 나타내는 Vbb발생회로의 그것과 같다.

달리하는 점에 관해서만 이하에 제 10 도에 나타내는 동작파형도를 참조하여 설 명 한다.

클록신호 CK가 외부전원전압 EXV레벨의 H 로 상승하면, 노드 N8는 앞의 제 3 도 및 제 6 도에 나타내는 구성과 마찬가지로 MOS트랜지스터(45)에 의해 충전되어 외부전원전압 EXV의 전압레벨로 된다.

한편 노드 N30은 인버터(68)의 출력신호가 L 로 강하하고 커패시터(1001)의 차지펌프동작에 의해 그 전위가 저하하는데, 이 때 MOS트랜지스터(1088)가 온상 태로 되어 노드 N30의 전위를 Vpp-Vthn로 크램프한다.

클록신호 CK가 L 로 강하하면 인버터(68)의 출력신호가 H 로 상승하고, 노드 N30의 전위가 커패시터(1001)의 차지펌프동작에 의해 Vpp-Vthn + EXV의 전압레벨까지 상승한다.

이 때 MOS 트랜지스터(1088)는 역바이어스 상태가 되고, 오프상태로 된다.

이 때 또 노드 N8의 전위는 커패시터(74)의 차지펌프동작에 의해 2·EXV의 전압에까지 승압된다.

이 차지펌프동작에 의해 전압 EXV분의 전위상승이 생기는 것은 인버터(68)가 외부전원전압 EXV을 동작전원전압으로서 동작하고 있어, 그 출력신호의 H의 레벨은 외부전원전압 EXV레벨이기 때문이다.

노드 N30와 MOS트랜지스터(1088)를 통하여 내부고전압 Vpp을 전달하는 구성에 있어서도 이하에 설명하는 바와 같이 MOS트랜지스터(45)에서의 기판리크전류의 발생을 방지할 수가 있다.

즉 지금 제 8 도에 나타내는 단면구조를 참조하면, 노드 N8의 전위가 외부전원 전압 EXV의 전압레벨로 되었을때, 노드 N30 즉 N웰(2012)의 전압레벨은 VpP-Vthn이다.

이 때 나중에 내부고전압 발생회로의 설명에서 알 수 있는 바와 같이, VPP-Vthn EXV이면 p형 불순물영역(2014) 및 (2016)과 N웰(201B) 사이의 PN접합은 역 바이어스 상태로 된다.

노드 N8의 전압이 2·EXV로 상승하였을때 노드 N8, N30의 전압변화는 서로 같고 노드 N30의 전압은 Vpp-Vthn+EXV이다.

따라서 이 경우에도 N웰(2012)의 전압레벨은 p형 불순물영역(2014)의 전압레벨보다도 높다.

따라서 노드 N8의 전압레벨에 관계없이 N웰(2012)과 P형 불순물영역(2014) 및 (2016)의 사이의 PN접합은 항상 역 바이어스 상태로 된다.

이것에 의해 P형 불순물영역(2014) 및 (2016)과, N웰(2012)과 P형 반도체기판 (2010)으로 형성되는 기생 바이폴러 트랜지스터는 항상 오프상태로 되어 기판리 크전류 Ib의 발생은 금지된다.

이것에 의해 제 6 도에 나타내는 구성과 동일 저소비전류와 부(-)전압 Vbb을 발생할 수가 있다.

이상과 같이, 본 발명에 따른 부(-)전압 발생회로의 구성에 따르면, 외부전원전압 EXV에서 차지펌프 동작에 의해 부(-)전압 Vbb을 발생하고 있기 때문에, 부(-)전 압 Vbb이 소정 전압레벨에 접근해도 충분한 량의 부전하를 공급할 수가 있고, 고속이고 안정되게 부(-)전압 Vbb을 생성할 수가 있다.

역시 내부고전압 Vpp을 발생하는 회로로서는 Vpp -Vthn EXV라는 조건을 만족하는 내부고전압 Vpp을 발생하는 것이 가능한 한 임의의 구성을 이용할 수가 있다.

이하에 설명하는 내부고전압발생회로가 이용되어도 좋다.

원리적으로 위에서 설명한 부(-)전압발생회로의 트랜지스터의 도전형식 및 전원 전압 극성을 역으로 함으로써 내부고전압 발생회로를 실현할 수가 있다.

이하에 효율적이고 저소비전력으로 내부고전압을 발생할 수 있는 구성에 관하여 설명한다.

[내부고전압발생회로 1]

제 11 도는 본 발명에 따른 내부고전압 발생회로의 제 1 의 실시예의 구성을 나 타내는 도면이다.

제 11 도에 있어서 내부고전압발생회로는 차지펌프동작을 행하여 외부전원전압 EXV에서 소정의 내부고전압 Vpp을 발생하는 펌프회로(228)와, 펌프회로(228)에 차지펌프동작을 행하게 하기 위한 클록신호 CK를 발생하는 펌프구동신호 발생회로(227)와 펌프화로(228)의 생성한 내부고전압 Vpp의 레벨을 검출하고, 그 검출 결과에 따라 펌프구동신호 발생회로(237)의 클록신호 발생동작을 정지시키는 레벨검출회로(226)을 포함한다.

레벨검출회로(226)는 도통시에 내부고전압 Vpp을 그의 한계치전압의 절대치 |Vthp|만큼 저하시켜서 노드 NG에 전달하는 다이오드 접속된 p채널 MOS트랜 지스터(106)와, 노드 NG와 노드 NF의 사이에 설치되고 그 게이트에 내부전원전압 Vcc1을 받는 p채널 MOS트랜지스터(107)와, 노드 NF와 접지노드 VSS의 사이에 접속되고 그 게이트에 내부전원전압 Vcc1을 받아 저항소자로서 동작하는 n 채널 MOS 트랜지스터(118)를 포함한다.

MOS 트랜지스터(106) 및 (107)의 기판영역(백게이트)에는 내부고전압 Vpp이 제공된다.

MOS트랜지스터(107)는 노드 NG의 전압이 Vcc1 +|Vthp|로 되었을 때에 도통하고, 노드 NF의 전압레벨을 상승시킨다.

내부고전압 VPP이 Vcc1+|Vthp|이하일 경우에는 MOS트랜지스터(106) 및 (107)는 오프상태로 되고, 노드 NF는 MOS트랜지스터(118)에 의해 접지전압 VSS에 유지 된다.

이 MOS트랜지스터(118)의 전류구동력은 매우 작게 되어 있고, 이 레벨검출회로 (226)에 있어서 흐르는 전류는 충분히 작은 수치로 설정되어 있다.

펌프구동신호 발생회로(B27)는 레벨검출회로(226)의 노드 NF의 신호전위를 입력 하는 인버터(124)와, 인버터(124)의 출력신호를 그 한 편 입력으로 받는 NAND회로(133)와, NAND회로(133)의 출력신호를 받는 3단의 종속접속된 인버터(125), (126) 및 (127)을 포함한다.

인버터(127)에서 차지펌프동작 구동용의 클록신호 CK가 출력된다.

인버터(126)의 출력신호는 또 NAND회로(133)의 다른 편 입력에 제공된다.

이 펌프구동신호 발생회로(227)는 외부전원전압 EXV을 동작 전원전압으로 해서 동작해도 되고, 또 내부전원전압 Vcc1을 동작 전원전압으로 해서 동작해도 된다.

전원검출회로(226)의 노드 NF의 H 레벨은 내부전원전압 Vcc1레벨로 있다.

레벨변환회로(227)가 이용하는 동작전원전압(외부전원전압 또는 내부전원전압)에 따라서 이 입력단 또는 출력단에 레벨변환소자가 설치된다(제 4 도 참조).

이 펌프구동신호 발생회로(227)의 동작은 이하와 같다.

레벨검출회로(226)의 노드 NF에서 L의 신호가 출력되는 경우, 인버터(124)의 출력신호는 H로 된다.

이 경우에는 NAND회로(133)가 인버터로서 동작하고, NAND회로(133) 또는 인버터(125) 및 (126)에 의해 링오실레이터가 형성되고, 인버터(127)에서 소정의 펄스 폭 및 주기를 가지는 클록신호 CK가 출력된다.

레벨검출회로(226)의 노드 NF의 전위가 H일 때 인버터(124)의 출력신호는 L로 된다.

이 상태에서는 NAND회로(133)의 출력신호는 H에 고정된다.

이것에 의해 NAND회로(133) 또는 인버터(125) 및 (126)에 의한 링오실레이터의 발진동작이 정지되고, 인버터(127)에서 출력되는 클록신호 CK는 H 레벨에 고 정 된다.

펌프회로(228)는 이하에 상세하게 설명되는 바와 같이, 이 클록신호 CK에 따라 차지펌프동작을 실행하고 있다.

따라서 내부고전압 Vpp이 Vcc1+ 2|Vthp| 이상으로 되었을 때에는 펌프회로 (228)의 차지펌프동작이 정지된다.

이것에 의해 Vcc1+2|Vthp| 레벨의 내부고전압 Vpp이 생성된다.

펌프회로(228)는 펌프구동신호 발생회로(227)에서의 클록신호 CK를 입력하는 2단의 종속접속된 인버터(128) 및 (129)와 인버터(129)의 출력신호에 따라 차지펌프 동작을 실행하고, 노드 N20의 전위를 변화시키는 MOS트랜지스터(108)와, 노드 N20에 축적된 정전하를 방출하는 것에 의해 내부고전압 Vpp을 p채널 MOS트랜지스터(110)와, 인버터(129)의 출력신호에 응답하여 차지펌프동작을 행하여 노드 N23의 전위를 변화시키는 MOS커패시터(412)를 포함한다.

MOS커패시터(108)및 (412)는 p채널 MOS트랜지스터를 사용하여 구성되고, 또한 그 기판영역(백게이트)이 소스 및 드레인영역에 접속되며, 그의 게이트에 인버터 (129)의 출력신호를 받는다.

노드 N23는 또 MOS트랜지스터(110)의 기판영역(게이트)에 접속된다.

펌프회로(228)는 또한 클록신호 CK에 응답하여 도통하고 노드 N19를 접지전압 VSS에 방전하는 n채널 MOS트랜지스터(119)와, 클록신호 CK를 반전하는 인버터 (131)와, 인버터(131)의 출력신호에 응답하여 도통하고 노드 N18를 접지전압 VSS레벨로 방전하는 n채널 MOS트랜지스터(120)와, 노드 N19상의 신호전위에 응답하여 도통하고, MOS트랜지스터 N17의 게이트를 전지전위레벨로 방전하는 p채널 MOS트랜지스터(112)와, 노드 N18상의 신호전위에 응답하여 도통하고, MOS트랜지스터(110)의 게이트에 내부고전압 Vpp를 전달하는 p채널 MOS트랜지스터(111)와, 노드 N19상의 신호전위에 응답하여 도통하고, 노드 N18에 내부고전압 Vpp를 전달하는 p채널 MOS트랜지스터(114)와, 노드 N18상의 신호전위에 응답하여 도통하고, 노드 N19에 내부고전압 Vpp을 전달하는 p채널 MOS트랜지스터를 포함한다.

MOS 트랜지스터(111～114)의 기판영역(백게이트)에는 내부고전압 Vpp이 전달 된다.

펌프회로(228)는 또한 노드 N20를 외부전원전압 EXV 레벨로 프리차지하기 위한 회로(417)를 포함한다.

이 프리차지회로(417)는 게이트 및 드레인이 교차결합되어, 각각 도통시에 노드 N20상의 전압을 전달하는 p채널 MOS트랜지스터(413) 및 (414)와, 클록신호 CK 에 응답하여 MOS트랜지스터(414)의 게이트를 접지전위레벨에 방전하는 n채널 MOS트랜지스터(415)와, 인버터(128)의 출력신호에 응답하여 도통하고, 노드 N22를 통하여 MOS트랜지스터(413)의 게이트를 접지전위레벨에 방전하는 n채널 MOS트랜지스터(416)와, 노드 N22상의 신호전위에 응답하여 도통하고, 노드 N20에 외부전원전압 EXV을 전달하는 P채널 MOS트랜지스터(109)를 포함한다.

MOS트랜지스터(109)의 기판영역(백게이트)은 노드 N23에 접속된다.

MOS트랜지스터(108) 및 (413)로서 p채널 MOS트랜지스터를 사용하여 또한 그 기판영역(백게이트)을 소스 및 드레인과 접속하는 이유 및, 노드 N23을 MOS트랜지스터(109) 및 (110)의 기판영역(백게이트)에 접속한 이유에 관해서는 후에 상세하게 설명한다.

이 펌프회로(228)에 포함되는 인버터(128), (129) 및 (131)은 외부전원전압 EXV을 한편 동작전원전압으로 해서 동작하고 있고, 각각의 출력신호의 진폭은 외부전원 전압 EXV 이다.

다음에 이 펌프회로(228)의 동작에 관하여 그의 동작파형도인 제 12 도를 참조하여 설명 한다.

클록신호 CK가 L일 때 인버터(128) 및 (131)의 출력신호가 H로 되고 MOS트랜지스터(120) 및 (416)가 온상태, MOS트랜지스터(119) 및 (415)가 오프 상태로 된다.

이 때 노드 N22는 접지전압 레벨에 방전되어 MOS트랜지스터(109)가 온상태로 되고, 노드 N20는 외부전원전압 EXV레벨에 충전된다.

이 노드 N20상의 신호전위는 MOS 트랜지스터(413)를 통하여 MOS 트랜지스러 (414)의 게이트에 전달되어 MOS트랜지스터(414)가 오프상태로 된다.

한편 MOS트랜지스터(120)가 온상태로 있기 때문에 노드 N18가 접지전압 VSS레벨로 방전되어 MOS트랜지스터(111) 및 (113)가 온상태로 되며, 노드 N17 및 N19는 내부고전압 Vpp레벨로 되어 MOS트랜지스터(114) 및 (112)는 동시에 오프 상태로 된다.

MOS트랜지스터(110)는 노드 NI7의 전위가 내부고전압 Vpp레벨이고 오프상태된다.

노드 N23의 전압은 나중에 상세하게 설명하지만 적어도 Vpp-VBE레벨로 된다.

여기에서 VBE는 MOS트랜지스터(110)의 불순물영역과 기판영역(백게이트)에 의해 형성되는 PN접합의 한계치전압을 나타낸다.

클록신호 CK가 H 로 상승하면 인버터(129) 및 (131)의 출력신호가 L 로 되고 MOS트랜지스터(119) 및 (415)가 온 상태, MOS트랜지스터(416) 및 (120)가 오프상태로 된다.

MOS트랜지스터(414)가 따라서 온 상태로 되어 노드 N22에 노드 N20상의 전압을 전달하고, MOS트랜지스터(109)를 오프상태로 한다.

인버터(129)의 출력신호가 H로 상승하면, MOS트랜지스터(108)는 외부전원전압 EXV의 레벨에 프리차지되어 있던 노드 N20의 전압을 2·EXV로까지 상승시킨다.

또 MOS트랜지스터(412)는 노드 N23의 전위를 EXV + Vpp-VBE의 전압레벨까지 상승시킨다.

한편 노드 N19의 전위가 접지전압 VSS레벨로 되고, MOS트랜지스터(112)가 온 상태로 되어 노드 N17의 전위를 |Vthp| 레벨로 크램프한다.

이때 MOS트랜지스터(114)가 온상태로 되고 노드 N18는 내부고전압 Vpp레벨로 되어 MOS트랜지스터(111)및(113)은 오프상태로 있다.

MOS트랜지스터(110)는 그의 게이트전위(노드 N17의 전위)가 |Vthp| 이고 노드 N20의 전위가 2·EXV이기 때문에 온상태로 되어 그의 축적 정(+)전하를 유출시켜서 내부고전압 Vpp의 전압레벨을 상승시킨다.

이 MOS트랜지스터(110)는 게이트전압이 |Vthp| 이고, 내부고전압 Vpp은 최대 2·EXV-|Vthp| 까지 상승할 수가 있다.

내부고전압 Vpp이 클록신호 CK의 1사이클로 상승하는 속도는 노드 N20의 충전 전위에 의해 결정된다. 이 펌프회로(228)의 출력노드(Vpp출력노드)에 부수하는 부하용량이 노드 N20에서 충전되어 내부고전압 Vpp이 상승하기 때문에, 이 부하용량의 충전전위와 노드 N20의 충전전위의 차이에 의해 결정되기 때문이다.

이 내부고전압 Vpp을 외부전원전압 EXV을 사용하여 생성하고 있기 때문에, 이 내부고전압 Vpp의 전압레벨이 목표전압레벨 Vcc1+2|Vthp| 에 접근되더라도 이 목표전압레벨과 B·EXV -|Vthp| 의 전압레벨의 차이는 충분하게 있어, 1 회의 클록사이클로 충분한 량의 정전하를 MOS트랜지스터(110)를 통하여 유출시킬 수가 있다.

따라서 저소비전력 실현을 위하여 내부전원전압 Vcc1을 저하시켜도, 그 내부전원 전압의 영향을 받지 않고 내부고전압 Vpp을 발생할 수가 있어 고효율로 안정되게 내부고전압을 생성할 수가 있다.

다음에 이 노드 N23의 전압이 프리차지용의 MOS트랜지스터(109) 및 출력용 MOS트랜지스터(110)의 기판영역(백게이트)에 제공되고 있는 이유에 대해서 설명 한다.

제 13 도는 제 11 도에 나타내는 MOS트랜지스터(109) 및 (110)의 단면구조를 개략적으로 나타내는 도면이다.

MOS트랜지스터(109) 및 (110)는 제 13 도에 나타내는 바와 같이 P형 반도체기판 (2020)의 표면에 형성된 N웰(2030) 및 (2040)상에 각각 형성된다.

MOS트랜지스터(109)는 N웰(2030)표면에 형성된 P형 불순물영역(2034) 및 (2034)과, N웰(2030)에 기판전압을 인가하는 전극인출을 위한 N형 불순물층(2036)과 게이트전극(3038)을 포함한다.

P형 불순물영역(2032)은 외부전원노드 EXV에 접속되고, 게이트전극(2038)이 노드 N22에 접속되며, p형 불순물영역(2034)은 노드 N20에 접속된다.

N형 불순물영역(2036)은 노드 N23에 접속된다.

MOS트랜지스터(110)는 N웰(2040) 표면에 형성된 P형 불순물영역(3042) 및 (2044)과, 이들 P형 불순물영역(2042) 및 (2044)상에 형성되어 게이트전극(2048)과, N웰(2040)에 기판전압을 인가하기 위한 N형 불순물영역(2046)을 포함한다.

N형 불순물영역(2046)은 노드 N23에 접속되고, p형 불순물영역(2042)은 노드 N20에 접속되며, p형 불순물영역(2044)은 내부고전압 Vpp을 출력하는 노드에 접 속된다.

P형 기판(2020)에는 소정의 바이어스전압(부전압 또는 접지전압)이 인가된다.

클록신호 CK가 L 일 때, 노드 N20의 전위는 외부전원전압 EXV레벨로 되고, 또 P형 불순물영역(2042)의 전압도 외부전원전압 EXV레벨이며, p형 불순물영역 (2044)의 전압레벨은 내부고전압 Vpp레벨이다.

따라서 이 때에는 N웰(2040)의 전압레벨은 적어도 Vpp-VBE레벨로 되고, 이 전압은 N형 불순물영역(2046)을 통하여 노드 N23에 전달된다.

여기에 VBE는 P형 불순물영역(2044)과 N웰(2040)에 의해 형성되는 PN접합의 순 방향 강하전압이다.

클록신호 CK가 H 일 때 노드 N20는 MOS커패시터(108)에 의해 2·EXV의 전압레벨로 승압된다.

이 때에는 노드 N17의 전압은 |Vthp| 이고 MOS트랜지스터(110)가 온상태로 되어 일시적으로 노드 N20의 전위는 내부고전압 Vpp보다도 높아진다. (MOS트랜 지스터(110)의 도통시에는 노드 N20는 방전되어 내부고전압 Vpp의 전압레벨과 같아진다).

이 때에는 노드 N23의 전압레벨은 MOS커패시터(412)에 의해 승압되어 EXV + Vpp -VBE의 전압레벨로 된다.

따라서 항상 P형 불순물영역(2042)과 N웰(2040)에 의해 형성되는 PN다이오드는 역바이어스 상태를 유지하기 때문에, 이 P형 불순물영역(2042), N웰(2040)및 P형 기판(2020)으로 구성되는 기생바이폴러 트랜지스터가 온상태로 되지 않고, 리크전 류는 생기지 않는다.

즉 노드 N20에 축적된 정전하는 전체 P형 불순물영역(2042) 및 (2044)을 통하여 내부고전압 Vpp발생에 이용되어 높은 펌프효율을 실현할 수가 있다.

한편 MOS트랜지스터(109)에 있어서 클록신호 CK가 L 일 때 노드 N23의 전위가 적어도 Vpp -VBE이고, N웰(2030)의 전위가 마찬가지로 Vpp-VBE 이다.

이때 노드 N20의 전위는 외부전원전압 EXV의 레벨에 있고, 따라서 P형 불순물 영역(2032) 및 (2034)의 전압레벨은 모두 외부전원전압 EXV레벨이다.

즉 내부도전압 Vpp은 외부전원전압 EXP에서 승압되기 때문에 Vpp-VBE EXV 에서 P형 불순물영역(2032) 및

(2034)과 N형 웰(2030) 각각의 사이의 PN접 합은 역바이어스 상태로 되어, 이들 P형 불순물영역(2032) 및 (2034)에서 N형웰 (2030)에의 리크전류는 생기지 않는다.

클록신호 CK가 H 일 때 노드 N23의 전위는 Vpp-VBE + EXV이고 P형 불순물영역(1034)의 전위는 2·EXV이며, 또 P형 불순물영역(2032)의 전압레벨은 외 부전원전압 EXV레벨이다.

따라서 이 상태에서도 P형 불순물영역(2032) 및 (2034)과 N형 웰의 사이에 형성되는 PN접합은 순 바이어스 상태로 되지않기 때문에 이들 P형 불순물영역(2032) 및 (2034)에서 N웰(2030)에의 리크전류는 생기지 않는다.

따라서 MOS트랜지스터(109) 즉 프리차지회로(417)에서는 리크전류를 전혀 발생 하지 않고, 외부전원노드 EXV에서 제공된 정전하를 모두 노드 N20에 전달할 수 가 있고, 고효율로 노드 N20를 소정 전압레벨에 충전할 수가 있다.

이에 의해 고효율로 내부고전압 Vpp을 발생하는 펌프회로를 실현하는 것이 가 능하다.

다음에 MOS커패시터(412) 및 (108)를 사용한 이유에 관하여 상세하게 설명한다.

지금 설명을 간략화하기 위하여 제 14 도에 나타내는 바와 같은 내부고전압발생 회로를 생각한다.

이 내부고전압발생회로는 차지펌프커패시터로서 n채널 MOS트랜지스터로 구성되는 MOS커패시터 CPC와, 클록신호를 MOS커패시터 CPC의 한편 전극에 전달하는 인버터 IV와, MOS커패시터 CP의 다른 편 전극을 전압 V에 프리차지하는 스위칭소자 SW1와, 이 MOS커패시터 CPC의 다른 편 전극의 노드 NDX를 출력노드에 접속함으로써 내부고전압 Vpp을 발생하는 스위칭소바 SW2를 포함한다.

이 내부고전압 발생회로는 외부의 부하용량 LC을 충전함으로써 내부고전압 Vpp 을 발생한다.

이 제 14 도에 나타내는 내부고전압 발생회로의 동작을 제 15a도-15e도를 참조하여 차례로 설명한다.

(i) 초기상태 : 제 15a 도에 나타내는 바와 같이, 초기상태에 있어서는 스위칭소자 1 및 SW2는 모두 오프상태로 설정되어 있다.

이 상태에 있어서는 노드 NDX가 전압 V에 충전되어 있어 노드 NDY의 전압레 벨이 접지전압 VSS(0V)레벨이다.

이 때 게이트전극(노드 NDX)하의 반도체층 표면에 형성되는 공핍층에는 전하 -QL이 축적 된다.

이 상태를 초기상태로 한다.

(ii) 부스트 : 제 15b 도에 나타내는 노드 NOX의 전압을 승압하는 부스트 동작 시에 있어서는 스위칭소자 SW1 및 SW2는 모두 오프상태이다.

인버터 IV의 출력신호가 전압 V레벨로 상승하고 노드 NDX의 전압이 2·V로 승압된다.

MOS커패시터의 소스의 전위가 V레벨로 상승하기 때문에 기판표면에 형성되는 공핍층이 넓어진다.

이 넓어진 공핍층에는 노드 NDX의 전위상승에 의해 부전하가 많이 축적된다.

지금 이 때의 축전전하량을 -QH로 한다.

이 때 인버터 IV가 충전하는 전하량은 노드 NDX에서 증가한 정전하량과 같고, 이것은 공핍층에 축적된 부전하의 전하량과 동량이며, 따라서 인버터 IV가 공급한 전하량은 QH-QL····(1)로 된다.

(iii) 방전동작 : 제 15c 도에 나타내는 바와 같이 노드 NOX의 방전시에는 스위 칭소자 SW1는 오프상태로 있고, 스위칭소자 SW2는 온 상태로 된다.

그것에 의해 노드 NDX에 축적된 정전하가 방전되고, 내부고전압 Vpp의 전압레 벨이 상승한다.

이 때 노드 NDX의 전압레벨은 내부고전압 Vpp과 같아진다.

MOS트랜지스터 CPC의 용량을 Cox로 하면 노드 NDX의 전압변화는 2·V-Vpp이기 때문에,

(2·V-Vpp)·Cox ····(2)

의 전하량이 방전된다.

MOS 커패시터 CPC의 노드 NDY에 접속하는 영역에 축적되는 전하는 2·V의 승압동작시에 축적된 전하량 -(2·V-V)·Cox=-V· Cox에서 -(Vpp-V)·Cox 로 변화한다.

이 노드 NDY에 접속하는 전극영역측에 축적되는 전하량의 변화분은, 인버터 IV에 의해 공급된다.

즉 인버터 IV는

-(Vpp -V)·Cox-(-V·Cox)=(2·Y-Vpp)·Cox ···· (3)

의 전하를 공급한다.

(iv) 방전완료 : 제 15d 도에 나타내는 바와 같이, 방전완료후 프리차지동작을 행하기 때문에 인버터 IV의 출력이 접지전압레벨로 변화한다.

이때 스위칭소자 SW1는 오프상태로 되고 스위칭소자 SW2는 온상태로 된다.

이 상태에 있어서는 노드 NDX의 전압은 Vpp에서 Vpp-V로 변화한다.

(v) 프리차지동작 : 노드 NDX의 프리차지동작일 때에는 제 15e 도에 나타내는 바와 같이 스위칭소자 SW1가 온상태로 되고, 스위칭소자 SW1를 온 상태로 하면 노드 NOX의 전압은 V로 되기 때문에 전원에서 공급

되는 전하는 (V-(Vpp-V))·Cox = (2·V-VpB)·Cox ···· (4)

로 된다.

지금 스위칭소자 SW1 및 SW2의 온/오프 동작의 제어를 위하여 소비되는 전하 량을 Q·loss ····(5)

로 된다.

상술한 일련의 동닥 측 제 15a 도 내지 제 15e 도에 나타내는 일련의 사이클에 있어서 소비되는 전하와 발생되는 전하의 비 η는 식 (2)만이 소비되는 전하량을 표시하고, 나머지의 식 (1) 및 (3) 내지 (5)가 발생되는 전하를 표시하기 때문에

[수학식 1]

$$\eta=\frac{(2\cdot V-Vpp)\cdot Cox}{QH-QL+(2\cdot V-Vpp)\cdot Cox+(2\cdot V-Vpp)\cdot Cox+Qloss}$$

로 나타낸다.

[수학식 2]

$$QH=\sqrt{2\cdot\varepsilon\cdot q\cdot Na}\cdot\sqrt{Vbi+Vcs+|Vbb|}$$

$$QH=\sqrt{2\cdot\varepsilon\cdot q\cdot Na}\cdot\sqrt{Vbi+|Vbb|}$$

Vbb : 기판 바이어스 전압

Na : 기판표면 불순물농도

q : 단위전하

ε : 기판유전율

Vbi : 기판표면 퍼텐셜에 의한 빌트인 전압

Vbb : 기판 바이어스 전압

Vcs : 소스·접지간 전압

$$\eta=\frac{(2\cdot V-Vpp)}{2(2\cdot V-Vpp)+K(\sqrt{Vbi+Bcs+|Vbb|}-\sqrt{Vbi+|Vbb|}+\frac{Qloss}{Cox}}$$

로 하면 식 η가 제공된다.

분모의 제 2 항은 MOS커패시터와 CPC의 소스기판전압이 V +|Vbb|인 경우 와 |Vbb|일 때의 MOS트랜지스터의 한계치전압의 차와 같다.

분모의 제 3 항은 스위칭소자를 구동하는 회로부분에 사용되는 전하손실량 α을 표시 한다.

[수학식 3]

$$\eta=\frac{2\cdot V-Vpp}{2\cdot(2codtV-Vpp)+VTH''-VTH'+\alpha}$$

로 나타낸다.

여기에서 VTH는 MOS 트랜지스터의 소스-기판간 전위차가 V. |Vbb|인 때의 MOS 트랜지스터의 한계치 전압을 나타내고, VTH'는 소스-기판간 전압이 |Vbb| 일 때의 한계치 전압을 나타낸다.

따라서 위 식(6)에서 YTH =VTH'로 함으로써 계수 V의 치를 크게 할 수가 있어 차지펌프의 효율을 개선할 수가 있다.

즉 p 채널 MOS 트랜지스터를 커패시터로 해서 사용한 경우, 그 차지펌프의 효 율을 나타내는 계수 η는 거의

$$(2\cdot EXV-Vpp)/\{2\cdot(2\cdot EXV-Vpp)+|Vthp2|-|Vthp1|+\alpha\}$$

로 나타낸다.

여기에 Vthp2는 노드 N21가 외부 전원전압 EXV인 때의 MOS 트랜지스터의 한계치 전압을 나타내고 Vthpl는 노드 N2l가 접지 전압일 때의 MOS 트랜지스터의 한계치 전압을 나타낸다.

따라서 p채널 MOS 트랜지스터의 소스, 드레인 및 기반영역(백 게이트)을 상호접속하여 동일 전위로 함으로써 소스 기판간 전압 Vcs를 0으로 하여 기판효과를 없애고 Vthpl =Vthp2를 실현하여 차지 펌프회로의

펌프효율을 개선하고 있다.

이하에 이 MOS 커패시터(108) 및 (412)의 구성에 관해서 설명한다.

제 16 도는 제 11 도에 나타내는 MOS 커패시터(108) 및 (412)의 개략 단면구조를 나타내는 도면이다.

제 16 도에 있어서는 MOS 커패시터(108) 및 (412)의 한 편의 단면구조만을 나타내는 이들 MOS 커패시터(108) 및 (413)는 각각 서로 다른 N웰 영역내에 형성된다.

제 16 도에 있어서 MOS 커패시터 (108)(또는 (412))는 P형 반도체기판(2100)표면 에 형성된 N형 웰(2102)내에 형성된다.

MOS 커패시터(108) (또는 (412))는 N형 웰 (2102)의 표면에 형성되는 P형 불순물영역 (2104) 및 (2106)파 N형 웰 (2102)의 표면에 형성되어 N형 웰 (2102)에 대한 전극층으로 이루어지는 N형 불순물층(2108)과 P형 불순물층(2104) 및 (2106)의 사이의 기판 표면상에 형성되는 게이트전극 (2109)을 포함한다.

P형 불순물층(2104), (2106) 및 N형 불순물층(2108)은 노드 N20(또는 N23)에 접속되고 게이트전극(2109)은 로드 N21에 접속된다.

P형 불순물 반도체기판(2100)에는 소정의 바이어스 전압이 인가되어 있고, p형 반도체기판(2100)과 N 웰(2102)과는 역 바이어스 상태로 유지된다.

N형 웰(2102)(노드 N20)의 전압은 제 12 도에 나타내는 바와 같이 외부전원전압 EXV 이상이다.

제 16 도에 나타내는 바와 같이 P형 불순물층(2104) 및 (2106), 또는 N형 불순물 층(2018)(즉 N형 웰(2102))을 전부 동일전위로 하는 것에 의해 p채널 MOS트랜지스터의 기판효과를 없앨 수가 있고, 상술한 식에서 볼수 있듯이 한계치 전압의 변동을 억제하고 효율적으로 전하를 주입할 수가 있다.

제 17 도는 제 11 도에 나타내는 MOS 커패시터(108) 및 (412)의 다른 구성을 나타내는 도면이다.

제 17 도에 있어서도 MOS 커패시터 (108) 및 (412)의 한 편만을 나타낸다.

이들 MOS 커패시터 (108) 및 (412)는 각각 서로 분리된 웰 영역내에 형성된다.

제 17 도에 있어서 P형 반도체기판 (2100) 표면에 N웰 (2102)을 둘러싸도록 저저항의 트리플 N웰 (2110)이 형성된다.

이 트리플 N웰(2100)은 명확하게는 표시하지 않지만 전극인출영역을 통하여 노드 N20에 접속된다.

N형 웰 (2102)내에는 제 16 도에 나타내는 구성과 같은 P형 불순물층(2104), (2106) 또는 N형 불순물층(2108)이 형성되고 또 게이트전극(2109)이 형성된다.

N웰 (2102)과 P형 반도체기판(2100)의 사이에 저저항의 트리플 N형 웰(2110)을 설치함으로써 N 웰 (2102)의 실효적 저항을 저감하게 되어 노드 N20의 전위를 고속으로 변화시킬 수가 있다. (노드 N20에서의 RC 기연을 저감할 수가 있다.)

제 18 도는 제 11 도에 나타내는 MOS 커패시터(108) 및 (412)의 또 다른 구성을 나타내는 도면이다. 이 제 18 도에 나타내는 MOS 커패시터는 n 채널 MOS 트랜지스터에 의해 형성된다.

제 18 도에 있어서 MOS 커패시터는 P형 반도체기판(2100)과 트리플 N 웰 (2120)에 의해 분리된 P 웰(2122)내에 형성된다.

이 MOS 커패시터는 P형 (2122)표면에 형성된 N형 불순물영역(2124) 및 (2126)과 형 웰 (2122)의 전극으로 되는 P형 불순물층 (2128)과 P형 불순물영역(2124) 및 (2126)사이의 P형 웰 (2122)표면상에 형성되는 게이트전극(2129)을 포함한다.

게이트전극(2129)이 노드 N20 (또는 N23)에 접속되고, N형 불순물층(2124) 및 6) 또는 P형 불순물영역(2128)이 노드 N21에 접속된다.

트리플 N웰 (2124)는 또 전극층으로서 기능하는 N형 불순물영역(2121)을 통해선 노드 N21에 접속된다.

N형 불순물영역(2124) 및 (2126) 또는 P형 불순물영역(2128) 및 N형 웰(2122)을 동일전위로 함으로써 MOS 트랜지스터의 기판효과의 영향을 배제하여 효율적으 로 전하를 주입할 수가 있다.

또 트리플 N 웰(2120)을 저저항으로 함으로써 노드 N21(제 11 도의 인버터 129의 출력노드)의 전위를 고속으로 변화시킬 수가 있다.

또 P형 (3122)과 트리플 N형 웰(3130)은 동일 전위이고 순바이어스 상태로 되는 것은 아니기 때문에 P형 웰(2122)에서 트리플 N형 웰 (2130)을 통하여 P형 기판 (2100)에 리크전류가 흐르는 일도 없다. (P형 반도체기판(2100)은 부(-)전압 Vbb에 바이어스 된다.)

이상과 같이 본 발명에 의한 내부 고전압 발생회로의 구성에 따르면 이하의 이점이 얻게 된다.

(1) 프리차지 MOS 트랜지스터(109)와 출력용 MOS 트랜지스터(110)의 기판 영역(백 게이트)을 차지 펌프 동작에 따라서 승압하도록 구성하고 있기 때문에 기생 바이폴러 트랜지스터를 상기 오프상태로 할 수가 있고 이들 MOS 트랜지스터의 기판영역에 리크전류가 발생하는 일이 없고, 쓸데없이 전하가 소비되지 않으므로 고효율의 펌프회로를 실현할 수가 있다.

(2) 차지 펌프용 커패시터로서 MOS 커패시터를 이용하고 이 MOS 커패시터의 기판 영역(백 게이트)을 소스 및 드레인 영역과 접속하고 있기 때문에, 기판효과의 영향은 생기지 않고 펌프 동작시의 한계치 전압의 변동을 방지할 수가 있으며, 이 MOS 커패시터의 차지 펌프 효율이 대폭으로 개선되어 효율적으로 전하를 주입하는 펌프 회로를 실현할 수가 있다.

(3) 외부전원전압 EXV을 이용하여 내부 고전압 Vpp을 발생하고 있기 때문에 저 소비 전류화를 위하여 내부전원전압 Vcc1이 저감되어도, 이 내부 고전압 Vpp의 목표전압 레벨 Vcc1+2|Vthp|보다도 훨씬 이 외부전원 전압 EXV이 높기 때문에, 펌프회로의 출력전압 Vpp이 소정레벨에 접근하더라도 그 전하주입효율은 하동 저하하지 않고, 고효율로 소정 레벨의 내부 고전압 Vpp을 안정되게 공급할 수가 있다.

또한 제 11 도에 나타내는 레벨 검출회로(226)는, 내부전위 전압 Vcc1을 이용하고 있다.

이 경우 내부전원전압 Vcc1은 안정되고, 레벨 검출회로(226)의 검출레벨을 일정하게 할 수가 있다.

[중간전압 발생회로]

A : 중간전압 발생회로 1

제 19 도는 본 발명에 따른 중간전압 발생회로의 제 1 의 실시예의 구성을 나타 내는 도면이다. 제 19 도에 있어서 중간전압 발생회로(Vcc/2 발생회로)2는, 내부전원노드 Vcc1와 접지노드 VSS의 사이에 직열로 접속되는 저항 25, 26 및 27 과, 내부 고전압 Vpp을 받는 노드 (이하 내부 고전압노드라고 칭한다)와 노드 G1의 사이에 접속 되고, 그 게이트에 접지전압 VSS을 받는 p채널 MOS 트랜지스터 (28)와, 게이트 및 드레인이 노드 G1에 접속되고 그의 소스가 노드 N3 에 접속되는 n 채널 MOS 트랜지스터(31)과, 게이트와 드레인이 노드 G2에 접속되고 그 소스가 노드 N2에 접속되는 p 채널 MOS 트랜지스터(29)와, 노드 G2 와 부(-)전압 Vpp이 인가되는 노드(이하, 부(-)전압 노드라 칭한다)의 사이에 접속되고 그의 게이트에 내부전원전압 Vcc1 을 받는 n 채널 MOS 트랜지스터(32)를 포함한다.

MOS 트랜지스터(28) 및 (32)는 고저항소자로서 기능하고 미소전류를 공급한다.

따라서 MOS 트탠지스터 (31) 및 (29)는 다이오드 모드로 동작하여 각각 Vthn 및 |Vthp|의 전압시프트를 발생시킨다.

저항 (25), (26) 및 (27) 은 예컨대 49 : 2 : 49 의 저항치의 비율을 갖는다.

따라서 노드 N2의 전위는 0.51·Vcc1, 노드 N3 의 전위는 0.49vcc1으로 된다.

따라서, 노드 G1의 전위는 0.49·Vcc1+vthn으로 설정되고, 노드 G2의 전위는 0.51·Vcc1-|Vthp|로 설정된다.

Vcc/2 발생회로(2)는 또한 외부전원노드 EXV와 출력노드 G3 의 사이에 접속되어 그 게이트에 노드 G1의 전암을 받는 n채널 MOS 트랜지스터(33)와, 노드 G3 과 접지노드 VSS의 사이에 설치되어 그의 게이트에 노드 G2의 전압을 받는 p 채널 MOS 트랜지스터 (30)를 포함한다.

p채널 MOS 트랜지스터(30)의 한계치 전압은 Vthp이고, n채널 MOS 트랜지스터 (33)의 한계치전압은 Vthn 이다.

다음에 이 제 19 도에 나타내는 Vcc/2 발생회로(2)의 동작에 관하여 그 동작설명도인 제 20 도를 참조하여 설명한다.

노드 G1 및 G2 의 전위는 각각 0.49·Vcc1+Cthn 및 0.51·Vcc1- |Vthp| 이다. 노드 G3 의 접지전압 VSS을 기준으로 하는 전위(이하 단지 전압으로 칭한다.)VH 가 0.51·Vcc1이상으로 되면, MOS 트랜지스터(30)의 게이트 소스간 전압 VgS은,

Vgs≤-|Vthp|=Vthp

로 되어 MOS 트잰지스터 (30)가 온상태로 된다.

MOS 트랜지스터 (33)는 그 게이트간 소스간 전압이 Vthn-0.02 Vcc1 이하로 되어 오프 상태가 된다.

따라서 노드 G3의 MOS 트랜지스터 (30)를 통하여 방전되어 전압 VH이 저하한다.

노드 G3 의 전압 VH 이 0.49·Vcc1 이하로 되면, MOS 트랜지스터(30)의 게이트 소스간 전압은 한계치 전압 Vthn 이상으로 되어 온 상태로 된다.

한편 MOS 트랜지스터(30)는 그 게이트 소스간 전압이 한계치전압 Vthp 이상으로 되어 오프상태를 유지한다.

따라서 노드 G3는 MOS 트랜지스터(33)를 통하여 외부전원노드 EXV에서 전류를 공급받아 그 전위는 상승한다.

전압 VH이 0.49·Vcc1와 0.51·Vcc1 사이인 경우에는 MOS 트랜지스터(30) 및 (33)는 동시에 오프 상태이다.

이 영역은 MOS 트랜지스터(30) 및 (33)가 동시에 오프상태이기 때문에「불감대」로 된다.

일반적으로 반도체 기억장치는 그의 제조 패러미터에 의해 중간전압 VH이 상승 하는 경향에 있거나 또는 강하하는 경향의 어느 하나를 가진다.

따라서 실제의 반도체 기억장치에서는 중간전압 VH은 이 0.51·Vcc1과 0.49-Vcc1 사이를 변동하는 것은 아니고, 0.51·Vcc1 근방, 또는 0.49·Vcc1 근방으로 변동한다.

이 중간전압 VH 의 Vcc1/2에서의 벗어남 즉 0.01· Vcc1 정도는 실사용에 있어서는 그다지 문제는 없다.

노드 G1의 전압은 0.51·Vcc1+vthn이고, 노드 G3의 전압은 0.49·Vcc1-|Vthp|이다.

따라서 전압 VH이 중간전압 Vcc1 / 2인 경우에는 MOS 트랜지스터(30), (33)는 확실하게 오프상태로 되어, MOS 트랜지스터(30) 및 (33)를 흐르는 전류를 대폭으로 저감할 수가 있다.

따라서 MOS 트랜지스터(30) 및 (33)의 한계치 전압을 큰 수리로 조정하기 위한 아무런 이온주입공정을 행할 필요가 없고, 그 중간전압 발생회로(Vcc/2 발생회로)의 제조공정을 간략화할 수가 있다.

또 MOS 트랜지스터 (30), (33)는 한편만이 온상태로 되어 양자가 동시에 온 상태로 되는 것은 아니고, 외부전원노드 EXV에서 접지노드 VSS에 흐르는 관통전류의 발생을 방지할 수가 있어 저 소비전류를 실현할 수가 있다.

또 노드 G3에는 외부전원노드 EXV에서 전류가 공급되기 때문에, 예컨대 메모리 셀의 커패시터전극(셀 플레이트)에서 리크전류가 생기는 경우에도 이 리크 전류는 외부 전원노드 EXV에서 공급되고, 내부전원전압 발생회로는 이 리크전류를 보상할 필요가 없이 내부전원전압 스탠바이시의 전류구동능력을 작게 할 수가 있으며, 따라서 내부전원전압 발생회로의 저 소비전력을 실현할 수가 있다.

이 경우 내부전원전압 발생회로는 저항(25)~(27) 및 MOS 트랜지스터(28)~(3a)를 흐르는 미소전류를 공급하는 것이 요구될 뿐이다.

또한 노드 G1에 전압을 발생하는 MOS 트랜지스터(28) 및 (31)는 내부 고전압 노드 Vpp와 노드 N3 사이에 접속되어 있고, 또 노드 G22 전압을 발생하는 MOS 트랜지스터(29) 및 (32)는 노드 N2와 부(-)전압 노드 Vbb 사이에 접속되어 있다.

따라서 Vpp0.49 · Vccl + Vthn

Vbb0.51 · Vccl-|Vthp|

의 조건이 만족된다면 이 Vcc/2발생회로(2)는 동작한다.

따라서 저소비 전력화를 위하여 내부전원전압 Vcc1이 작게 되더라도 안정되게 중간전압 VH을 발생할 수가 있다.

예컨대 앞의 내부 고전압 발생회로 및 부(-)전압 발생회로를 사용했을 경우

Vpp = Vccl+2 · |Vthp|

Vbb = -2 · Vthn

이고, 상술한 내부 고전압 Vpp 및 부(-)전압 Vbb에 요구되는 요건은 충분히 만 족되어 있다.

따라서 앞에 설명한 내부 고전압 발생회로 및 부(-)전압 발생회로와 이 중간전압 발생회로를 조합시켜서 이용함으로써 저전압으로 동작하는 저 소비전력의 반도체 기억장치를 실현할 수가 있다.

B : 중간전압 발생회로 2 :

제 21도는 본 발명에 따른 중간전압 발생회로의 제 2 의 실시예의 구성을 나타 내는 도면이다.

제 21 도에 나타내는 Vcc/2 발생회로(중간전압 발생회로)(2)는 내부전원노드 Vcc1와 접지노드 VSS의 사이에 직열로 접속되는 p채널 MOS 트랜지스터 25M, 26M를 포함한다.

MOS 트랜지스터 25M는 소스 및 기판영역(백 게이트)이 내부전원 노드 Vcc1에 접속되고 그 게이트가 노드 N2에 접속된다.

MOS 트랜지스터 26M는 그의 소스 및 기판영역이 노드 N2에 접속되고 그 게이트가 접지노드 VSS에 접속된다.

MOS 트랜지스터 27M은 그 소스 및 기판영역이 노드 N3에 접속되고 그 게이트 가 접지노드 VSS에 접속된다.

MOS 트랜지스터 25M 및 27M은 같은 사이즈를 가지고, 또 게이트 및 드레인이 접속되어 있어 저항모드로 동작한다.

MOS 트랜지스터 26M는 그 게이트가 접지노드 VSS에 접속되어 있어 저항소자 로서 동작한다.

MOS 트랜지스터 25M, 26M, 27M는 각각 소스 및 기판영역이 동일 전위이다.

이것에 의해 MOS 트랜지스터 25M~27M에 있어서 기판효과는 생기지 않고 MOS 트랜지스터 25M~27M의 각각에 있어서 소정의 저항치를 확실하게 실현할 수가 있다.

다른 구성은 제 19 도에 나타내는 구성과 같아 대응하는 부분에는 동일한 참조번호를 붙인다.

MOS 트탠지스터 25M~27M의 저항치(채널저항)를 49 : 2 : 49의 비가 되도록 설정하는 것에 의해 제 19 도에 나타내는 회로와 동일한 동작이 실현된다.

제 21 도에 나타내는 Vcc/2 발생회로에 있어서는 내부전원전압 Vcc1을 분압하여 소정의 전압을 발생하는 분압수단으로서 MOS 트랜지스터를 사용하였으므로 소 점유면적으로 안정되게 소정의 전압을 생성하는 분압회로를 실현할 수가 있다.

C : 중간전압 발생회로 3:

제 22 도는 본 발명에 따른 내부 중간전압 발생회로의 제 3 의 실시예의 구성을 나타내는 도면이다.

제 22 도에 나타내는 Vcc/2 발생회로(2)에 있어서는 노드 N2 및 N3에 각각 소정의 전압을 전달하는 분압회로가 내부 전원노드 Vcc1와 접지노드 VSS 사이에 각각 따로 설치 된다.

즉 노드 N2에는 내부전원노드 Vcc1와 접지노드 VSS 사이에 직열로 접속된 p 채널 MOS 트랜지스터(350) 및 (351)에 의해 소정 레벨의 전압이 전달되고, 노드 N3 에는 내부전원노드 Vcc1와 접지노드 VSS의 사이에

직열로 접속되는 p 채널 MOS 트랜지스터(348) 및 (349)에 의해 소정의 전압이 전달된다.

MOS 트랜지스터(350)는 그 기판영역 및 소스가 내부전원노드 Vcc1에 접속되고 그 게이트 및 드레인이 노드 N2에 접속된다.

MOS 트랜지스터(351)는 그 소스 및 기판영역이 노드 N2에 접속되고, 그 게이트 및 드레인이 접지노드 VSS에 접속된다.

MOS 트랜지스터(348)는 그의 기판영역 및 소스가 내부전원노드 Vcc1에 접속되고, 그 게이트 및 드레인이 노드 N3에 접속된다.

MOS 트랜지스터 (349)는 그 소스 및 기판영역이 노드 N3에 접속되고, 그 게이 트 및 드레인이 접지노드 VSS에 접속된다.

MOS 트랜지스터 (348)~(351)는 모두 저항모드로 동작한다.

MOS 트랜지스터 (348) 및 (349)는 그 저항치의 비가 0.49 : 0.51 로 설정되고, 노드, 노드 N3상에 0.51·Vcc1의 전압이 전달된다. MOS 트랜지스터 (350), (351)은 그 저항치의 비율이 0.51 : 0.49로 설정되고, 노드 N2에는 0.49·Vcc1의 전압이 전달된다.

증가전압 VH을 공급하기 위한 출력용 트랜지스터(30)및 (33), 또는 이 출력용 트랜지스터(30) 및 (33)의 동작을 제어하는 MOS 트랜지스터 28~32는, 제 19 도 및 제 21 도에 나타내는 것과 같아, 대응하는 부분에는 동일한 참조번호를 붙인다. 이 제 22 도에 나타내는 구성을 사용하여도 마찬가지로 내부전원전압의 저전압화 시에서도 안정되고 확실하게 저소비전류로 동작하는 중간전압 발생회로를 얻을 수가 있다. 또한, MOS 트랜지스터의 게이트 및 드레인은 상보 접속되어 있는 경우, MOS 트랜지스터가 저항 모드로 동작할지 다이오드 모드로 동작할지는 거기를 흐르는 전류와 MOS 트랜지스터가 흐를 수 있는 전류량의 관계에 의해 결정된다.

MOS 트랜지스터의 전류구동력보다도 훨씬 적은 전류가 흐르는 경우에는 그 MOS 트랜지스터는 다이오드 모드로 동작한다.

전류구동력을 거의 충족시키는 전류가 MOS 트랜지스터를 흐를 때에는 그 MOS 트랜지스터는 저항모드로 동작한다.

이상과 같이 본 발명에 따른 중간전압 발생회로에 있어서는 내부전원전압을 분압하여 소정의 전압을 발생하고, 이들 소정의 전압을 레벨시프트하여 출력용 MOS 트랜지스터를 제어하는 제어전압을 발생함과 동시에, 출력용 MOS 트랜지스터는 외부 전원전압과 접지전압의 사이에 설치하였기 때문에 여분인 제조 프로세스를 필요로 하지 않고 저전원전압으로 안정되게 저소비전류로 동작하는 중간전압 발생회로를 얻을 수가 있다.

이 중간전압 발생회로를 반도체 기억장치에 사용하여 메모리셀 커패시터의 셀플레이트에의 인가전압 및 비트선의 프리차지 전압을 발생함으로써 저 소비전류의 반도체 기억장치를 실현할 수가 있다.

[내부전원전압 발생회로]

제 23 도는 본 발명에 따른 반도체 기억장치의 전체의 구성을 나타내는 도면이 다.

제 23 도에 나타내는 반도체 기억장치의 구성에 있어서는, 외부전원 패드 EPD에 제공된 외부전원전압 EXV은 내부전원전압을 발생하는 내부 Vcc 발생회로 (4), 내부 고전압 Vpp을 발생하는 Vpp 발생회로(5) 와 중간전압 VH을 발생하는 Vcc/2 발생회로(2) 및, 부(-)전압 Vbb을 발생하는 Vbb 발생회로 (3)에 제공된다.

내부 Vcc 발생회로(4)는 나중에 상세하게 설명하는 바와 같이, 제 1 의 내부전원전 ccl 과, 이 제 1 의 내부전원전압 Vcc1보다도 높은 제 2 의 내부전원전압 Vcc2 을 생성 한다.

Vcc/2 발생회로(2)는 메모리셀 어레이 (1)의 비트선 전위를 제 1 의 내부전원전압 cl레벨에까지 충전하기 때문에, 이 제 1 의 내부전원전압 Vcc1을 이용한다.

Vbb 발생회로(2)는 부(-)전압 Vbb-2·Vthn로 설정되지만 외부전원전압을 이용하기 위해 이 제 1 및 제 2 의 내부전원 Vcc1 및 Vcc 2의 어느 것을 합해서 사용하여도 좋다.

Vpp 발생회로(5)는 내부 고전압 Vpp을 Vcc+2·Vthn의 레벨로 설정하기 때문에, 외부 전원전압 EXV에 맞추어서 그의 필요로 되는 전압레벨에 따라 제 1 및 제 2 의 내부전원전압 Vcc1 및 Vcc2의 어느 하나가 내부전원전압 Vcc으로서 이용 되어도 된다.

이 내부 Vcc 발생회로(4)에서의 제 1 의 내부전원전압 Vcc1은 외부신호 Add, /RAS, /CAS, /OE 및 /WE를 받아 각종 내부 제어신호를 발생함과 동시에, 데이터의 입출력을 행하는 제어회로(7)와 센스앰프(21)를 활성화하기 위한 센스앰프 구동신호 Φp를 발생하는 센스앰프 구동신호 발생회로(6)에 제공된다.

제 2 의 내부전원전압 Vcc2 은 비트선 이퀄라이즈 신호 BLEQ를 발생하는 BLEQ 발생회로(9)에 제공된다.

어레이 블록 MAL 및 MAR 각각에 대응하여 설치되고, 대응하는 어레이 블록에 있어서 워드선 WL을 선택하는 워드선 디코더(8) 및(11)에는 Vpp 발생회로(5)에서의 내부 고전압 Vpp이 제공된다.

또 센스앰프 (21)와 선택어레이 블록을 접속하는 블록 선택신호 ΦL 및 ΦR를 발생하는 신호 Φ 발생회로(10)에는 Vpp 발생회로(5)에서의 내부 고전압 Vpp이 제공된다.

센스앰프 구동신호 발생회로(6), 제어회로(7), 워드선 디코더(8) 및 (11), 및 신호을 발생회로(10)의 구성은 종래와 마찬가지이다.

BLEQ 발생회로 (9)의 구성에 관해서는 나중에 설명한다.

다음에 이 내부 Vcc 발생회로(4)에서 2종류의 내부전원전압 Vcc1 및 Vcc2을 발생하는 이점에 관하여 이하

에 설명한다.

제 24 도는 센스앰프 및 이퀄라이즈 /프리차지부의 구성을 나타내는 도면이다.

제 24 도에 있어서 센스앰프(21)는 게이트 및 드레인이 교차결합된 p 채널 MOS 트랜지스터 (21b) 및 (21c)와, 게이트 및 드레인이 교차결합된 n 채널 MOS 트랜지스터(21d), (21e)와, 센스앰프 활성화 신호 Φpp에 응답하며 도통하고, 내부 전 원 노드 Vcc1에 제공된 제 1 의 내부전원전압 Vcc1을 노드 SG1에 전달하는 p 채널 MOS 트랜지스터(21a)와, 센스앰프 활성화신호 Φpn에 응답하여 도통하고 노드 SG2를 접지전압 VSS레벨에 방전하는 n채널 MOS 트랜지스터(21f)를 포함한다.

센스앰프 활성화 신호 Φpp 및 Φpn 양자가 센스앰프 구동신호 Φp로서 센스앰프 구동신호 발생회로(6)에서 발생된다.

센스앰프 활성화신호 Φpp는 활성화시 접지전압 VSS 레벨의 L이고, 센스앰프 활성화신호 Φpn는 활성화시 제 1 의 내부전원전압 Vcc1 레벨의 H이다.

이 제 23 도에 나타내는 구성에 대신하여, 노드 SG1에 센스앰프 구동신호 발생 회로 (6)에서 제 1 의 내부전원전압 Vcc1레벨의 센스앰프 구동신호 Φ9가 제공되는 구성이 이용되어도 된다.

MOS 트랜지스터(21b) 및 (21d)의 드레인이 비트선 BLL에 접속되고, MOS 트랜지스터(21c) 및 (21e)의 드레인이 비트선 /BL에 접속된다.

동작시에 있어서는, 제 23 도에 나타내는 비트선 BLL 및 /BLL과 비트선 BLR 및 /BLR의 한편의 쌍이 센스앰프(21)에 접속되기 때문에 제 24 도에 있어서는 비트선 BL 및 /BL로서 나타낸다.

비트선 BL 및 /BL의 사이에는 직열로 비트선 이퀄라이즈 신호 BLEQ에 응답하 여 도통하고, 중간전압 VH을 비트천 BL 및 /BL에 전달하는 n 채널 MOS 트랜지스터(18), (19)에 접속되고, 또한 비트선 이퀄라이즈 신호 BLEQ에 응답하여 도통하고 비트선 BL 및 /BL을 전기적으로 지속하는 n 채널 MOS 트랜지스터(20)가 설치된다.

다음에 동작에 관하여 설명한다.

센스앰프(21)의 동작자체는 종래의 센스앰프와 동일하다.

즉 센스앰프 활성화 신호 Φpp가 활성화되어 p 채널MOS 트랜지스터(21a)가 온상태로 되면, 노드 SG1 의 전압레벨이 제 1 의 내부전원전압 Vcc1 레벨로 된다.

이것에 의해 p 채널MOS 트랜지스터(21b) 및 (21c)로 구성되는 센스앰프 부분이 활성화되고, 비트선 BL 및 /BL 중에서 고전위(비트선 BL로 한다.)의 전위를 제 1 의 내부전원전압 Vcc1 레벨로 상승시킨다.

비트선 BL의 전위가 제 1 의 내부전원전압 Vcc1 레벨에 상승하였을 때 p 채널 MOS 트랜지스터 (21c)는 오프 상태로 된다.

한편 센스앰프 환성화신호 Φpn가 H로 되면 노드 SG2가 접지전압 VSS레벨로 된다.

이것에 의해 MOS 트랜지스터(21d) 및 (21e)로 되는 센스앰프 부분이 활성화되어, 저전위측의 비트선/BL)을 접지전압 VSS 레벨로 방전한다.

비트선 /BL의 전위는 접지전압 VSS 레벨로 되었을 때에는 MOS 트랜지스터 (214)는 오프상태에 있다.

MOS 트랜지스터(21d) 및 (21e)는 각각 온 상태로 있어, 비트선 BL 및 /BL/ 을 각각 제 1 의 내부전원전압 Vcc1 및 접지전압 VSS레벨로 유지하고 있다.

메모리 사이클이 완료되고 센스앰프 활성화신호 Φpp 및 Φpn가 비활성상태의 H 및 L레벨로 되면, MOS 트랜지스터 (21a) 및 (211)가 오프상태로 되어, 노드 SG1 및 SG2는 내부전원노드 Vcc1 및 접지노드 VSS에서 분리된다.

이어서 제 25 도에 나타내는 바와 같이 비트선 이퀄라이즈 신호 BLEQ가 제 2 의 전원전압 Vcc2의 전압 레벨로 상승한다.

중간전압 VH은 항상 일정한 전압 Vcc 1/2의 레벨을 유지하고 있다.

MOS 트랜지스터 (18)~(20)는 제 1 의 내부전원전압 Vcc1이 게이트에 제공되고 있을 때보다도 그 컨덕턴스가 크게 되어, 고속으로 비트선 BL 및 /BL의 충방전을 행하여 중간전압 VH 레벨에 설정한다.

즉 MOS 트랜지스터(18) 에 있어서는, 소스전위가 중안전압 VH(Vcc1/2)이고 게이트 전위가 Vcc2(Vcc1)이며, 게이트 소스간 전압은 Vcc2-VH(Vcc1/2)로 되 어 큰 전류를 흐르게 할 수가 있다.

MOS 트랜지스터 (19) 및 (20)에 있어서는 소스 전위가 접지전압 VSS(=0)이고 게이트 전위가 제 2 의 내부전원전압 Vcc2이며, 마찬가지로 큰 전류를 흐르게 할 수가 있다.

따라서, 제 25 도에 나타내는 바와 같이 저소비 전력화를 위하여 제 1 의 내부전 원전압 Vcc1의 전압레벨이 저감되어도, 메모리 사이클 완료시 고속으로 비트선 BL 및 /BL을 중간전압 VH 에 프리차지할 수가 있고, 저전원전압 동작시에 있어서도 고속으로 동작하는 반도체 기억장치를 실현할 수가 있다.

제 26 도는 제 23 도에 나타내는 BLEQ 발생회로 (9)의 구성을 개략적으로 나타내는 도면이다.

제어회로 (7)는 제 23 도에 나타내는 바와 같이 내부 Vcc 발생회로 (4)에서 제 1 의 내부전원전압 Vcc1을 받고 있다.

따라서 이 제어회로 (7)의 출력신호의 H 레벨은 제 1 의 내부전원전압 Vcc1레벨이다.

BLEQ 발생회로(9)는 제 2 의 내부전원전압 Vcc 2를 한편 동작전원전압으로서 동작하여 제 2 의 내부전원

전압 Vcc2 레벨의 H로 되는 신호 BLEQ를 발생하고 있다.

따라서 이 제어회로 (7)에서의 출력신호의 H레벨을 제 2 의 전원전압 Vcc2 레벨로 변환하는 기능이 이 BLEQ 발생회로 (9)에 필요로 된다.

제 26 도에 있어서 BLEQ 발생회로 (9)는 제어회로 (7)에서 제공되는 내부 로우 어드레스 스트로브 신호 RAS 및 /RAS에 응답하여 출력노드 OGa에서 제 2 의 내부전원전압 Vcc2 레벨의 진폭을 가지는 내부 제어신호를 발생하는 레벨 변환부(9a)와, 이 레벨 변환부(9a)의 출력신호에 응답하여 타이밍 조정을 행하여, 소정의 타이밍으로 비트선 이퀄라이즈 신호 BLEQ 의 활성 /비활성을 행하는 타이밍 조정부(9b)를 포함한다.

레벨변환부(9a)는 제어회로(7)에서의 내부제어신호 /RAS에 응답하여 노드 OGb를 접지전압 VSS 레벨에 방전하는 n채널 MOS 트랜지스터 NT1와, 제어회로(7) 에서의 내부제어신호 RAS에 응답하여 출력노드 OGa를 접지전압 VSS 레벨에 방전하는 n 채널 MOS 트랜지스터 NT2와, 출력노드 OG3의 전위에 응답하여 도통하고 노드 OGb를 제 2 의 내부전원전압 Vcc2 레벨에 충전하는 p 채널 MOS 트랜지스터 PT1 와, 노드 OGb 상의 전위에 응답하여 노드 OGa를 제 2 의 전원 전압 Vcc레벨에 충전하는 p 채널 MOS 트랜지스터 PT2를 포함한다.

타이밍조정부(9b)는 제 2 의 내부전원전압 Vcc2 및 접지전압 VSS을 동작전원전압으로서 동작하고, 예컨대 짝수단의 인버터로 된 버퍼에 의해 구성된다.

다음에 동작에 관하여 간단하게 설명한다.

신호 RAS 와 신호 /RAS는 서로 상보한 신호이다.

신호 RAS가 제 1 의 내부전원전압 Vcc1 레벨의 H 일 때 MOS 트랜지스터 NT2 가 온상태 MOS 트랜지스터 NTI 가 오프상태로 된다.

출력노드 OGa 가 MOS 트랜지스터 NT2에 의해 방전되어 접지전압 VSS레벨로 된다. 이 출력노드 OGa가 접지전압 YSS 레벨일 때, MOS 트랜지스터 PT1가 온 상태로 되고, 노드 OGb를 제 2 의 내부전원전압 Vcc2 레벨로 충전하여 MOS 트랜지스터 PT2를 오프상태로 한다.

신호 RAS가 접지전압 VSS 레벨일 때, MOS 트랜지스터 NTB가 오프상태 MOS 트랜지스터 NT1가 온 상태로 된다.

노드 OGb 가 접지전압 VSS 레벨에 방전되어 MOS 트랜지스터 PT2 가 온상태 로 되고, 출력노드 OGa가 제 2 의 내부전원전압 Vcc2레벨에 충전된다.

이것에 의해 MOS 트랜지스터 PT1가 오프 상태로 된다.

타이밍 조정부(9b)가 이 노드 OGa상의 신호전위에 따라 비트선 이퀄라이즈 신호 BLEQ를 출력 한다.

[내부전원전압 발생회로의 구체적 구성]

제 27 도는 제 23 도에 나타내는 내부 Vcc 발생회로의 구성을 개략적으로 나타 내는 도면이다.

제 27 도에 있어서, 내부 Vcc 발생회로 (4)는 내부로우 어드레스 스크로브 신호 /RAS의 활성화시에 활성화되고, 기준전압 Vref에 따라 제 1 의 내부전원전압 Vcc1을 발생하는 활성 Vcc1 발생회로(2508)와, 저소비 전류로 동작하고 기준전압 Vref 에 따라 제 1 의 내부전원전압 Vcc1을 출력하는 스탠바이 Vcc1 발생회로 (2504)와, 내부 로우어드레스 스트로브 신호 /RAS 의 활성화시 활성화되어 기준 전압 Vref 에 의거하여 제 2 의 내부전원전압 Vcc2을 생성하는 활성 Vcc2 발생 회로 (251B)와, 항상 저소비전력으로 동작하고 기준전압 Vref에 의거하여 제 2 의 내부전원전압 Vcc2을 생성하는 스탠바이 Vcc2 발생회로(2514)를 포함한다.

신호 /RAS 의 활성화시, 즉 반도체기억장치의 메모리셀 선택동작 및 데이터 기 록 /판독 동작이 행해지는 사이클에 있어서는 내부전원전압 Vcc1 및 Vcc2이 사용되기 때문에, 큰 전류구동력을 가지는 활성 Vcc1 발생회로(2502) 및 활성 Vcc2 발생회로(B512)를 동작상태로 함으로써 내부전원전압 Vcc1 및 Vcc2의 안정을 도모한다.

반도체기억장치의 스탠바이시에 있어서는, 내부전원전압 Vcc1 및 Vcc2은 전혀 사용되지 않고, 그 전압 레벨은 리크전류등에 의해 변동할 뿐이며, 저소비전력의 스탠바이 Vcc1 발생회로(2504) 및 스탠바이 Vcc2 발생회로 (2514)만을 동작시켜서 내부전원전압 Vcc1 및 Vcc2을 생성한다.

이것에 의해 스탠바이시에 있어서 소비전류의 저감을 도모한다.

제 28 도는 제 27 도에 나타내는 활성 Vcc1 발생회로(2502) 및 스탠바이 Vcc1 발생회로(2504)의 구체적 구성을 나타내는 도면이다.

제 28 도에 있어서, 활성 Vcc1 발생회로(2502)는 내부 로우 어드레스 스트로브 신호 /RAS 의 활성화시에 환성화되는 커런트미너형 증폭회로(315)와, 이 커런트 미러형 증폭회로(315)의 출력신호에 응답하여 외부전원노드 EXV에서 출력노드 (내부전원노드)Vcc1에 전류를 공급하는 p채널 MOS 트랜지스터(175)와, 출력노드 Vcc1와 접지노드 VSS의 사이에 직렬로 접속되는 P 채널 MOS 트랜지스터(176) 또는 저항(300) 및 (301)을 포함한다.

p 채널 MOS 트랜지스터(176)는 그 게이트에 신호 /RAS를 받는다.

저항(300) 및 (301)은 그 저항치의 비가 2 : 3으로 설정된다.

저항(300) 및 (301)의 실제의 저항치는 이 내부전원전압 발생회로의 허용 전류치에 의해 결정된다.

저항(300) 및 (301)에 의해 내부전원전압 Vcc1을 레벨변환(분압)하는 것에 의해 커런트미러형 증폭회로(315)를 가장 감도가 좋은 영역에서 동작시킨다.

커런트미러형 증폭회로(315)는 신호 /RAS를 반전하는 인버터(308)와 인버터(308)의 출력번호에 응답하여 도통하고 노드 NK1를 통하여 MOS 트랜지스터(175)의 게이트에 외부전원전압 EXV을 전달하는 p 채널 MOS 트랜지스터(311)와, 노드 NK1와 외부전원노드 EXV에 사이에 설치되고, 그 게이트가 노드 NK3에 접속되는 p 채널 MOS 트랜지스터(173)와, 외부전원노드 EXV와 노드 NK3 의 사이에 설치되며 그 게이트가 노드 NK3에 접속되는 p 채널 MOS 트랜지스터(174)와, 노드 NK1와 노드 NK2의 사이에 설치되고, 그 게이트에 기준전압 Vref을 받는 n 채널 MOS 트랜지스터(190)와, 노드 NK3와 노드 NK2의 사이에 설치되고, 그의 게이트에 저항(300) 및 (301)의 접속노드 NL1의 전압을 받는 n 채널 MOS 트랜지스터(191)와, 인버터(308)의 출력신호에 응답하여 도통하고 노드 NK2를 접지노드 VSS에 전기적으로 접속하는 n 채널 MOS 트랜지스터(192)를 포함한다.

MOS 트랜지스터(173) 및 (174)는 커런트미러 회로를 구성하고, MOS 트랜지스터 (190) 및 (191)가 비교부를 구성한다.

인버터(308)는 외부전원전압 EXV을 한편 동작전원전압으로서 동작하고, 신호/RAS가 L레벨일때 외부전원전압 EXV레벨의 H의 신호를 출력한다.

신호 /RAS는 제23도에 나타내는 제어회로(7)에서 출력되고, 그 진폭이 내부전원전압 Vcc1 레벨일 때에는 이 인버터(308)에 있어서 레벨변환을 행하는 구성이 사용된다.

전단(前段)에 있어서 이 신호 /RAS의 레벨변환이 행해져도 된다.

(Vcc1 레벨에서 외부전원전압 EXV 레벨에의 레벨변환)

스탠바이 Vcc1 발생회로(2504)는 커런트미러형 증폭회로(317)와, 커런트미러형 증폭회로(317)의 출력신호에 응답하여 내부전원노드 Vcc1에 외부전원노드 EXV에서 전류를 공급하는 p 채널 MOS 트랜지스터(184)와, 내부전원노드 Vcc1와 접지노드 VSS의 사이에 직열로 접속되는 저항(304) 및 (305)을 포함한다.

저항(304) 및 (305)의 저항치의 비는 저항(300) 및 (301)과 마찬가지로 2 : 3으로 설정된다.

저항(304) 및 (305)의 저항치는 스탠바이시에서의 소비전류를 저감하기 위해 큰 수치로 설정된다.

저항(304) 및 (305)의 큰 저항치에 의해 내부전원노드 Vcc1의 기생용량에 따라 큰 RC 지연이 생기고, 노드 NL2의 전위변화가 늦은 경우에도 스탠바이시에는 내부전원전압 Vcc1의 변화가 완만하여, 충분히 스탠바이 Vcc1 발생회로(2504)는 내부전원전압 Vcc1의 변화에 대응하여, 이 변화한 내부전원전압 Vcc1을 소정전압 레벨로 복귀시킬 수도 있다.

커런트미러형 증폭회로(317)는 노드 NK4와 노드 NK5의 사이에 설치되고, 그 게이트에 기준전압 Vref 을 받는 n 채널 MOS 트랜지스터(196)와, 노드 NK6 와 노드 NK5의 사이에 설치되고 그 게이트에 노드 NL2(저항(304) 및 (305)의 접속노드)상의 신호전위를 받는 n 채널 MOS 트랜지스터(197)와, 외부전원노드 EXV와 노드 NK4의 사이에 접속되고, 또한 그 게이트에 노드 NK6의 신호전위를 받는 p채널 MOS 트랜지스터(181)와, 외부전원노드 EXV 와 노드 NK6의 사이에 설치되고, 그 게이트가 노드 NK6에 접속되는 p채널 MOS 트랜지스터(182)와, 노드 NK5와 접지노드 VSS의 사이에 설치되고, 그 게이트가 노드 NK7 에 접속되는 n 채널 MOS 트랜지스터(199)와, 노드 NK7와 접지노드 VSS의 사이에 접속되고, 그 게이트가 노드 NK7에 접속되는 n 채널 MOS 트랜지스터(200)와, 노드 NK7 와 내부전원노드 EXV의 사이에 설치되고, 그 게이트가 노드 NK6에 접속되는 p채널 MOS 트랜지스터(183)와, 노드 NK5와 접지노드 VSS의 사이에 설치되며, 그 게이트에 내부전원전압 Vcc을 받는 n 채널 MOS 트랜지스터(198)를 포함한다.

MOS 트랜지스터(198)는 MOS 트랜지스터(196) 및 (197)에 대한 전류의 경로를 제공하는 전류원으로서 기능한다.

MOS 트랜지스터(198)의 게이트에 제공되는 내부전원전압 Vcc은 제 1 의 내부 전원전압 Vcc1 및 제 2 의 내부전원전압 Vcc2 의 어느 것이라도 된다.

MOS 트랜지스터(198)의 허용 전류치에 의하여 한편이 선택된다.

저소비전류의 관점에서는 제 1 의 내부전원전압 Vcc1을 이 MOS 트랜지스터 (198)의 게이트에 제공하는 것이 바람직하다.

MOS 트랜지스터(181) 및 (182)는 커런트미러 회로를 구성하고, MOS 트랜지스터 (199) 및 (200)는 커런트미러 회로를 구성한다.

다음에 동작에 관하여 설명한다.

우선 활성 Vcc1 발생회로(2502)의 동작에 관하여 설명한다.

신호 /RAS가 비활성상태인 H일 때, 인버터(308)의 출력신호는 L이고, MOS 트랜지스터(192)가 오프상태로 되고 MOS 트랜지스터(173), (174), (190) 및 (191)의 전류의 경로가 차단된다.

MOS 트랜지스터(311)가 인버터 (308)의 출력신호에 응답하여 도통하고 노드 NK1를 통하여 MOS 트랜지스터(175)의 게이트에 외부전원전압 EXV을 전달한다.

이것에 의해 MOS 트랜지스터(175)는 오프 상태로 된다.

신호 /RAS 가 H일 때 이 신호 /RAS는 내부전원전압 Vcc1레벨, 또는 그 이상의 외부 전원전압 EXV 레벨(레벨 변환이 행해진 경우)이고, MOS 트랜지스터 (176)가 오프 상태로 된다.

이에 의해 내부전원노드 Vcc1에서 접지노드 VSS에 전원이 흐르는 경로가 차단 된다.

신호 /RAS 의 비활성상태의 스탠바이시에는, 활성 Vcc1 발생회로(2502)에 의한 내부전원전압 Vcc1의 조정동작은 행해지지 않고, 또 저항(300) 및 (301)에 전원은 흐르지 않기 때문에, 스탠바이시의 이 활성 Vcc1

발생회로(2502)의 소비전류를 거의 0으로 할 수가 있다.

신호 /RAS가 활성상태인 L로 되면 인버터(308)의 출력신호가 외부전원전압 EXV레벨인 H로 되고, MOS 트랜지스터(311)와 오프 상태 MOS 트랜지스터 (192)는 온상태로 된다.

MOS 트랜지스터(173), (174), (190) 및 (191)에 대한 전류경로가 형성되고, 커런트미러형 증폭회로(314)는 동작상태로 된다.

또 MOS 트랜지스터(176)가 L의 신호 /RAS에 의해 온상태로 되고, 노드 NL1의 전위가 3·Vcc1/5로 된다.

노드 NL1의 전위가 기준전압 Vref 보다도 높은 경우에는, MOS 트랜지스터(191)의 컨덕턴스가 MOS 트랜지스터(190)의 컨덕턴스보다도 높아지고, MOS 트랜지스터(191)를 통하여 흐르는 전류가 MOS 트랜지스터(196)를 통하여 흐르는 전류 보다도 커진다.

MOS 트랜지스터(173) 및 (174)는 커런트미러 회로를 구성하고 있고, MOS 트랜지스터(173) 및 (174)의 사이즈가 동일한 경우에는 MOS 트랜지스터(174)를 통하여 흐르는 전류와 동일한 크기의 전류가 MOS 트랜지스터(173)을 통하여 흐른다.

MOS 트랜지스터(173)를 통하여 흐르는 전류는 MOS 트랜지스터(191)를 통하여 흐르는 전류와 동일한 크기이고, 따라서 노드 NK1의 전위가 상승하여 MOS 트랜지스터(175)의 컨덕턴스가 작아져서, 그 공급 전류량이 작아진다. 노드 NK1의 전위가 EXV - | Vthp |까지 상승하면, MOS 트랜지스터(175)는 오프 상태로 된다.

한편 노드 NL1의 전위가 기준전압 Vref 보다도 낮은 경우에는, MOS 트랜지스터(190)의 컨덕턴스가 MOS 트랜지스터(191)의 컨덕턴스보다도 커져서, MOS 트랜지스터(190)를 통하여 흐르는 전류가 MOS 트랜지스터(191)를 통하여 흐르는 전류보다도 커진다. MOS 트랜지스터(173) 및 (174)의 커런트미러 동작에 의해, MOS 트랜지스터 (173)를 통하여 흐르는 전류는 MOS 트랜지스터(190)가 구동할 수 있는 전류보다 때문에 노드 NK1의 전위가 저하한다.

이것에 의해 MOS 트랜지스터(175)의 컨덕턴스가 커져서 외부전원노드 EXV에서 내부 전원노드 Vcc1에 전류를 공급하여 이 내부 전원전압 Vcc1을 상승시킨다. 이들 일련의 동작에 의해 커런트미러형 증폭회로(310)는 노드 NL1의 전위가 기준전압 Vref과 같아지도록 MOS 트랜지스터(175)의 게이트 전위를 조정한다. 노드 NL1의 전위는 3·Vcc1/5 이고, 따라서 Vcc1 = 5·Vref/3이 되는 내부전원전압 Vcc1이 생성된다.

기준전압 Vref 이 1.5V 일 때, 내부전원전압 Vcc1은 2.5V로 된다.

MOS 트랜지스터(176)를 사용하여 스탠바이시에 저항(300) 및 (301)을 통하여 흐르는 전류를 차단하는 구성으로 함으로써, 이 저항(300) 및 (301)의 저항치는 작은 수치로 할 수가 있다.

따라서 활성 Vcc1 발생회로(2502)는 그 동작시에 있어서 노드 NL1의 전위를 내부전원전압 Vcc1의 변동에 따라서 고속으로 변화시킬 수가 있고 고속으로 이 내부전원전압 Vcc1의 변화에 따라 내부전원전압 Vcc1의 조정동작을 행할 수가 있고 내부전원전압 Vcc1을 안정화시킬 수가 있다.

다음에 스탠바이 Vcc1 발생회로(2504)의 동작에 관하여 설명한다. 이 스탠바이 Vcc1 발생회로(2504)는 항상 내부전원전압 Vcc1 조정동작을 행한다. 그렇지만 이 스탠바이 Vcc1 발생회로(2504)에 있어서는 저항(304) 및 (305)의 저항치는 비교적 큰 수치로 설정되어 있어 저소비 전류화를 꾀할 수 있음과 동시에, 그 조정동작은 비교적 완만해진다.

또 커런트미러 회로(트랜지스터(181) 및 (182))에 대한 전류원이 되는 MOS 트랜지스터(198)는 내부전원전압 Vcc(Vcc1 또는 Vcc 2)를 받아 항상 온 상태에 있 지만 그 전류구동력은 작게 되어 있고, 트랜지스터(181), (182) (197)을 흐르는 전류량은 충분히 작아져서 저소비 전류화가 도모되어 있다.

내부전원전압 Vcc1의 전압레벨이 상승하고, 따라서 노드 NL2의 전위가 기준전압 Vref 보다도 높아진 경우에는 MOS 트랜지스터(197)의 컨덕턴스는 MOS 트랜지 스터(196)의 컨덕턴스보다도 커져서 MOS 트랜지스터(197)를 흐르는 전류치가 MOS 트랜지스터(196)를 통하여 흐르는 전류치보다도 커진다.

이 MOS 트랜지스터(197)를 흐르는 전류는 MOS 트랜지스터(182)를 통하여 공급되고, 이 MOS 트랜지스터(182)를 통하여 흐르는 전류는 커런트미러 동작에 의해 MOS 트랜지스터(181)를 흐르는 전류에 반영된다.

따라서 노드 NK4의 전위가 상승하고 MOS 트랜지스터(183) 및 (184)의 게이트 전위가 상승하고 이들 컨덕턴스가 작아진다.

노드 NK4의 전위가 EXV -| Vthp |로 되면, MOS 트랜지스터(183) 및 (184)는 오프상태로 된다.

MOS 트랜지스터(183)를 통하여 외부전원노드 EXV에서 흐르는 전류는 MOS 트랜지스터(200)에 제공된다.

MOS 트랜지스터(199) 및 (200)는 커런트미러 회로를 구성하고 있고, MOS 트랜지스터(199)를 흐르는 천류도 따라서 작아진다.

노드 NL2의 전위가 기준전압 Vref 보다도 낮은 경우에는 MOS 트랜지스터(196)의 컨덕턴스는 MOS 트랜지스터(197)의 컨덕턴스보다도 커져서, MOS 트랜지스터(196)를 통하여 흐르는 전류치가 MOS 트랜지스터(197)를 통하여 흐르는 전류치보다도 커진다.

MOS 트랜지스터(197)를 통하여 흐르는 전류의 미러전류가 MOS 트랜지스터 (181)에서 생성되어 MOS 트샌지스터(196)에 제공된다. 따라서, 노드 NK4의 전위가 저하하고 MOS 트랜지스터(183) 및 (184)의 컨덕턴스가 커진다.

MOS 트랜지스터(184)가 외부 전원노드 EXV에서 내부전원노드 Vcc1에 전류를 공급하고, 이 저하한 내부전원전압 Vcc1을 상승시킨다.

이때 또 MOS 트랜지스터(183)를 통하여 흐르는 전류가 많아지기 때문에, MOS 트랜지스터(200)를 통하여

흐르는 전류도 많아진다.

이 MOS 트랜지스터(200)를 통하여 흐르는 전류의 미러 전류가 MOS 트랜지스터 (191)를 통하여 흐른다.

따라서 노드 NK5에서 접지노드 VSS에 흐르는 전류가 많아지고, MOS 트랜지스터(196)를 통하여 노드 NK4의 전위를 고속으로 저하시킬 수가 있다.

즉, 노드 NK4의 전위를 게이트에 받는 p채널 MOS 트랜지스터(183)를 설치함으로써, 이 내부전원전압 Vcc1의 저하시 이 커런트미러형 증폭회로(317)의 동작전류를 크게 하여 고속동작시킨다.

내부전원전압 Vcc1이 소정레벨 이상일 때 커런트미러형 증폭회로(317)의 동작전류는 작은 전류구동력을 가지는 MOS 트랜지스터(198)에 의해 제공될 뿐이고, 이 스탠바이 Vcc1발생회로(2504)의 소비전류를 보다 저감할 수가 있다.

상술한 바와 같이, 반도체 기억장치의 동작시에는 큰 전류구동력을 가지는 활성 Vcc1 발생회로(2502)를 동작시키고, 스탠바이시에는 작은 전류구동력 및 소비전력을 가지는 스탠바이 Vcc1 발생회로(a504)만을 동작시키며, 스탠바이시에는 활성 Vcc1 발생회로(250a)의 레벨 변환용 저항소자의 전류경로를 차단함으로써 저 소비전류로 안정되게 동작하는 전원전압 발생회로를 실현할 수가 있다.

제29도에 제27도에 나타내는 활성 Vcc2 발생회로(2512) 및 스탠바이 Vcc2 발생회로(a514)의 구성을 나타내는 도면이다.

제29도에 있어서, 활성 Vcc2 발생회로(2512)는 신호 /RAS의 환성화시에 활성화되는 미러형 증폭회로(316)와, 커런트미러형 증폭회로(316)의 출력신호에 응답하여 외부전원노드 EXV 에서 내부 전원노드 Vcc2에 전류를 공급하는 p 채널 MOS 트랜지스터(179)와, 내부전원노드 Vcc2와 접지노드 VSS의 사이에 직열로 접속되는 p 채널 MOS 트랜지스터(180) 및 저항(302), (303)을 포함한다.

MOS 트랜지스터(180)의 게이트에는 신호 /RAS가 제공된다.

저항(302)및 (303)의 저항치의 비는 1 : 1로 설정된다.

즉 MOS 트랜지스터(180)의 도통시에는 노드 NL3에는 Vcc2/2의 전압이 전달된다.

저항(302) 및 (303)의 저항치는 이 내부전원전압 발생회로에 허용 전류치에 의해 결정된다.

커런트미러경 증폭기 회로(316)는 커런트미러 회로를 구성하는 p 채널 MOS 트랜지스터(177) 및 (178)와, 기준전압 Vref 과 노드 NL3의 전위를 비교하는 비교 기(193) 및 (194)와, 트랜지스터(177), (178), (193) 및 (194)에 대한 전류경로를 형성하는 n 채널 MOS 트랜지스터(195)와, 커런트미러형 증폭회로(316)의 비활성시 에 도통하여 MOS 트랜지스터(179)의 게이트 전위를 외부전원전압 EXV에 설정하는 p 채널 MOS 트랜지스터(312)와, 신호 /RAS를 반전하여 MOS 트랜지스터 (312) 및 (195)를 상보적으로 온 /오프상태로 하는 인버터(309)를 포함한다.

이 활성 Vcc2 발생회로(2512)의 구성은 저항(302) 및 (303)의 저항치의 비율이 1 : 1 인 것을 제외하고, 제28도에 나타내는 활성 Vcc1 발생회로(2502)의 그것과 같다.

스탠바이 Vcc2 발생회로(2514)는, 커런트미러형 증폭회로(318)와, 커런트미러형 증폭회로(318)의 출력신호에 응답하여 내부전원전압 Vcc2의 전압레벨을 조정하는 P 채널 MOS 트랜지스터 (189)와, 내부 전원노드 Vcc2와 접지노드 VSS의 사이에 직열로 접속되는 저항(306) 및 (307)를 포함한다.

저항(306) 및 (307)의 저항치는 비교적 큰 수치로 설정되고, 또한 그 비율은 1 : 1 로 설정된다.

커런트미러형 증폭회로(318)는 커런트미러회로를 구성하는 p 채널 MOS 트랜지스터(185) 및 (187)와, 이들 트랜지스터(185) 및 (187)를 통하여 외부전원노드 EXV에서 전류를 공급받아 기준전압 Vref 과 노드 NL/4의 전위를 비교하는 비교단(比較段)을 구성하는 n 채널 MOS 트랜지스터(201) 및 (202)와, MOS 트랜지스터(185), (187), (201) 및 (202)에 대한 전류의 경로를 제공하는 n 채널 MOS 트랜지스터(203)와, MOS 트랜지스터(203)와 병열로 설치되는 n 채널 MOS 트랜지스터(204)와, 이 MOS 트랜지스터(204)와 커런트미러 회로를 구성하는 n 채널 MOS 트랜지스터(205)와, MOS 르랜지스터(189)의 게이트전위에 따라서 외부전원 노드 EXV에서 MOS 트랜지스터(205)에 전류를 공급하는 p 채널 MOS 트랜지스터 (188)를 포함한다.

MOS 트랜지스터(203)의 전류구동력은 훨씬 작아진다.

이 스탠바이 Vcc2발생회로(2514)의 구성은 저항(306) 및 (307)의 저항치의 비가 1 : 1인 것을 제외하고 제28도에 나타내는 스탠바이 Vcc1 발생회로의 그것과 동일하다.

이 활성 Vcc2 발생회로(2512)의 동작은 제28도에 나타내는 활성Vcc2 발생회로 (2502)의 그것과 동일하다.

신호 /RAS가 H 일 때에는 MOS 트랜지스터(312)에 의해 MOS 트랜지스터 (179)의 게이트전위가 외부전원전압 EXV으로 설정되고, MOS 트랜지스터(179)는 오프 상태로 된다.

마찬가지로 MOS 트랜지스터(180)가 오프상태로 되어, 내부전원노드 Vcc2에서 저항(302) 및 (303)을 통하여 접지노드 VSS 에 흐르는 전류와 경로를 차단한다. 이것에 의해 활성 Vcc2 발생회로(2512)의 스탠바이시의 소비전류는 거의 0 으로 된다.

신호 /RAS가 L로 되면 인버터(309)의 출력신호는 내부전원전압 EXV레벨로 상 승한다.

이것에 의해 노드 NL3의 전위(Vcc2 / 2)와 기준전압 Vref의 관계에 따라 MOS 트랜지스터(179)의 컨덕턴스가 커런트미러형 증폭회로(316)에 의해 조정되어 내부 전원전압 Vcc2가 일정치로 설정된다.

기준전압 Vref 이 1.5V 일 때, 내부전원전압 Vcc2은 2·Vref 의 3.0 V 로 된다. 스탠바이 Vcc2 발생회로(2514)의 동작은 제28도에 나타내는 스탠바이 Vcc1 발생회로(2504)의 동작과 동일하다.

즉 노드 NL4의 전위가 기준전압 Vref 보다도 높은 경우에는 MOS 트랜지스터 (188) 및 (189)의 게이트전위

가 상승하고, 외부전원노드 EXV에서 내부전원노드 Vcc2에의 전류공급이 억제된다.

이때 또 MOS 트랜지스터(204) 및 (205) 커런트미러 회로에 의해 MOS 트랜지스터(204)를 흐르는 전류는 작아져서 스탠바이 Vcc2 발생회로(2512)의 소비전류 가 저감된다.

노드 NL4의 전위가 기준전압 Vref보다도 낮은 경우에는, MOS 트랜지스터(201)를 통하여 MOS 트랜지스터(202)를 통한 전류보다도 많은 전류가 흘러, MOS 트랜지스터(188) 및 (189)의 게이트 전위는 저하하고, 내부전원노드 Vcc2는 MOS 트랜지스터(189)를 통하여 전류가 공급되어, 그 전위가 본래의 전위 레벨로 회복된다.

이때 MOS 트랜지스터(188)가 MOS 트랜지스터(205)에 공급하는 전류도 마찬가지로 증대하고, MOS 트랜지스터(2040)를 통하여 흐르는 전류가 증대한다.

따라서 MOS 트랜피스터(203) 및 (204)에 의해 결정되는 그 커런트미러형 증폭회로(318)의 동작전류가 증대하여, 고속으로 내부전원전압 Vcc2의 변화에 따라서 수정동작을 행할 수가 있다.

필요한 때만 커런트미러형 증폭회로의 동작전류를 증대시켜 고속동작시킴으로써, 스탠바이 Vcc2 발생회로(2514)의 소비전류의 저감을 도모한다.

이 제29도에 나타내는 내부 Vcc2 발생회로(2512) 및 (2514)를 사용하여 제 1 의 내부전원전압 Vcc1 보다도 높은 제 2 의 내부전원전압 Vcc2을 발생하여, BLEQ 발생회로(9)에 제공함으로써 이하의 이점이 제공된다.

내부 고전압 Vpp은 내부전원전압 Vcc1보다도 높은 전압 레벨이다.

이 내부 고전압 Vpp를 발생하는 회로는 커패시터의 차지 펌프동작을 이용하고 있다.

일반적으로 커패시터의 차지 펌프동작을 이용하여 내부 고전압을 발생하는 경우 발생된 모든 전하를 이용하여 내부 고전압이 발생되지 알고, 변환효을(계수 n)은 1 보다 작다.

예컨대 차지펌프회로의 변환효율이 50%일 경우, 내부 고전압 Vpp에서 1mA 사용한 경우, 이 내부고전압에서 사용된 1mA를 보상하기 위하여 외부전원전압 2mA사용할 필요가 생긴다.

즉, 제 1 의 내푸전원전압 Vcc1보다도 높은 내부전압을 발생하는 경우, 제29도에 나타내는 내부 Vcc2 발생회로를 사용하는 편이 저소비 전력으로 원하는 전압 레벨의 내부전압을 발생할 수가 있다.

이 때문에 Vpp 발생회로에서의 내부 고전압에서가 아닌 제29도에 나타내는 Vcc2 발생화로에서의 제 2 의 내부전원전압 Vcc2을 사용하여 비트선 이퀄라이즈 신호 BLEQ를 발생함으로써, 저소비전력으로 소정 전압 레벨의 비트선 이퀄라이즈 신호 BLEQ를 생성하게 되고, 결과적으로 저소비 전력으로 고속동작하는 반도체 기억장치를 실현할 수가 있다.

제30도에 내부전원전압 Vcc1, Vcc2 및 내부 고전압 Vpp의 관계를 나타낸다. 제30도에 있어서, 횡축은 외부 전원전압 EXV을 나타내고 종축은 전압치를 나타낸다.

외부 전원전압 EXV이 0V에서 상승하는데 따라 기준전압 Vref도 따라서 상승한다.(이 구성에 관하여는 나중에 설명한다.)

기준전압 Vref의 상승에 따라 내부전원전압 Vcc1 및 Vcc2 의 전압레벨도 상승한다.

내부 고전압 Vpp은 이 기준전압 Vref 과 관계없이 차지 펌프 동작에 의해 생성되기 때문에, 외부전원전압 EXV의 전압레벨의 상승에 따라 고속으로 상승한다. 제30도에 파선으로 나타내는 바와 같이, 외부전원전압 EXV이 1V를 넘은 시점에서 급속하게 내부전원전압 Vpp이 상승하는 것은, 내부회로의 동작이 안정되지 않고 또 그 펌프회로 내부노드의 진폭이 충분한 크기를 가지지 않으며, 차지 펌프 동작은 실질적으로 행해지지 않으며 한계치 전압 | Vthp | 보다도 큰 수치로 외부전원전압 EXV이 상승하면, 확실하게 구성요소인 p 채널 MOS 트랜지스터가 온/오프 동작을 행하여 내부의 펌프 동작이 안정화되기 때문이다.

제 1 의 내부전원전압 Vcc1이 기준전압 Vref이 안정되어 일정치로 되면 거의 일정치를 유지한다.

제 1 의 내부전원전압 Vcc2은 기준전압 Vref이 안정되어도 그 2배의 전압레벨에 까지 상승할 필요가 생겨(제29도에 나타내는 구성인 경우) 그 안정화가 지연된다.

내부 전원전압 Vpp는 제 1 의 내부전원전압 Vcc1이 일정치로 되면 그 수치도 일정하게 된다.

외부전원전압 EXV이 약 4.0V를 초월하면 이들 전압 Vpp, Vcc1 및 Vcc2이 상승하는 것은, 예컨대 바인 모드 동작시 등에 있어서, 내부전원전압을 외부 전원전압 EXV에 따라서 변화시키는 기능(도시않음)이 동작하기 때문이다.

이 경우에는 내부 고전압 Vpp는 그 최대치 Vpp max이상으로 되지 않도록 구성되어 있다.(이 구성에 관하여도 도시하지 않는다.)

B : 내부전원전압 발생회로 2:

제31도는 본 발명에 따른 내부전원전압 발생회로의 제 2 의 실시예의 구성을 나타내는 도면이다.

제31도에서는 제 1 의 내부전원전압 Vcc1을 발생하는 부분의 구성을 나타낸다.

제 2 의 내부전원전압 Vcc2을 발생하는 회로도 동일한 구성을 사용하여 실현할 수가 있다.

제 31 도에 있어서 내부전원전압 발생회로는 신호 /RAS 의 활성화시에 활성화되는 활성 Vcc1 발생회로(2522)와, 스탠바이시에 있어서 간헐적으로 소정의 주기로 활성화되는 스탠바이 Vcc1 발생회로(2524)와, 스탠바이 Vcc1 발생회로(2524)의 활성/ 비활성을 제어하는 제어부(2530)를 포함한다.

이 제어부(2530)는 또 신호 /RAS에 따라 내부전원노드 Vcc1와 접지노드 VSS 사이의 전류경로의 도통/비도

통을 제어하는 구성을 구비한다.

활성 Vcc1 발생회로(2522)는 신호 /RAS의 활성화시에 활성화되는 커런트미러형 증폭회로(2523)와, 커런트미러형 증폭회로(2523)의 출력신호에 응답하여 외부전원 노드 EXV에서 내부 전원노드 Vcc1에 전류를 공급하는 P 채널 MOS 트랜지스터 (322)와, 내부전원노드 Vcc1와 접지노드 VSS의 사이에 직열로 접속되는 p 채널 MOS 트랜지스터(320) 및 저항(348), (349)을 포함한다.

p 채널 MOS 트랜지스터(323)는 제어부 (2530)에서 노드 N24에 전달되는 신호에 의해 온/오프가 제어된다.

저항(348) 및 (349)의 저항치는 2 : 3 으로 설정된다.

커런트미러형 증폭회로(2523)는 신호 /RAS를 반전하는 인버터(342)와, 인버터(342)의 출력신호에 응답하여 외부전원전압 EXV을 MOS 트랜지스터(322)의 게이트에 전달하는 p 채널 MOS 트랜지스터(319)와, 외부전원노드 EXV에서 전류를 공급하는 커런트미러 회로를 구성하는 p 채널 MOS 트랜지스터(321) 및 (322)와, 기준전압 Vref과 노드 N26 상의 전압을 비교하는 비교부를 구성하는 n 형 MOS 트랜지스터(328) 및 (329)와, 인버터 (342)의 출력신호에 응답하여 트랜지스터(320), (321), (328) 및 (329)에 대한 전류의 경로를 형성하는 n 채널 MOS 트랜지스터 (330)를 포함한다.

이 커런트미러형 증폭회로(2523)의 접속형태는 먼저 제28도 및 제29도에서 설명한 것과 동일하다.

인버터(342)는 외부전원전압 EXV을 한편 동작전원전압으로서 동작하고 있고, 신호 /RAS 의 H의 레벨을 전원전압 EXV레벨로 변환하는 기능을 구비한다.(제26도의 레벨변환회로 및 제4도의 인버터 참조)

스탠바이 Vcc1 발생회로(2524)는 노드 N27상의 신호전위에 응답하여 간헐적으로 활성화되고, 활성화시 기준전압 Vref과 노드 N26 상의 신호전압을 비교하는 커런트미러형 증폭회로(2525)와, 커런트미러형 증폭회로(2525)의 출력신호에 응답하여 외부전원노드 EXV에서 내부전원노드 Vcc1에 전류를 공급하는 p 채널 MOS 트랜지스터 (326)와, 제어부(2530)의 노드 N25상의 신호전위에 응답하여 외부전원노드 EXV에서 MOS 트랜지스터(326)의 게이트에 외부전원전압 EXV을 전달하는 p 채널 MOS 트랜지스터 (327)를 포함한다.

커런트미러형 증폭회로(2525)는 외부전원노드 EXV에서 전류를 공급하는 커런트미러회로를 구성하는 p 채널 MOS 트랜지스터(324) 및 (325)와, 기준전압 Vref과 노드 N26 상의 전압을 비교하는 비교부를 구성하는 n 채널 MOS 트랜지스터 (331) 및 (332)와, 노드 N27 상의 신호전압에 응답하여 도통하고 MOS 트랜지스터(324), (325), (331) 및 (332)에 대한 전원의 경로를 형성하는 n 채널 MOS 트랜지스터 (333)를 포함한다.

스탠바이 Vcc1 발생회로(2524)와 활성 Vcc1 발생회로(2522)는 비교하여야 하는 전압을 발생하기 위한 MOS 트랜지스터(323) 및 저항(348) 및 (349)를 공유한다. 이것에 의해 스탠바이 Vcc1 발생회로(2524)의 점유면적이 저감된다.

제어부(2530)는 신호 /RAS가 H인 비활성화시에 발진동작을 행하는 링 발진기 (347)와, 신호 /RAS를 반전하는 인버터(338)와, 인버터(338)의 출력신호와 링 발 진기(347)에 포함되는 인버터(334)의 입력신호 및, 출력신호를 받는 AND/NOR 복합 게이트(346)와, AND/NOR 복합 게이트(346)의 출력신호를 반전하는 인버터(343)와, 인버터(343) 출력신호의 상승을 지연시켜 출력하는 펄스 발생회로(340)를 포함한다.

AND/NOR 복합게이트(346)에서 MOS 트랜지스터(323)의 온/오프를 제어하는 신호가 출력된다.

펄스 발생회로(340)에서 스탠바이 Vcc1 발생회로(2524)의 활성/비활성을 제어하는 신호가 출력된다.

링 발진기(347)는, 신호 /RAS를 한편 입력으로 받는 NAND 게이트(344)와, NAND 게이트(344)의 출력을 받는 4단의 종속 접속된 인버터(334), (335), (336) 및 (337)를 포함한다.

인버터(337)의 출력신호는 NAND 게이트(344)의 다른 편 입력에 제공된다.

펄스 발생회로(340)는 인버터(343)의 출력신호를 입력하는 2단의 종속접속된 인버터(340b) 및 (340c)와, 인버터(340b)의 출력신호와 인버터(343)의 출력신호를 입력하는 AND 게이트(340a)를 포함한다.

다음에 이 제31도에 나타내는 회로의 동작을 그의 동작파형도인 제32도를 참조하여 설명한다.

신호 /RAS가 L인 활성화시에는 인버터(338)의 출력신호가 H로 되고, AND/NOR 복합 게이트(340)에서 노드 N24에 출력되는 신호가 L로 되며, MOS 트랜지스터(323)가 온 상태로 되고, 저항(348) 및 (349)을 통하여 내부전원노드 Vcc1에서 접지노드 VSS에 전류가 흐르며, 노드 N26 의 전압이 내부전원전압 Vcc1에 대응한 전압레벨(3·Vcc1/5)로 된다.

여기에서 저항(348) 및 (349)의 저항치의 이는 2 : 3으로 설정되어 있다.

신호 /RAS가 L이고 인버터(342)의 출력신호가 외부전원전압 EXV레벨의 H로, MOS 트랜지스터(319)가 오프상태, MOS 트랜지스터(330)가 온 상태로 된다.

이것에 의해 커런트미러형 증폭회로(2523)가 동작상태로 되고, 노드 N26상의 전압과 기준전압 Vref의 대소관계에 따라서 MOS 트랜지스터(322)의 게이트 전위를 제어하여, 내부전원전압 Vcc1의 전압레벨을 조정한다. 한편 노드 N24의 전압레벨이 L이고, 인버터(348)의 출력신호가 H로 되며, 소정시간 경과후 인버터(340b)의 출력신호도 H로 되고, AND 게이트(340a)의 출력신호가 H로 된다.

이것에 의해 신호 /RAS 가 L로 강하하여 노드 N26의 전위가 안정된 후, 스탠바이 Vcc1 발생회로(2524)가 활성화된다.

즉 MOS 트랜지스터(327)가 오프상태, MOS 트랜지스터(333)가 온상태로 되고, 노드 N26상의 전압과 기준전압 Vref 의 대소에 따라 MOS 트랜지스터(326)의 게이트 전위의 조정이 행해진다.

제어부(2530)는 한편 동작전원전압으로서 외부전원전압 EXV 또는 내부전원전압 Vcc1 또는 Vcc2을 사용하고 있다.

MOS 트랜지스터(333)의 전류구동력은 MOS 트랜지스터(330)의 그것보다도 작게 스탠바이 Vcc1 발생회로(2524)에 포함하는 커런트미러형 증폭회로(2525)의 동작 전류는 활성 Vcc1 발생회로(2522)에 포함하는 커런트미러형 증폭회로(2523)의 동작전류보다도 작아진다.

신호 /RAS가 비활성상태의 H로 상승하면 인버터(342)의 출력신호가 L로 되고 MOS트랜지스터(330)가 오프상태, MOS 트랜지스터(319)가 온 상태로 되고, 커런트미러형 증폭회로(2523)의 증폭동작이 금지되며, MOS 트랜지스터(332)의 게이트에는 MOS 트랜지스터(319)를 통하여 외부전원전압 EXV이 전달되어 MOS 트랜지스터(332)가 오프상태로 된다.

한편 H의 신호 /RAS에 따라 NAND회로(344)가 인버터로서 기능하고 링 발진기(347)가 발진동작을 행한다.

AND/NOR 복합게이트(346)는 인버터(338)의 출력신호가 L이기 때문에, 링 발진기(347)에 포함되는 인버터(334)의 입력신호와 출력신호가 동시에 H일 때 (이 지속기간은 인버터(334)의 지연시간으로 결정한다)에만 L의 신호를 출력한다. 그 이외의 기간에 있어서는 AND/NOR 복합 게이트(346)의 출력신호는 H이고, 노드 N24상의 신호전위는 H 이기 때문에 MOS 트랜지스터(323)는 오프상태로 되어 저항(348) 및 (349)에는 전류가 흐르지 않는다.

한편 인버터(343)의 출력신호는 노드 N24상의 전압이 H일 때에는 L이 되고, AND 게이트(340a)의 출력신호는 L이 된다.

이 상태에서는 MOS 트랜지스터(327)는 온 상태, MOS 트랜지스터(333)가 오프상태가 되고, 스탠바이 Vcc1 발생회로(2524)에 포함되른 캐런트밀러형 증폭회로 (2525)가 비활성상태가 되며, MOS 트랜지스터(326)의 게이트에는 MOS 트랜지스터(327)를 통하여 외부전원전압 EXV이 전달되고, MOS 트랜지스터(326)는 오프상태로 된다.

링 발진기(347)가 가지는 주기가 경과하여 인버터(334) 입력신호 및 출력신호가 모두 H로 되면, AND/NOR 복합 게이트(346)의 출력신호가 L 로 된다.

이것에 의해 MOS 트랜지스터(323)가 온상태로 되어, 저항(348) 및 (349)을 통하여 내부 전원노드 Vcc1에서 접지노드 VSS에 전류가 흐르고, 노드 N26의 전위가 내부전위 전압 Vcc1의 전압레벨에 따라서 변화한다.

한편 인버터(343)의 출력신호가 이때 H에 상승하고, 소정시간이 경과한 후 펄스 발생회로(340)에서 출력신호가 H 로 되어, MOS 트랜지스터(327)가 오프상태 MOS 트랜지스터(333)가 온상태로 된다.

이에 의해 스탠바이 Vcc1 발생회로(2524)가 활성화되어 노드 N26와의 신호전위와 기준전압 Vref의 대소관계에 따라서 MOS 트랜지스터(326)의 게이트 전위가 조정되고, 외부 전원노드 EXV에서 내부전원노드 Vcc1에의 MOS 트랜지스터 (326)를 통한 전류공급의 조정이 행해진다.

인버터(334)의 입력신호 및 출력신호가 서로 상보한 논리로 되면, AND/NOR게이트(346)의 출력신호가 H로 되고 MOS 트앤지스터(333)가 오프상태로 된다. 또 그때 인버터(343)의 출력신호가 L로 되고, 펄스발생회로(340)에서와 출력신호가 L로 되어, 스탠바이 Vcc1 발생회로(2524)는 비활성상태로 된다.

노드 N26의 전위가 MOS 트랜지스터(323)가 도통후에 안정하기까지에 요하는 기간은, 저항(348) 및 (349)의 저항치와 노드 N26에 부수(付隨)하는 용량(MOS 트랜지스터(329) 및 (332)의 게이트용량)에 의해 결정된다.

이 기간은 펄스 발생회로(340)에서의 인버터(340b) 및 (340c)가 제공하는 지연시간에 의해 보상되고, 노드 N26의 전압이 안정된 후 스탠바이 Vcc1 발생회로 (2524)가 활성화된다.

노드 N24의 전위가 스탠바이시에 있어서 L로 되는 것은 링 발진기(347)가 가지는 주기에 의해 결정된다.

이 스탠바이 Vcc1 발생회로(2524)를 링 발진기(347)에 의해 간헐적으로 활성상태로 하는 것에 의해, 스탠바이 Vcc1 발생회로의 소비전류를 저감할 수가 있고, 저 소비전류의 스탠바이 Vcc1 발생회로를 실현할 수가 있다.

또 이 때, 내부전원노드 Vcc1에서 접지노드 VSS에는 간헐적으로밖에 전원이 흐르지 않기 때문에, 스탠바이시에서의 소비전류를 저감할 수가 있고, 따라서 저소비전력의 내부전원전압 발생회로를 얻을 수가 있다.

제31도에 나타내는 구성을 제 2 의 내부전원전압 Vcc에 발생하기 위하여 이용하는 경우에는, 저항(348) 및 (349)의 저항치의 비가 1 : 1 로 설정되면 좋다. 이 때, 제어부(2530)는 제 1 의 내부전원전압 Vcc1 발생회로 및 제 2 의 내부전원전압 Vcc2 발생회로로 공유할 수가 있다.

C : 내부전원전압 발생회로 3 :

제33도는 본 발명에 따른 내부전원전압 발생회로의 제 3 의 실시예의 구성을 나타내는 도면이다.

제33도에는 내부 고전압 Vpp 및 /또는 부(-)전압 Vbb 발생회로의 펌프부가 제 1 의 내부전원전압 Vcc1을 사용하여 동작하고 있는 경우의 내부전원전압 발생회로의 구성이 표시된다.

Vpp 발생회로 및 Vbb 발생회로가 제 2 의 내부전원전압 Vcc2에서 차지펌프동작에 의해 각각 내부 고전압 Vpp 및 부(-)전압 Vbb을 발생하고 있는 경우에는 제 2 의 내부전원전압 Vcc2을 발생하는 내부전원전압 발생부에 대하여 제33도에 나타내는 구성이 적용된다.

제33도에 있어서 내부 고전압 Vpp를 발생하는 Vpp 발생회로(5)는, 내부고전압 Vpp의 레벨을 검출하는 Vpp 레벨 검출회로(5A)와, Vpp 레벨 검출회로(5A)의 출력신호에 응답하여 차지 펌프 동작에 의해 내부고전압 Vpp을 생성하는 Vpp 발생부(5B)를 포함한다.

Vpp 발생부(5B)는 내부전원전압 Vcc1을 한편 동작 전원전압으로 해서 동작하고, Vpp 레벨검출회로(5A)가

내부고전압 Vpp이 소정 레벨이하를 표시할 때에 그 차지펌프 동작이 활성화된다.

부전압 Vbb을 발생하는 Vbb의 발생회로(3)는, 부(-)전압 Vbb의 레벨을 검출하는 Vbb 레벨 검출회로(3A)와, Vbb 레벨 검출회로(3A)의 출력신호에 응답하여 차지 펌프 동작에 의해 부(-)전압 Vbb을 생성하는 Vbb 발생부(3B)를 구비한다.

Vbb 발생부(3B)는 내부전원전압 Vcc1을 한편 동작 전원전압으로서 동작하고, 차지펌프 동작에 의해 이 제 1 의 내부전원전압 Vcc1에서 부(-)전압 Vbb를 생성한 다.

Vbb 레벨 검출회로(3A)가 부(-)전압 Vbb이 소정의 레벨보다도 높은 것을 나타 낼 때 Vbb 발생부(3B)는 그 의차지 펌프 동작이 활성화된다.

펌프동작 검출회로(381)는 이 Vpp 레벨 검출회로(5A) 및 Vbb 레벨 검출회로(3A)의 출력신호에 응답하여, Vpp 발생부(5B) 및 Vbb 발생부(3B)의 적어도 한편이 동작하고 있는지 아닌지를 검출한다.

내부전원전압 발생회로(4)는 로우 어드레스 스트로브 신호 /RAS에 응답하여 활성화되고, 소정의 전압레벨의 내부전원전압 Vcc1을 생성하는 활성 Vcc1 발생회로(4A)와, 펌프 동작검출회로(381)의 출력신호에 의해 그 동작전류가 조정되어 내부전원전압 Vcc1을 생성하는 스탠바이 Vcc1 발생회로(4B)를 포함한다.

이 스탠바이 Vcc1 발생회로(4B)는, 펌프동작 검출회로(381)가 Vpp 발생부(5B) 및 Vbb 발생부(3B)의 적어도 한 편이 동작하고 있는 것을 검출하고 있을 때에 그 동작전류가 증가된다.

스탠바이시에 있어서, 내부전원전압 Vcc1이 사용되는 기간에만 이 스탠바이 Vcc1 발생회로(4B)의 동작전류를 증대시켜, 내부전원전압 Vcc1 의 변동을 억제한다.

스탠바이시에 있어서 Vpp 발생부(5B) 및 Vbb 발생부(3B) 양자가 동작하고 있지 않을 경우에는, 이 스탠바이 Vcc1 발생회로(4B)의 동작전류가 작게 되고, 이것에 의해 평균치로서의 스탠바이시에서의 소비전류의 저감을 도모한다.

다음에 구체적 회로 구성에 관하여 설명한다.

제34도는 제33도에 나타내는 내부전원전압 발생회로(4)의 구체적 구성을 나타내는 도면이다.

제34도에 있어서 Vbb레벨 검출회로(223)(3A)는 내부전원노드 Vcc1와 부(-)전압 노드 Vbb의 사이에 직열로 접속되는 p 채널 MOS 트랜지스터(78) 및 n채널 MOS 트랜지스터(79) 및 (87)를 포함한다.

p 채널 MOS 트랜지스터(78)는 그 게이트가 접지전압노드 VSS에 접속되어 고저항 소자로서 기능한다.

n 채널 MOS 트랜지스터(79)는 그 게이트가 접지노드 VSS 에 접속되어 레벨 검출소자로서 기능한다.

MOS 트랜지스터(87)는 그 게이트 및 드레인이 상호 접속되어, 도통시에 한계치 전압 Vthn의 전압 강하를 생기게 하는 다이오드 소자로서 동작한다.

이 Vbb 레벨 검출회로(223)는 부(-)전압 Vbb이 -2 · Vthn이하로 되었을 때에 L의 신호를 출력하고, 그렇지 않은 때에는 H의 신호를 출력한다.

내부 고전압 Vpp의 레벨을 검출하는 Vpp 레벨 검출회로(226)(5A)는, 내부 전원 노드 Vpp와 접지노드 VSS의 사이에 직열로 전속되는 P 채널 MOS 트랜지스터 (106) 및 (107) 및 n 채널 MOS 트랜지스터(118)를 포함한다.

p 채널 MOS 트랜지스터(106)는 그의 게이트 및 드레인이 상호 접속되어, 도통시에 | Vthp |의 전압강하를 생기게 하는 다이오드소자로서 기능한다.

p 채널 MOS 트랜지스터(107)는 그 게이트에 내부전원전압 Vcc1을 받아, 소스 전위에 따라서 온 · 오프하는 스위칭 소자로서 기능한다.

MOS 트랜지스터(118)는 그 게이트에 내부전원전압 Vcc1을 받아, 고저항소자로서 기능한다.

Vpp레벨 검출회로(226)는 내부 고전압 Vpp이 Vcc1 + 2 | Vthp |이상으로 되었을 때에 H의 신호를 출력하고, 그렇지 않을 때에는 L의 신호를 출력한다.

펌프 동작검출회로(381)는 Vbb 레벨 검출회로(223)의 출력신호와 Vpp 레벨 검출 회로(226)의 출력신호에 따라서 펌프 동작의 유무를 나타내는 신호 ΦEVS를 출력 한다.

제34도에서는, 펌프 동작 검출회로(381)는 입력신호 논리의 정합을 취하기 때문에, Vbb레벨 검출회로(223) 출력신호와 Vpp레벨 검출회로(226) 출력신호의 반전 신호를 받는 2입력 NOR 게이트로 구성되는 경우가 일예로서 표시된다.

이 2입력 NOR 게이트(펌프동작 검출회로)(381)에는 Vpp레벨 검출회로(226)의 출력신호에 응답하여 펌프구동신호를 발생하는 펌프구동신호 발생회로(224)에 포함되는 인버터(124)의 출력신호가 제공된다.

활성 Vcc1 발생회로(4A)는 로우 어드레스 스트로브 신호 /RAS의 활성화시에 활성화되는 커런트미러형 증폭회로(417)와, 커런트미러형 증폭회로(417)의 출력신호에 따라 외부전원노드 EXV에서 내부전원노드 Vcc1에 전류를 공급하여, 소정전압 레벨의 내부전원전압 Vcc1을 생성하는 p 채널 MOS 트랜지스터(358)를 포함한다.

커런트미러형 증폭회로(417)는 신호 /RAS를 반전하는 인버터(379)와, 인버터(379)의 출력신호에 응답하여 외부전원전압 EXV를 MOS 트랜지스터(358)의 게이트에 전달하는 p 채널 MOS 트랜지스터(355)와, 외부전원노드 EXV에 접속되고 또한 커런트미러 회로를 구성하는 p 채널 MOS 트랜지스터(356) 및 (357)와, 출력단을 구성하는 n 채널 MOS 트랜지스터(372) 및 (373)와, 인버터 (379)의 출력신호에 응답하여 MOS 트랜지스터(356), (357), (372) 및 (373)에 대한 전류경로를 형성하는 n 채널 MOS 트랜지스터(374)를 포함한다.

MOS 트랜지스터(372)의 게이트 기준전압 Vref(예컨대 1.5V)이 제공된다.

MOS 트랜지스터(373)의 게이트에는 저항(382) 및 (383)의 접속노드에 나타낸 전압이 제공된다.

저항(382) 및 (383)은 내부전원노드 Vcc1와 접지노드 VSS의 사이에 직열로 접속되고, 그 저항치의 비가 2 : 3 으로 설정된다.

이것에 의해 MOS 트랜지스터(373)의 게이트에는 3·Vcc1/5의 전압이 제공된다.

이 활성 Vccl 발생회로의 동작은 먼저 설명한 내부전원전압 발생회로에 포함하는 것과 동일하다.

즉 신호 /RAS가 L 인 활성화에 의하여 인버터(379)에서 외부 전원전압 EXV 레벨의 H의 신호가 출력되어, MOS 트랜지스터(355)가 오프상태 MOS 트랜지스터(374)가 온 상태로 되고, 커런트미러형 증폭회로(417)가 활성상태로 된다.

내부전원전압 Vcc1이 소정전압레벨(5·Vref/3)보다도 높을 경우에는 MOS 트랜지스터(373)의 컨덕턴스는 MOS 트랜지스터(372)의 컨덕턴스보다도 커지고, 커런트미러 회로를 구성하는 MOS 트랜지스터(356) 및 (357)에 의해 MOS 트랜지스터(358)의 게이트 전위가 상승하며, 외부전원노드 EXV에서 내부 전원노드 Vcc1에의 전류공급이 저감 또는 정지된다.

내부전원전압 Vcc1이 소정전압레벨보다도 낮을 경우에는, 커런트미러형 증폭회로 (417) 출력신호의 전압레벨이 저하하여, MOS 트랜지스터(358)가 외부전원노드 EXV에서 내부전원노드 Vcc1에 공급하는 전류량이 증가된다.

신호 /RAS가 H로 되면 MOS 트랜지스터(355)가 온상태 MOS 트랜지스터(374)가 오프상태로 되어, 커런트미러형 증폭회로(417)가 비활성상태로 되고, 또 MOS 트랜지스터(358)의 게이트는 외부전원전압 EXV으로 설정된다.

즉 활성 Vcc 발생회로(4A)는 신호 /RAS의 환성화시에서만 내부전원전압 Vcc1의 조정동작을 행한다.

스탠바이 Vcc1 발생회로(4B)는, 펌프동작 검출회로(381)의 출력신호 ΦEVS에 응답하여 그의 동작전류가 증가되는 커런트미러형 증폭회로(418)와, 커런트미러형 증폭회로(418)의 출력신호에 응답하여 내부전원노드 Vcc1에 외부전원노드 EXV 에서 전류를 공급하는 p 채널 MOS 트랜지스터(371)를 포함한다.

커런트미러형 증폭회로(418)는, 외부전원노드 EXV와 노드 NJ1의 사이에 접속되고 그 게이트가 노드 NJ4에 접속되는 p채널 MOS 트랜지스터(360)와, 외부전원 노드 EXV 와 노드 NJ4의 사이에 접속되고 또한 그 게이트가 노드 NJ4에 접속 되는 p 채널 MOS 트랜지스터(370)와, 노드 NJ1와 노드 NJ2의 사이에 접속되고 그 게이트에 기준전압 Vref 을 받는 n 채널 MOS 트랜지스터(375)와, 노드 NJ4 와 노드 NJ2의 사이에 접속되고 그 게이트가 저항(382) 및 (383)의 접속노드(노드 NJ3)에 접속되는 n 채널 MOS 트랜지스터(376)와, 신호 ΦEVS를 반전하는 인버터(380)와 노드 NJ2와 접지노드 VSS의 사이에 접속되어 그 게이트에 인버터 380의 출력신호를 받는 n 채널 MOS 트랜지스터(377)와, 노드 NJ2와 접지노드 VSS의 사이에 접속되고 그 게이트에 내부전원전압 Vcc1을 받는 n 채널 MOS 트랜지스터 (378)을 포함한다.

MOS 트랜지스터(360) 및 (370)는 커런트미러 회로를 구성하고, MOS 트랜지스터 (375) 및 (376)은 비교단을 구성한다.

MOS 트랜지스터(378)는 작은 컨덕턴스를 가지는 저항소자로서 기능하고, 항상 이 커런트미러형 증폭회로(418)에 대한 작은 동작전류를 공급한다.

MOS 트랜지스터(377)의 컨덕턴스 또는 전류구동력은 커런트미러형 증폭회로 (417)의 동작전류를 공급하는 MOS 트랜지스터(374)의 그것보다도 작게 된다.

스탠바이시에 있어서 Vpp 발생회로 및 Vbb 발생회로가 동시에 차지 펌프 동작을 정지하고 있는 경우에는, Vbb 레벨 검출회로(223)의 출력신호는 L, Vpp레벨 검출회로(226)의 출력신호는 H이다.

Vpp 레벨 검출회로(226)의 출력신호는 인버터(122)를 통하여 펌프 동작 검출용의 NOR 게이트(381)에 제공된다.

따라서 NOR 게이트(381)의 입력신호는 모두 L이고, 신호 ΦEVS가 H로 된 다. 따라서 인버터(380)의 출력신호가 L로 되어 MOS 트랜지스터(377)는 오프상태로 된다.

MOS 트랜지스터(378)가 이 커런트미러형 증폭회로(418)의 전류원으로서 동작하고, 커런트미러형 증폭회로(418)는 MOS 트랜지스터(378)를 흐르는 작은 전류를 동작전류로서 기준전압 Vref과 노드 NJ3의 전위(내부전원전압 Vcc1 에 대응)를 비교하여, 그 비교결과에 따라서 MOS 트랜지스터(371)의 게이트전위를 조절하여 내부전원전압 Vcc1의 전압레벨의 조정을 행한다.

스탠바이시에 있어서 내부고전압 Vpp 및 부전압 Vbb의 발생을 위한 펌프동작이 아무것도 행해지고 있지 않을 경우에는, 반도체 기억장치내에서 내부전원전압 Vcc1은 거의 소비되지 않기(리크 전류에 의한 스탠바이 전류만)때문에, 내부전원전압 Vcc1은 거의 변화하지 않고(리크전류에 의해 완만하게 감소한다.) 작은 전류 공급력을 갖는 MOS 트랜지스터(378)만을 전류원으로서 사용함으로써 커런 트미러형 증폭회로(418)의 소비전류의 저감을 도모한다.

내부고전압 Vpp 또는 부전압 Vbb을 발생하기 위한 펌프동작이 행해질 경우, NOR 게이트(381)의 적어도 한편의 입력이 H로 되고 신호 ΦEVS가 L로 된다.

이 경우에는 인버터(380)의 출력신호가 H로 되어 MOS 트랜지스터(377)가 온 상태로 되고, MOS 트랜지스터(377) 및 (378)는 커런트미러형 증폭회로(418)의 전류원으로서 동작한다.

이 경우에는 커런트미러형 증폭회로(418)의 동작전류는 증가하기 때문에, 노드 NJ1의 전위가 기준전압

Vref 과 NJ3의 전위의 대소에 따라서 고속으로 변화하고, 내부고전압 Vpp 및 /또는 부전압 Vbb 발생을 위하여 생기는 내부전원전압 Vcc1의 변동(감소)을 고속으로 보상한다.

스탠바이시에 있어서는 내부전원전압 Vcc1이 사용될 때에만 이 스탠바이 Vcc1 발생회로(5B)의 동작전류를 크게 함으로써, 스탠바이시의 스탠바이 Vcc1 발생회로의 평균적인 소비전류를 작게 할 수가 있고, 따라서 저소비전류인 내부전원전압 발생회로를 실현할 수가 있다.

위에서 설명한 내부전원전압 발생회로의 구성에 있어서는, 제35도에 나타내는 바와 같이 동일 기준전압 Vref 을 이용하여 2종류의 내부전원전압 Vcc1 및 Vcc2을 하고 있다.

즉 Vcc1 발생회로(3000)는 저항 R1 및 R2로 분압된 전압과 기준전압 Vref 을 비교하여, 그 비교 결과에 따라 제 1 의 내부전원전압 Vcc1을 생성하고 있다.

Vcc2 발생회로(310c)는 제 2 의 내부떤은전압 Vcc2 을 저항 R3 및 R4로 분압하고, 이 분압한 전압을 기준전압 Vref과 비교하여, 그 비교 결과에 따라 내부전원전압 Vcc2의 레벨조정을 행하고 있다.

저항 R1 및 R2 의 저항치의 비는 2 : 3으로 설정되고, 저항 R3 및 R4의 저항치의 비는 1 : 1로 설정된다.

기준전압 Vref 을 발생하는 구성에 관하여는 나중에 상세히 설명하겠으나, 분압 저항을 사용하지 않고, 제 1 및 제 2 의 내부전원전압 Vcc1 및 Vcc2 각각에 대응하여 2개의 기준전압 Vref1 및 Vref2을 사용하여 내부전원전압 Vcc1 및 Vcc2의 레벨 조정을 행할 수도 있다.

이하 이 구성에 대하여 설명한다.

D : 내부전원전압 발생회로 4:

제36도는 본 발명에 내부전원전압 발생회로의 제 4 의 실시예의 구성을 개략적으로 나타내는 도면이다.

제36도에 나타내는 구성에서는 Vcc1 발생회로(3020)는 제 1 의 기준전압 Vref1 과 제 1 의 내부전원전압 Vcc1 의 레벨조정을 행한다.

Vcc2 발생회로(3030)는 제 2 의 기준전압 Vref2과 제 2 의 내부전원전압 Vcc2의 비교를 행하여, 그 비교 결과에 따라 제 2 의 내부전원전압 Vcc2의 레벨조정을 행한다.

이 경우 Vref = Vcc1, Vref2 = Vcc2로 된다.

제37도는 제36도에 나타내는 Vcc1 발생회로의 구체적 구성을 나타내는 도면이다.

이 제37도에 나타내는 구성에 있어서 기준전압 Vref1을 제 2 의 기준전압 Vref2로 변경하면, Vcc2 발생회로(3030)(제36도 참조)를 실현할 수가 있다.

제37도에 있어서, Vcc1 발생회로(3020)는 신호 /RAS 의 활성화시에 활성화되는 활성Vcc1 발생회로(421)와, 스탠바이시에 제 1 의 내부전원전압 Vcc1을 조정하는 스탠바이 Vcc1 발생회로(222)를 포함한다.

활성 Vcc1 발생회로(421)는 로우 어드레스 스트로브 신호 /RAS를 반전하는 인버터(409)와, 신호 /RAS의 활성화시에 도통상태로 되어 외부전원노드 EXV에서 노드 (421f)에 전류를 공급하는 p채널 MOS 트랜지스터(384)와, MOS 트랜지스터 (384)에서 공급된 전류를 접지노드 VSS에 방전하는 다이오드 접속된 n채널 MOS 트랜지스터(397)와, 인버터(409)의 출력신호에 응답하여 외부전원전압 EXV을 노드 (421d)를 통하여 드라이브용의 p 채널 MOS 트랜지스터(388)의 게이트에 제공되는 p 채널 MOS 트랜지스터(385)와, 제 1 의 기준전압 Vref1을 게이트에 받고 이 제 1 의 기준전압 Vref1을 레벨시프트하여 노드(421a)에 전달하는 n채널 MOS 트랜지스터(393)와, 노드(421a)와 접지노드 VSS의 사이에 MOS 트랜지스터(397)와 커런트미러 회로를 구성하도록 접속되는 n채널 MOS 트랜지스터(398)와, 내부전원노드 Vcc1 상의 제 1 의 내부전원전압 Vcc1을 레벨시프트하여 노드(421b)에 전달하는 n채널 MOS 트랜지스터(396)와, 노드 (421b)와 접지노드 VSS의 사이에 MOS 트랜지스터(397)와 커런트미러회로를 구성하도록 접속되는 n채널 MOS 트랜지스터(400)와, 노드(421a) 및 (421b)의 전압을 비교하여 그 비교 결과에 따라 MOS 트랜지스터(388)의 게이트 전위를 조정하는 커런트미러형 증폭 회로(419)를 포함한다.

커런트미러형 증폭회로(419)는, 외부전원노드 EXV와 노드 (421c)의 사이에 설치되어 그 게이트가 노드(421c)에 접속되는 p 채널 MOS 트랜지스터(386)와, 외부 전원노드 EXV와 노드(421c)의 사이에 접속되고 또한 그 게이트가 노드(421c)에 접속되는 p 채널 MOS 트랜지스터(387)와, 노드(4214)와 노드 (421b)의 사이에 접속되고 또한 그 게이트가 노드(421a)에 접속되는 n채널 MOS 트랜지스터(394)와, 노드 (421c)와 노드(421e)의 사이에 접속되어 그 게이트가 노드 (421b)에 접속되는 n채널 MOS 트랜지스터(395)와, 노드(421e)과 접지노드 VSS의 사이에 접속되고 또한 그 게이트가 노드(4BIf)에 접속되는 n채널 MOS 트랜지스터(399)를 포함한다.

MOS 트랜지스터(386) 및 (387)는 커런트미러 회로를 구성하고, MOS 트랜지스터(387)를 흐르는 전류와 같은 크기의 전류가 MOS 트랜지스터(386)를 통하여 흐른다(MOS 트랜지스터(386) 및 (387)의 사이즈가 동일할때). MOS 트랜지스터(399)는 이 커런트미러형 증폭회로(419)의 전류원으로서 동작한다.

MOS 트랜지스터(397), (398), (399) 및 (400)의 사이즈가 같은 경우에는, 이들 트랜지스터에는 같은 크기의 전류가 흐른다.

다음에 이 활성 Vcc1 발생회로의 동작에 관하여 설명한다.

신호 /RAS 가 비활성상태의 H인 때 인버터(409)의 출력신호가 L로 된다. 이 상태에서는 MOS 트랜지스터(384)가 오프상태로 되고(신호 /RAS는 외부전원 전압 EXV의 레벨에 있다), MOS 트랜지스터(397)에는 전류가 공급되지 않으며, MOS 트랜지스터(397), (398), (399) 및 (400)는 모두 오프상태로 된다.

한편 MOS 트랜지스터(385)가 온 상태로 되어, 노드(421d)를 통하여 p 채널 MOS 트랜지스터(388)의 게이트에 외부전원전압 EXV을 전달하고, 그것에 의해 MOS 트랜지스터(388)가 오프상태로 된다. 즉 이 활성 Vcc1

발생회로(421)는 신호 /RAS의 비활성화시에는 제 1 의 내부전 원전압 Vcc1의 조정동작을 행하지 않는다.

신호 /RAS가 활성상태의 L로 되면 인버터(409)의 출력신호가 H로 된다. 이것에 의해 MOS 트랜지스터(384)는 온상태, MOS 트랜지스터(385)가 오프상태로 된다.

MOS 트랜지스터(384)를 통하여 외부 전원노드 EXV에서 MOS 트랜지스터(397)에 전류가 공급된다.

MOS 트랜지스터(397)와 MOS 트랜지스터(398), (399) 및 (400)는 커런트미러회로를 구성하고 있고, MOS 트랜지스터(397)를 흐르는 전류에 의해 결정되는 전류가 MOS 트랜지스터(398), (399) 및 (400)에 각각 흐른다.

지금 MOS 트랜지스터(398) 및 (400)의 사이즈가 같고, 이 MOS 트랜지스터(398) 및 (400)에는 같은 크기의 전류가 흐른다.

즉 MOS 트랜지스터(393) 및 (396)에 같은 크기의 전류가 흐른다.

MOS 트랜지스터(393) 및 (396)의 한계치 전압 Vthn이 같은 경우에는 $Ids = \beta(Vqs - Vthn)^2$의 관계에서 같은 크기의 게이트-소스간 전압 Vqs가 생긴다.

즉 MOS 트랜지스터(393)는 Vref1-Vsh의 전압을 노드(421a)에 전달하고, MOS 트랜지스터(396)는 노드(4Blb)에 Vcc1-Vsh의 전압을 전달한다.

여기에 Vsh는 MOS 트랜지스터(393) 및 (396)에서의 게이트-소스간 전압을 나타낸다.

커런트미러형 증폭회로(419)는 MOS 트랜지스터(399)를 전류원으로 해서 동작하고 노드(421a) 및 (421b)의 전압을 비교한다.

노드 (421a)의 전위가 저하하고 MOS 트랜지스터(388)의 컨덕턴스가 커지며, 반대인 경우에는 MOS 트랜지스터(388)의 컨덕턴스가 작아진다.

MOS 트랜지스터(393)(396)에서의 게이트-소스간 전압은 같은 수치 Vsh이고, Vcc1=Vref1이 되는 내부전원전압이 생성된다.

MOS 트랜지스터(393) 및 (396)을 사용하는 레벨시프트의 효과에 관하여는 나중에 설명한다.

즉, 이 활성 Vcc1 발생회로는 신호 /RAS 의 활성화시에 활성화되어, 큰 전류 구동력으로 고속으로 내부전원전압 Vcc1의 변동을 보상하고, 일정한 전압레벨 Vref1로 내부전원전압 Vcc1을 유지한다.

스탠바이 Vcc1 발생회로(422)는 활성제어신호 ΦEV를 반전하는 인버터(410)와, 인버터(410)의 출력신호에 응답하여 외부전원전압 EXV을 노드 (422f)에 전달하는 p 채널 MOS 트랜지스터(411)와, 외부전원노드 EXV와 노드(422f)의 사이에 접속되고 그 게이트에 접지전압 VSS를 받가 저항소자로서 기능하는 p 채널 MOS 트렌지스터(389)와, 노드 (422f)와 접지노드 VSS의 사이에 설치되는 다이오드 접속된 p 채널 MOS 트랜지스터(405)와, 외부전원노드 EXV와 노드(422a)의 사이에 접속되고 그 게이트에 기준전압 Vref1을 받는 레벨시프트용 n채널 MOS 트랜지스터(401)와, 노드 (422a)와 접지노드 VSS의 사이에 접속되고 또한 MOS 트랜지스터(405)와 커런트미러 회로를 구성하는 n채널 MOS 트랜지스터(406)와, 외부전원노드 EXV와 노드(422b)의 사이에 접속되고 그 게이트에 내부전원전압 Vcc1을 받는 n채널 MOS 트랜지스터(404)와, 노드(422b)와 접지노드 VSS의 사이에 접속되고 MOS 트랜지스터(405)와 커런트미러 회로를 구성하는 n채널 MOS 트랜지스터(408)와, 활성화시 노드(422a) 및 (422b)의 전압을 비교하고 해당 비교결과에 따라 신호를 출력하는 커런트미러형 증폭회로(420)와, 커런트미러형 증폭회로(420)의 출력신호에 응답하여 외부절원노드 EXV에서 내부 전원노드 Vcc1 에 전원노드를 공급하는 p 채널 MOS 트랜지스터(392)를 포함한다.

MOS 트랜지스터(389)의 컨덕턴스 또는 전류 구동력은 MOS 트랜지스터(384)의 컨덕턴스 또는 전류구동력보다도 작게 되고, MOS 트랜지스터(405)를 흐르는 전류는 활성 Vcc1 발생회로(421)에 포함되는 MOS 트랜지스터(397)를 통하여 흐르는 전류보다도 작게되어, 스탠바이시의 소비전류의 저감이 도모된다.

커런트미러형 증폭회로(420)는 외부전원노드 EXV와 노드(422c)의 사이에 접속되고, 또한 그 게이트가 노드(422c)에 접속되는 p 채널 MOS 트랜지스터 (391)와, 외부전원전압 EXV과 노드(422d)의 사이에 접속되며, 또한 그 게이트가 노드(422c)에 접속되는 p 채널 MOS 트랜지스터(390)와, 노드(422d)와 노드(422e)의 사이에 접속되고 또한 그 게이트가 노드(422a)에 접속되는 n채널 MOS 트랜지스터(402)와, 노드(422c)와 노드(422e)의 사이에 접속되며 또한 그 게이트가 노드(422b)에 접속되는 n채널 MOS 트랜지스터(403)와, 노드(422b)와 접지노드 VSS 의 사이에 접속되고, 또한 그 게이트가 노드(422f)에 접속되는 n채널 MOS 트랜지스터 (407)를 포함한다.

MOS 트랜지스터(390) 및 (391)는 커런트미러회로를 구성하고, MOS 트랜지스터 (402) 및 (403)는 노드(422a) 및 (422b)에서의 전압을 비교하는 비교단을 구성하며, MOS 트랜지스터(407)는 전류원으로서 기능한다.

이 MOS 트랜지스터(407)는 또한 MOS 트랜지스터(405)와 커런트미러 회로를 구성한다.

신호 ΦEV는 이 스탠바이 Vcc1 발생회로(422)를 활성/비활성상태로 하기 위한 신호이고, 제34도에 나타내는 신호 ΦEVS와 같은 것이라도 되며 (펌프 회로가 내부전원전압을 이용하는 경우), 또 제31도에 나타내는 제어부(2530)에서의 출력신호(노드 N25의 신호의 반전신호)라도 된다.

MOS 트랜지스터(401) 및 (404)는 같은 사이즈 및 같은 한계치전압 Vthn을 가진다.

MOS 트랜지스터(406) 및 (408)는 같은 사이즈를 가지고 있고, MOS 트랜지스터(405)는 커런트미러회로를 구성하고 있으며, 따라서 MOS 트랜지스터(406) 및 (408)에는 같은 크기의 전류가 흐른다.

다음에 동작에 관하여 설명한다.

신호 ΦEV가 L이고, 예컨대 내부전원전압 Vcc1을 사용하는 회로의 동작이 정지되어 있는 것을 나타내고 있을때, 인버터(410)의 출력신호가 H(외부전원전압 EXV 레벨)로 되고 MOS 트랜지스터(411)가 오프상태로 된다.

노드(422f)에는 MOS 트랜지스터(389)를 통하여 전류가 공급된다.

이 MOS 트랜지스터(389)의 컨덕턴스는 작고, 그 전류 공급량은 작게 되어 있다. MOS 트랜지스터(389)에서 공급되는 전류는 MOS 트랜지스터(405)를 통하여 흐르고, 따라서 이 MOS 트랜지스터(405)를 통하여 전류의 미러 전류가 MOS 트랜지스터(406), (407) 및 (408)를 통하여 흐른다.

MOS 트랜지스터(406) 및 (408)는 같은 전류를 방출하기 때문에, MOS 트랜지스터(401) 및 (404)에서는 같은 수치의 게이트-소스 전압이 발생하고, 노드(422a) 및 (422b)에는 각각 기준전압 Vref1 및 내부전원전압 Vcc1이 같은 수치만큼 레벨시프트 되어 전달된다.

커런트미러형 증폭회로(420)는 이 노드(422a) 및 (422b)의 전압을 비교하여, 그 비교결과에 따라 p 채널 MOS 트랜지스터(392)의 게이트 전위를 조정한다.

내부전원전압 Vcc1이 기준전압 Vref1보다도 높은 경우에는 MOS 트랜지스터 (392)의 컨덕턴스가 작아진다.

내부전원전압 Vcc1이 기준전압 Vref1보다도 낮은 경우에는, MOS 트랜지스터 (392)의 게이트전위가 낮게 되고, 외부전원노드 EXV에서 내부전원노드 Vcc1에 전류가 공급되어, 내부전원전압 Vcc1의 레벨이 상승한다.

이 때, MOS 트랜지프터 (405), (406), (407) 및 (408)를 통하여 흐르는 전류는 작고, 내부전원전압 Vcc1의 완만한 변동에 따라서 이 내부전원전압 Vcc1의 전압레벨의 조정을 행한다.

스탠바이시에는 내부전원전압 Vcc1이 사용되고 있지 않을 경우에는, 단지 리크전류에 의한 내부전원전압 Vcc1의 저하가 생길 뿐이고, 작은 동작전류라도 충분히 이 내부전원전압 Vcc1을 정확하게 일정한 전압 레벨로 유지할 수가 있다.

신호 ΦEV가 H로 되어 예컨대 내부전원전압 Vcc1 이 사용되고 있는 것을 표시에는, MOS 트랜지스터(411)가 온 상태로 되어 MOS 트랜지스터(405)를 통하여 전류가 증가한다.

따라서 MOS 트랜지스터(406), (407) 및 (408)를 통하여 전류가 증가하여, 커런트미러 증폭회로(420)는 노드(422a) 및 (422b)에 전압에 따라 고속으로 내부노드(422d)의 전위를 변화시켜, 출력용 MOS 트랜지스터(392)의 게이트 전위를 조정한다.

이것에 의해 내부전원전압 Vcc1이 스탠바이시에 사용되어 변화하는 경우에는 고속으로 동작하고, 내부전원전압 Vcc1을 일정치로 유지할 수가 있다.

MOS 트랜지스터(406) 및 (408)를 통하여 흐르는 전류가 증가할때, 따라서 MOS 트랜지스터(401) 및 (404)를 통하여 흐르는 전류도 증가한다.

그렇지만, MOS 트랜지스터(401) 및 (404)가 같은 사이즈이고 또한 같은 한계치 전압을 갖는 경우에는, MOS 트랜지스터(401) 및 (404)를 흐르는 전류는 $\beta(Vgs-Vthn)^2$에 따라 방출되기 때문에 같은 게이트-소스간 전압이 생긴다.

레벨시프트량이 커지고 고감도영역에서 증폭회로(420)는 기준전압 Vref1과 내부 전원전압 Vcc1을 비교할 수가 있다.

MOS 트랜지스터(389)의 컨덕턴스를 충분히 작게 하고 그곳을 흐르는 전류치를 충분히 작게 한다.

스탠바이시에 있어 내부전원전압 Vcc1이 사용되지 않을 때에는 그 변화는 극히 작기 때문에, 충분히 그 내부전원전압 Vcc1의 변동을 소비전류로 억제할 수가 있다(스탠바이 전류는 일반적으로 μA의 오더이다)

스탠바이시에 내부전원전압 Vcc1이 사용될 때(예컨대 펌프회로가 동작할 때), MOS 트랜지스터(411)를 온 상태로 하여 MOS 트랜지스터(405), (406), (407) 및 (408)를 흐르는 전류치를 크게 함으로써, 이 스탠바이 Vcc1 발생회로(422)의 응답 속도를 빨리하고 내부전원전압 Vcc1의 전압레벨을 조정한다.

이것에 의해 스탠바이 Vcc1 발생회로의 평균 소비전류를 저감할 수가 있다.

다음에 MOS 트랜지스터(393), (396), (401) 및 (404)에 의해 기준전압 Vref1 및 내부전원전압 Vcc1을 레벨시프트하는 이유에 관하여 설명한다.

지금 제38도 a에 표시되는 커런트미러형 차동증폭회로를 생각한다.

이 제38a도에 나타내는 커런트미러형 증폭회로는, 커런트미러 회로를 구성하는 p 채널 MOS 트랜지스터 LP1 및 LP2와, 입력신호 Vin과 기준전압 VR을 비교하는 비교단을 구성하는 n채널 MOS 트랜지스터 DN1 및 DN2를 포함한다.

MOS 트랜지스터 LP1 및 DN2가 직열로 접속되고, MOS 트랜지스터 LP2 및 DN1가 직열로 접속된다.

MOS 트랜지스터 LP2 의 게이트 및 드레인이 상호 접속된다.

정전류원에 의해 일정한 동작전류 I가 공급된다.

이 커런트미러형 증폭회로는 입력신호 Vin과 출력신호과는 그 논리가 반전한다.

제38b도에 이 제38a도에 표시되는 증폭회로의 입출력 특성을 나타낸다.

기준전압 VR이 커지면 출력신호 OUT의 변화속도가 작아진다.

기준전압 VR이 VR1인 때 MOS 트랜지스터 DN1의 컨덕턴스는 작다.

MOS 트랜지스터 LP2를 통하여 전원노드 VC에서 전류가 MOS 트랜지스터 DN1에 공급된다.

입력신호 Vin가 기준전압 VR보다도 높게 되면 MOS 트랜지스터 DN2의 컨덕턴스가 MOS 트랜지스터 DN1의 컨덕턴스보다도 크게 되어 큰 전류가 흐른다.

MOS 트랜지스터 LP1 는 MOS 트랜지스터 LP2의 미러전류를 MOS 트랜지스터 DN2에 공급한다.

이때 MOS 트랜지스터 DN1의 컨덕턴스가 비교적 낮은 경우에는, MOS 트랜지스터 LP2 및 LP1를 통하여 각각 흐르는 전류치는 작고, MOS 트랜지스터 DN2를 통하여 흐르는 전류가 많게 되면, 정전류원에 의해 MOS 트랜지스터 DN1를 흐르는 전류가 제한된다.

이 MOS 트랜지스터 DN1를 흐르는 전류의 저감은 또 MOS 트랜지스터 LP2를 통하여 MOS 트랜지스터 LP1에 피드백되고, MOS 트랜지스터 DN2를 통하여 흐르는 전류량은 작게 된다.

따라서 고속으로 출력신호 OUT가 레벨로 저하한다.

따라서 기준전압 VR이 비교적 낮을 경우에는, 이 출력신호 OUT가 고속으로 변화한다.

한편, 기준전압 VR이 전원전압 VC에 가까운 VR2로 설정된 경우를 생각한다.

이때 MOS 트랜지스터 DN1의 컨덕턴스는 비교적 크다.

입력신호 Vin라 기준전압 VR2보다도 높아지고, 이 MOS트랜지스터 DN2의 컨덕턴스가 MOS 트랜지스터 DN1의 컨덕턴스보다도 크게 된 경우를 생각한다.

기준전압 VR2의 수치가 비교적 높기 때문에, MOS트랜지스터 DN의 컨덕턴스는 사전에 크게, MOS 트랜지스터 LP2 및 LP1를 통하여 각각 큰 전류를 방출할 수가 있다.

따라서 MOS 트랜지스터 DN2가 통과시키는 전류량이 증가하고, MOS 트랜지스터 DN1가 공급하는 전류량이 감소하여도, 비교적 큰 전류가 MOS 트 지스터 LP1 및 LP2를 통하여 각각 흐를 수가 있어 이 전류변화의 비율은 작다.

따라서, 이 경우에는, 출력신호 OUT는 고속으로는 저하하지 않는다.

이때 최종적으로 출력신호 OUT는 MOS트랜지스터 LP1 및 DN2의 컨덕턴스에서 결정되는 전압레벨로 최종적으로 도달한다.

즉, 기준전압 VR의 수치가 전원전압 VC에 가까워짐에 따라, 이 커런트미러형 증폭회로의 감도가 저하한다.

제38도(a)에 나타내는 커런트미러형 증폭회로는, 입력신호 Vin와 출력신호 OUT의 논리가 반전하고 있어, 먼저 설명한 커런트미러형증폭회로의 구성과 달리되어 있다.

그렇지만 원리적으로는 같고, 기준전압 Vref이 전원전압에 가까워짐에 따라 그 감도(입력신호의 변화에 대한 출력신호의 변화의 비율)가 저하한다.

제38도 c에 합해서 정전류원을 흐르는 전류 I의 입출력특성에 미치는 영향을 나타낸다.

기준전압 VR은 일정하게 한다.

정전류원을 흐르는 전류 I가 작아지면, MOS 트랜지스터 LP1, LP2, DN1 및 DN2를 통하여 흐르는 전류는 작게 되기 때문에, 출력신호 OUT를 출력하는 노드의 충방전속도가 지연된다.

따라서,정전류원이 공급하는 전류I가 작아짐에 따라 이 커런트미러형 증폭회로의 응답특성이 열화한다(응답속도가 지연된다.).

제37도에 나타내는 레벨시프트용의 MOS 트랜지스터(393), (396), (401) 및 (404)는 기준전압 Vref1이 2.5V로 높아져도, 커런트미러형 증폭회로(419)및 (420)를 가장 감도가 좋은 영역에서 동작시키기 위하여 설치되어 있다.

즉, 제38도(b)에 있어서 기준전압 Vref1이 기준전압 VR2이면, 레벨시프트용의 MOS 트랜지스터(393), (396), (401) 및 (404) 각각에 의해, 기준전압 Vref1이 실효적으로 기준전압 VR1으로 저하하도록 되어 있다.

이것에 의해, 높은 기준전압을 사용하여도 고속으로 동작하는 감도가 좋은 커런트미러형 증폭회로를 실현하고 있다.

또, 스탠바이 Vcc1 발생회로에 있어서, MOS트랜지스터(411)를 MOS 트랜지스터(389)와 병열로 설치함으로써, 내부전원전압 Vcc1이 사용되었을 때에 동작전류 I를 증가시키고 또한 비교전압의 레벨시프트량을 크게 하여, 이 커런트미러형 증폭회로(420)의 응답속도를 빨리하고, 내부 전원전압 Vcc1의 변동에 대하여 고속으로 추종하여 일정한 내부전원전압Vcc1을 생성할 수차 있다.

[변경 예]

제39도는 본 발명의 내부전원전압발생회로의 제 4 실시예의 변경예를 나타내는 도면이다.

제39도에는 Vcc2 발생회로(3030)의 구성을 나타낸다.

같은 구성은 Vcc1발생회로(3020)에 대해서도 적용할 수가 있다.

제39도에 있어서, Vcc2 발생회로(3030)는, 로우 어드레스 스트로브 신호/RAS의 활성화시에 활성화되어 제2 의 내부전원전압 Vcc2의 전압레벨을 조정하는 활성 Vcc2 발생회로(3031)와, 스탠바이시에 제2의 내부전

원전압 Vcc2의 전압레벨을 조정하는 스탠바이 Vcc2 발생회로(3035)를 포함한다.

이 스탠바이 Vcc2발생회로(3035)는, 신호/RAS의 활성시에는 동작전류가 작아지고, 신호 /RAS의 비활성화시의 스탠바이시에는 그 동작전류가 크게 된다(이 구성에 관하여는 나중에 설명한다.).

활성 Vcc2발생회로(3031)는, 신호/RAS의 활성화시에 MOS 트랜지스터(436)에 전류를 공급하는 p채널 MOS 트랜지스터(423)와, MOS 트랜지스터(423)와 병열로 설치되고 그 게이트에 접지전압 VSS을 받아 저항소자로서 기능하여 외부전원노드 EXV에서 MOS 트랜지스터(436)에 전류를 공급하는 p채널 MOS트랜지스터(424)와, 신호/RAS를 반전하는 인버터(443)와, 인버터(443)의 출력신호에 응답하여 p채널 MOS트랜지스터(428)의 게이트에 외부전원전압 EXV을 전달하는 p채널 MOS 트랜지스터(425)와, 제2의 기준전압 Vref2을 레벨시프트하는 레벨시프트회로(3033)와, 제2의 내부전원전압 Vcc2을 레벨시프트하는 레벨시프트회로(3034)와, 레벨시프트회로(3033) 및 (3034)의 출력을 비교하고 그 비교결과에 따라 p채널 MOS 트랜지스터(428)의 게이트전위를 조정하는 커런트미러형 증폭회로(3032)를 포함한다.

레벨시프트회로(3033)는 외부전원노드 EXV에서 전류를 공급받고, 제2의 기 준전압 Vref2을 레벨시프트하는 n채널 MOS 트랜지스터(432)와, MOS 트랜지스터(432)에 의해 레벨시프트 된 전압을 다시 그 한계치전압만큼 저하시키는 다이오드 접속된 n채널 MOS 트랜지스터(433)와, MOS 트랜지스터(432) 및 (433)를 흐르는 전류량을 결정하는 n채널 MOS트랜지스터(437)를 포함한다.

n채널 MOS 트랜지스터(437)는 MOS 트랜치스터(436)와 커런트미러회로를 구성하고, 이 MOS 트랜지스터(436)를 흐르는 전류의 미러전류를 생성한다.

레벨시프트회로(3034)는 외부전원노드 EXV에서 전류를 공급받고 제2의 내부전원전압 Vcc2을 레벨시프트하는 n채널 MOS 트랜지스터(434)와, MOS 트랜지스터(434)에 의해 레벨시프트 된 전압을 다시 그 한계치전압만큼 저하시키는 다이오드접속 된 n채널 MOS 트랜지스터(235)와, MOS 트랜지스터(235)와 커런트미러모양으로 접속되어, MOS 트랜지스터(434) 및 (435)를 흐르는 전류량을 결정하는 n채널 MOS 트랜지스터(439)를 포함한다.

MOS 트랜지스터(437) 및 (439)는 같은 사이즈로 형성되어 같은 크기의 전류를 공급한다.

MOS트랜지스터(432)및 (434)는 같은 사이즈로 형성되어 같은 게이트-소스간 전압이 생기게 한다.

MOS 트랜지스터(433) 및 (435)는 같은 한계치 전압을 가진다.

커런트미러형 증폭회로(3032)는, 외부전원노드 EXV에 접속되어 커런트미러회로를 구성하는 p채널 MOS 트랜지스터(426) 및 (427)와, 레벨시프트회로(3033) 및 (3034)에서 제공된 전압을 비교하는 비교단을 구성하는 n채널 MOS트랜지스터(440a) 및 (440b)와, MOS 트랜지스터(226), (227), (440a) 및 (440b)의 전류경로를 생성하는 n채널 MOS 트랜지스터(438)를 포함한다.

MOS 트랜지스터(438)가 MOS 트랜지스터(436)와 커런트미러회로를 구성한다. MOS트랜지스터(427)의 게이트와 드레인이 상호 접속되어 있어, MOS트랜지스터(427)를 통하여 흐르는 전류와 같은 크기의 전류를 MOS트랜지스터(426)에 생기게 한다.

스탠바이 Vcc2발생회로(3035)는, 레벨시프트회로(3033) 및 (3034)의 출력전압을 비교하고, 그 비교결과에 따라 p채널 MOS 트랜기스터(431)의 게이트전위를 조정하는 커런트미러형 증폭회로(3036)를 포함한다.

MOS트랜지스터(431)가 그 게이트전위에 따라 외부전원노드 EXV에서 내부전원노드 Vcc2에 전류를 공급한다.

커런트미러형 증폭회로(3036)는 외부전원노드 EXV에 결합되고, 또한 커런트 미러회로를 구성하는 p채널 MOS트랜지스터(429)및 (430)과, 레벨샤프트회로(3033) 및 (3034)의 출력전압을 각각 게이트에 받아서, p채널 MOS트랜지스터(441a) 및 (441b)와 MOS 트랜지스터(429), (430), (441a) 및 (441b)에 대한 전류원으로서 동작하는 p채널 MOS 트랜지스터(242)를 포함한다.

MOS 트랜지스터(441a)는 MOS 트랜지스터(429)에서 전류를 공급받고, MOS 트랜지스터(441b)는 MOS 트랜지스터(430)에서 전류를 공급받는다.

MOS 트랜지스터(430)는 그 게이트와 드레인이 상호 접속된다.

MOS 트랜지스터(442)는 MOS 트랜지스터(236)와 커런트미러회로를 구성한다. 이 제39도에 나타내는 Vcc2 발생회로의 동작은 제37도에 나타내는 Vcc회로의 그것과 동일하다.

레벨샤프트회로(3033) 및 (3034)를 활성 Vcc2 발생회로(3031)와 스탠바이 Vcc2 발생회로(3035)에서 공용한다. 이것에 의해, 회로점유면적의 저감을 꾀한다.

또한 레벨시프트회로(3033) 및 (3034)에 다이오드 접속된 n채널 MOS 트랜지스터(433) 및 (435)가 설치되어 있는 것은 이하의 이유에 의한다.

제2의 기준전압 Vref2 및 제2의 내부전원전압 Vcc2은 3.0V와 제1의 기준전압 Vref1 및 제1의 내부전원전압 Vcc1 보다도 높다.

따라서, 커런트미러형 증폭회로(3032) 및 (3036)를 가장 감도가 좋은 영역에서 동작시키기 위하여, 제37도에 나타내는 레벨시프트의 구성보다 더욱 전압레벨을 저하시켜 미러형증폭회로(3032) 및 (3036)에 제공할 필요가 있다

이 레벨시프트를 실현하기 위하여 다이오드 접속된 n채널 MOS트랜지스터 (433) 및 (435)가 설치된다.

제39도에 나타내는 회로의 동작은 제37도에 나타내는 회로의 동작과 실질적으로 같지만, 이하에 간단히 그 동작에 관하여 설명한다.

신호/RAS가 활성상태인 L일 때에는, MOS 트랜지스터(423)가 온상태, MOS 트랜지스터(4B5)가 오프상태로

된다(인버터(443)는 외부전원전압 EXV을 한편 동작 전원전압으로 하여 동작한다.).

이것에 의해, MOS 트랜지스터(436)에는 MOS 트랜지스터(423) 및 (424)를 통하여 전원이 공급되어, MOS트랜지스터(437), (438) 및 (439)를 흐르는 전류량이 많아진다.

레벨시프트회로(3033)에서는 MOS 트랜지스터(432) 및 (433)에 의해, 제3의 기준전압 Vref2이 레벨시프트된다.

이 레벨시프트되는 량은 MOS트랜지스터(437)를 흐르는 전류치에 의해 결정된다.

레벨시프트회로(3034)에 있어서도 마찬가지로 MOS 트랜지스터(434) 및 (435)에 의해 제2의 내부전원전압 Vcc2이 레벨시프트된다.

MOS 트랜지스터(437)및 (439)는 동일 사이즈를 가지고 있어, 동일전류의 흐름을 생기게 한다.

따라서 이 레벨 시프트회로(3033) 및 (3034)에서의 전압 시프트량은 동일하다. 커런트미러형 증폭회로(3032)는 이 레벨시프트회로(3033) 및 (3034)의 출력전압을 비교하고, 이 비교결과에 따라 MOS트랜지스터(228)의 게이트전위를 조정한다.

이것에 의해, 제2의 내부전원전압 Vcc2이 제2의 기준전압 Vref2과 같아진다. 신호/RAS가 H인 스탠바이시에는, MOS 트랜지스터(423)가 오프상태, MOS 트랜지스터(425)가 온상태로 된다.

이것에 의해 외부전원전압 EXV이 MOS트랜지스터(428)의 게이트에 제공되어, MOS 트랜지스터(4B8)가 오프상태로 된다.

즉, 활성 Vcc2 발생회로에 의한 내부전원전압 Vcc2의 조정동작이 금지된다.

MOS 트랜지스터(424)는 작은 전류를 MOS 트랜지스터(436)에 제공하고 있 다.

이 MOS 트랜지스터(436)는, 스탠바이 Vcc2 발생회로(3035)에 포함되는 전류원 트랜지스터(442)와 커런트미러회로를 구성하고 있다.

따라서,이 MOS트랜지스터(424)가 공급하는 전류의 미러전류가 MOS 트랜지스터(442)를 통하여 흐른다.

이 MOS트랜지스터(442)를 흐르는 미러전류를 동력전류로 해서 커런트미러형 증폭회로(3036)가 레벨시프트회로(3033) 및 (3034)의 출력전압을 비교하고, 그 비교결과에 따라 MOS트랜지스터(431)의 게이트전위를 조정한다.

스탠바이시에는, MOS트랜지스터(424)의 컨덕턴스(또는 전류구동력)로 결정되는 작은 전류만을 사용하여 내부전원전압 Vcc2의 조정동작을 행한다.

이것에 의해 스탠바이시의 소비전류의 저감을 도모한다.

스탠바이시에는, 제2의 내부전원전압 Vcc2의 변화는 작고 또한 완만하며, 충분히 이 스탠바이 Vcc2 발생회로(3035)의 작은 동작전류로 내부 전원전압 Vcc2을 안정되고 일정한 레벨로 유지할 수가 있다.

이상과 같이, 이 제39도에 나타내는 구성을 사용하면, 회로점유면적을 저감하고, 저소비전력으로 안정되게 내부전원전압을 발생하는 회로를 실현 할 수가 있다.

또, 저항소자의 저항치의 비율을 소정의 수치로 설정할 필요가 없고, 트랜지스터의 레벨시프트 기능만을 이용하고 있기 때문에, 저점유면적으로 정확하게 원하는 레벨의 신호를 커런트미러형 증폭회로에 제공할 수가 있어, 커런트미러형 증폭회로를 가장 감도가 좋은 영역에서 동작시킬 수가 있고, 응답특성이 뛰어난 내부전원전압 발생회로를 실현할 수가 있다.

[변경 예2]

제40도는, 본 발명의 내부전원전압 발생회로 제4실시예의 제 2변경예의 구성을 나타내는 도면이다.

제40도에서는, 제 1 내부전원전압 Vcc1을 발생하기 위한 구성을 나타낸다.

제40도에 나타내는 구성과 같은 구성은 제 2 내부전원전압 Vcc2을 발생하는 구성에도 적용할 수가 있다.

제40도에 있어서, Vcc1발생회로(3020)는, 신호/RAS의 활성화시에 활성화 되어 내부전원전압 Vcc1의 레벨조정을 행하는 활성 Vcc1 발생회로(3700)와, 주로 스탠바이시에 내부 전원전압 Vcc1의 전압레벨을 조정하는 스탠바이 Vcc1 발생회로(3510)를 포함한다.

활성 Vcc1 발생회로(3700)는, 신호/RAS의 활성화시에 도통하고 외부전원노드 EXV에서 전류를 공급하는 p채널 MOS 트랜지스터(1020)와, MOS 트랜지스터(1020)에서 전류를 공급받는 다이오드 접속된 p채널 MOS 트랜지스터 (1032)와, 외부전원노드 EXV에 그 한편 도통단자가 접속되어, 기준전압 Vref1을 레벨샤프트하여 그 다른편 도통단자에 전달하는 p채널 MOS트랜지스터(1028)와, MOS 트랜지스터(1028)와 직렬로 접속되어 이 MOS 트랜지스터 (1028)에서의 전압의 레벨시프트량을 제어하는 n채널 MOS트랜지스터(1033)와, 그 한편 도통단자가 외부전원로드 EXV에 접속되어, 내부전원전압 Vcc1을 레벨시프트하여 다른 편 도통단자에 전달하는 n채널 MOS 트랜지스터 (1031)와, MOS 트랜지스터(1031)에서의 레벨샤프트량을 결정하는 전류를 공급하는 n채널 MOS 트랜지스터(1035)를 포함한다. MOS 트랜지스터(1033) 및 (1035)는 MOS 트랜지스터(1032)와 커런트미러회로를 구성한다.

MOS 트랜지스터(1028) 및 (1031)는 동일사이즈를 가진다.

즉 MOS 트랜지스터(1033) 및 (1035)에는 같은 전류가 흐르고, 따라서 MOS 트랜지스터(1028) 및 (1031)에 있어서 같은 수치의 게이트-소스간 전압이 생긴다.

활성 Vcc1발생회로(3700)는 또한 MOS 트랜지스터(1028)에서 제공되는 레벨시프트 된 기준전압을 게이트에 받는 n채널 MOS 트랜지스터(1029)와, n채널 MOS트랜지스터(1031)에서 전달된 전압을 게이트에 받는 n채널

MOS 트랜지스터(1030)와, 외부전원노드 EXV와 MOS 트랜지스터(1029)의 사이에서 접속되는 p채널 MOS 트랜지스터(1022)와, 외부전원노드 EXV와 MOS 트랜지스터(1030)의 사이에 접속되는 p채널 MOS 트랜지스터(1023)와, MOS 트랜지스터(1029) 및 (1030)와 접지노드의 사이에 접속되는 p채널 MOS 트랜지스터(1034)와, 외부전원노드 EXV와 내부전원노드 Vcc1의 사이에 접속되어 내부 전원노드 Vcc1에 전류를 공급하는 p채널 MOS트랜지스터(1024)를 포함한다.

MOS 트랜지스터(1022)의 게이트는 MOS 트랜지스터(1023)의 게이트 및 드레인 접속된다.

MOS 트랜지스터(1029) 및 (1030)는 그 소스가 공통 접속되어 MOS 트랜지스터(1034)의 드레인에 접속된다.

MOS 트랜지르터(1034)는 MOS 트랜지스터(1032)와 커런트미러회로를 구성한다.

MOS 트랜지스터(1022) 및 (1029)의 접속노드가 MOS 트랜지스터(1020)의 게이트에 접속된다.

MOS 트랜지스터(1024)의 게이트에는 또, 신호/RAS를 반전하는 인버터(1039)의 출력에 응답하여 도통하는 p채널 MOS트랜지스터(1021)를 통하여 외부전원전압 EXV이 제공된다.

스탠바이 Vcc1발생회로(3710)는, 기준전압 Vref1을 게이트에 받는 채널 MOS 트랜지스터(1036)와, 내부전원전압 Vcc1을 게이트에 받는 n채널 MOS트랜지스터(1037)와, MOS트랜지스터(1036)및 (1037)의 공통 접속된 소스와 접지노드와의 사이에 접속되어, 그 게이트에 외부전원전압 EXV을 받는 n채널 MOS 트랜지스터(1038)와, MOS 트랜지스터(1036)와 외부전원노드 EXV의 사이에 접속되는 p채널 MOS 트랜지스터(1025)와, 외부전원노드 EXV와 MOS 트랜지스터(1037)의 사이에 접속되는 p채널 MOS트랜지스터(1026)와, 외부 전원노드 EXV와 내부전원노드 Vcc1의 사이에 접속되어, 외부전원노드 EXV에서 내부전원노드 Vcc1에 전류를 공급하는 p채널 MOS 트랜지스터(1027)를 포함한다.

MOS트랜지스터(1026)의 게이트 및 드레인은 상호 접속되고, 또한 MOS 트랜지스터(1025)의 게이트에 접속된다.

즉 MOS 트랜지스터(1025) 및 (1026)는 커런트미러회로를 구성한다.

이 제40도에 나타내는 회로구성의 특징은, 스탠바이 Vcc1발생회로(3701)에는 기준전압Vref1 및 내부전원전압 Vcc1이 레벨시프트되는 일 없이 직접 커런트미러형 증폭회로의 비교단에 제공되고 있는 점이다.

다음에, 동작에 관하여 설명한다.

신호/RAS가 L의 활성상태일 때, MOS 트랜지스터(1020)가 온상태로 되어 MOS 트랜지스터(1032)에 전류를 공급한다.

인버터(1039)의 출력신호가 H로 되고 MOS 트랜지스터(1021)가 오프상태로 된다.

MOS 트랜지스터(1032)를 흐르는 전류의 미러전류가 MOS 트랜지스터(1033), (1034) 및 (1035)를 통하여 각각 흐른다.

MOS트랜지스터(1028) 및 (1031)는 각각 기준전압 Vref1 및 내부전원전압 Vcc1을 레벨시프트하여 MOS트랜지스터(1029) 및 (1030)게이트에 제공한다. MOS 트랜지스터(1028) 및 (1031)에서의 게이트-소스간 전압은 MOS 트랜지스터(1033) 및 (1035)를 통하여 흐르는 전류에 의해 결정된다.

MOS 트랜지스터(1033) 및 (1035)는 MOS 트랜지스터(1032)와 커런트미러회로를 구성하고 있고, 각각 동일 크기의 전류의 흐름이 생기게 하고 있다. 따라서, MOS트랜지스터(1028) 및 (1031)에서는 동일치의 게이트-소스간 전압이 생긴다.

MOS 트랜지스터(1022), (1023), (1029), (1030) 및 (1034)로 구성되는 커런트미러형 증폭회로가 가장 감도가 좋은 영역에서 동작하고, 기준전압 Vref1와 내부전원전압 Vcc1을 비교하여 그 비교결과에 따라 MOS 트랜지스터(1024)의 게이트전위를 조정한다.

신호 /RAS가 외부전원전압 EXV레벨의 H의 스탠바이시에는, MOS 트랜지스터(1020)가 오프상태로 되고, MOS 트랜지스터(1021)가 인버터(1039)의 출력신호에 의해 온상태로 된다.

이것에 의해, MOS 트랜지스티(1024)의 게이트에는 외부전원전압 EXV이 MOS 트랜지스터(1021)를 통하여 제공되어, 이 MOS 트랜지스터(1024)가 오프상태로 된다.

MOS 트랜지스터(1020)가 오프상태로 되어 있어 전류를 공급하지 않기 때문에, MOS트랜지스터(103a)에는 따라서 전류가 흐르지 않고, 따라서 MOS 트랜지스터(1033)와 (1034) 및 (1035)에도 전류가 흐르지 않는다.

따라서, 이 스탠바이시에는 활성 Vcc1발생회로(3700)에서의 소비전력은 대부분 0으로 된다.

한편, 스탠바이 Vcc1 발생회로(3710)가 기준전압 Vref1과 내부전원전압 Vcc1을 비교하여, 그 비교결과에 따라 MOS트랜지스터(1027)의 게이트전위를 조정한다.

스탠바이시에 있어서, 내부전원전압 Vcc1의 변화량은 작다.

따라서, MOS 트랜지스터(1025), (1026), (1036), (1037) 및 (1038)로 구성되는 커런트미러형 증폭회로가 직접 기준전압 Vref1 및 내부전원전압 Vcc1을 받아 비교동작을 감도가 나쁜 영역에서 행하였다고 해도, 충분히 이 내부전원 전압 Vcc1을 소정의 전압레벨로 유지할 수가 있다.

이 스탠바이시에는, 스탠바이 Vcc1발생회로(3710)는, MOS 트랜지스터(1038)가 결정하는 동작전류만을 소비하고 있어, 기준전압 Vref1 및 내부전원전압 Vcc1의 레벨시프트를 위한 전류는 전혀 소비되지 않기 때문에, 저소비전 류로 내부기준전압 Vref1을 안정되게 소정의 레벨로 유지할 수가 있다.

이 제40도에 나타내는 구성을 이용함으로써, 스탠바이시의 소비전류를 대폭으로 저감할 수가 있고, 저소

비전력의 내부전원전압 발생회로를 실현할 수가 있다.

또한, 제40도에 나타내는 Vcc1발생회로(3020)의 구성을 Vcc2발생회로 (3030)에 적응하는 경우에는, 기준전압 Vref1에 대신하여 3.0V의 제2의 기준전압 Vref2을 이용하고, 또한, MOS트랜지스터(1028) 및 (1031)와 MOS 트랜지스터(1033)및 (1035)의 사이에 각각 다이오드 접속된 MOS트랜지스터를 추가하면 좋다.

또, MOS 트랜지스터(1038)에 외부전원전압 EXV은 그 게이트로 받고 있어, 그 컨덕턴스가 크게 되어 MOS 트랜지스터(1025), (1026), (1036) 및 (1037)로 구성되는 커런트미러형 증폭회로의 응답특성의 개선을 꾀하고 있다.

그렇지만, 이 MOS트랜지스터(1038)는 게이트에 내부전원전압 Vcc1을 받아도 된다.

이상과 같이, 2종류의 기준전압을 사용하여 2종류의 내부전원전압을 발생함으로써 레벨시프트용 분압저항을 사용할 필요가 없고, 저점유면적 또한 저소비전력으로 정확하게 내부전원전압을 일정한 전압레벨로 유지할수가 있다.

E : 내부전원전압발생회로 5

제41도는, 본 발명에 따른 내부전원전압 발생회로의 제5실시예의 개념적 구성을 나타내는 도면이다.

제41도에 있어서, 내부전원전압 발생회로(2)는, 기준전압 Vref0 (=1.5V) 및 기준전압 Vref1(=2.5V)을 받아 기준전압 Vref1과 같은 레벨의 제1의 내부전원 전압 Vcc1을 생성하는 Vcc1 발생회로(3810)와, 기준전압 Vref0과 기준전압 Vref2을 받아 기준전압 Vref2과 같은 레벨의 제2의 내부전원전압 Vcc2을 생성하는 Vcc2 발생회로(3820)를 포함한다.

구체적인 구성에 관하여는 나중에 설명하겠으나, 발생하여야 할 내부전원 전압 Vcc1 및 Vcc2와 레벨이 같은 기준전압 Vref1 및 Vref2을 이용하는 것에 의해, 커런트미러형 증폭회로의 감도를 개선하기 위한 내부전원전압 레벨변환용의 경로에 흐르는 전류를 스탠바이시에 억제하여, 스탠바이전류의 저감을 도모한다.

제42도는, 제41도에 나타내는 Vcc1 발생회로(3810)의 구체적 구성을 나타내는 도면이다.

제42도에 있어서, Vcc1발생회로(3810)는 신호/RAS의 활성화시에 활성화 되어 내부전원전압 Vcc1을 생성하는 활성 Vcc1발생회로(3812)와, 기준전압 Vref1과 내부전원전압 Vcc1의 전압레벨을 직접 비교하여 그 비교결과에 따라 내부전원전압 Vcc1의 전압레벨을 조정하는 스탠바이 Vcc1발생회로 (3814)를 포함한다.

활성 Vcc1발생회로(3812)는, 신호/RAS를 반전하는 인버터(1017)와 내부전원 노드 Vcc1에 외부전원노드 EXV에서 전류를 공급하는 p채널 MOS트랜지스터(1007)와, 인버터(1017)의 출력신호에 응답하여 외부전원전압 EXV을 MOS 트랜지스터(1007)의 게이트에 제공하는 p채널 MOS 트랜지스터(1004)와, 기준 전압 Vref0을 게이트에 받는 n채널 MOS트랜지스터(1011)와, 노드 NK1(저항(1018) 및 (1019)의 접속노드)의 신호전압을 게이트에 받는 n채널 MOS 트랜지스터(1012)와, MOS트랜지스터(1011)와 외부전원노드 EXV의 사이에 접속되는 p채널 MOS 트랜지스터(1005)와, MOS 트랜지스터(1012)와 외부전원 노드 EXV의 사이에 접속되는 p채널 MOS트랜지스터(1006)와, 인버터(1017)의 출력신호에 응답하여 트렌지스터(1005), (1006), (1011) 및 (1012)에 대한 전류의 경로를 형성하는 n채널 MOS 트랜지스터(1013)를 포함한다.

MOS 트랜지스터(1006)는 그 게이트와 드레인이 상호접속되고 또한 MOS 트랜지스터(1005)의 게이트에 접속된다.

즉 MOS 트랜지스터(1005) 및 (1006)는 커런트미러회로를 구성한다.

MOS 트랜지스터(1011) 및 (1012)는 각각 MOS 트랜지스터(1005) 및 (1006)에서 전류를 공급받아, 기준전압 Vref0 및 노드 NK1상의 신호전압을 비교하는 비교단으로서 기능한다.

MOS 트랜지스터(1013)는 이 커런트미러형 증폭회로의 전류원으로서 기능한다.

활성 Vcc1 발생회로(3812)는 또한 내부전원노드 Vcc1와 접지노드 VSS의 사이에 직렬로 접속되는 p채널 MOS 트랜지스터(1039) 또는 저항(1018) 및 (1019)을 포함한다.

MOS 트랜지스터(1039)의 게이트에는 인버터(1017)의 출력신호가 제공된다.

저항(1018) 및 (1019)는 저항치의 비가 2 : 3 으로 설정된다.

MOS 트랜지스터(1007)의 게이트는 또, MOS 트랜지스터(1005) 및 (1011)의 접속노드에 접속된다.

스탠바이 Vcc1발생회로(3814)는, 기준전압 Vref1을 게이트에 받는 n채널 MOS 트랜지스터(1014)와, 내부전원전압 Vcc1을 게이트에 받는 n채널 MOS트랜지스터(1015)와, MOS 트랜지스터(1014)와 외부전원노드 EXV의 사이에 접속되는 p채널 MOS 트랜지스터(1008)와, 외부전원노드 EXV와 MOS 트랜지스터 (1015)의 사이에 접속되는 p채널 MOS 트랜지스터(1009)와, 그 게이트가 외부전원노드 EXV에 접속되어 MOS 트랜지스터(1008), (1009), (1014) 및 (1015) 에 대한 전류경로를 제공하는 n채널 MOS 트랜지스터(1016)와, MOS트랜지스터(1008)및 (1014)의 접속노드에 그 게이트가 접속되어, 외부전원노드 EXV에서 내부전원노드 Vcc1에 전류를 공급하는 p채널 MOS트랜지스터 (1010)를 포함한다.

MOS트랜지스터(1016)의 전류구동력은 훨씬 작게 된다.

MOS 트랜지스터(1016)는 MOS 트랜지스터(1008), (1009), (1014) 및 (1015)로 구성되는 커런트미러형 증폭회로의 동작전류를 결정하고, 스탠바이시의 소비전류를 작게 하기 때문이다.

다음에 동작에 관해서 설명한다.

신호/RAS가 L 일때, 인버터(1017)의 출력신호가 외부전원전압 EXV레벨인 H로 되어, MOS 트랜지스터(1004)가 오프상태, MOS 트랜지스터(1013) 및 (1039)가 온 상태로 된다.

이것에 의해, MOS 트랜지스터(1005), (1006), (1011) 및 (1012)로 구성되는 커런트미러형 증폭회로가 활

성화된다.

또, 저항(1018) 및 (1019)에 전류가 흘러, 노드 NK1 전압이 내부전원전압 Vcc1을 레벨변환한 전압 3.Vcc1/5의 레벨로 된다.

MOS트랜지스터(1011)및 (1012)에 의해 기준전압Vref0와 노드 NK1 전압 과의 비교가 행해져서, 그 비교결과에 따른 전압이 p채널 MOS트랜지스터(1007)의 게이트에 제공된다.

이 노드 NK1의 전압이 기준전압 Vref0보다도 높은 경우에는 MOS트랜지스터(1007)의 전류공급량이 작아지고(또는 0으로 되어), 역인 경우에는 MOS트랜지스터(1007)의 전류공급량이 커진다.

MOS트랜지스터(1013)는 비교적 큰 전류구동력을 가지고 있고, 따라서 동작시의 내부전원전압 Vcc1의 큰변화에 대하여 고속으로 추수(追隨)하여 내부전원전압 Vcc1을 소정의 전압레벨로 유지한다.

신호/RAS가 H인 스탠바이시에는, 인버터(1017)의 출력신호가 L로 되어 MOS 트랜지스터(1013)는 오프상태로 된다.

또 신호/RAS는 적어도 내부전원전압 Vcc1레벨에 있고, MOS트랜지스터 (1039)가 오프상태로 된다. 이것에 의해, 저항 (1018)및 (1019)에서 접지노드에 흐르는 전류의 경로가 차단된다.

MOS 트랜지스터(1007)의 게이트에는 MOS 트랜지스터(1004)를 통하여 외부 전원전압 EXV이 제공되어, MOS 트랜지스터(1007)가 오프상태로 된다.

이 결과, 스탠바이시에는, 이 활성 Vcc1발생회로(3812)에서의 소비전류는 0으로 된다.

스탠바이 Vcc1 발생회로(3814)에서는, 기준전압 Vref1과 내부전원전압 Vcc1의 비교가 직접 행해지고, 그 비교결과에 따른 전압레벨의 신호가 MOS트랜지스터(1010)의 게이트에 제공된다.

이 스탠바이 Vcc1발생회로(3814)의 동작전류는 MOS 트랜지스터(1016)를 흐르는 전류에 의해 결정된다.

스탠바이시의 내부전원전압Vcc1의 변화는 작고 그 커런트미러형 증폭회로 (트랜지스터(1008), (1009), (1014), (1015))가 감도가 나쁜 영역에서 동작하더라도, 충분히 이 내부전원전압 Vcc1의 변화에 추수하여 그 내부전원전압 Vcc1을 일정치로 유지할 수가 있다.

스탠바이시에는, MOS트랜지스터(1016)를 통하여 동작전류가 흐를 뿐이고, 분압저항(1018) 및 (1019)에는 전류는 전혀 흐르지 않기 때문에, 스탠바이시의 소비전류를 작게할 수가 있다.

또, 동작시(신호/RAS)의 활성화시)에는 분압저항(1018) 및 (1019)에 의해 MOS트랜지스터(1005), (1006), (1011) 및 (1012)에 의해 구성되는 커런트미러형 증폭회로의 감도가 가장 좋은 곳에서 비교증폭 동작이 행해지고 있고, 내부전원전압Vcc1이 크고 또는 급격히 변화하더라도 그 변화에 대하여 고속으로 추수(追隨)하여 내부전원전압Vcc1을 소정치로 복귀시킬수가 있다.

이것에 의해, 저소비전류로 안정되게, 내부 전원전압 Vcc1을 일정 레벨로 수가 있는 Vcc1 발생회로를 실현할 수가 있다.

또한, Vcc2 발생회로(3820)를 실현하는 경우에는, 3.0V의 기준전압을 MOS 트랜지스터(1014)의 게이트에 제공하여, 또한 저항(1018) 및 (1019)의 저항치의 비를 1 : 1로 설정한다.

이상과 같이 이 제5의 실시예의 구성에 따르면, 저소비전류로 안정되게 내부 전원전압을 발생할 수 있는 내부 전원전압 발생회로를 실현할 수가 있다. F : 내부전원전압 발생회로 6.

제43도는, 본 발명에 따른 내부 전원전압 발생회로의 제6의 실시예의 구성을 나타내는 도면이다.

제43도에 있어서 활성 Vcc1발생회로의 구성을 나타낸다. 실시예 1 내지 5의 스탠바이 Vcc1 발생회로가 편성되어 사용되어도 좋다.

제43도에 있어서, 활성 Vcc1발생회로는 기준전압 Vref1과 내부 전원전압 Vcc1에 따라 제1의 구동신호를 생성하는 제1의 구동부(3900)와, 이 제1의 구동부(3900)에서의 구동신호에 따라 내부전원노드 Vcc1에 외부전원 노드 EXV에서 전류를 공급하는 P채널 MOS 트랜지스터(1043)와, 제 1의 구 동부(3900)에서의 제1의 구동신호에 응답하여 제2의 구동신호글 생성하 는 제2의 구동부(3910)와, 이 제2의 구동부(3910)의 출력신호에 응답하여 내부 전원노드 Vcc1에 외부 전원노드 EXV에서 전류를 공급하는 p채널 MOS 트랜지스터(1046)를 포함한다.

MOS 트랜지스터(1043)의 게이트 폭은 MOS 트랜지스터(1046)의 게이트 보다도 작게 된다.

통상, 동작시에 있어서 구동전류 100mA가 사양치로서 요구된다.

MOS트랜지스터(1043) 및 (1046)가 병렬로 동작하여 이 100mA의 구동전 류를 공급한다.

활성시에 내부 전원전압 Vcc1을 조정하는 구동부에 p채널 MOS트랜지스터 (1043) 및 (1046)를 2개 설치함으로써, 1개의 트랜지스터로 내부 전원노드에 전류공급을 행하여 구성하는 경우에 비하여 그 게이트폭을 작게 하고, 따라서 게이트용량을 작게하여 커런트미러형 증폭회로에 요구되는 전류구동력을 작게한다.

제1의 구동부(3900)는 신호/RAS를 반전하는 인버터(1056)와, 신호/RAS에 응답하여 외부 전원노드 EXV에서 전류를 공급하는 P채널 MOS트랜지스터(1039)와, 인버터(1056)의 출력신호에 응답하여 노드 N50에 외부 전원전압 EXV을 전달하는 p채널 MOS 트랜지스터(1040)와, p채널 MOS 트랜지스터 (1039)에서 전류를 공급받는 n채널 MOS 트랜지스터(1049)와, 그 한편 도통 단자가 외부전원노드 EXV에 접속되고, 그 게이트에 기준전압 Vref1을 받아 레벨시프트하여 다른편 도통단자에 전달하는 n채널 MOS 트랜지스터 (1048)와, MOS 트랜지스터(1048)의 전류원으로서 동작하는 n채널 MOS 트랜지스터(1050)와, 노드 N50와 외부 전원로드 EXV의 사이에 접속되는 p채널 MOS트랜지스터(1041)와, p채널 MOS트랜지스터(1041)에서 전류를 공급받고, 또한 그 게이트에 MOS트랜지스터(1048)에서의 레벨 시프트된 기준전 압 Vref1을 받는 n채널 MOS 트랜지스터

(1053)와, 그 한편 도통단자가 외부전원노드 EXV에 접속되고 그 게이트에 내부전원전압 Vcc1을 받는 레벨 시프트용 n채널 MOS 트랜지스터(1054)와, MOS 트랜지스터(1040)와 커런트미러모양으로 접속되는 p채널 MOS트랜지스터(1042)와, MOS트랜지스터 (1042)에서 전류를 공급받고 또한 그 게이트에 MOS 트랜지스터(1054)로부터의 레벨 시프트된 내부 전원전압 Vcc1을 받는 n채널 MOS트랜지스터 (1052)와, MOS트랜지프터(1052) 및 (1053)의 공통 접속된 소스와 접지노드 VSS의 사이에 접속됨과 동시에, 그 게이트가 MOS트랜지스터(1049)의 게이트에 접속되는 n채널 MOS 트랜지스터(1051)와, MOS 트랜지스터(1054)와 접지노드 VSS와의 사이에 접속되는 n채널 MOS 트랜지스터(1055)를 포함한다. MOS트랜지스터(1049)는 게이트차 드레인이 상호 접속되어 있고, MOS 트랜지스터(1050), (1051) 및 (1055)와 MOS트랜지스터(1049)는 커런트미러 회로를 구성한다.

MOS 트랜지스터(1049)를 흐르는 전류의 미러전류가 MOS 트랜지스터(1050), (1051) 및 (1055)를 통하여 흐른다.

MOS 트랜지스터(1050) 및 (1055)의 사이즈는 같아져서 같은 크기의 전류를 방출한다.

따라서, MOS트랜지스터(1048) 및 (1054)에 있어서 동일치의 게이트-소스간 전압이 생긴다.

이것은 먼저 위에서 설명한 기준전압 및 내부전원전압와 레벨시프트 동작과 동일하다.

MOS 트랜지스터(1042)와 MOS 트랜지스터(1041)는 커런트미러회로를 구성하고, MOS트랜지스터(1042)를 흐르는 전류와 같은 크기의 전류가 MOS 트랜지스터(1049)를 통하여 흐른다.

제2의 구동부(3910)는, 노드 N50에서의 신호를 입력하는 CMOS 인버터 (1057)와, CMOS 인버터(1057)의 출력신호를 입력하는 CMOS 인버터(1058)와, 외부전원노드 EXV와 노드 N53의 사이에 접속되고 그 게이트에 CMOS 인버터(1057)의 출력신호를 받는 p채널 MOS 트랜지스터(1044)와, MOS트랜지스터(1044)와 직렬로 접속되고 또한 그 게이트에 CMOS인버터(1058)의 출력신호를 받는 p채널 MOS 트랜지스터(1045)와, MOS 트랜지스터(1045)와 접지노드와의 사이에 접속되고 또한 그 게이트에 일정한 바이어스 전압 VB(=EXV-△V-|Vthp|)을 받는 p채널 MOS 트랜지스터 (1047)와, 노드 N53 (MOS트랜지스터(1044) 및 (1045)의 접속노드)의 전위를 게이트에 받아, 외부 전원노드 EXV에서 내부전원노드 Vcc1에 전류를 공급하는 p채널 MOS 트랜지스터(1046)를 포함한다.

여기에서 △V는 적당하게 정해지는 일정치이고 Vthp는 MOS트랜지스터 (1047)의 한계치 전압이다. MOS트랜지스터(1047)는 전류가 제공되었을때 그 드레인전압을 EXV-△V의 전압레벨로 크램프한다.

이때 MOS 트랜지스터(1045)는 도통시, 그곳에서의 소스-드레인간의 전압강 하는 0이고, 노드 N53의 전압이 MOS트랜지스터(1047)인 드레인 전압과 같아진다.

다음에 동작에 관하여 설명한다.

제1구동부(3900)의 동작은 먼저 설명한 활성 Vcc1발생회로의 그것과 동일하다.

드라이브용의 p채널 MOS트랜지스터(1043)의 게이트폭은 구동 트랜지스터로서 트랜지스터(1043) 및 (1046)를 사용하지 않은 경우에 비하여 작다.

신호 /RAS가 H일 때에는 MOS 트랜피스터(1040)가 온 상태에 있고, 노드 N50는 외부 전원전압 EXV의 노드 EXV의 전압레벨로 되어 MOS트랜지스터(1043)는 오프상태로 된다.

이때, 노드 N5I의 전위가 접지전압 VSS레벨의 L로 되어 MOS트랜지스터(1044)가 온상태로 되고, 또 CMOS인버터(1058)의 출력신호가 외부전 원전압 EXV레벨의 H로 되어 MOS트랜지스터(1045)가 오프상태로 된다.

그것에 의해 노드 N53의 전위는 외부전원전압 EXV으로 되어 MOS트랜지스터(1046)가 오프상태로 된다.

한편, MOS트랜지스터(1039)가 오프 상태이고 MOS트랜지스터(1049)에는 전류가 흐르지 않는다.

따라서, 신호/RAS가 H인 스탠바이시에는 제1 및 제2의 구동부(3900) 및 (3910)에서 소비전류는 생기지 않는다.

신호 /RAS가 L로 되면 인버터(1056)의 출력신호가 H로 되고 MOS 트랜지스터(1040)가 오프상태로 된다.

또, MOS 트랜지스터(1039)가 온상태로 되고, MOS 트랜지스터(1049)에 전류가 흐르며, MOS 트랜지스터(1050),(1051) 및 (1055)에 각각 미러전류가 흐른다.

MOS트랜지스터(1048) 및 (1054)는 각각 기준전압 Vref1및 내부 전원전압 Vcc1의 레벨 시프트 동작을 행하여 MOS트랜지스터(1053) 및 (1052)의 게이트에 제공한다.

내부 전원전압 Vcc1이 기준전압 Vref1보다도 높은 경우에는 노드 N50의 전위가 상승하고 MOS 트랜지스터(1043)가 오프상태로 된다.

노드 N50의 전위가 H로 상승하면, CMOS인버터(1057) 및 (1058)의 출력신호가 각각 L 및 H로 된다.

따라서 MOS 트랜지스터(1044)가 온 상태, MOS 트랜지스터(1045)가 오프상 태로 된다. 노드 N53의 전위가 외부 전원전압 EXV로 되어, MOS트랜지스터(1046)는 완전히 오프상태로 된다.

이때, MOS트랜지스터(1043)가 오프상태로 되기 위하여는 노드 N50의 전위가 적어도 EXV-|Vthp|레벨에까지 상승하고 있다.

따라서, 이 상태에서는 CMOS 인버터(1057)에 포함되는 p채널 MOS 트랜지스터도 오프상태로 되고 있고, CMOS 인버터(1057)에서는 관통전류는 생기지 않는다.

마찬가지로 CMOS 인버터(1058)에서도 n채널 MOS 트랜지스터가 오프상태로 되어 있어 관통전류는 생기지 않는다.

따라서, 정상상태에서는 적어도 MOS 트랜지스터(1043) 및 (1046)가 오프상태로 된 상태에서는, 제1의 구동부(3900)에서 전류가 흐를 뿐이고 이하의 이유에 의해 소비전류가 작아진다. 이 커렌트미러형 증폭회로는, 구동 트랜지스터로서 1개의 트랜지스터만을 사용하는 경우에 비하여 작은 전류구동력 및 게이트폭을 갖는 p채널 MOS 트랜지스터(1043)를 구동하는 것이 요구될뿐이고, 작은 전류구동력이 필요될 뿐이며, 트랜지스터 사이즈는 작게 할 수 있고 따라서 그 동작 전류는 작아진다.

이때 레벨 시프트용의 MOS트랜지스터(1048) 및 (1054)에 전류가 흐르지만, 이것들은 게이트-소스간 전압을 일정치로 하는 것이 요구되어 있어, 예컨대 한계치 전압 Vthn의 전압강하를 발생시키면 되기 때문에, 그곳을 흐르는 전류는 극히 작게 할 수 있다.

따라서, 안정상태에서 소비전류를 충분히 작게 할 수가 있다.

내부 전원전압 Vcc1이 기준전압 Vref1보다도 작을 경우에는 노드 N50의 전위가 저하하고, p채널 MOS트랜지스터(1043)가 도통하며, 외부 전원노드 EXV에서 내부 전원노드Vcc1에 전류를 공급한다.

이 때 MOS트랜지스터(1043)는 그다지 큰 전류 구동력을 가지고 있지 않아 과잉으로 전류를 공급하는 일은 없고, MOS트랜지스터(1043)에 의한 내부 전원전압 Vcc1의 오버슈트는 생기지 않는다.

노드 N50의 전위가 저하하고, 그 레벨이 CMOS인버터(1057)에 의해 L 이라고 판정되면, CMOS 인버터(1057)의 출력신호가 H(외부 전원전압 EXV 레벨)로 되고, CMOS 인버터(1058)의 출력신호가 L로 된다.

이것에 의해, NOS트랜지스터(1044)가 오프상태, MOS트랜지스터(1045)가 온상태로 된다.

MOS 트랜지스터(1045)는 작은 전류를 MOS 트랜지스터(1047)에 공급한다.

MOS 트랜지스터(1047)는 그 게이트-소스간 전압이 거의 -Vthp로 된다(미소 전류가 공급되기 때문에).

따라서, 노드 N53의 전위는 EXV-△V로 설정된다.

MOS 트랜지스터(1046)의 게이트-소스간 전압은 따라서 외부 전원전압 EXV이 커지더라도 -△V로 일정하게 되어, 일정한 전류를 내부 전원노드 Vcc1 에 공급한다.

따라서 이 때에도 외부 전원전압 EXV이 커지더라도 오버슈트를 억제할 수 있다.

제1의 구동부(3900)는 제2의 구동부(3910)를 통하여 비교적 큰 전류구 동력을 갖는 MOS 트랜지스터(1046)를 구동하고 있다.

따라서, 이 제1의 구동부(3900)에 포함되는 커런트미러회로를 구성하는 MOS 트랜지스터(1041), (1042), (1053) 및 (1052)는, 비교적 작은 전류 구동력을 갖는 p채널 MOS 트랜지스터(1043)와 CMOS 인버터(1057) 입력부의 용량을 충전하는 것이 요구될뿐이고 즉, 작은 전류를 방출하는 것이 요구될 뿐이고, 이 제1의 구동부(3900)에서의 소비전류를 작게할 수가 있다. 이 때, 가령 내부 전원전압 Vcc1의 오버슈트가 생겨도, 고속으로 큰 구동력을 갖는 MOS 트랜지스터(1046)를 오프상태로 할 수가 있어, 오버슈트의 정도 작게 할 수가 있다.

언더슈트가 생긴 경우에도 마찬가지로 고속으로 MOS트랜지스터(1046)를 온상태로 할 수가 있고, 따라서 작은 전류구동력을 갖는 제1의 구동부 (3900)에 의해 내부 전원전압 Vcc1의 변동에 따라서 MOS 트랜지스터 (1043) 및 (1046)의 온·오프 상태를 제어할 수가 있고, 그 결과로서 Vcc1 발생회로의 소비전류를 저감할 수가 있다.

제44도는, 제43도에 나타내는 바이어스 전압 VB을 발생하기 위한 외부 구성을 나타내는 도면이다.

이 제44도에 있어서 바이어스 전압 발생회로는, 그 소스가 외부 전원노드 EXV에 접속되고, 그 게이트 및 드레인이 노드 NK13에 접속되는 p채널 MOS 트랜지스터 PT1와, 그 소스가 저항 RZ1을 통하여 외부 전원노드 EXV에 접속되고, 그 게이트가 노드 NK10에 접속되며, 그 드레인이 노드 NK11에 접속되는 p채널 MOS트랜지스터 PT2와, 그 드레인이 노드 NK13에 접속되고, 그 소스가 접지노드 VSS에 접속되며, 그 게이트가 노드 NK11에 접속되는 n채널 MOS트랜지스터 NT1와, 그 게이트 및 드레인이 노드 NK11에 접속되고 그 소스가 접지노드 VSS에 접속되는 n채널 MOS 트랜지스터 NT2와, 외부 전원노드 EXV와 노드 NK12의 사이에 접속되는 저항 RZ2과, 그 드레인이 노드 NK12에 접속되고 그 소스가 접지노드 VSS에 접속되며, 그 게이트가 노드 NK11에 접속되는 n채널 MOS트랜지 스터 NT3를 포함한다.

MOS 트랜지스터 PT1의 채널 길이(게이트길이) L은 MOS 트랜지스터 PT2의 그것보다도 길게 되고, MOS 트랜지스터 PT1의 한계치 전압의 절대치 |Vthp1|는 MOS 트랜지스터 PT2의 한계치 전압의 절대치 |Vthp2|보다도 크게 된다.

MOS 트랜지스터 NT1 및 NT2는 커런트미러회로를 구성한다.

MOS트랜지스터 NT1 및 NT2의 전류구동력은 MOS트랜지스터 PT1 및 PT2의 그것보다 훨씬 작게 된다.

이것에 의해, MOS트랜지스터 PT1에서는 그 소스-게이트간 전압이 |Vthp|로 되고, MOS트랜지스터 PT2에서는 게이트-소스간 전압이 -|Vthp2|로 된다.

MOS 트랜지스터 PT1 및 PT2의 게이트 전위는 같다.

따라서, EXV-|Vthp1|=V-|Vthp2|로 된다.

여기에서 V는 MOS 트랜지스터 PT2의 소스전압이다.

따라서, 저항RZ1의 양단의 전위차는, EXV-V=|Vthp1|-|Vthp2|로 된다.

따라서, MOS 트랜지스터 NT1 및 NT2에 의해 같아지는 MOS 트랜지스터 PT1 및 PT2를 통하여 흐르는 전류 I1는 I1=(|Vthp1|-|Vthp2|)/RZ1 으로 된다.

MOS트랜지스터 NT3은 MOS트랜지스터 NT2와 커런트미러회로를 구성하고 있고, 이 MOS트랜지스터 NT3에 흐르는 전류 I2는 전류 I1과 같아진다.

따라서, 바이어스 전압 VB은 VB=EXV-RZ2·I1로 된다.

저항 RZ2의 저항치를 (△V+|Vthp|)/I1으로 하면, VB=EXV-△V-|Vthp|로 된다.

또, △V는 △V=I·RZ2-|Vthp|=(|VthBI|-|Vthp2|)·RZ2/RZ1-|Vthp|로 제공되어, MOS트랜지스터(1046)의 게이트-소스간에 제공되는 전압 V가 외부 전원전압 EXV과 독립된 일정한 전압으로 된다.

이수치△V는 제44도에 나타내는 저항RZ1 및 RZ2의 저항치 및 MOS트랜지스터 PT1 및 PT2또는 MOS트랜지스터(1047)의 한계치 전압 Vthp을 적당한 수치로 설정함으로써 최적의 수치를 용이하게 실현할 수가 있다.

[변경예]

제45도는 본 발명에 따른 내부 전원전압 발생회로의 제6의 실시예의 변경예의 구성을 나타내는 도면이다.

제45도에서는, 제1의 내부 전원전압Vcc1을 제1의 기준전압Vref1에 따라 생성하는 Vcc1발생회로의 구성이 표시된다.

특히 제45도에서는 신호/RAS의 활성화시(L인때)에 활성화되는 활성 Vcc1발생회로의 구성이 표시된다.

스탠바이시에 내부 전원전압 Vcc1을 안정화하기 위한 스탠바이 Vcc1발생회로가 편성되어 이용되어도 좋다.

제45도에 있어서 내부전원전압발생회로는 기준전압 Vref1 및 내부 전원전압 Vcc1을 소정치 레벨시프트하여 출력하는 레벨시프트 회로(4050)와, 레벨 시프트 회로(4050)의 출력노드 NK20 및 NK2I에 나타낸 신호전압을 차동적으로 증폭하는 커런트미러형 차동증폭회로(4030) 및 (4040)와, 커런트미러형 차동증폭회로(4030) 및 (4040)의 출력신호의 차이를 검출하고, 해당차이에 대응하는 신호를 출력하는 커런트미러형 증폭회로(4010)와, 커런트미러형 증폭회로(4010)의 출력신호에 응답하여 외부 전원노드 EXV에서 내부 전원노드 Vcc1에 전류를 공급하는 비교적 전류 구동력이 작게 된 p 채널 MOS 트랜지스터(1062)와, 커런트미러형 증폭회로(4010)의 출력신호에 응답하여 큰 전류 구동력으로 내부 전원노드 Vcc1에 전류를 공급하는 구동부(4020)를 포함한다.

이 내부 전원전압 발생회로는 또한, 신호 /aAS를 반전하는 인버터(1085)와, 신호 /RAS에 응답하여 외부 전원노드 EXV에서 전류를 공급하는 p채널 MOS트랜지스터(1058)와, MOS트랜지스터(1058)에서 전류를 공급하는 다이오드 접속된 n채널 MOS 트랜지스터(1071)를 포함한다.

레벨시프트 회로(4050)는, 외부 전원노드 EXV와 노프 NK20의 사이에 접속 되고 그 게이트에 기준전압 Vref1을 받는 n채널 MOS트랜지스터(1081)와, 노드 NK20와 접지노드VSS의 사이에 접속되어 그 게이트가 MOS트랜지스터(1071)의 게이트에 접속되는 n채널 MOS 트랜지스터(1082)와, 외부 전원 노드 EXV와 노드 NK2I의 사이에 접속되어 그 게이트에 내부전원전압 Vcc1을 받는 n채널 MOS 트랜지스터(1083)와, 노드 NK2I와 접지노드 VSS의 사이에 접속되어 그 게이트가 MOS트랜지스터(1071)의 게이트에 접속 되는 n채널 MOS 트랜지크터(1084)를 포함한다.

MOS트랜지스터(1071)와 fv[05트랜지스터(108B) 및 (1084)는 커런트미러회로를 구성하고 있어, 동작시에는 MOS트랜지스터(108a) 및 (1084)에 같은 수치의 전류가 흐른다.

따라서, MOS 트랜지스터(1081) 및 (1083)에서는 같은 크기의 게이트-소스간 전압이 생겨, 기준전압Vref1 및 내부 전원전압Vcc1이 동시에 동일 수치만큼 레벨시프트된후 노드 NK20 및 NK21에 각각 출력된다.

신호 /RAS가 H인 스탠바이시에는 MOS 트랜지스터(1058)가 오프상태이고, MOS 트랜지스터(1071),(1082) 및 (1084)에는 전류가 흐르지 않으며, 따라서 이 레벨시프트 회로(4050)에 있어서는 전류는 흐르지 않고 레벨 시프트 동작은 행해지지 않는다.

이 때에는, 노드 NK20 및 NK21는 각각 Vref1-Vthn 및 Vcc1-Vthn에 크램프 된다.

커런트미러형 차동증폭회로(4030)는, 노드 NK20에 제공되는 레벨 시프트 회로(4050)에서의 레펠 시프트된 기준전압을 받는 n채널 MOS 트랜지스터 (1076)와, 노드 NK21에 제공된 레벨 시프트 된 내부 전원전압을 게이트에 받는 n채널 MOS 트랜지스터(1075)와, MOS 트랜지스터(1075)와 외부 전원노드 EXV의 사이에 접속되는 p채널 MOS 트랜지스터(1067)와, MOS 트랜지스터(1076)와 외부 전원노드 EXV의 사이에 접속되는 p채널 MOS트랜지스터 (1068)와, MOS 트랜지스터(1075) 및 (1076)의 공통 접속선 소스와 접지노드 와의 사이에 접속되고, 그 게이트가 MOS트랜지스터(1071)의 게이트에 접속되는 n채널 MOS 트랜지스터(1079)를 포함한다.

MOS 트랜지스터(1068)의 게이트 및 드레인은 상호 전속된다.

이 차동증폭회로(4030)에서는 전류원이 되는 MOS 트랜지스터(1079)가 MOS 트랜지스터(1071)와 커런트미러회로를 구성한다.

동작시에는 이 차동증폭회로(4030)는 노드 NK20상의 신호전압과 노드 NK21의 신호전압의 차 즉, (Vref1-Vcc1)를 증폭하여 출력한다.

차동증폭회로(4040)는 노드 NK20상의 신호를 게이트에 받는 n채널 MOS 트랜지스터(1077)와, 노드 NK2I 상의 신호를 게이트에 받는 n채널 MOS 트랜지스터(1078)와, MOS 트랜지스터(1074)와 외부 전원노드 EXV의 사이에 접속되는 P채널 MOS 트랜스터(1069)와, MOS 트랜지스터(1078)와 외부 전원 노드 EXV의 사이에 접속되는 p채널 MOS 트랜지스터(1070)와, MOS 트랜지스터(1077) 및 (1078)의 공통 접속된 소스와 접지노드의 사이에 접속되는 n채널 MOS 트랜지스터(1080)를 포함한다.

MOS트랜지스터(1070)의 게이트 및 드레인은 상호 접속된다. MOS 트랜지스터(1080)는 MOS 트랜지스터

(1071)와 커런트미러회로를 구성한다.

이 차동증폭회로(4040)는 동작시에는 노드 NK2I상의 전압과 노드 NK20의 전압의 차, 즉(Vcc1-Vref1)을 증폭하여 출력한다.

차동증폭회로(4030) 및 (4040)의 증폭율은 동일하게 된다.

즉, 이들의 구성요소의 사이즈는 같게 되고, 전류원의 트랜지스터(1079) 및 (1080)는 동일 동작 전류를 생기게 한다.

커런트미러형의 증폭회로(4010)는 차동증폭회로(4030)의 출력신호를 게이트에 받는 n채널 MOS트랜지스터(1072)와, 차동증폭회로(4040)의 출력신호를 게이트에 받는 n채널 MOS 트랜지스터(1073)와, MOS 트랜지스터(1072)와 외부 전원노드 EXV의 사이에 접속되는 P채널 MOS 트랜지스터(1060)와, MOS 트랜지스터(1073)와 외부 전원노드 EXV의 사이에 접속되는 p채널 MOS 트랜지스터(1061)와, MOS 트랜지스터(1072)와 MOS 트랜지스터(1073)의 공통 접속된 소스와 접지노드의 사이에 접속되는 n채널 MOS트랜지스터(1074)를 포함한다.

MOS 트랜지스터(1061)는 그 게이트와 드레인이 상호 접속된다.

MOS 트랜지스터(1074)는 MOS 트랜지스터(1071)와 커런트미러회로를 구성한다.

이 커런트미러형 증폭회로(4040)는 내부 전원노드Vcc1에 외부전원노드 EXV에서 전류를 공급하는 P채널 MOS 트랜지스터(1062)의 게이트(노드 N54)의 전위를 조정한다.

MOS 트랜지스터(1062)는, 제43도에 나타내는 구성과 마찬가지로 비교적 작은 전류 구동력을 구비하고 있다.

구동부(4020)는, 커런트미러형 증폭회로(4010)웨 노드 N54상의 신호를 반전 하고 증폭하는 CMOS 인버터(1086)와, 인버터(1086)의 출력신호를 반전하고 증폭하는 CMOS 인버터(1087)와, 외부 전원로드 EXV와 노드 N55의 사이에 접속되고 인버터(1086)의 출력신호에 응답하여 노드N55에 외부전원전압 EXV을 전달하는 p채널 MOS 트랜지스터(1063)와, 접지노드에 그 한편 도통단자(드레인)가 접속되고 그 게이트에 바이어스 전압 VB(=EXV-△V-|Vthp|)을 받는 p채널 MOS 트랜지스터(1065)와, MOS 트랜지스터(1065)의 다른편 도통단자와 노드 N55의 사이에 접속되고 그 게이트에 MOS인 버터(1087)의 출력신호를 받는 p채널 MOS 트랜지스터(1064)를 포함한다.

노드 N55상의 신호전압은 외부 전원노드 EXV와 내부 전원노드 Vcc1의 사이에 접속되는 p채널 MOS트랜지스터(1066)의 게이트에 제공된다.

이 MOS 트랜지스터(1066)는 제43도에 나타내는 구성과 마찬가지로 비교적 큰 전류 구동력을 가지고 있다.

구동부(4020)의 구성 및 동작은 제43도에 나타내는 제2의 구동부의 구조와 동일하다.

내부 전원전압 발생회로는 또한 로우 어드레스 스트로브 신호 /RAS를 반전하는 인버터(1085)와, 신호/RAS에 응답하여 외부 전원노드 EXV에서 P채널 MOS트랜지스터(1071)에 전류를 공급하는 P채널 MOS트랜지스터(1058)와, 외부 전원노드 EXV와, 노드 N54의 사이에 접속되어 그 게이트에 인버터 (1085)의 출력신호를 받는 p채널 MOS 트랜지스터(1059)를 포함한다.

다음에 동작에 관하여 설명한다.

커런트미러형 증폭회로(4010) 및 구동부(4020)의 동작은 제43도에 나타내는 제1의 구동부(3900) 및 제2의 구동부(3910)의 그것과 같다.

이하 다르게되어 있는 점에 관하여만 설명한다.

신호 /RAS가 H인 스탠바이비에는 MOS 트랜지스터(1058)는 오프상태이고, MOS 트랜지스터(1071)에는 전류가 공급되지 않는다.

따라서, 레벨 시프트 회로(4050)의 MOS 트랜지스터(1082) 및 (1084)도 같은 오프상태이고, 레벨 시프트 회로(4050)에서의 전류소비도 생기지 않는다.

커런트미러형 차동증폭회로(4030) 및 (4040)에 있어서도 MOS트랜지스터 (1071) 및 (1080)가 오프 상태에 있어, 전류는 흐르지 않고 증폭동작은 행해지지 않는다.

신호 /RAS가 L로 되면, MOS트랜지스터(1058)가 온상태로 되고, MOS 트랜지스터(1071)에 전류가 흘러, 레벨 시프트 회로(4050) 및 차동증폭회로 (4030), (4040)가 활성화 된다.

노드 NK20 및 NK21 상에는 각각 기준전압 Vref1 및 내부 전원전압 Vcc1이 같은 수치만큼 레벨시프트된 전압이 전달된다.

차동증폭회로(4030)에서는, 노드 NK20의 전압이 노드 NK21상의 전압보다도 높을 경우에는 MOS 트랜지스터(1076)의 컨덕턴스가 MOS 트랜지스터(1075)의 컨덕턴스 보다도 높아진다.

따라서, MOS트랜지스터(1076)를 통하여 흐르는 전류가 많아져서, 이 MOS 트랜지스터(1076)를 통하여 흐르는 전류와 같은 크기의 전류가 MOS 트랜지스터(1067)를 통하여 MOS 트랜지스터(1075)에 공급된다(MOS 트랜지스터(1067) 및 (1068)은 커런트미러 회로를 구성하고 있다).

즉, MOS트랜지스터(1075) 및 (1076)가 공급하는 전류의 합은 전류원 MOS트랜지스터(1079)의 전류 구동력에 의해 일정치로 설정된다.

따라서, MOS트랜지스터(1075)의 컨덕턴스가 작아지고 그곳을 흐르는 전류가 작아진 경우에는 이 감소된 전류를 보상하는 크기의 전류가 MOS 트랜지스터(1076)를 통하여 흐른다.

따라서, MOS트랜지스터(1076)를 통하여 흐르는 전류가 많아지고, MOS 트랜지스터(1067) 및 (1068)에 의한 커런트미러동작에 의해 MOS트랜지스터(1067)가 공급하는 전류가 많아진다. 그것에 의해 MOS트랜지스터(1075)의 드레인 전압이 상승한다. 반대로, NK21의 전압이 노드 NK20상의 전압보다도 높은 경우에는, MOS 트랜지스터(1075)의 컨덕턴스가 MOS트랜지스터(1076)의 컨덕턴스 보다도 높아지고, MOS트랜지스터(1075)를 통하여 흐르는 전류가 MOS트랜지스터(1076)를 통하여 흐르는 전류보다도 많아진다.

그것에 의해, MOS트랜지스터(1076)를 통하여 흐르는 전류가 감소하고, 따라서 MOS 트랜지스터(1067)가 공급하는 전류량이 감소한다.

이것에 의해 MOS트랜지스터(1075)의 드레인 전압이 저하한다.

즉, 이 차동증폭회로(4030)는 (Vref1-Vcc1)의 전압을 증폭하여 출력하고 있다.

차동증폭회로(4040)에서는 노드 NK21상의 전압이 노드 NK20의 전압보다도 높아졌을 때에는 MOS 트랜지스터(1078)의 컨덕턴스가 MOS 트랜지스터 (1077)의 컨덕턴스보다도 높아지고, MOS트랜지스터(1078)를 통하여 흐르는 전류가 증가한다.

이 MOS 트랜지스터(1077) 및 (1078)의 소스는 공통 접속되어 전류원 MOS 트랜지스터(1080)에 접속되어 있다.

따라서, 이 MOS 트랜지스터(1078)를 통하여 흐르는 전류가 증가하면, MOS 트랜지스터(1077)를 통하여 흐르는 전류가 감소한다.

MOS트랜지스터(1077)에는 MOS 트랜지스터(1069)를 통하여 이 MOS 트랜지스터(1078)를 통하여 흐르는 전류와 같은 크기의 전류가 공급되고 있다(MOS 트렌지스터(1070) 및 (1069)가 같은 사이즈일 때).

따라서, MOS트랜지스터(1077)의 드레인 전압이 상승한다.

노드 NK21의 전압이 노드 NK20의 전압보다도 낮게되었을 경우에는, 차동 증폭회로(4040)에 있어서는 MOS 트랜지스터(1077)의 드레인 전압이 저하한다.

즉, 이 차동증폭회로(4040)는 (Vcc1-Vref1)의 전압을 증폭하여 출력하고 있다.

커런트미러형 증폭회로(4010)에서는, MOS 트랜지스터(1072)가 그 게이트에 차동증폭회로(4030)의 출력신호를 받고, MOS 트랜지스터(1073)가 차동증폭 회로(4040)의 출력신호를 게이트에 받고 있다.

MOS 트랜지스터(1073)의 게이트 전위가 MOS 트랜지스터(1072)의 게이트 전위보다도 높을 경우에는 노드 N52의 전위가 상승하고, 반대인 경우에는 로드 N54의 전위가 저하한다.

즉, 이 커런트미러형 증폭회로(4010)는, K·(Vcc1-Vref1)-K·(Vref1-Vcc1)의 전압을 더욱 증폭하여 출력하고 있다.

여기에 K는, 차동증폭회로(4030) 및 (4040)의 증폭율을 나타낸다.

따라서, 노드 N54의 전위는 내부 전원전압 Vcc1과 기준전압 Vref1의 차이에 따라 고속으로 변화한다.

노드 N54상의 전압은 구동부(4020)의 초단의 CMOS인버터(1086)에 제공되고 있다.

따라서, 이 CMOS 인버터(1086)의 입력신호가 고속으로 변화하고, 이 CMOS인버터에서의 관통전류가 흐르는 시간이 짧게 되어, CMOS 인버터 (1086)에서의 소비전류가 저감된다.

마찬가지로 이 CMOS 인버터(1086)의 출력신호가 고속으로 변화하기 때문에, CMOS 인버터(1087)에서의 관통전류도 저감된다.

따라서,구동부(4020)의 고속응답성이 더욱 배선되는 것과 함께 이 구동부 (4020)에서의 소비전력이 저감된다.

제46도는 이 제6의 실시예의 내부 전원전압 발생회로의 효과를 설명하기 위한 파형도이다.

제46도 (a)에서는, 내부 전원전압 Vcc1과 기준전압 Vref1의 오차를 증폭하여 커런트미러형 증폭회로에 제공하는 경우와, 이 오차를 증폭하지 않고 커런트미러형 증폭회로에 제공하는 경우의 내부 전원전압 Vcc1, 노드 N54의 전압 및 노드 N55의 전압변화를 나타낸다.

제46도(b)에는 구동부 및 차동증폭회로 양자가 설치되어 있지 않은 경우의 내부 전원전압 Vcc1의 변화 및 노드 N54의 전압변화를 나타낸다.

이 제46도 (b)의 신호 파형을 제공하는 구성의 경우에는 내부 전원노드 Vcc1에 전류를 공급하는 p채널 MOS트랜지스터의 게이트폭은 충분히 크게 된다(전류 공급력이 100mA 요구되기 때문에).

따라서, 그 게이트 용량은 큰 수치를 가진다.

제46도 (a)에 나타내는 바와 같이, 내부 전원전압 Vcc1이 기준전압 Vref1 보다도 저하했을 때 노드 N54의 전위가 저하한다.

이때 차동증폭회로(4030) 및 (4040)가 존재하는 경우에는 노드 N54의 전위는 고속으로 저하한다.

또, 노드 N55의 전위가 외부 전원전압 EXV이 소정치 △V만이 저하한다.

이 때 차동증폭화로(4030) 및 (4040)가 설치되어 있지 않을 경우에는 제46도 (a)에 파선으로 나타내는 바와 같이, 노드 N55및 N54의 전위는 약간 완만하게 변화한다.

따라서, 차동증폭회로(4030) 및 (4040)를 설치함으로써 보다 고속으로 노드 N54 및 N55의 전위를 변화시킬 수가 있고, 구동부(4020)에 포함되는 CMOS 인버터(1086) 및 (1087)에서의 p채널 MOS 트랜지스터 및 n

채널 MOS 트랜지스터 양자가 온상태로 되는 기간이 상당히 짧아져서 소비전류가 저감된다.

또, 노드 N54의 전위가 고속으로 변화하기 때문에, 이 Vcc1 발생회로의 응답특성(고주파 응답특성)도 개선된다.

차동증폭회로(4030)와 (4040)및 구동부(4020)가 설치되어 있지 않을 경우에는 제46도 (b)에 나타내는 바와 같이 노드 N54의 전위가 완만하게 변화한다.

즉, 내부 전원전압 Vcc1을 생성하기 위한 MOS트랜지스터의 게이트 용량이 크기 때문에, 이 MOS트랜지스터를 구동하는 커런트미러형 증폭회로의 동작전류가 작은 경우, 노드 N54의 전위변화에 지연이 생기기 때문이다. 따라서, 내부 전원전압 Vcc1에 대한 조정동작에 지연이 생겨 내부전원전압 Vcc1의 변화폭이 커져서, 내부 전원전압 Vcc1에 언더슈트, 오버슈트가 생긴다.

따라서, 본 발명과 같이 차동증폭회로 및 구동부를 설치함과 동시에 2개의 p채널 MOS 트랜지스터에서 내부 전원전압을 발생하는 구성으로 함으로써, 저 소비전류로 고속 응답성을 갖는 내부 전원전압 발생회로를 실현할 수가 있다.

[기준전압 발생회로]

제47도는 본 발명에 따른 기준전압 발생회로의 구성을 나타내는 도면이다.

제47도에 있어서, 기준전압 발생회로는 외부 전원노드 EXV와 접지노드와의 사이에 직렬로 접속되는 p채널 MOS트랜지스터(209), (310)및 n채널 MOS 트랜지스터(216)와, 외부 전원노드 RXV와 접지노드 VSS와의 사이에 직렬로 접속되는 p채널 MOS 트랜지스터(211) 및 n채널 MOS 트랜지스터 (217), (218)와, 외부 전원노드 EXV와 접지노드 VSS의 사이에 직렬로 접속되는 p채널 MOS 트랜지스터(212) 및 n채널 MOS 트랜지스터(219), (220)를 포함한다.

MOS 트랜지스터(209) 및 (210)는 각각 그 게이트 및 드레인이 상호 접속되어 다이오드로서 동작한다.

MOS 트랜지스터(B16)는, 그 게이트에 외부 전원전압 EXV을 받아, 저항소자로서 기능한다.

즉, MOS트랜지스터(209) 및 (210)는 각각 |Vthp|의 전압강하를 생기게 한다.

여기에서 Vthp는 p채널 MOS트랜지스터(209) 및 (210)의 한계치 전압을 나타낸다.

MOS 트랜지스터(211)는 그 게이트에 노드 N25상의 전압을 받는다.

MOS트랜지스터(217), (218)는 각각 그 게이트 및 드레인이 상호 접속됨과 동시에 기판영역이 소스에 접속된다.

MOS 트랜지스터(217) 및 (218)에 있어서 각각 기판영역을 소스에 접속함으로써 기판효과를 방지하고, 이들 MOS 트랜지스터(217) 및 (218)의 한계치 전압을 일정하게 유지한다.

MOS트랜지스터(211)의 게이트에는 EXV-2|Vthp|의 전압이 제공된다.

따라서, 이 MOS 트랜지스터(211)의 게이트-소스간 전압은 -2|Vthp|로 되어, 외부 전원전압 EXV의 수치에 관계없이 일정한 게이트-소스간 전압이 제공된다(단, MOS 트랜지스터(209) 및 (210)가 온 상태일 때).

따라서, 이 MOS 트랜지스터(211)는 안정되게 일정한 미소전류를 공급한다.

MOS 트랜지스터(217) 및 (BI8)은 MOS 트랜지스터(211) 보다도 전류 구동력이 크게 되어 있어(β가 크게 되어 있어), MOS 트랜지스터(217) 및 (218)는 각각 Vthn1의 전압강하를 생기게 한다.

즉, 노드 N22가 2·Vthn1의 전압 레벨로 설정된다.

MOS 트랜지스터(212)는 노드 N25의 전압을 게이트에 받고 있고, 또 MOS 트랜지스터(219) 및 (220)는 각각 다이오드 접속되어 있다.

또, MOS트랜지스터(219) 및 (220)의 각각의 기판영역은 각각의 소스에 접속되어 있다.

MOS 트랜지스터(219) 및 (220)는 MOS 트랜지스터(217) 및 (218)이 갖는 한계치 전압 Vth1 보다도 작은 한계치 전압 Vthn2을 가지고 있다.

따라서, 노드 N23가 일정한 전압 2·Vthn2로 설정된다.

기준전압 발생회로는 또한 노드 N22상의 전압게이트로 받고, 노드 N23상의 전압을 그 소스에 받는 n채널 MOS 트랜지스터(215)와, MOS트랜지스터 (215)에 외부 전원노드 EXV에서 전류를 공급하는 p채널 MOS트랜지스터 (213)와, MOS트랜시스터(213)와 커런트미러 모양으로 접속되어 외부 전원노드 EXV에서 노드 N24에 전류를 공급하는 p채널 MOS 트랜지스터(214)와, 노드 N24와 접지노드 VSS의 사이에 직렬로 접속되는 p채널 MOS트랜지스터(221) 및 n채널 MOS 트랜지스터(222)를 포함한다.

MOS트랜지스터(215)는 또, 기판효과의 발생을 방지하기 위하여 그 기판 영역이 소스영역에 접속된다.

MOS 트랜지스터(213)는 그 게이트 및 드레인이 상호 접속된다.

이것에 의해, MOS 트랜지스터(214)에는 MOS 트랜지스터(203)를 흐르는 전류의 미러전류가 흐른다.

즉, MOS 트랜지스터(213) 및 (214)의 계수 β(또는 W/L)의 비를 1 : K로 하였을 때 MOS 트랜지스터(214)에는 MOS 트랜지스터(213)를 흐르는 전류 I 의 k배의 전류가 흐른다.

MOS 트랜지스터(215)의 게이트-소스간 전압은 2(Vthn1-Vthn2)이다.

이 MOS트랜지스터(215)의 게이트-소스간 전압에 의해 결정되는 일정한 드레인전류가 MOS 트랜지스터(21

5)를 통하여 흐른다(VdsVgs-Vth 일 때 Ids=β(Vgs-Vth)^{2}이다).

이 조건은 MOS 트랜지스터(215)의 β를 MOS 트랜지스터(219), (220)의 그것보다 작게 함으로써 실현된다.

MOS트랜지스터(215)를 통하여 흐르는 일정한 전류는, MOS트랜지스터 (213)를 통하여 제공된다.

이 MOS 트랜지스터(213)를 통하여 흐르는 전류의 미러전류가 MOS 트랜지스터(214)를 통하여 흐른다.

노드 N24에 MOS 트랜지스터(214)를 통하여 제공되는 전류를 전압으로 변환하기 위하여, 노드 N24와 접지노드 VSS의 사이에 p채널 MOS 트랜지스터(221) 및 n채널 MOS 트랜지스터(222)가 직렬로 접속된다.

p채널 MOS 트랜지스터(221)는 그 소스 및 기판영역이 노드 N24에 접속되어, 게이트 및 드레인이 상호 접속된다.

n채널 MOS 트랜지스터(222)는 그 게이트 및 드레인이 상호 접촉되어, 소스 및 기판이 접지전압 노드에 접속된다.

P채널 MOS 트랜지스터(221)의 게이트폭과 게이트 길이의 비율W/L는 작게 되고, MOS 트랜지스터(222)의 게이트 폭과 게이트 길이의 비 W/L는 트랜지스터(221)의 그것 보다도 훨씬 크게 된다.

그것에 의해 MOS 트랜지스터(221)의 계수 β는 MOS 트랜지스터(222)의 계수 β보다도 훨씬 작게 된다.

즉, β1≪β1로 된다.

그것에 의해 MOS 트랜지스터(221)가 저항모드로 동작하고, 그 채널저항과 제공되는 전류의 곱으로 표시되는 전압강하를 생기게 한다.

한편, MOS 트랜지스터(B22)는 다이오드 모드로 동작하고 이 한계치 전압 Vthn의 전압강하를 생기게 한다.

즉, MOS 트랜지스터(214)에서 제공되는 전류를 I로 하면, MOS 트랜지스터(221)에 의해 전압강하 I·Rch가 생기고, MOS 트랜지스터(222)에 전압강하 Vthn가 생긴다.

따라서, 기준전압 Vref으로서, Vref=I·Rch+Vthn 이 얻어진다.

여기에서 Rch는 MOS 트랜지스터(221)의 채널저항을 나타낸다.

I는 일정하여 외부 전원전압 EXV에 의존하는 일이 없는 안정된 기준전압 Vref이 얻어 진다.

이 게이트 폭과 게이트 길이의 비율 W/L, 즉 계수 β가 다른 MOS 트랜지스터를 직렬로 접속함으로써 이하에 기술하는 효과가 얻어진다.

제48도에 나타내는 바와 같이 MOS 트랜지스터의 채널저항 Rch은 온도 T의 상승에 따라 상승하고, 한편, MOS 트랜지스터의 한계치 전압 Vthn은 온도가 상승하는데 따라 저하한다.

전류 I는 MOS 트랜지스터(217) 및 (218)의 한계치 전압 Vthn과 MOS 트랜 지스터(BI9) 및 (220)의 한계치 전압 Vthn의 차로 제공되어 있어, 같은 온도특성을 표시하고 있어, 전류 I는 온도에 의하지 않고, 일정케 된다.

한편, 전류/전압 변환을 위한 MOS 트랜지스터(221)의 채널저항 Rch은 온도 상승에 수반하여 증가하고, 한편 MOS 트랜지스터(222)의 한계치 전압 Vthn은 온도상승에 수반하여 저하한다.

따라서, I·Rch가 온도상승에 따라 증가하더라도, Vthn가 온도상승에 따라 저하하면 기준전압 Vref에 대한 온도상승의 영향이 부정되어, 거의 일정한 기준전압 Vref을 생성할 수가 있다.

또한, 제47도에 나타내는 구성에서는 전류/전압의 변환을 위하여 p채널 MOS 트랜지스터(221)를 사용하고 있다.

비교적 큰 채널저항을 용이하게 실현하기 때문이다.

그렇지만, 이 p채널 MOS 트랜지스터(221)에 대신하여 n채널 MOS 트랜지스터가 사용되어도 좋다.

[변경예]

제49도는 제48도에 나타내는 기준전압 발생회로의 변경예를 나타내는 도면이다.

제49도에 나타내는 기준전압 발생회로에서는, 전류를 전압으로 변환하는 수단으로서, 노드 N24와 접지노드 VSS의 사이에 직렬로 p채널 MOS 트랜지스터(221a) 및 (221b)가 접속된다.

p채널 MOS트랜지스터(221a)는 그 기판영역 및 소스가 노드 N24에 접속되고 그 게이트가 접지노드 VSS에 접속된다.

p채널 MOS 트랜지스터(221b)는 그 기판영역 및 소스가 MOS 트랜지스터 (221a)의 드레인에 접속되고, 그 게이트 및 소스가 접지로드 VSS에 접속된다.

MOS 트랜지스터(221a)는 MOS 트랜지스터(221b)에 비하여 훨씬 큰 온저항(채널저항)을 갖거나 또는 훨씬 작은 게이트폭과 게이트 길이의 비율 W/L(또는 계수 β)을 가지고 있다.

따라서, 이 경우에도 p채널 MOS 트랜지스터(231b)의 게이트-소스간 전압은 |Vthp|로 되고 기준전압 Vref은, Vref =I·Rchp-|Vthp|로 나타낸다.

여기에 Rchp는 MOS 트랜지스터(221a)의 채널저항을 나타내고, Vthp는 MOS 트랜지스터(221a)의 한계치 전압을 나타낸다.

제41도에 나타내는 구성에서는 MOS트랜지스터(221a), (221b) 각각의 기판영역이 각각의 소스영역에 접속

되어 있어, 기판효과의 영향을 받는 일 없이 안정되고 일정한 전압레벨의 기준전압 Vref을 생성할 수가 있다.

이상과 같이, 본 발명의 기준전압발생회로의 구성에 따르면, 일정한 전압을 MOS트랜지스터의 게이트 및 소스에 각각 제공하여 그 MOS 트랜지스터에 정전류를 생기게하고, 이 일정전류를 미러전류의 전압으로 변환하고 있다.

따라서, 전원전압의 변동의 영향을 받지 않고 안정되게 일정한 전압레벨의 기준전압을 생성할 수가 있다.

이 전류/전압 변환소자로서, 게이트 폭 및 게이트길이의 비율, 즉 계수 β가 다른 MOS 트랜지스터를 직렬로 접속한 회로를 사용함으로써, 온도에 대하여 안정된 기준전압 Vref을 생성할 수가 있다.

[반도체 기억장치에서의 전원전압 분배구성 2]

제50도는 본 발명의 반도체기억장치 전원전압분배의 다른 실시예를 나타낸 도면이다.

제50도에 나타내는 반도체기억장치는, 제23도에 나타내는 반도체 기억장치와 마찬가지로 메모리 어레이(1), Vcc/2발생회로(2), Vbb발생회로(3), 내부 Vcc 발생회로(4), 센스앰프 구동신호 발생회로(6), 외부회로(7), 워드선 디코더(8) 및 (11), BLEQ 발생회로(9) 및 신호 Φ 발생회로(10)를 구비한다.

각각의 회로의 구성은 제23도에 나타내는 반도체 기억팡치의 그것과 동일하다.

제50도에 나타내는 반도체 기억장치에서는, 내부 고전압 Vpp을 발생하는 회로는 설치되어 있지 않다.

내부Vcc발생회로(4)는, 제1의 내부 전원전압 Vcc1 및 이 제1의 내부 전원전압 Vcc1 보다도 높은 제2의 내부 전원전압 Vcc2을 발생한다.

이 제2의 내부 전원전압 Vcc2의 워드선 디코더(8) 및 (11) 또한 BLEQ 발생회로(9) 및 신호 Φ 발생회로(10)에 제공된다.

센스앰프 구동신호 발생회로(6) 및 제어회로(7)에는 제1의 내부 전원전압 Vcc1이 제공된다.

Vcc/2 발생회로(2)는 제1의 내부 전원전압 Vcc1과 접지전압 VSS의 중간의 전압 Vcc1/2을 발생한다.

Vbb발생회로(3)는, 외부 전원전압 EXV을 이용하여 소정의 전압레벨의 내부 전원전압 Vbb을 발생한다.

그렇지만, 이들 Vcc/2발생회로(2) 및 Vbb발생회로(3)는 내부 전원전압 Vcc1 또는 Vcc2만을 사용하여 소정의 전압을 발생하도록 구성되어도 좋다.

메모리 어레이(1)는 어레이 블록 NAR 및 NAL과 센스동작 및 블록선택을 행하는 센스/주변회로 SPH를 포함한다.

이 메모리 어레이(1)의 구성은 제23도에 나타내는 메모리 어레이의 구성과 동일하다.

제51도는 내부 Vcc 발생회로(4)가 생성하는 내부 전원전압 Vcc1 및 Vcc2의 전압레벨을 나타낸다.

제51도에 나타내는 바와 같이, 통상 동작시 제1의 내부 전원전압 Vcc1 은 1.5V로 되어 제2의 내부 전원전압 Vcc2이 2. 5V로 된다.

선택워드선 및 블록선택신호 ΦL, ΦR는 MOS트랜지스터의 한계치 전압손실을 보상하기 위하여 제1의 내부 전원전압 Vcc1 보다도 MOS 트랜지스터의 한계치 전압 Vthn 이상 높은 전압레벨로 설정된다.

제1의 내부 전원전압 Vcc1은 1.5V이고, 제2의 내부 전원전압 Vcc2이 2.5V인 경우, 그 차이는 1.0V이고, MOS 트랜지스터의 한계치 전압 Vthn 보다도 크다.

따라서, 이 제2의 내부 전원전압 Vcc2을 사용하여 워드선 구동신호 및 블록선택신호 ΦL, ΦR를 발생하여도 전압손실을 수반하는 일 없이 확실하게 제1의 내부 전원전압 Vcc1 레벨의 전압을 메모리셀에 기록할 수가 있다.

1.5V레벨의 제1의 내부전원전압Vcc1및 2.5V레벨의 제2의 내부 전원전압 Vcc2을 발생하는 내부 Vcc발생회로는 앞서 설명한 내부전원전압 발생회로를 이용할 수가 있다.

기준전압 Vref의 수치를 조절하는 것에 의해 용이하게 제1 및 제2의 내부 전원전압 Vcc1 및 Vcc2의 전압레벨을 변경할 수가 있다.

저항을 사용한 분압방법 및 MOS 트랜지스터에 의한 레벨 시프트 방법 중 어떤 방식의 내부 전원전압 발생회로가 사용되어도 상관없다.

이 제50도에 나타내는 바와 같이, 내부 전원전압 발생회로에서 워드선 구동용 및 블록선택용의 신호를 발생하는 구성으로 함으로써, 효율이 나쁜 차지펌프회로를 사용하여 내부고전압을 발생할 필요가 없어진다.

따라서, 보다 저소비 전력으로 동작하는 반도체 기억장치를 실현할 수가 있다.

[반도체 기억장치의 전원전압 분배 3]

제52도는, 본 발명에 따른 반도체 기억장치의 내부 전원전압의 분배의 제3의 실시예의 구성을 나타내는 도면이다.

제52도에 있어서, 내부 Vcc발생회로(4)는 제1 및 제2의 내부 전원전압 Vcc1 및 Vcc2과, 또한 이들 제1 및 제2의 내부 전원전압 Vcc1 및 Vcc2 보다도 낮은 제3의 내부 전원전압 Vcc3을 생성한다.

제1의 내부 전원전압 Vcc1은 제어회로(7)에 제공된다.

제2의 내부 전원전압 Vcc2은 워드선 디코더(8), (11) 및 BLEQ 발생회로(9), 신호 Φ 발생회로(10)에 제공

된다.

제3의 내부 전원전압 Vcc3은 센스앰프 구동신호 발생회로(6) 및 센스앰프 전원선에 전달된다.

센스앰프 전원선은, 제24도에 나타내는 센스앰프의 전원조드 Vcc1에 대응 한다.

메머리셀 어레이(1)에서는, 따라서 비트선은 이 제3의 내부 전원전압 Vcc3과 접지전압 VSS의 사이에서 충방전 된다.

따라서 Vcc/2발생회로(2)는 이 제3의 내부 전원전압 Vcc3과 접지전압 VSS 사이의 중간전압 Vcc3/2을 생성한다.

센스앰프 구동신호 ΦP는 제3의 전원전압 Vcc3레벨이고, 워드선 구동신호 WL, WLR 및, 비트선 이퀄라이즈 신호 BLEQ, 블록선택 신호 ΦL 및 ΦR가 제2의 내부 전원전압 Vcc2 레벨로 된다.

제어회로(7)에서 생성되는 내부 제어회로의 전압레벨은 제1의 내부전원전압 Vcc1 레벨로 된다.

이 제53도에 이 내부 Vcc 발생회로가 생성되는 제1 내지 제3의 전원전압 Vcc1, Vcc2 및 Vcc3의 전압 레벨을 일예로 해서 나타낸다.

제53도에 있어서, 제3의 내부 전원전압 Vcc3은 안정시 1.5V이고, 제12의 내부 전원전압 Vcc1 및 Vcc2은 각각 안정시에 2.0V 및 2.5V이다.

통상, 선택워드선의 전압레벨은 고전위 비트선 전압의 약 1.5배의 전압으로 설정 된다.

즉, 1.5×1.5=2.25이고, 제2의 내부 전원전압 Vcc2을 사용하여 충분히 필요로 되는 전압레벨의 워드선 구동신호를 생성할 수가 있다.

또, 제어회로(7)에 비교적 높은 내부 전원전압을 제공함으로써 제어회로(7)의 동작을 고속화할 수가 있다.

또, 이 제52도에 나타내는 구성에서도, 마찬가지로 내부 고전압 Vpp을 발생하기 위한 내부 고전압 발생회로가 사용되고 있지 않기 때문에 내부 고전압을 발생하기 위한 차지펌프 동작이 필요하지 않게 되어, 소비전력을 저감할 수가 있다.

또한,위에 설명한 전원배치의 구성에 있어서, 반도체기억장치에서 장치 외부와의 인터페이스를 취하기 위한 입출력버퍼에는 외부 전원전압 EXV이 제공된다.

이상과 같이 본 발명에 따른 내부 전원전압 발생회로의 구성에 따르면, 복수종류의 내부 전원전압을 생성하여 적어도 비트선 이퀄라이즈/프리차지 신호를 비트선의 충전전압 레벨보다도 높은 전압레벨로 하도록 구성하였으므로, 고속으로 비트선의 이퀄라이즈/프리차지를 행할 수가 있어, 고속으로 동작하는 반도체 기억장치를 실현할 수가 있다.

또, 차지펌프 동작을 사용하는 일 없이 적어도 비트선 이퀄라이즈/프리차지 신호의 전압레벨의 증가를 실현하고 있기 때문에, 소비전력의 증가를 억제할 수가 있다.

또한, 본 발명에 따르면, 저소비 전력이며 고속이고 또한 안정되게 동작하는 반도체 기억장치를 실현할 수가 있다.

(57) 청구의 범위

청구항 1

외부에서 제공되는 외부전원전압을 강압하여 내부 전원전압을 생성하는 내부 전원회로와, 차지펌프 동작에 의해 상기 외부 전원전압에서 상기 내부 전원전압과 전압레벨이 다른 소정의 전압레벨의 내부 전압을 발생하는 내부 전압 발생수단을 구비하는 반도체 기억장치.

청구항 2

외부에서 제공되는 외부 전원전압에서 제1의 내부 전원전압을 생성하는 내부 전원전압 발생수단과, 상기 외부 전원전압에서 상기 제1의 내부 전원전압 보다도 높은 제2의 내부 전원전압을 생성하는 제2의 내부 전원전압 발생수단과, 행 및 열의 매트릭스 모양으로 배열되는 복수의 메모리셀과, 각 상기 열에 대응하여 배치되고, 각각에 대응차는 열의 메모리 셀이 접속되는 복수의 비트선쌍과, 각 상기 비트선쌍에 대응하여 설치되고, 이퀄라이즈 지시신호에 응답하여 대응하는 비트선쌍의 각 비트선의 전위를 소정 전위로 설정하기 위한 복수의 이퀄라이즈/프리차지 소자와, 각 상기 비트선쌍에 대응하여 설치되고, 센스앰프 활성화 신호에 응답하여 대응하는 비트선쌍의 전위를 차동적으로 증폭하는 복수의 센스앰프와, 스탠바이 지시신호에 응답하여 상기 제2의 내부 전원전압 레벨의 상기 이퀄라이즈 지시신호를 발생하여 상기 복수의 이퀄라이즈/프리차지 소자에 전달하는 이퀄라이즈 지시신호 발생수단과, 상기 스탠바이 지시신호의 비활성화에 응답하여 소정의 타이밍으로 상기 제1의 내부 전원전압 레벨의 상기 센스앰프 활성화 신호를 발생하여 상기 복수의 센스앰프에 제공하는 센스앰프 활성화 신호 발생수단을 구비하는 반도체 기억장치.

청구항 3

제2항에 있어서, 각 상기 행에 대응하여 배치되어, 각각에 대응하는 행의 메모리셀이 접속되는 복수의 워드선과, 어드레스 신호에 따라 상기 복수의 워드선 중 어드레스 지정된 행에 대응하는 워드선상에 상기 제2의 전원전압 레벨의 워드선 구동신호를 전달하는 워드선 디코더를 더 구비하는 반도체 기억장치.

청구항 4

외부에서 제공되는 외부 전원전압을 강압해서 내부 전원전압을 생성하여 내부 전원선상에 출력하는 스탠

바이 내부 전원전압 발생수단과, 스탠바이 지시신호의 비활성화에 응답하여 활성화되고, 상기 외부 전원전압을 강압해서 상기 내부 전원전압을 발생하여 상기 내부 전원선상에 출력하는 활성화 내부 전원전압 발생수단을 구비하며, 상기 활성화 내부 전원전압 발생수단은 상기 스탠바이 지시신호의 활성화시 상기 내부전원선에서 접지선에 흐르는 전류의 경로를 차단하는 수단을 포함하는 내부 전원전압 발생회로.

청구항 5

제4항에 있어서, 상기 활성화 내부 전원전압 발생수단은, 상기 내부 전원선에 결합되어, 상기 내부 전원전압의 레벨을 저하시켜 출력하는 레벨변환 수단과, 상기 레벨변환수단의 출력하는 전압과 소정의 기준전압을 비교하고, 해당 비교결과를 나타내는 신호를 출력하는 비교수단과, 상기 비교수단의 출력에 응답하여 상기 내부 전원선에 상기 외부 전원전압노드에서 전류를 공급하는 드라이브소자를 포함하고, 상기 차단수단은 상기 레벨변환수단을 통하여 상기 접지선에 흐르는 전류를 차단하는 내부 전원전압 발생회로.

청구항 6

제4항 또는 제5항에 있어서, 상기 스탠바이 내부 전원전압 발생수단을 상기 스탠바이 지시신호에 응답하여 간헐적으로 동작상태로하는 수단을 더 포함하는 내부 전원전압 발생회로.

청구항 7

외부 전원노드에 제공되는 외부 전원전압을 강압하여 내부 전원선 상에 내부 전원전압을 발생하는 내부 전원전압 발생회로에 있어서, 상기 내부 전원선상의 전압과 기준전압을 비교하는 비교수단과, 상기 비교수단의 출력을 버퍼처리하는 버퍼수단과, 상기 소정전압과 상기 내부 전원선상의 전압사이의 차에 응답하여 상기 외부 전원노드에서 상기 내부 전원선상에 전류를 공급하는 제1의 드라이브 소자와, 상기 버퍼수단의 출력에 응답하여 상기 외부 전원노드에서 상기 내부 전원선에 전류를 공급하는 제2의 드라이브소자를 구비하는 내부 전원전압 발생회로.

청구항 8

외부 전원노드에 제공되는 외부 전원전압을 강압하여 내부 전원선상에 내부 전원전압을 발생하는 내부 전원전압 발생회로에 있어서, 상기 내부 전원선 상의 전압을 저하시켜 전달하는 전압 저하수단과, 상기 전압저하수단에서 제공된 전압과 기준전압을 비교하는 비교 수단과, 상기 비교수단의 출력을 버퍼처리하는 버퍼수단과, 상기 비교수단의 출력에 응답하여 상기 외부 전원로드에서 상기 내부 전원선에 전류를 공급하는 제1의 드라이브소자와, 상기 버퍼수단의 출력에 응답하여 상기 외부 전원노드에서 상기 내부 전원선에 전류를 공급하는 제2의 드라이브 소자를 구비하는 내부 전원전압 발생회로.

청구항 9

외부 전원노드에 제공되는 외부 전원전압을 강압하여 내부 전원선 상에 내부 전원전압을 발생하는 내부 전원전압 발생회로에 있어서, 제1의 기준전압과 상기 내부 전원선 상의 내부 전원전압을 비교하는 제1의 비교수단과, 상기 제1의 비교수단의 출력에 응답하여 상기 외부전원노드에서 상기 내부전원선에 전류를 공급하는 제1의 드라이브소자와, 스탠바이모드 지시신호의 비활성화시 활성화 되어, 상기 내부 전원선상의 내부전원전압의 레벨을 저하시켜서 출력하는 레벨변환수단과, 상기 제1의 기준전압보다도 낮은 제2의 기준전압와, 상기 레벨 변환 수단의 출력을 비교하는 제2의 비교수단과, 상기 제2의 비교수단의 출력에 응답하여 상기 외부 전원노드에서 상기 내부 전원선에 전류를 공급하는 제2의 드라이브소자를 구비하는 내부 전원전압 발생회로.

청구항 10

외부에서 제공되는 외부 전원전압을 강압하여 내부 전원전압을 발생하는 내부 전원전압 발생수단과, 상기 내부 전원전압을 동작 전원전압으로 해서 동작하여, 상기 내부 전원전압과 전압레벨이 다른 소정의 전압레벨의 내부전압을 발생하는 내부전압 발생수단을 구비하고, 상기 내부전압발생수단은 해당 발생한 내부전압이 상기 소정의 전압레벨에 달하였을 때 내부 전압발생 동작을 정지시키는 정지수단을 포함하고, 상기 내부 전원전압 발생수단은 상기 내부 전원전압을 상기 소정의 전압레벨의 기준전압과 비교하고, 해당 비교결과에 따라 상기 외부 전원전압 인가노드에서 상기 내부 전원전압의 출력노드에 전류를 공급하여 내부 전원전압을 조정하는 수단과, 상기 정지수단에 응답하여 상기 내부 전압발생수단의 동작시 상기 조정수단의 조정동작을 고속화하기 위한 수단을 포함하는 전압발생 회로.

청구항 11

외부 전원전압과, 상기 외부 전원전압을 강압하여 얻어지는 내부 전원전압과, 상기 내부 전원전압 보다도 높은 내부 고전압과, 부전압과, 접지전압에 따라 상기 내부 전원전압과 상기 접지전압과의 사이의 중간전압을 발생하는 회로에 있어서, 내부 전원전압노드와 접지전압 노드와의 사이에 접속되고, 상기 내부전원전압과 상기 접지전압과의 사이의 제1의 전압과 상기 제1의 전압보다도 높은 제2의 전압을 생성하는 전압발생수단과, 내부 고전압노드와 상기 제1의 전압노드와의 사이에 접속되며, 상기 내부 고전압과 상기 제1의 전압과의 사이의 레벨의 제1의 제어전압을 생성하는 수단과, 상기 제2의 전압노드와 부전압노드와의 사이에 접속되고, 상기 제2의 전압과 상기 부전압과의 사이의 제2의 제어전압을 생성하는 수단과, 상기 내부 전원전압노드와 출력노드의 사이에 접속되고, 상기 제1의 제어전압에 응답하여 상기 내부 전원전압노드에서 상기 출력 노드에 전류를 공급하는 제1도전형의 스위칭 소자와, 상기 출력노드와 상기 접지전압노드의 사이에 접속되며, 상기 제2의 제어전압에 응답하여 상기 출력노드에서 상기 접지전압노드에 전류를 방전하는 제2도전형의 스위칭소자를 구비하는 중간 전압 발생 회로.

청구항 12

외부 전원전압과, 상기 외부 전원전압을 강압하여 생성되는 내부 전원전압과, 상기 내부 전원전압 보다도 높은 내부 고전압과, 일정한 레벨의 부전압과 접지전압을 내부 전압으로서 갖는 반도체기억장치에서의 상기 내부 전원전압과 상기 접지전압 사이의 중간 전압을 발생하기 위한 중간전압 발생회로에 있어서, 상기

내부 전원전압과 상기 접지전압과의 차이를 소정의 비율로 분압하여 제1의 전압 및 상기 제1의 전압보다도 높은 제2의 전압을 생성하는 분압수단과, 상기 내부고전압을 받는 노드와 상기 제1의 전압을 받는 노드와의 사이에 접속되고, 상기 제1의 전압을 소정치 레벨시프트하여 상기 제1의 전압보다도 높은 제1의 제어전압을 생성하는 제1의 제어수단과, 상기 제2의 전압이 전달되는 노드와 상기 부전압이 전달되는 노드와의 사이에 접속되며, 상기 제2의 전압을 소정치 레벨시프트 하여 상기 제 2의 전압보다도 낮은 제2의 제어전압을 생성하는 제2의 제어수단과, 상기 외부 전원전압이 전달되는 노드와 출력노드와의 사이에 설치되고,상기 제1의 제어전압에 응답하여 상기 외부 전원전압전달 노드에서 상기 출력노드에 전류를 공급하는 n채널 절연게이트형 전계효과 트랜지스터와, 상기 출력노드와 상기 접지전압이 인가되는 노드와의 사이에 설치되며, 상기 제2의 제어전압에 응답하여 상기 출력노드에서 상기 접지전압 전달노드에 전류를 방전하는 p채널 절연 게이트형 전계효과 트랜지스터를 구비하는 중간전압 발생회로.

청구항 13

일정한 전류를 발생하는 정전류원과, 서로 다른 계수 β를 가지고, 또한 서로 직렬로 접속되는 제1 및 제2의 절연게이트형 전계효과 트랜지스터를 포함하고, 상기 정전류원이 발생한 전류를 전압으로 변환하는 전압변환수단을 구비하며, 상기 계수 β는 절연게이트형 전계효과 트랜지스터에 고유한 정수인 기준전압 발생회로.

청구항 14

외부 전원노드에 인가되는 내부 전원전압을 강압하여 내부 전원선상에 내부 전원전압을 발생하는 내부 전원전압 발생회로에 있어서, 상기 내부 전원전압에 상당하는 전압과 기준전압을 비교하는 차동
증폭회로와, 상기 차동증폭회로와 출력을 버퍼처리하는 버퍼회로와, 상기 버퍼회로의 출력에 응답하여 상기 외부 전원노드에서 상기 내부 전원선에 전류를 공급하는 드라이브 소자와, 상기 버퍼회로의 출력의 진폭을 일정수치로 제한하는 제한수단을 구비하는 내부 전원전압 발생회로.

청구항 15

외부 전원전압과, 상기 외부 전원전압을 강압하여 생성되는 내부 전원전압을 갖는 반도체 기억장치에서의 상기 내부 전원전압과 접지 전위 사이의 중간전압을 발생하기 위한 중간전압 발생회로에 있어서, 상기 외부 전원전압을 받는 외부 전원노드에 드레인이 접속되고, 상기 중간전압을 발생하는 출력노드에 소스가 접속되는 제1의 트랜지스터 소자와, 상기 출력노드에 접속되는 드레인과, 상기 접지전위를 받도록 접속되는 소스를 갖는 제2의 트랜지스터 소자를 구비하는 중간전압 발생회로.

청구항 16

기준전위 출력노드와 전류원과의 사이에 직렬로 접속되는 복수의 절연게이트형 전계효과 트랜지스터를 포함하는 기준전위 발생회로에 있어서, 상기 복수의 절연 게이트형 전계효과 트랜지스터 중 적어도 2개의 절연게이트형 전계효과 트랜지스터의 채널폭과 채널길이의 비율이 서로 다르도록 한 것을 특징으로 하는 기준전위 발생회로.

청구항 17

출력노드에 소정의 내부전압을 발생하는 내부전압 발생회로에 있어서, 상기 출력노드에 접속되는 한편 도통단자와, 다른편 도통단자와, 제어전극 노드를 갖는 정류 트랜지스터와, 상기 정류 트랜지스터의 제어전극 노드에 결합되는 제1의 펄프 캐패시터와, 상기 정류 트랜지스터의 다른 편 도통단자에 결합되는 제2의 펌프 캐패시터와, 상기 제1의 펌프 캐패시터가 상기 제2의 펌프 캐패시터 보다도 큰 진폭을 갖는 신호로 구동되도록 상기 제1 및 제2의 펌프 캐패시터를 구동하는 구동수단을 구비하는 내부 전압 발생회로.

청구항 18

클록신호에 응답하여 출력노드에 소정 레벨의 전압을 발생하는 내부 전압발생회로에 있어서, 전원전위를 받는 드레인과 상기 출력노드에 접속되는 소스를 갖는 p채널 절연 게이트형 전계효과 트랜지스터와, 상기 출력노드에 상기 소정 레벨의 전압을 발생하기 위한 제1의 캐패시터와, 상기 p채널 절연 게이트형 전계효과 트랜지스터의 백게이트에 결합되는 제2의 캐패시터와, 상기 클록신호에 응답하여 상기 제 1 및 제 2의 캐패시터를 서로 같이 구동하는 드라이브 수단을 구비하는 내부 전압 발생회로.

청구항 19

클록신호에 응답하여 출력노드에 고전압을 발생하는 내부고전압 발생회로에 있어서, 상기 출력노드에 접속되는 한편 도통단자를 갖는 p채널 절연게이형 전계효과 트랜지스터와, 상기 p채널 절연게이트형 전계효과 트랜지스터의 다른편 도통단자에 결합되는 제1의 캐패시터와, 상기 p채널 절연게이트형 전계효과 트랜지스터의 백 게이트에 결합되는 제2의 캐패시터와, 상기 클록신호에 응답하여 상기 제1 및 제2의 캐패시터를 서로 같이 구동하는 드라이브 수단을 구비하는 내부 고전압 발생회로.

청구항 20

클록신호에 응답하여 출력노드에 소정의 전압레벨의 고전압을 발생하는 내부 고전압 발생회로에 있어서, 상기 출력노드에 접속되는 한편 도통단자를 갖는 p채널 절연게이트형 전계효과 트랜지스터와, 상기 p채널 절연게이트형 전계효과 트랜지스터의 다른편 도통단자에 결합되는 캐패시터와, 상기 클록신호에 응답하여, 상기 캐패시터를 구동하는 드라이브수단과, 상기 클록신호에 응답하여, 상기 캐패시터가 상기 p채널 절연게이트형 전계효과 트랜지스터의 다른편 도통단자의 전위를 상승시킬때, 상기 p채널 절연게이트형 전계효과 트랜지스터의 게이트의 전위를 접지전위 보다도 높은 소정 전압 레벨로 크램프하는 크램프 수단을 구비하는 내부 고전압 발생회로.

청구항 21

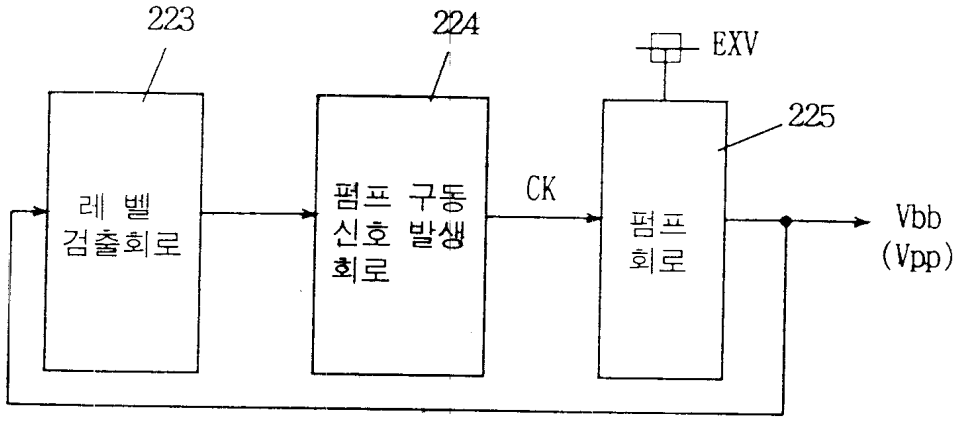
클록신호에 응답하여 내부 노드를 소정 전압레벨로 프리차지 하는 프리차지 회 로와, 상기 내부노드에 백게이트, 소스 및 드레인이 함께 접속되는 MOS 캐패시터와, 클록신호에 응답하여 상기 MOS캐패시터의 게이트 전극노드에 드라이브 신호를 인가하는 드라이브 수단을 구비하는 내부 고전압 발생회로.

청구항 22

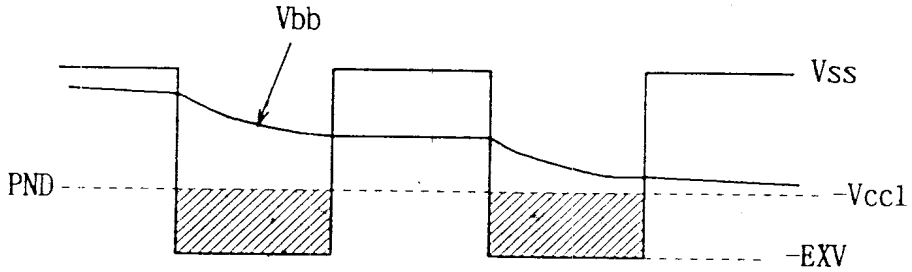
제1의 기준전위를 받도록 접속되는 제1의 도통단자와, 제1의 노드에 접속되는 게이트 전극노드를 갖는 제1도전형의 제1의 절연 게이트형 전계효과 트랜지스터와, 상기 제1의 로드에 접속되는 한편 도통단자와, 제2의 노드에 접속되는 게이트 전극노드를 갖는 제2도전형의 제2의 절연게이트형 전계효과 트랜지스터와, 한쪽단자에 상기 제1의 기준전위를 받는 저항소자와, 그 한쪽 도통단자가 상기 저항소자의 다른 편 끝에 접속되고, 그 게이트 전극노드가 상기 제1의 노드에 결합되며, 그 다른 쪽 도통 단자가 상기 제 B의 노드에 접속되고 또한 상기 제1의 절연게이트형 전계효과 트랜지스터보다도 짧은 채널길이를 갖는 제1도 전형의 제3의 절연 게이트형 전계효과 트랜지스터와, 그 한쪽도통단자 및 게이트 전극노드가 상기 제2의 노드에 접속되고 다른쪽 도통단자가 상기 제1의 기준전위보다도 낮은 제2의 기준전위에 접속되는 제2도전형의 제4의 절연게이트형 전계효과 트랜지스터를 구비하는 정전류 발생회로.

도면

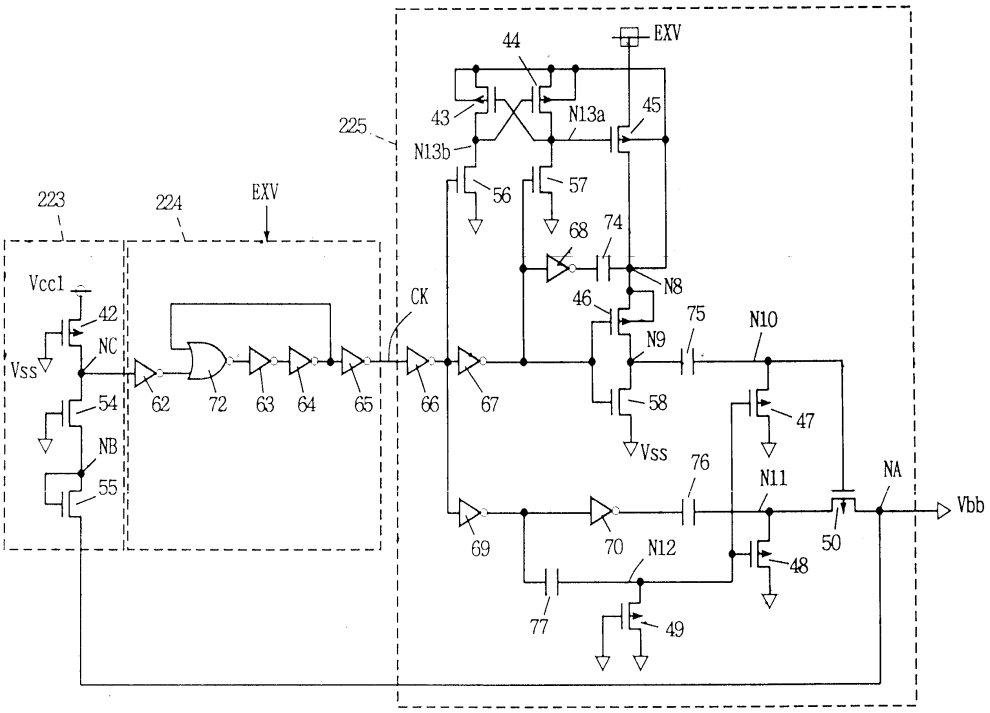
도면1



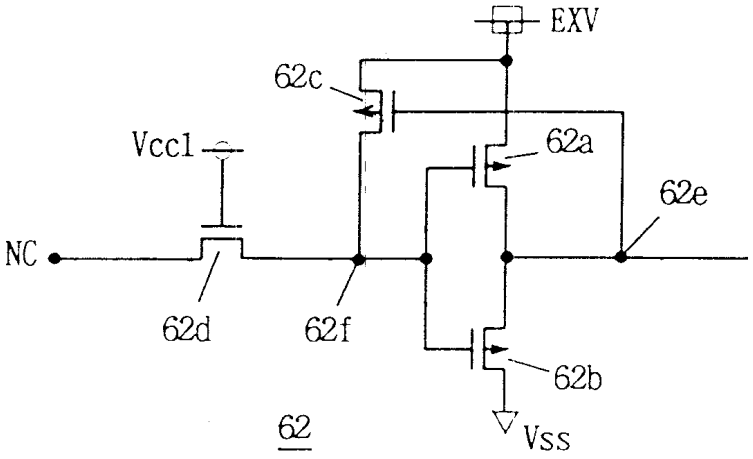
도면2



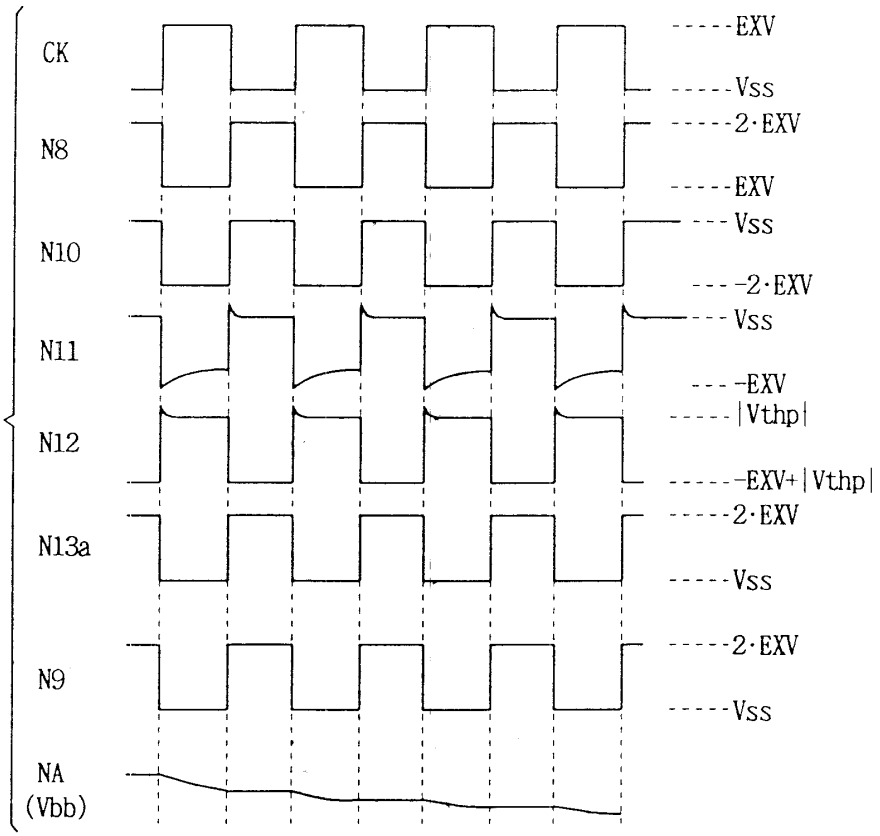
도면3


44
EXV
43
N13a
45
225
N13b
56
57
223
224
EXV
68
74
Vcc1
N8
CK
46
75
N10
42
N9
NC
Vss
54
62
72
63
64
65
66
67
58
47
Vss
NB
76
N11
NA
55
Vbb
69
70
N12
50
48
77
49

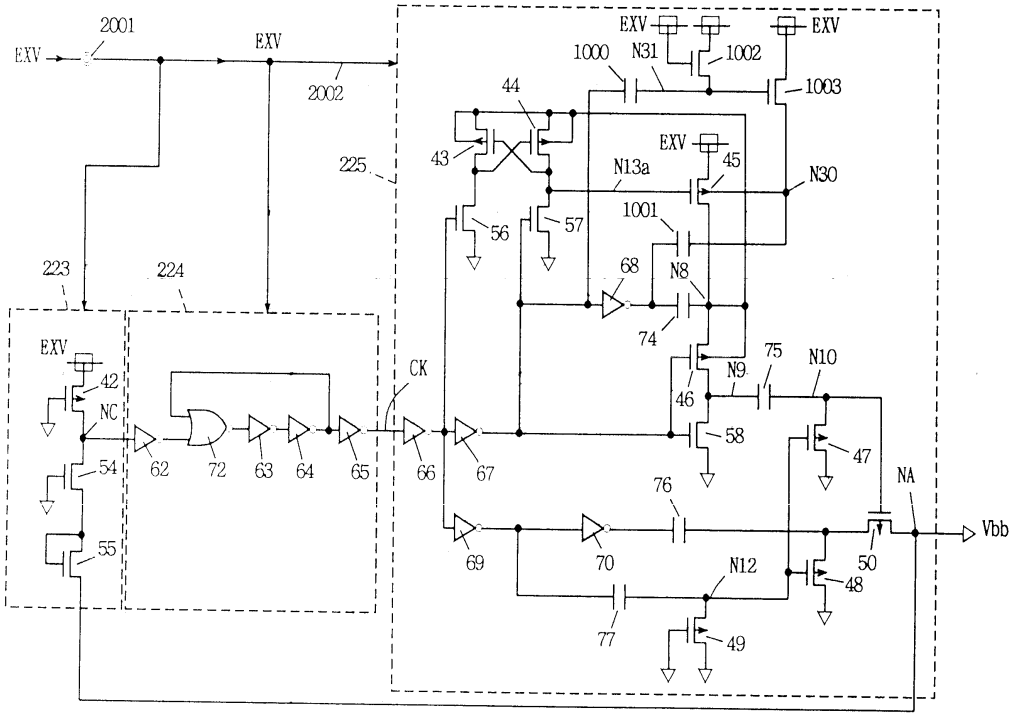
도면4


EXV
62c
Vcc1
62a
62e
NC
62d
62f
62b
62
Vss

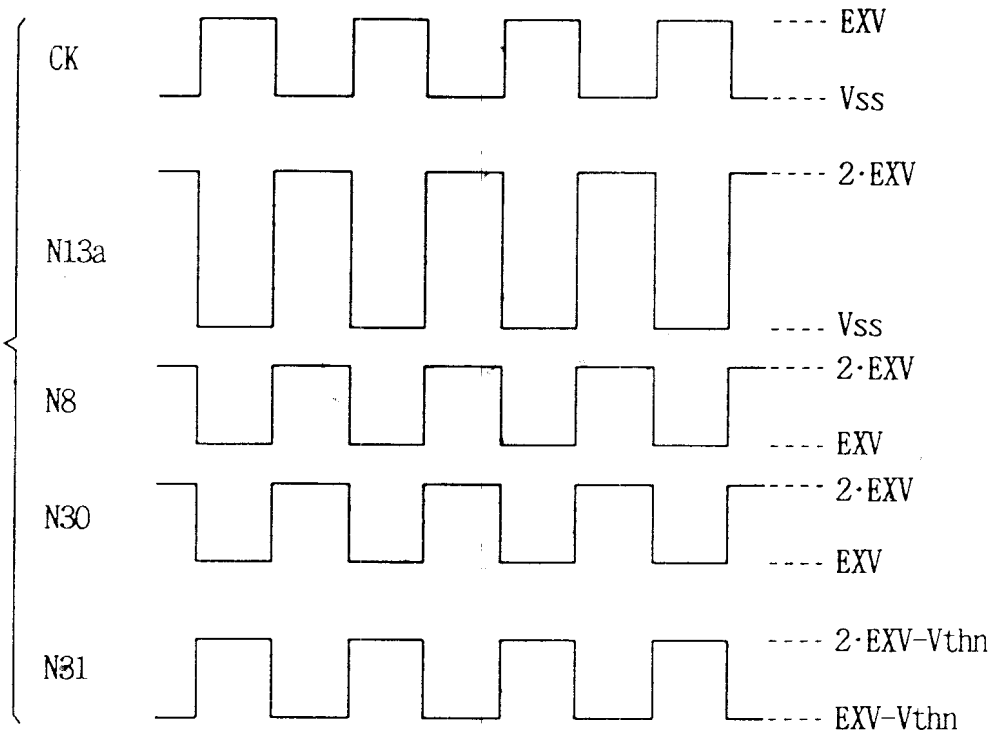
도면5


CK
N8
N10
N11
N12
N13a
N9
NA
(Vbb)
-----EXV
-----Vss
-----2·EXV
-----EXV
---Vss
----2·EXV
---Vss
----EXV
-----|Vthp|
-----EXV+|Vthp|
-----2·EXV
-----Vss
-----2·EXV
-----Vss

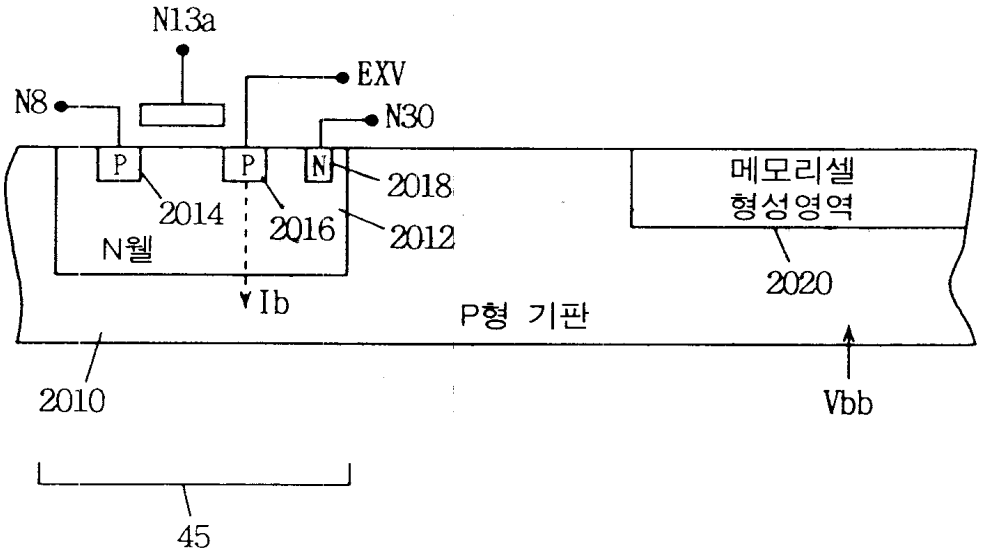
도면6


EXV
2001
EXV
2002
225
223
224
EXV
42
NC
54
55
62
72
63
64
65
CK
66
67
44
43
56
57
EXV
1000
N31
1002
EXV
1003
EXV
45
N13a
N30
1001
68
N8
74
75
N10
N9
46
58
47
76
69
70
N12
77
49
48
50
NA
Vbb

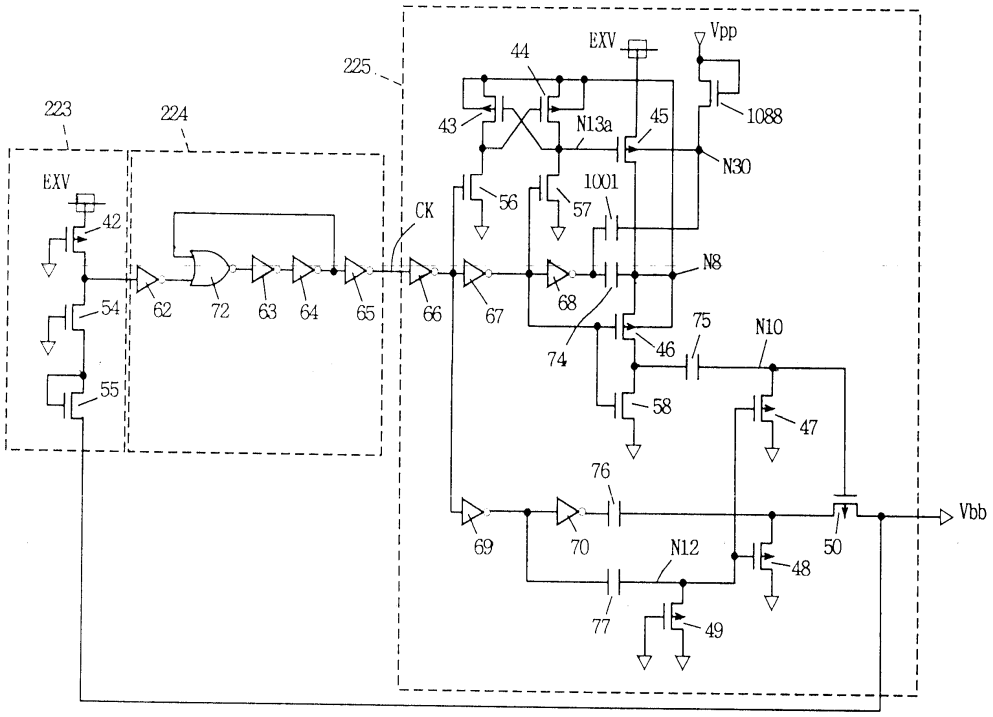
도면7


CK
EXV
Vss
N13a
2·EXV
Vss
N8
2·EXV
EXV
N30
2·EXV
EXV
N31
2·EXV-Vthn
EXV-Vthn

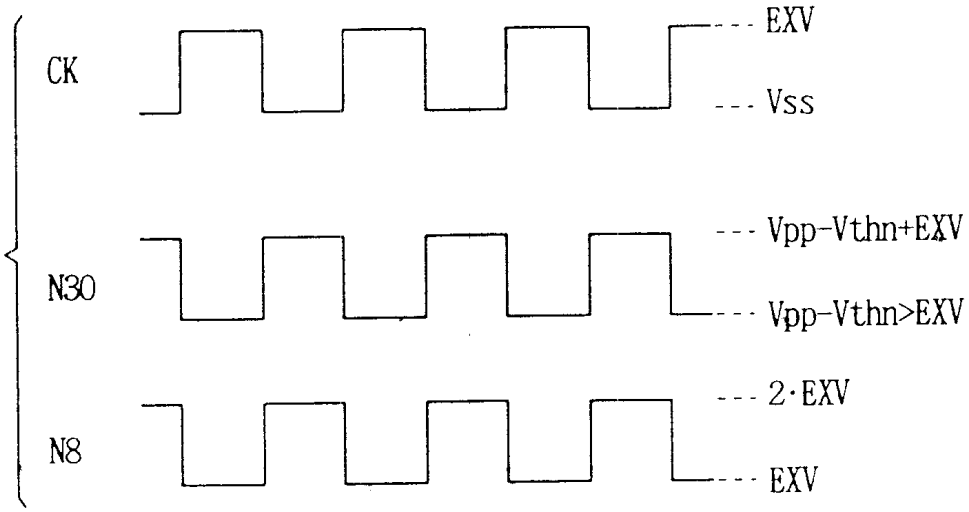
도면8


N13a
EXV
N8
N30
P
P
N
2018
2014
2016
2012
N웰
Ib
메모리셀
형성영역
2020
P형 기판
2010
Vbb
45

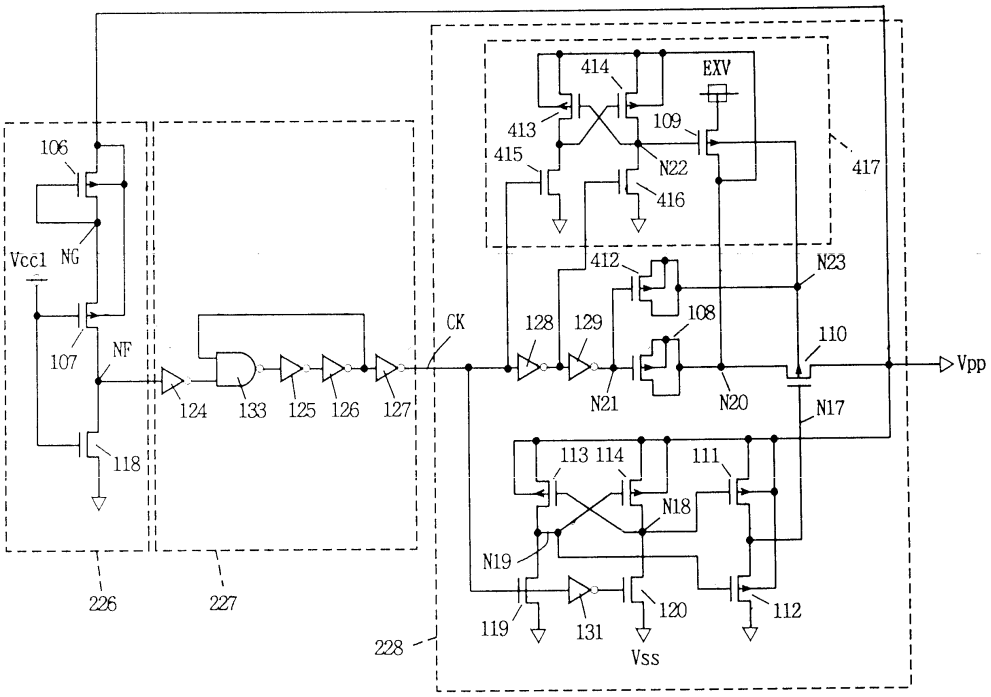
도면9


225
223
224
EXV
42
54
55
62
72
63
64
65
CK
66
67
44
EXV
Vpp
43
N13a
45
1088
N30
56
57
1001
N8
68
74
75
N10
46
58
47
76
69
70
N12
48
50
Vbb
77
49

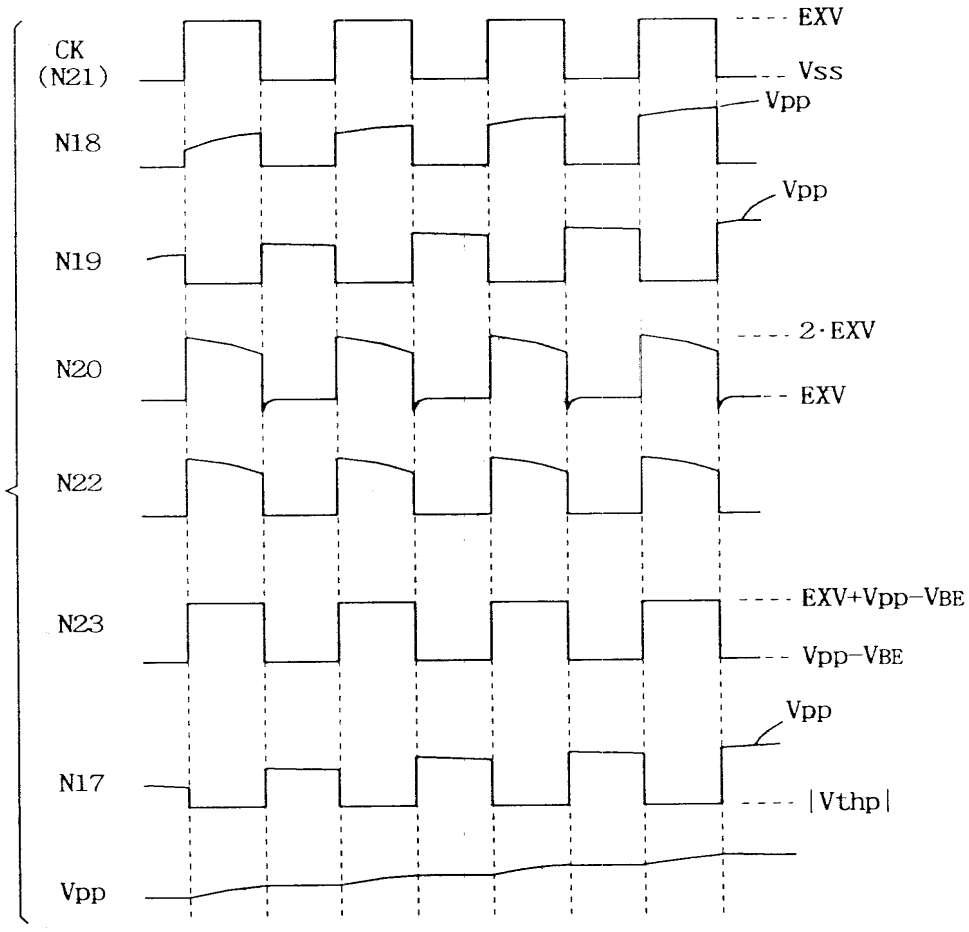
도면10


CK
EXV
Vss
N30
Vpp-Vthn+EXV
Vpp-Vthn>EXV
N8
2·EXV
EXV

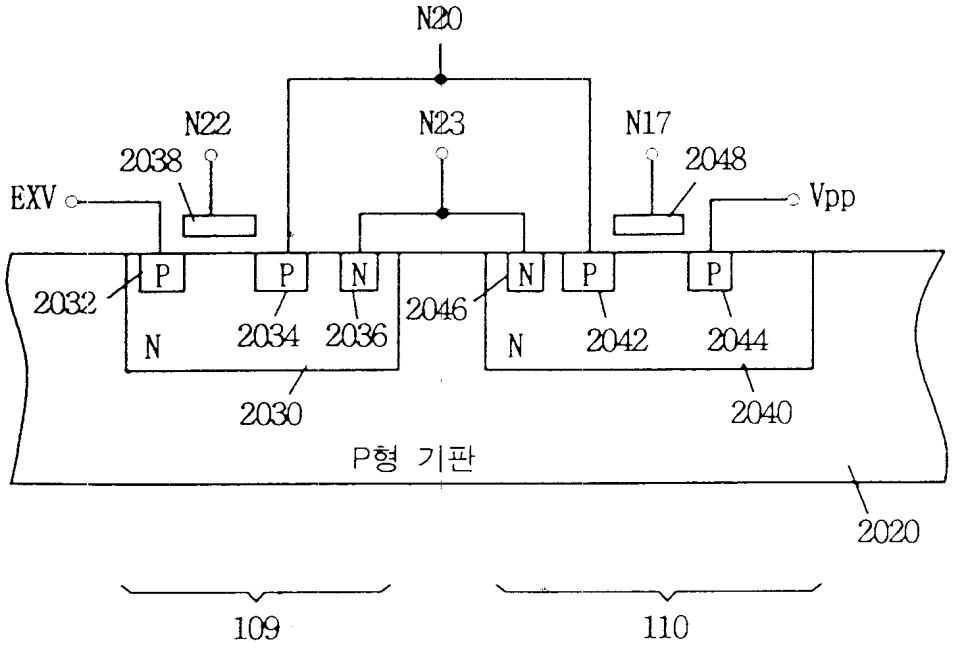
도면11


106
Vcc1
NG
107
NF
118
124
133
125
126
127
CK
128
129
414
EXV
413
109
415
N22
416
417
412
N23
108
110
Vpp
N21
N20
N17
113 114
111
N18
N19
119
131
120
112
Vss
226
227
228

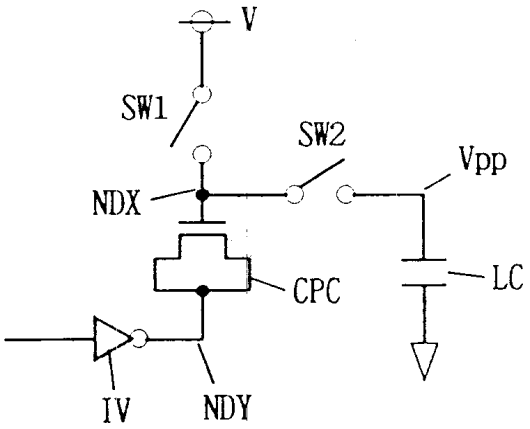
도면12


CK
(N21)
N18
N19
N20
N22
N23
N17
Vpp
EXV
Vss
Vpp
Vpp
2·EXV
EXV
EXV+Vpp−VBE
Vpp−VBE
Vpp
|Vthp|
Vpp

도면13

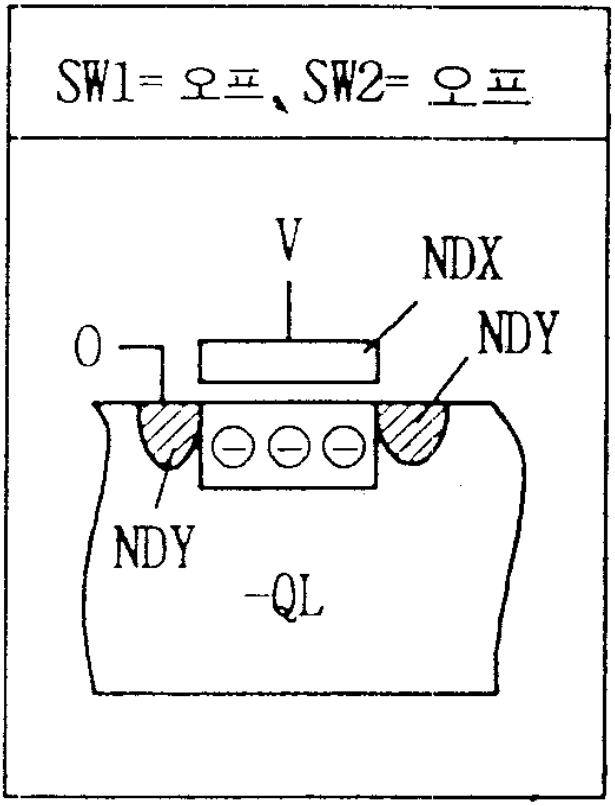

N20
N22
N23
N17
2038
2048
EXV
Vpp
P
P
N
N
P
P
2032
2034
2036
2046
2042
2044
N
N
2030
2040
P형 기판
2020
109
110

도면14


V
SW1
SW2
Vpp
NDX
CPC
LC
IV
NDY

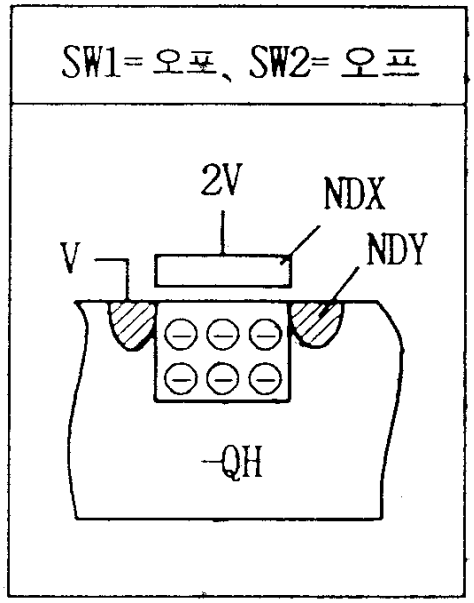
도면15a

: 초기



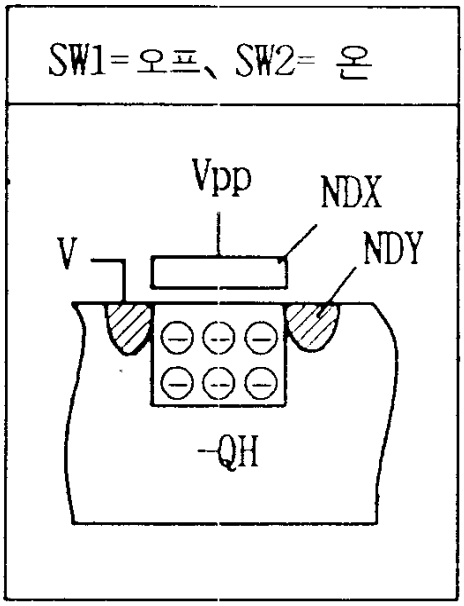
도면15b

: 부스트

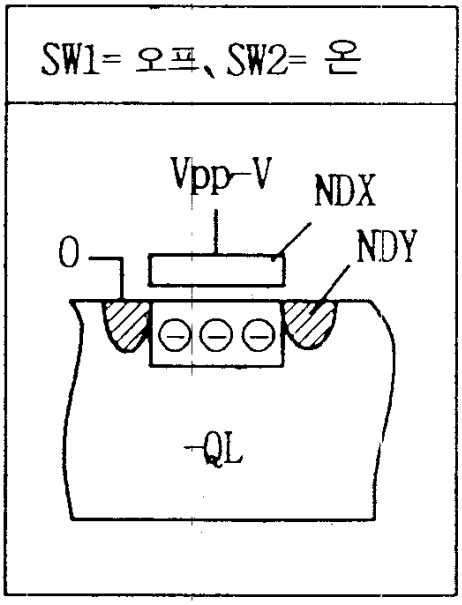


도면15c

: 방전

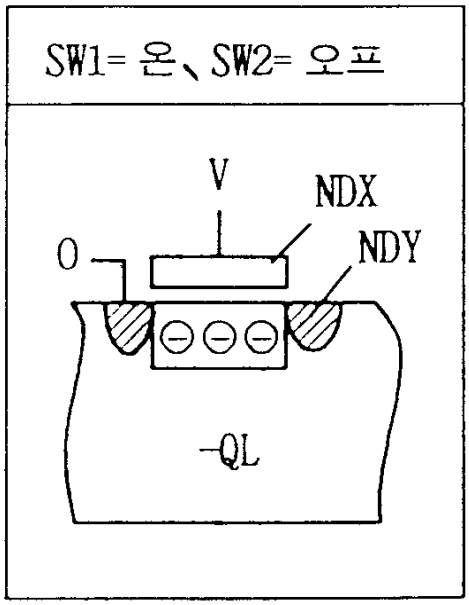


도면15d

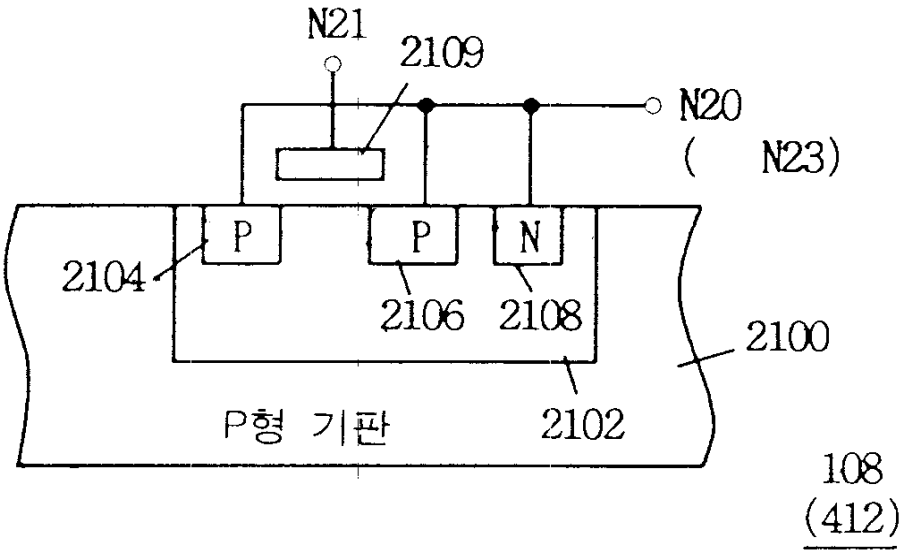


도면15e

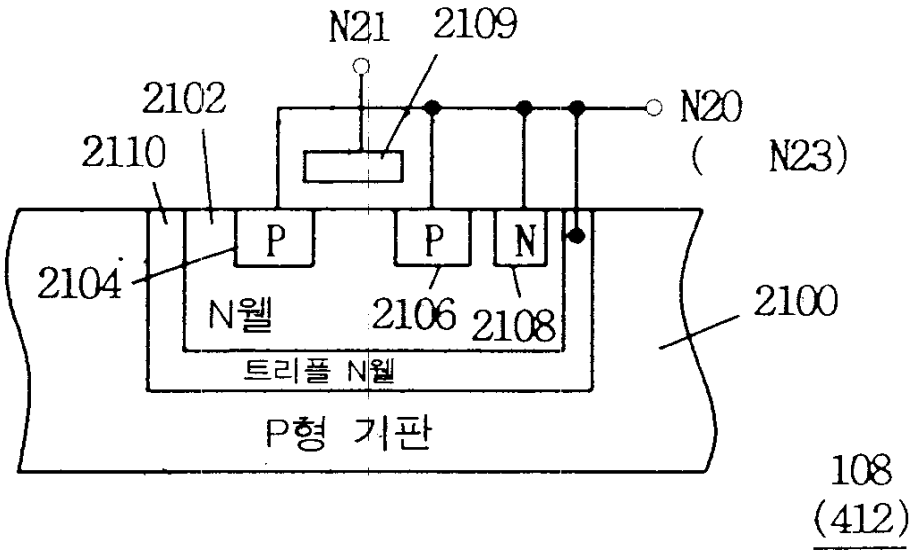
: 프리차아지



도면16

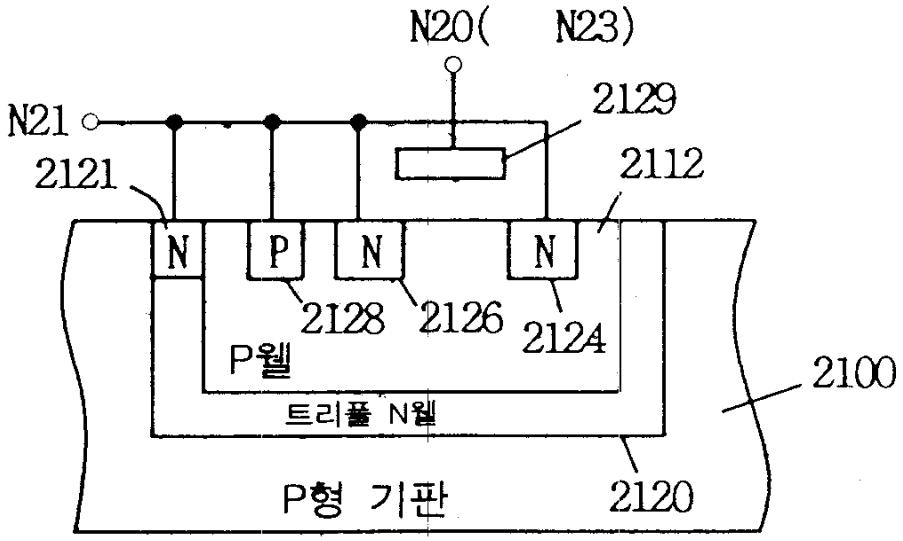


도면17

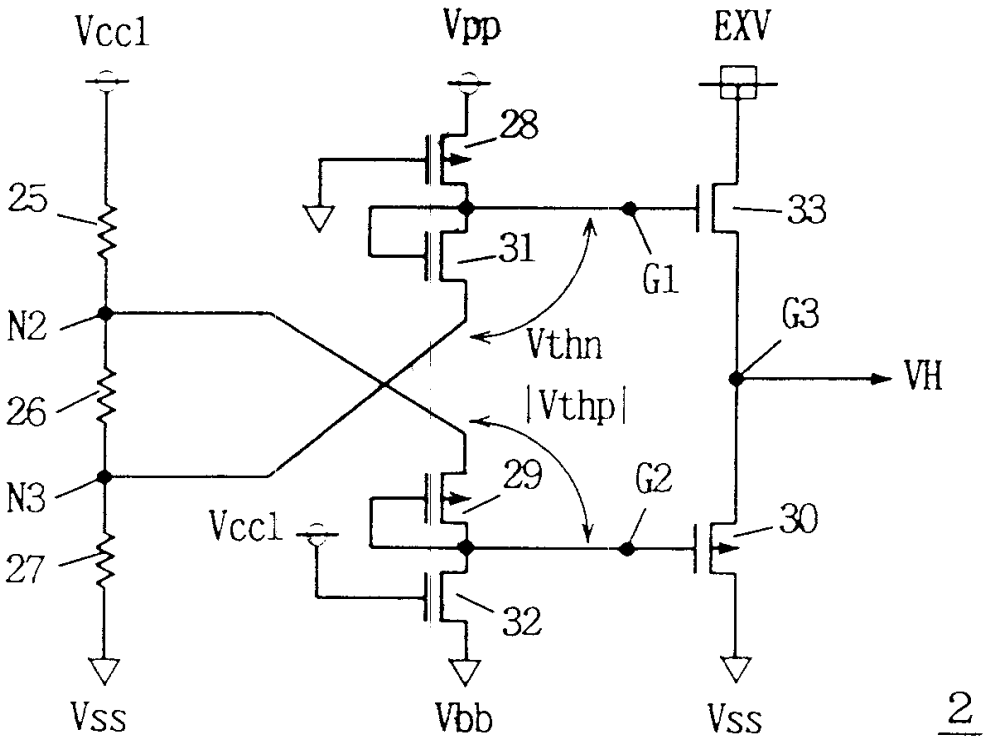


108
(412)

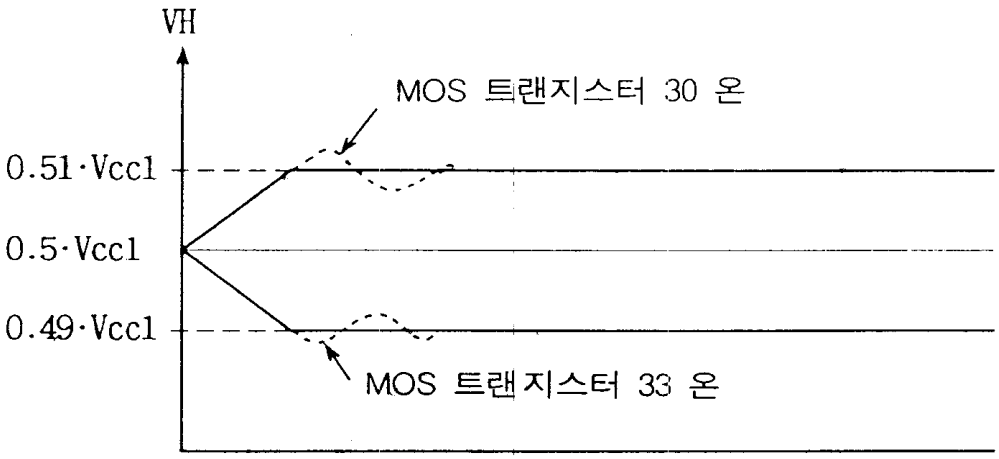
도면18



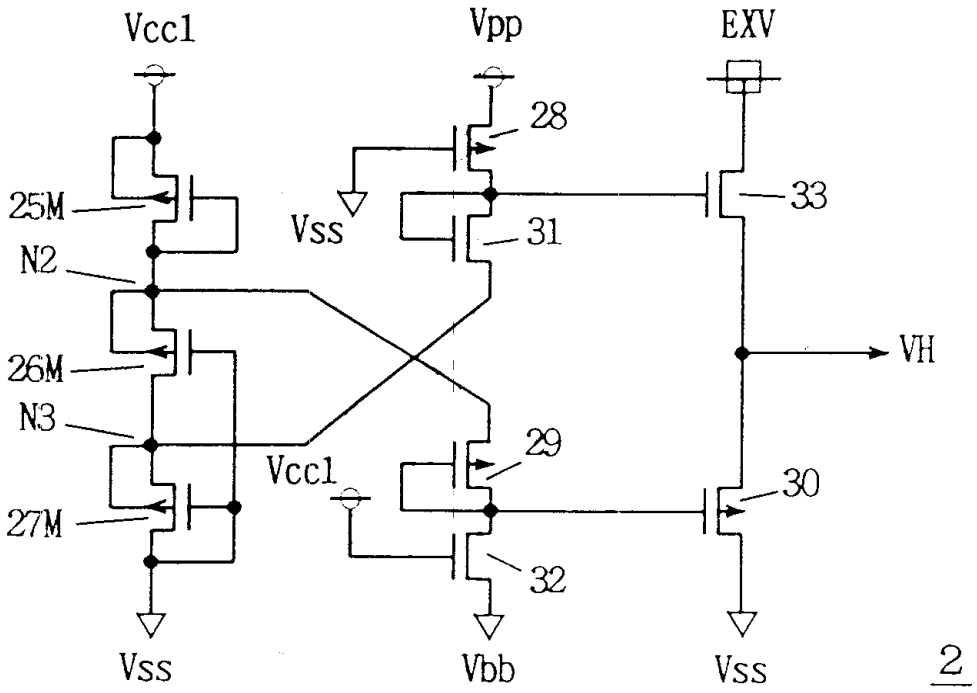
도면19


Vcc1
Vpp
EXV
28
25
33
31
G1
N2
Vthn
G3
VH
26
|Vthp|
29
G2
N3
Vcc1
30
27
32
Vss
Vbb
Vss
2

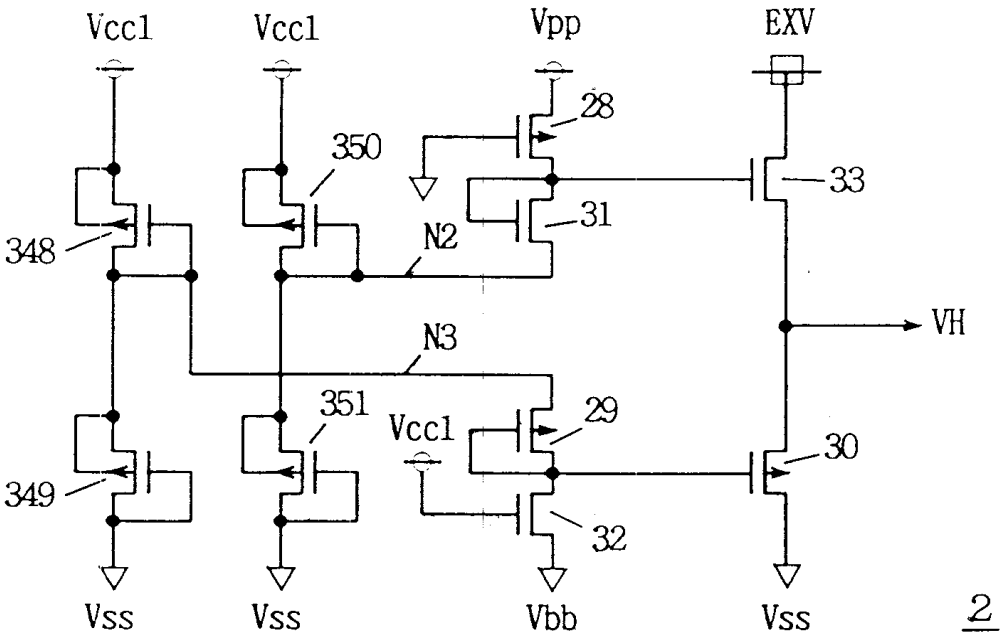
도면20


VH
MOS 트랜지스터 30 온
0.51·Vcc1
0.5·Vcc1
0.49·Vcc1
MOS 트랜지스터 33 온

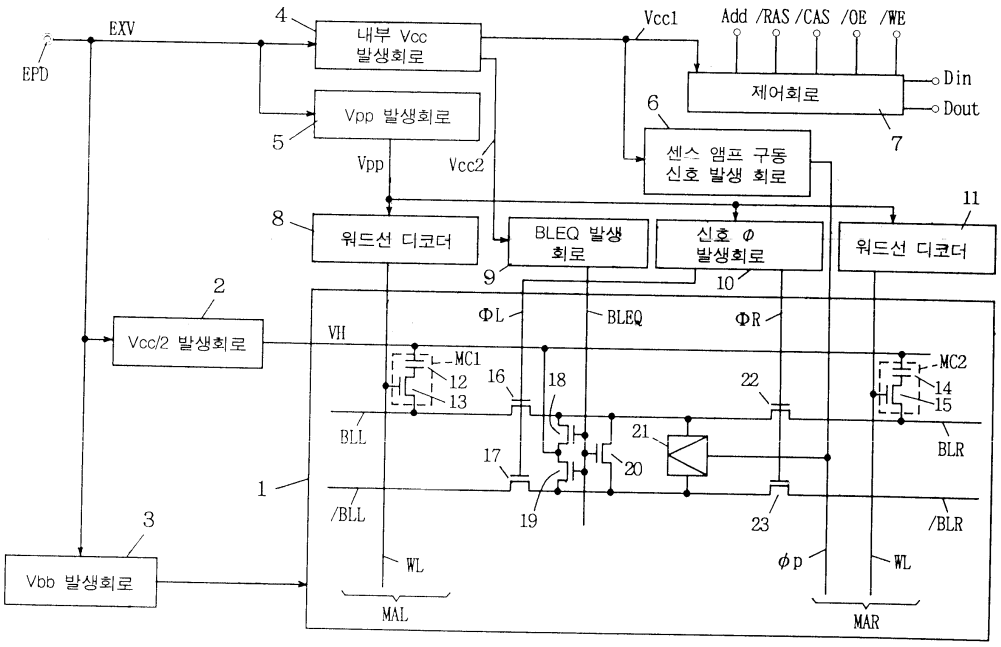
도면21


Vcc1
Vpp
EXV
28
25M
Vss
31
33
N2
VH
26M
N3
29
Vcc1
30
27M
32
Vss
Vbb
Vss
2

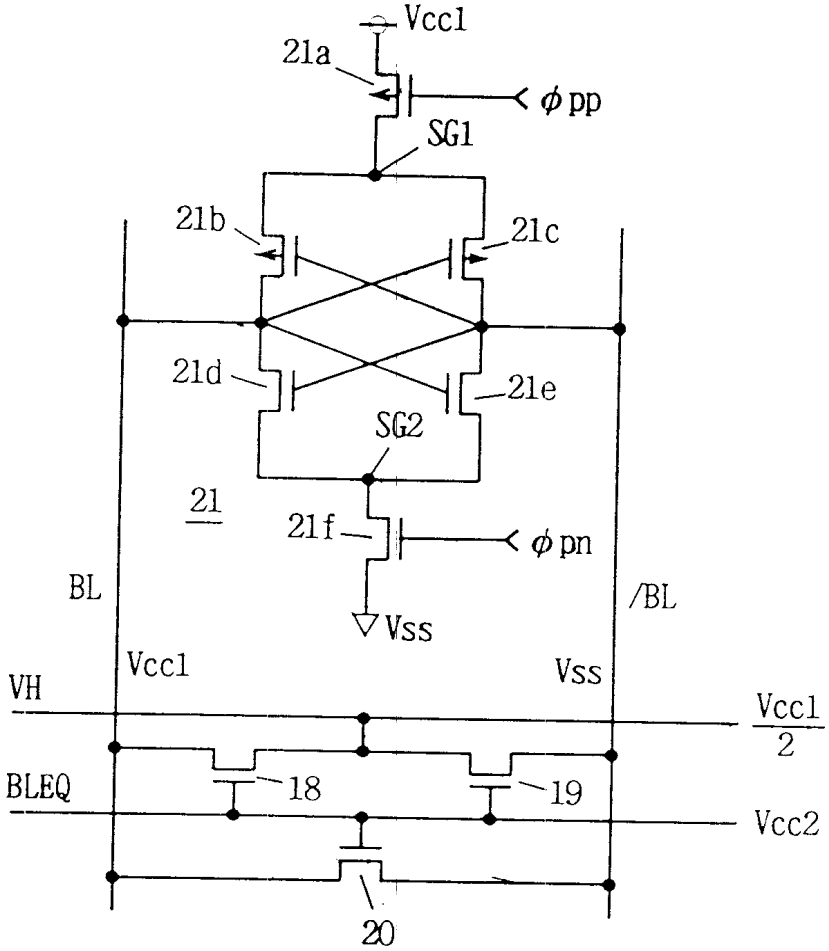
도면22


Vcc1
Vcc1
Vpp
EXV
28
350
33
348
31
N2
VH
N3
351
29
Vcc1
30
349
32
Vss
Vss
Vbb
Vss
2

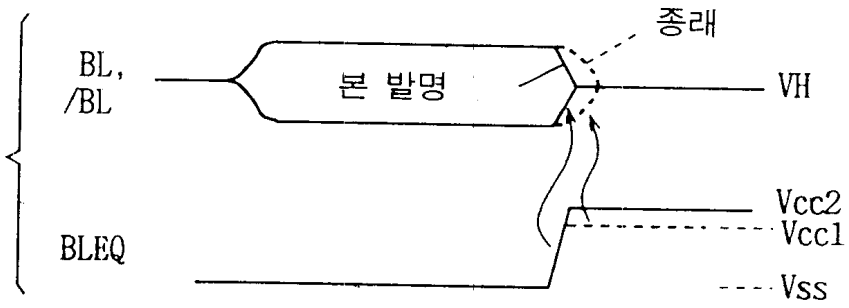
도면23


EXV
EPD
4
내부 Vcc 발생회로
Vcc1
Add /RAS /CAS /OE /WE
제어회로
Din
Dout
6
7
5
Vpp 발생회로
Vpp
Vcc2
센스 앰프 구동 신호 발생 회로
11
8
워드선 디코더
BLEQ 발생 회로
9
신호 φ 발생회로
10
워드선 디코더
2
Vcc/2 발생회로
VH
ΦL
BLEQ
ΦR
MC1
12
13
16
18
22
MC2
14
15
BLL
21
17
20
BLR
1
/BLL
19
23
/BLR
3
Vbb 발생회로
WL
φp
WL
MAL
MAR

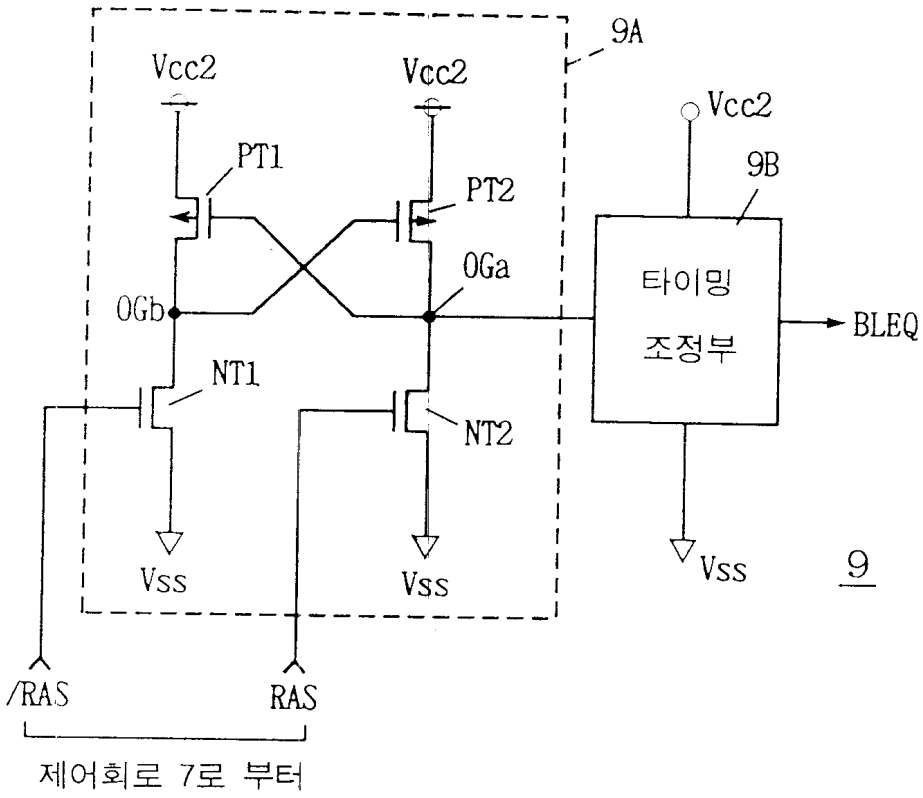
도면24


Vcc1
21a
φpp
SG1
21b
21c
21d
21e
SG2
21
21f
φpn
BL
/BL
Vss
VH
Vcc1
Vss
Vcc1
2
BLEQ
18
19
Vcc2
20

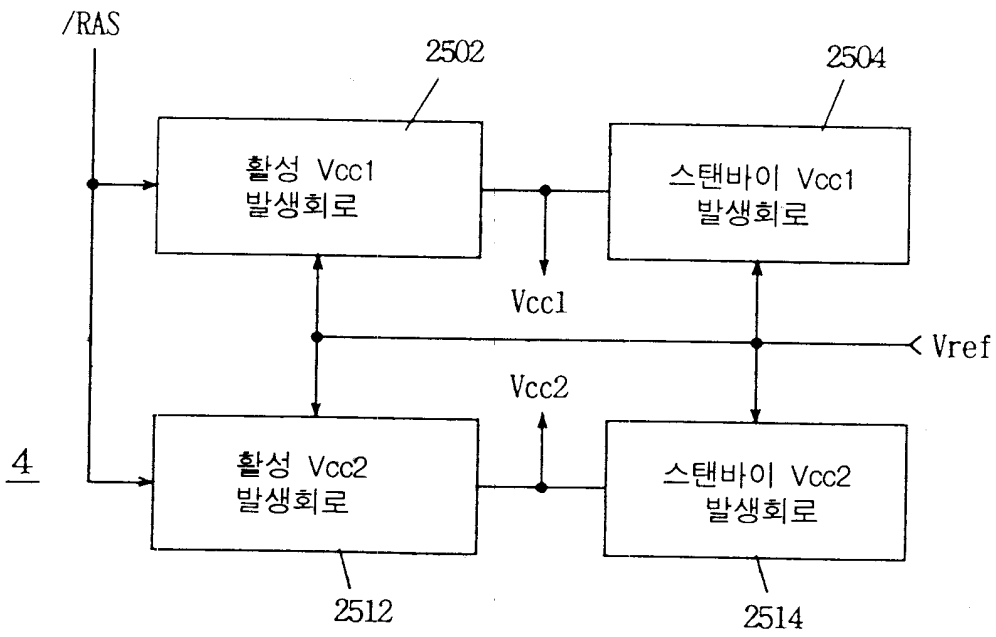
도면25


종래
BL,
/BL
본 발명
VH
Vcc2
Vcc1
BLEQ
Vss

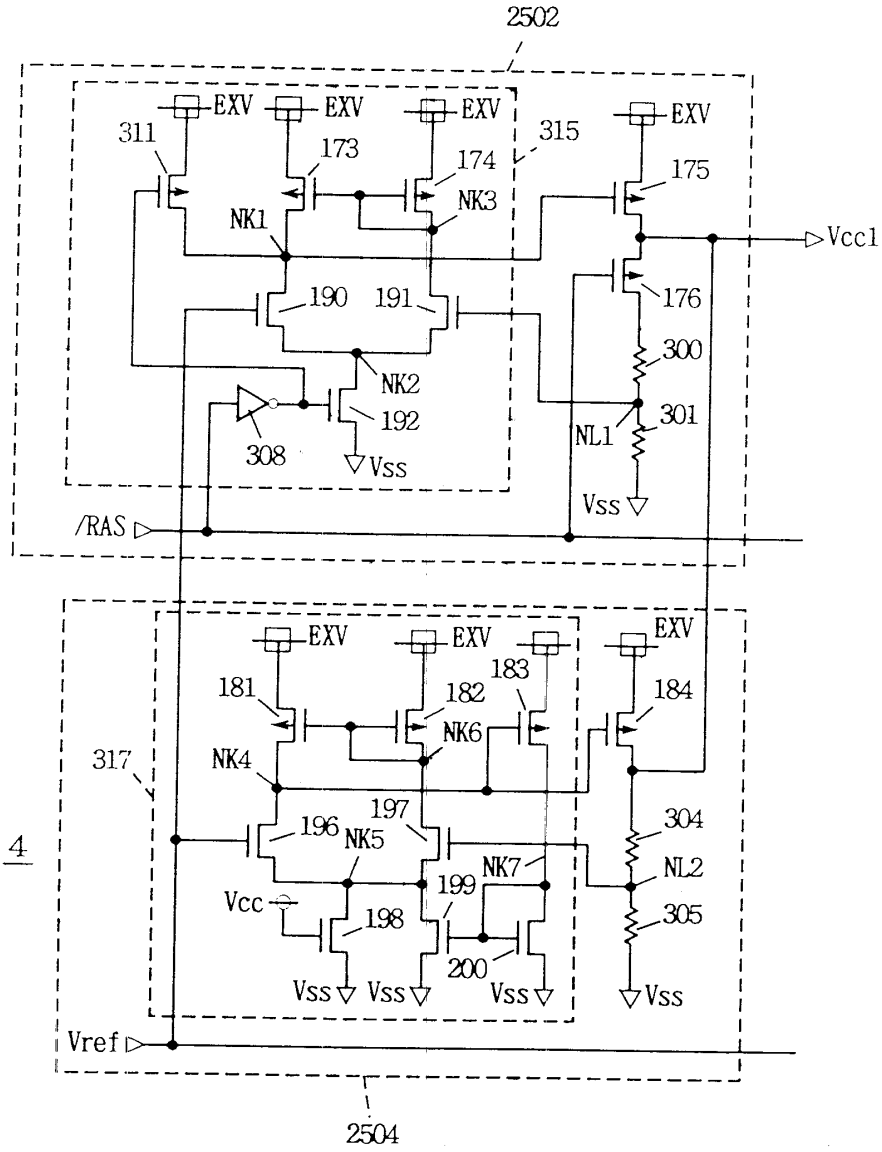
도면26


9A
Vcc2
Vcc2
Vcc2
9B
PT1
PT2
0Ga
0Gb
타이밍
조정부
BLEQ
NT1
NT2
Vss
Vss
Vss
9
/RAS
RAS
제어회로 7로 부터

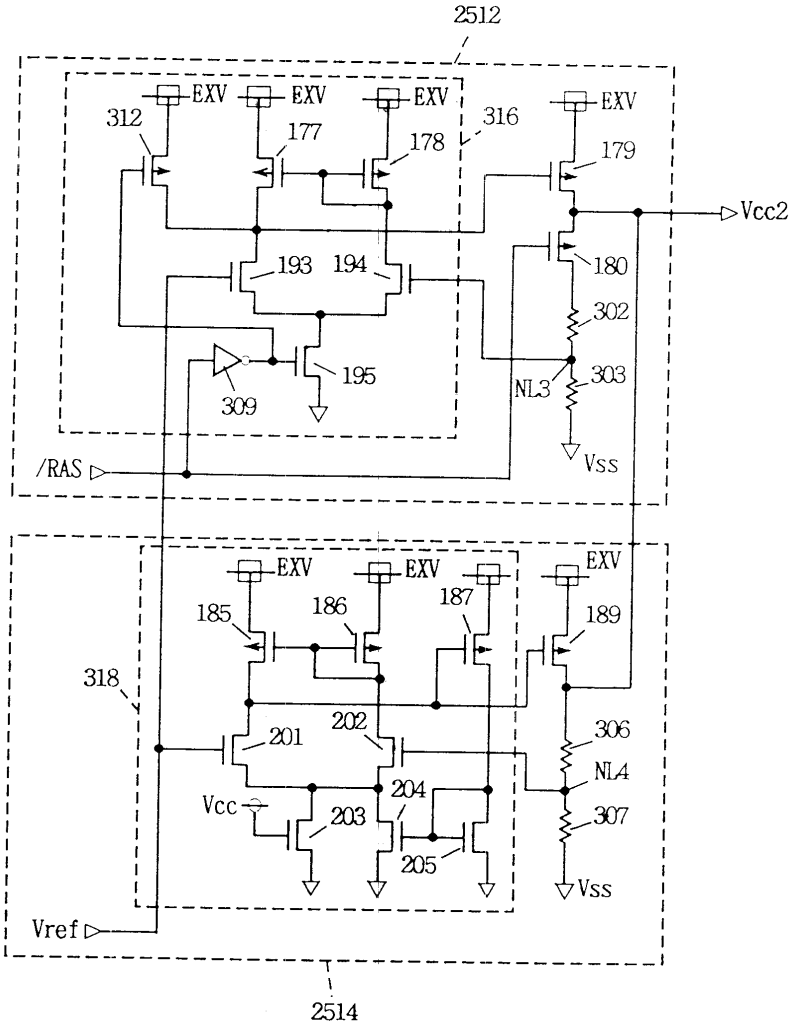
도면27


/RAS
2502
2504
활성 Vcc1
발생회로
스탠바이 Vcc1
발생회로
Vcc1
Vref
Vcc2
4
활성 Vcc2
발생회로
스탠바이 Vcc2
발생회로
2512
2514

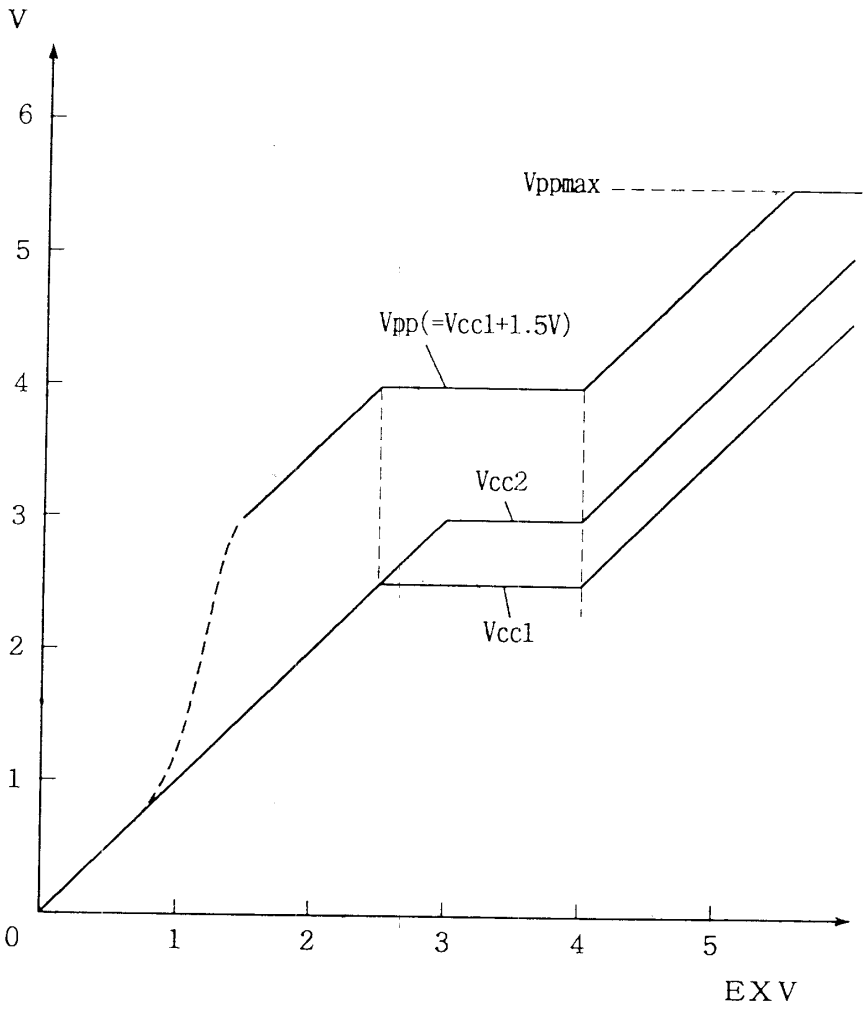
도면28


2502
EXV
311
173
174
315
175
NK1
NK3
Vcc1
190
191
176
300
NK2
192
301
NL1
308
Vss
/RAS
181
182
183
184
317
NK4
NK6
197
196
NK5
304
NL2
NK7
199
Vcc
198
305
200
Vref
4
2504

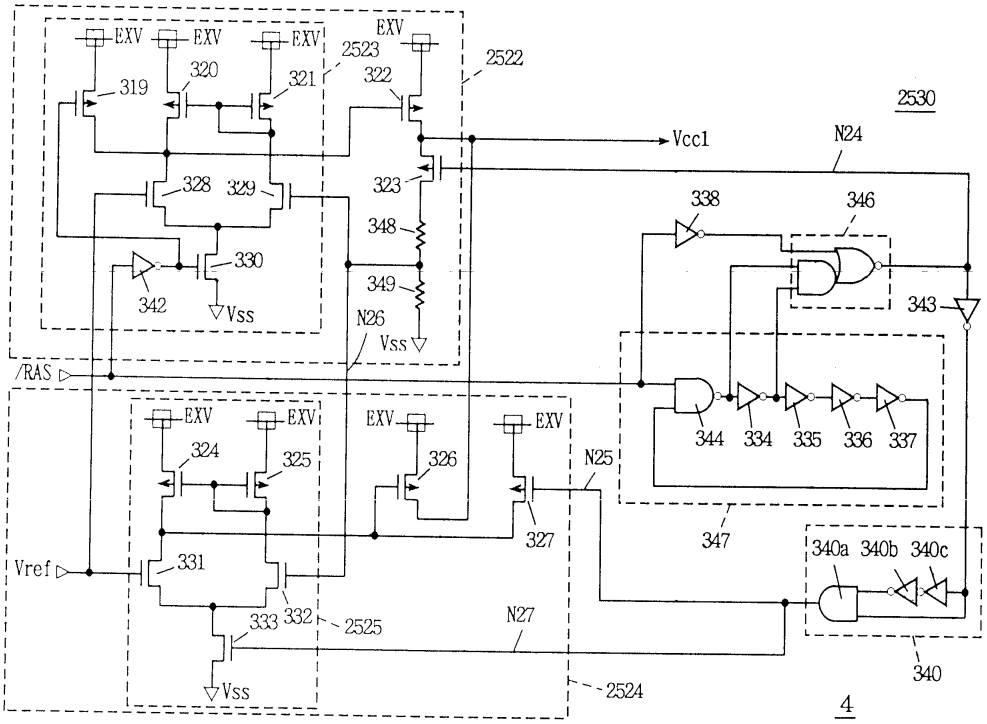
도면29


2512
EXV
312
177
178
316
179
Vcc2
193
194
180
302
195
309
NL3
303
Vss
/RAS
185
186
187
189
318
201
202
306
NL4
Vcc
204
203
307
205
Vref
2514

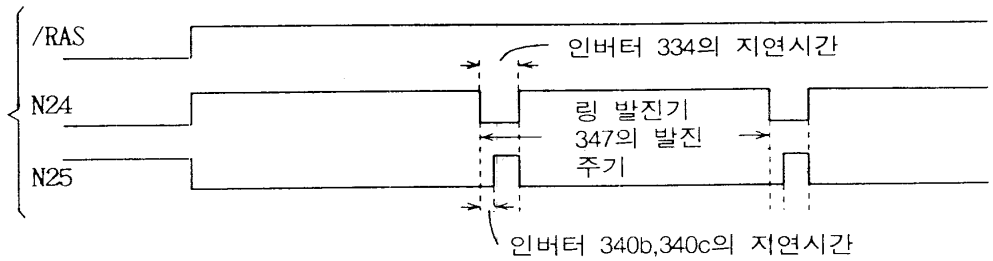
도면30



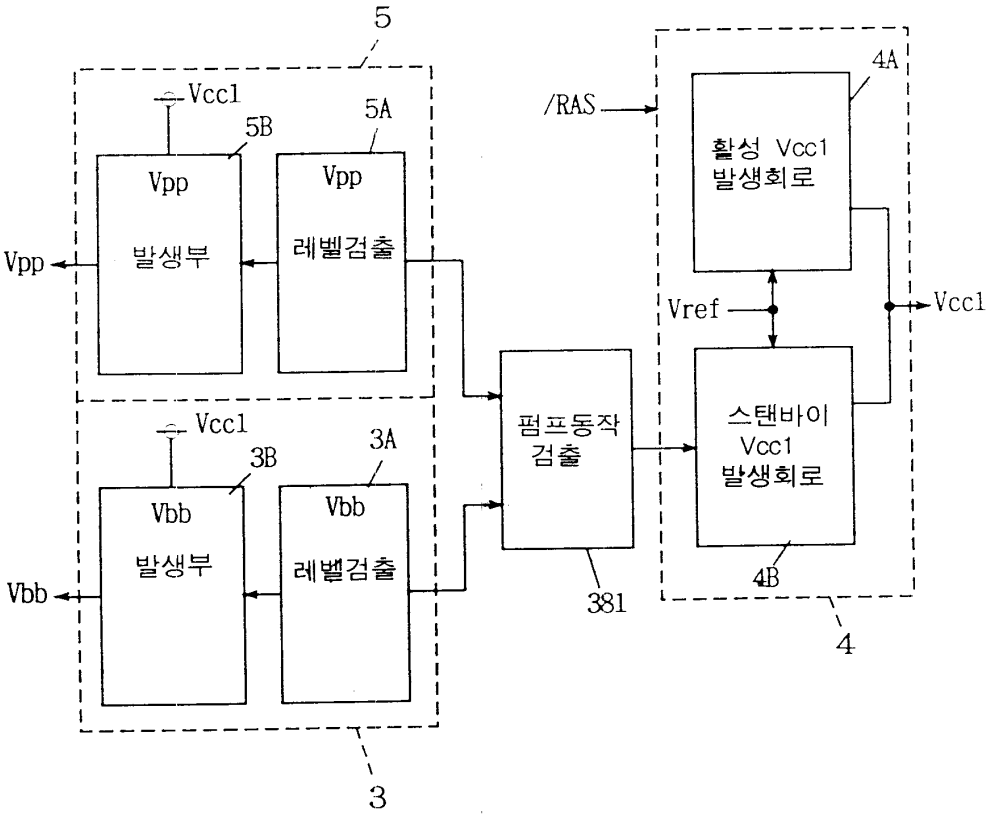
도면31


EXV
319
320
321
2523
322
2522
2530
Vcc1
N24
328
329
323
338
346
348
330
343
342
Vss
349
N26
Vss
/RAS
324
325
326
N25
344
334
335
336
337
327
347
340a 340b 340c
Vref
331
333
332
2525
N27
340
Vss
2524
4

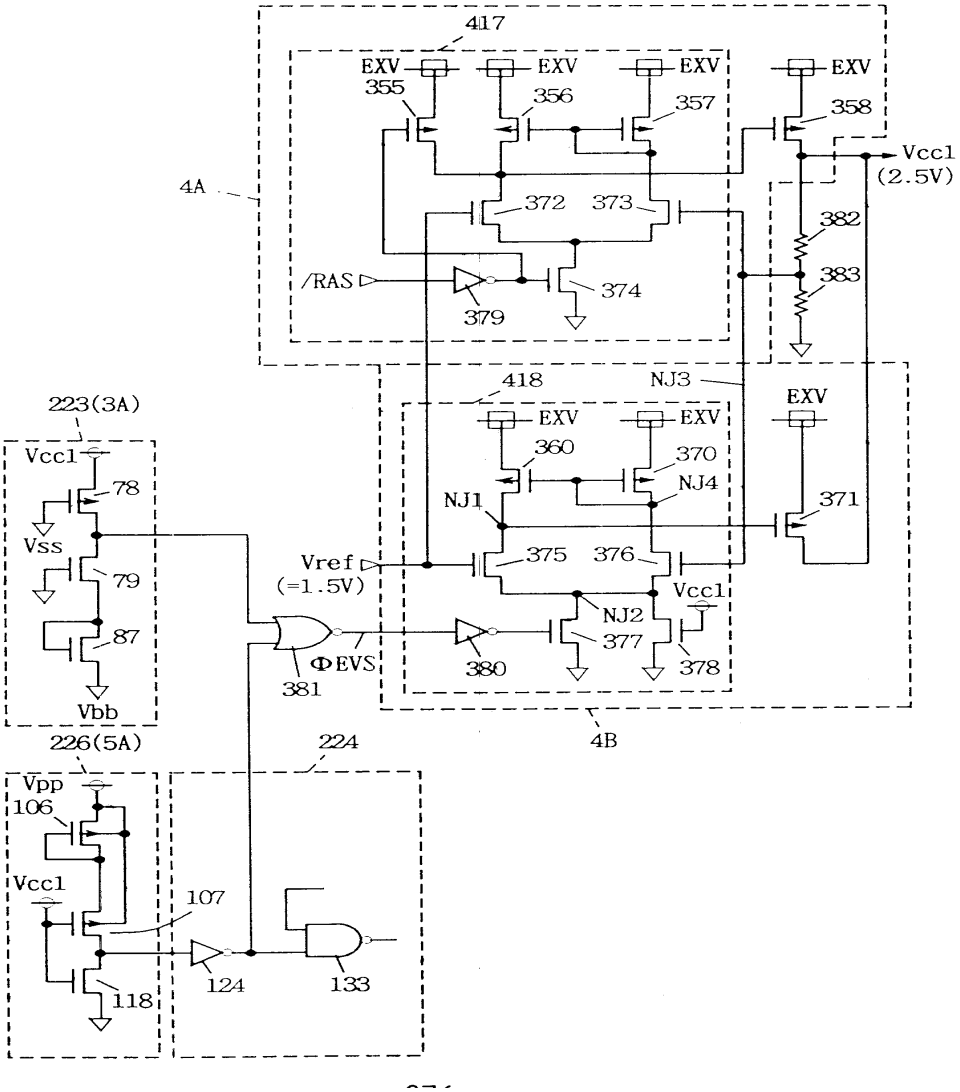
도면32


/RAS
N24
N25
인버터 334의 지연시간
링 발진기
347의 발진
주기
인버터 340b,340c의 지연시간

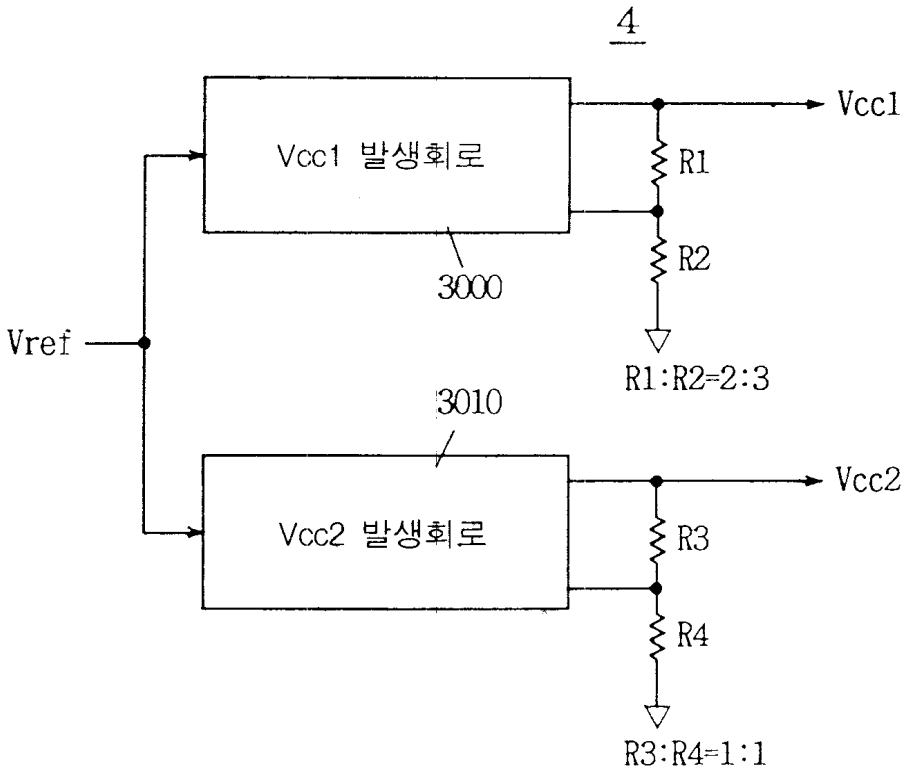
도면33


5
Vcc1
5B
5A
Vpp
Vpp
발생부
Vpp
레벨검출
Vpp
Vcc1
3B
3A
Vbb
Vbb
발생부
Vbb
레벨검출
Vbb
3
펌프동작
검출
381
/RAS
4A
활성 Vcc1
발생회로
Vref
Vcc1
스탠바이
Vcc1
발생회로
4B
4

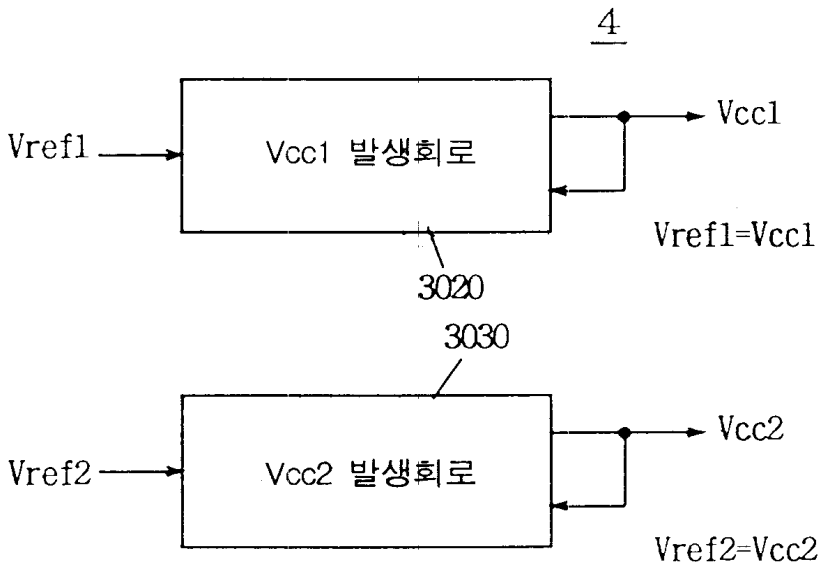
도면34


417
EXV
355
356
357
358
Vcc1
(2.5V)
4A
372
373
382
/RAS
374
379
383
418
NJ3
223(3A)
Vcc1
78
Vss
79
87
Vbb
Vref
(=1.5V)
ΦEVS
381
360
370
NJ1
NJ4
371
375
376
Vcc1
NJ2
377
380
378
4B
226(5A)
224
Vpp
106
Vcc1
107
118
124
133

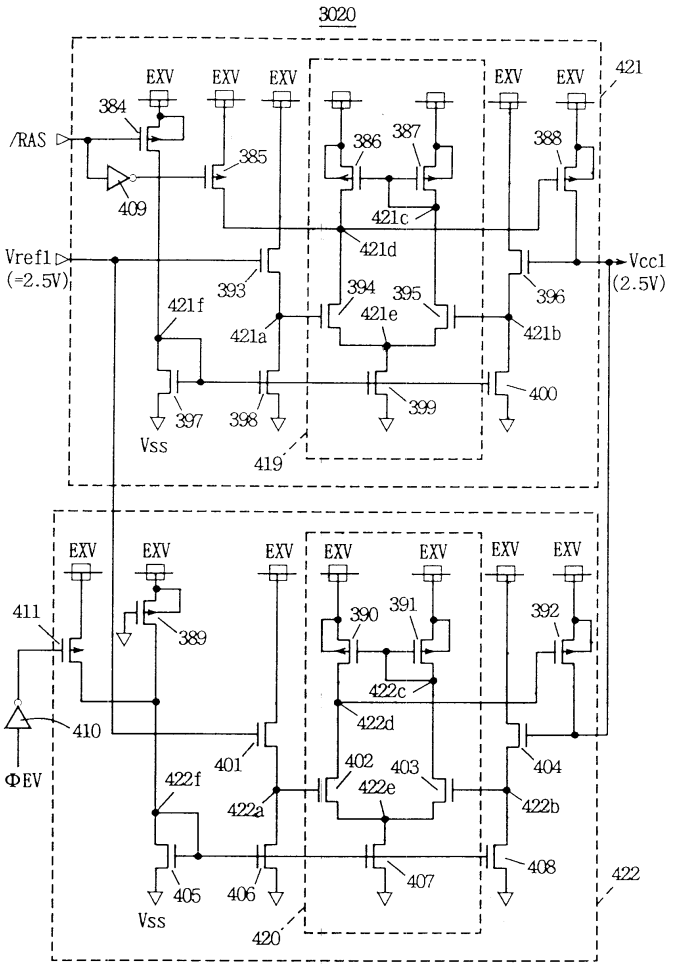
도면35


4
Vcc1 발생회로
Vcc1
R1
R2
3000
Vref
R1:R2=2:3
3010
Vcc2 발생회로
Vcc2
R3
R4
R3:R4=1:1

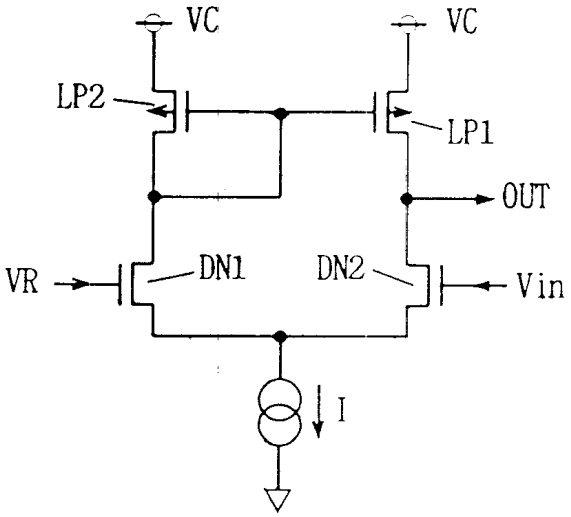
도면36


4
Vref1
Vcc1 발생회로
Vcc1
Vref1=Vcc1
3020
3030
Vref2
Vcc2 발생회로
Vcc2
Vref2=Vcc2

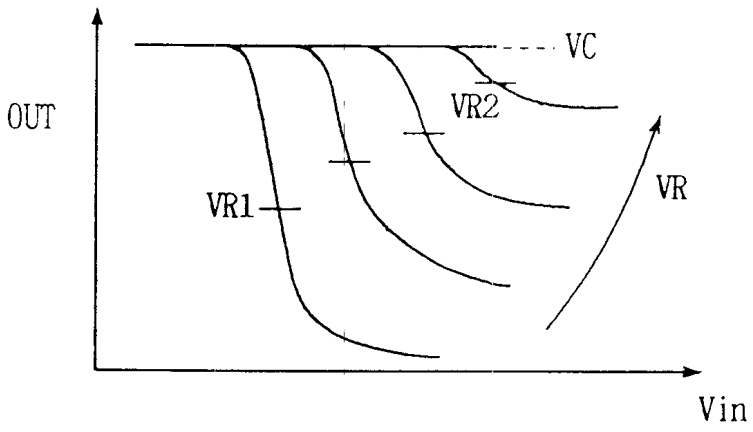
도면37


3020
EXV
384
/RAS
385
409
386
387
388
421c
421d
421
Vref1
(=2.5V)
393
394
395
396
Vcc1
(2.5V)
421f
421a
421e
421b
397
398
399
400
Vss
419
411
389
390
391
392
422c
422d
410
ΦEV
401
402
403
404
422f
422a
422e
422b
405
406
407
408
422
Vss
420

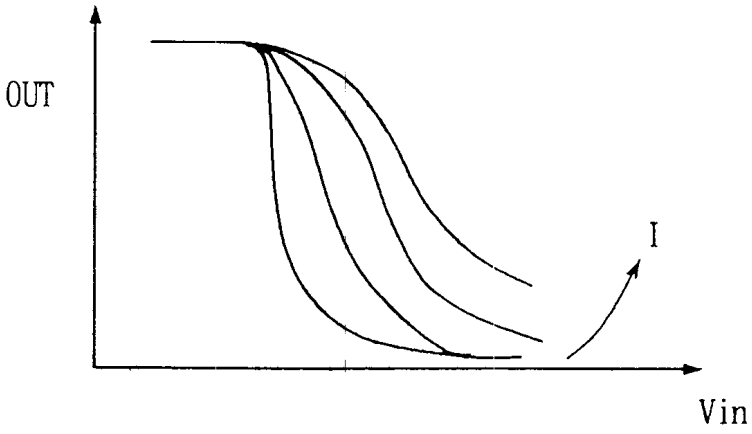
도면38a


VC
VC
LP2
LP1
OUT
VR
DN1
DN2
Vin
I

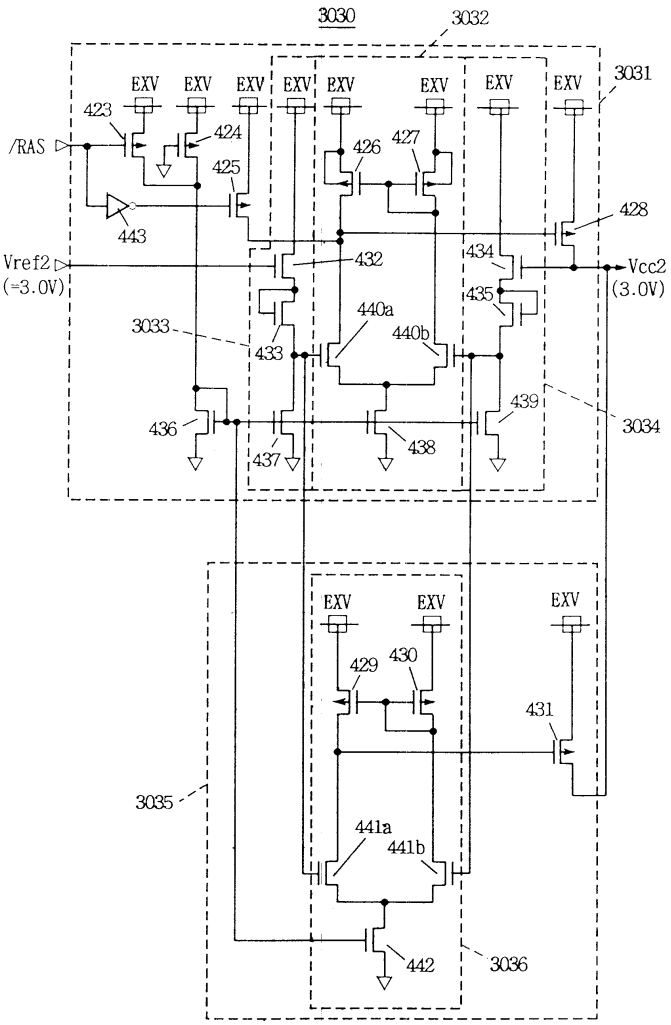
도면38b



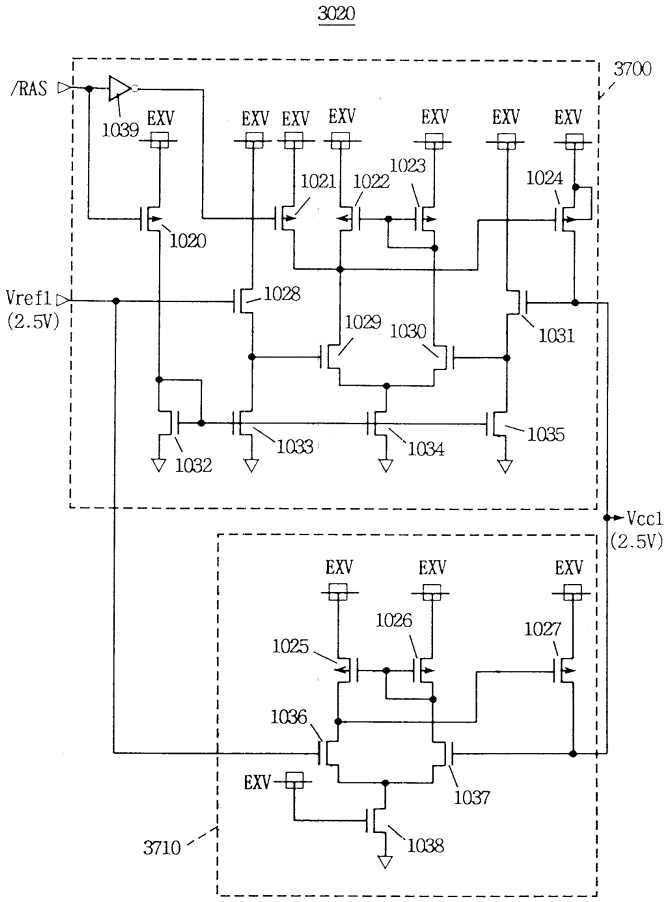
도면38c



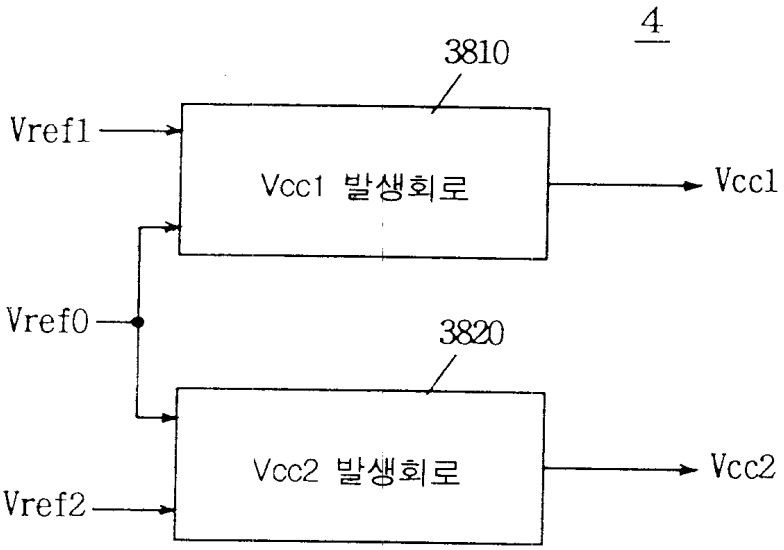
도면39


3030
3032
3031
EXV
423
424
425
/RAS
443
426
427
428
Vref2
(=3.0V)
432
434
435
Vcc2
(3.0V)
3033
433
440a
440b
436
437
438
439
3034
429
430
431
3035
441a
441b
442
3036

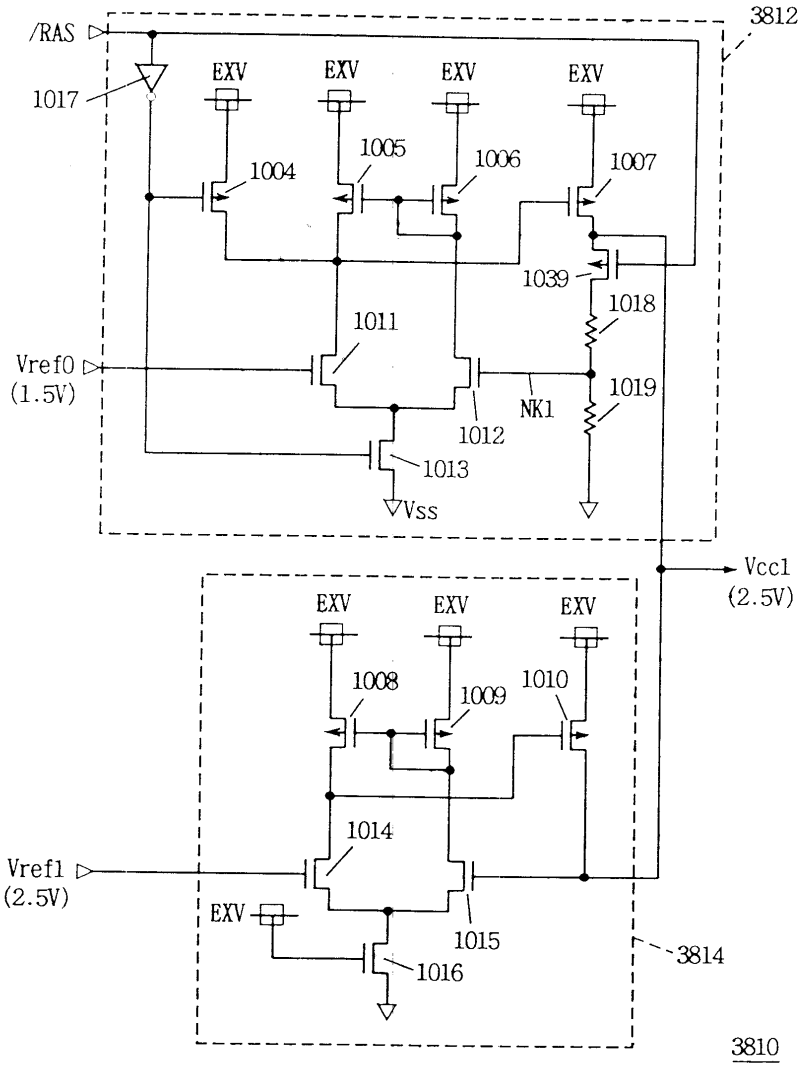
도면40


3020
3700
/RAS
1039
EXV
1020
1021
1022
1023
1024
Vref1
(2.5V)
1028
1029
1030
1031
1032
1033
1034
1035
Vcc1
(2.5V)
1025
1026
1027
1036
1037
1038
3710

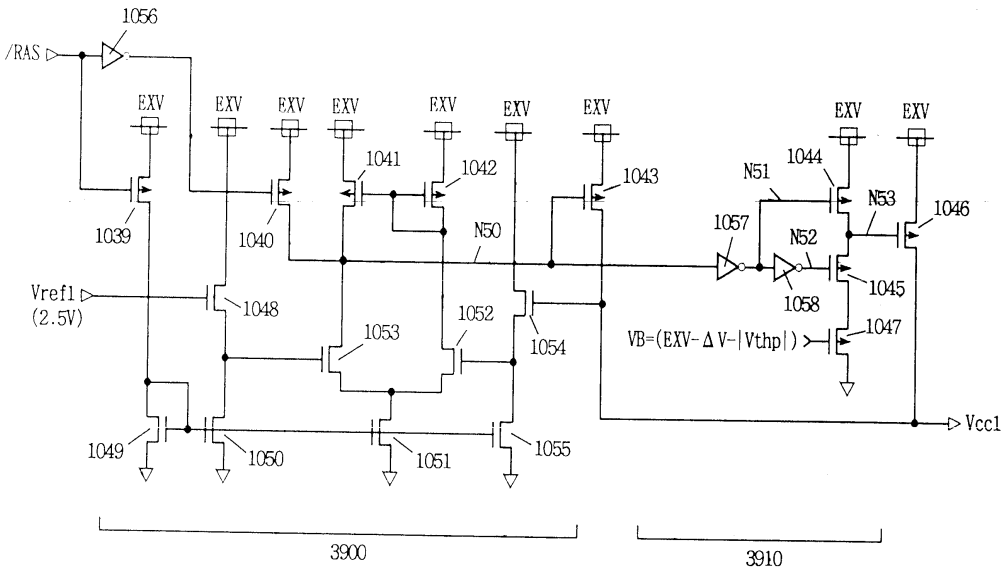
도면41


4
3810
Vref1
Vcc1 발생회로
Vcc1
Vref0
3820
Vcc2 발생회로
Vcc2
Vref2

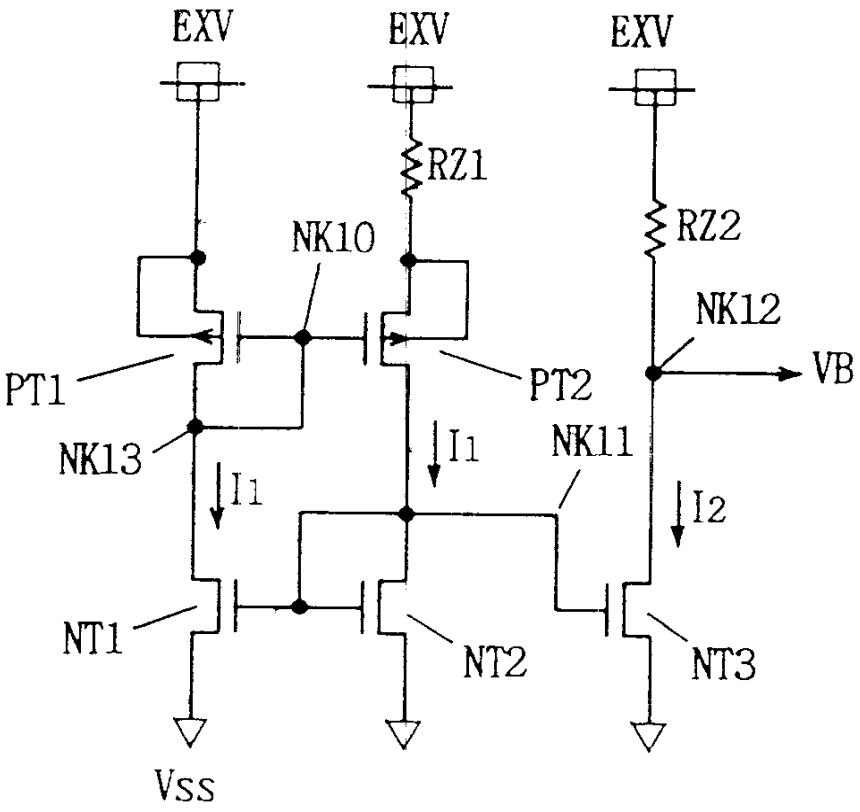
도면42


/RAS
1017
EXV
1004
1005
1006
1007
3812
1039
1018
1011
Vref0
(1.5V)
1019
NK1
1012
1013
Vss
Vcc1
(2.5V)
1008
1009
1010
1014
Vref1
(2.5V)
1015
1016
3814
3810

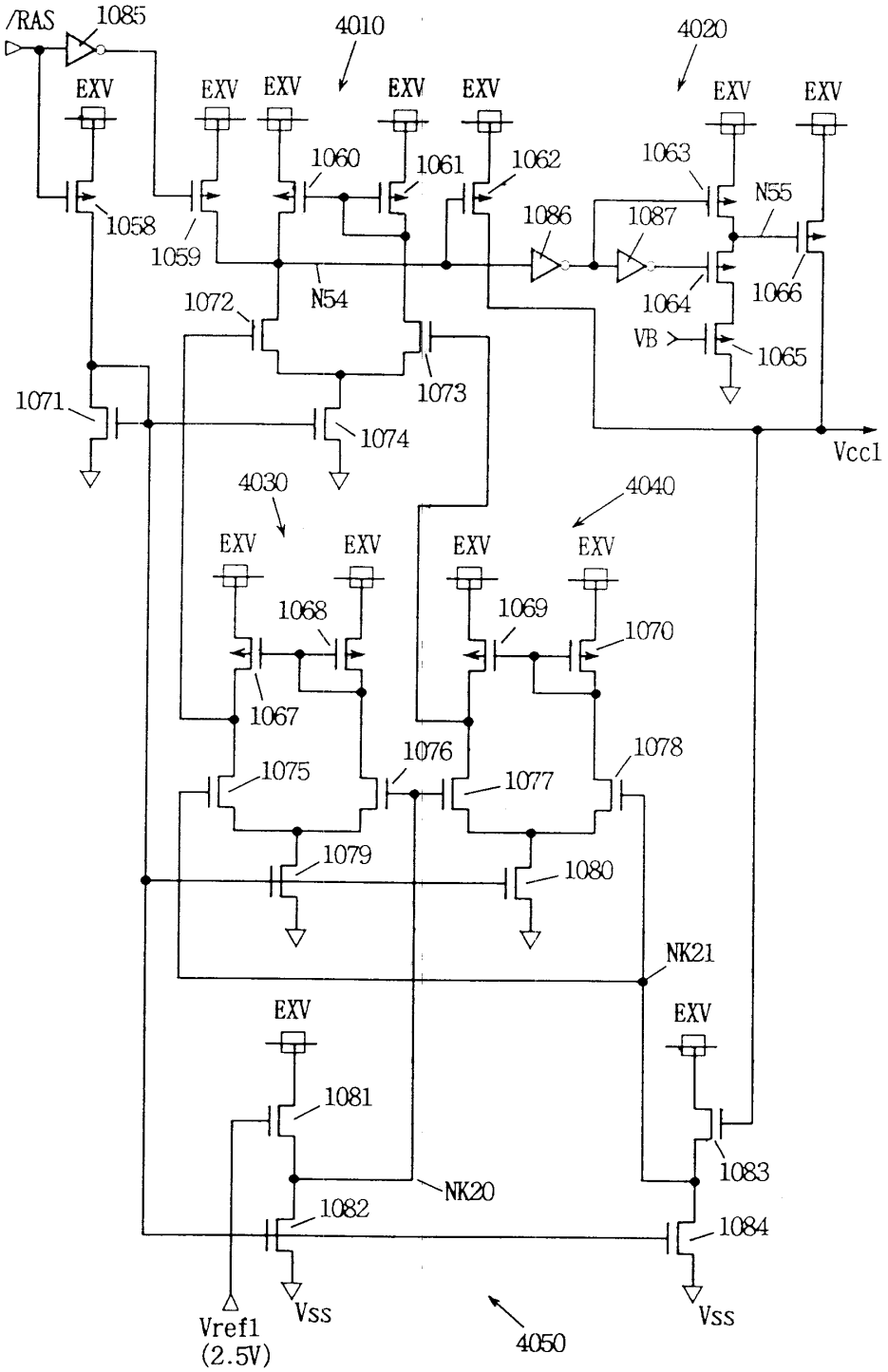
도면43


1056
/RAS
EXV
1039
1040
1041
1042
1043
N50
1044
N51
N53
1046
1057
N52
1045
1058
1047
VB=(EXV-ΔV-|Vthp|)
Vref1
(2.5V)
1048
1053
1052
1054
1049
1050
1051
1055
Vcc1
3900
3910

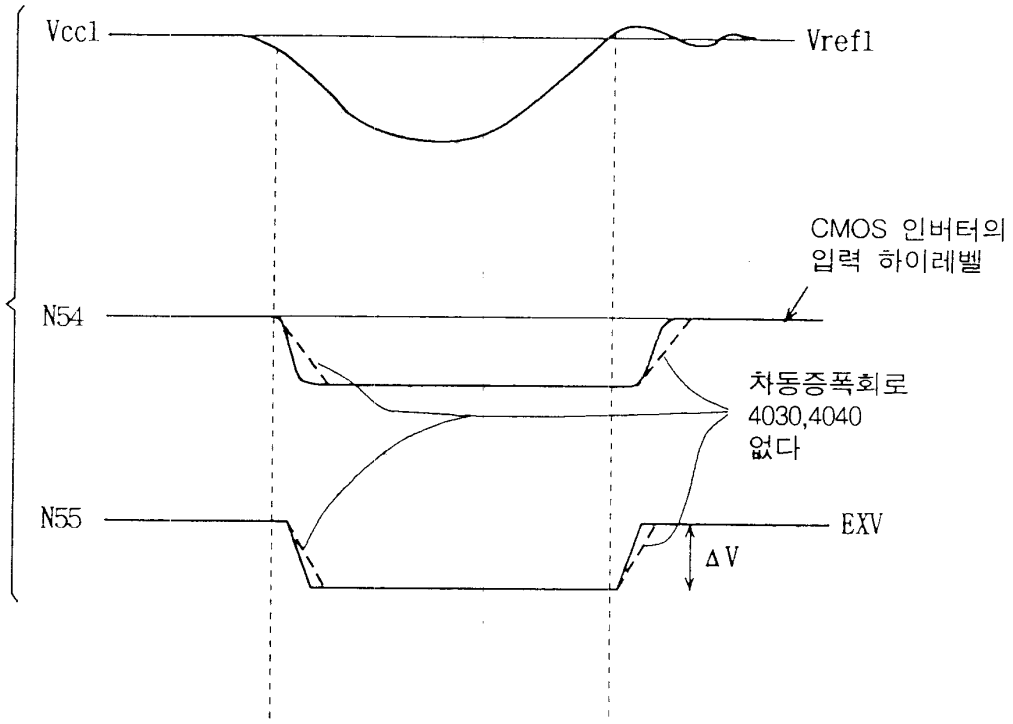
도면44


EXV
EXV
EXV
RZ1
RZ2
NK10
NK12
VB
PT1
PT2
NK13
I1
I1
NK11
I2
NT1
NT2
NT3
Vss

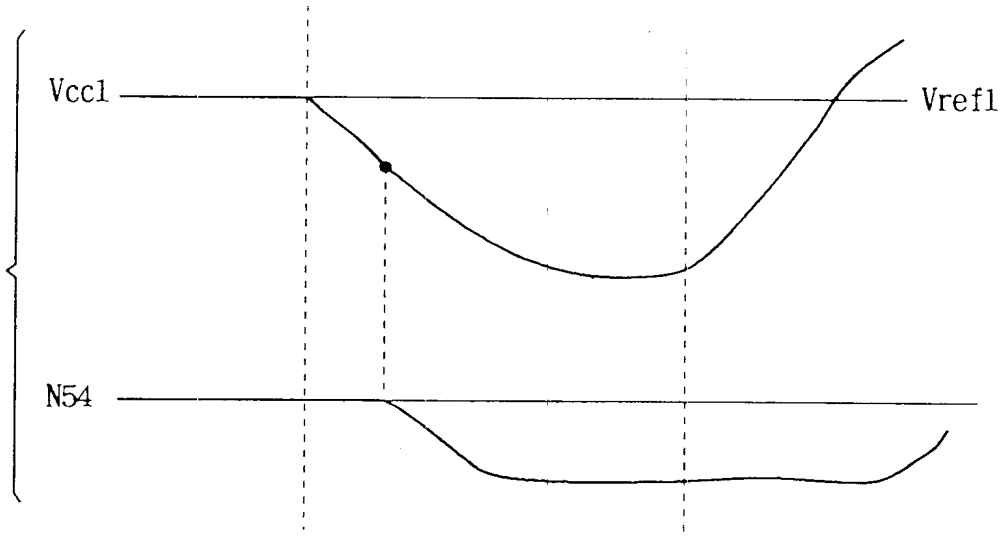
도면45


/RAS
1085
4010
4020
EXV
1060
1061
1062
1063
1058
1059
1086
1087
N55
1066
1064
VB
1065
1072
N54
1073
1071
1074
Vcc1
4030
4040
1068
1069
1070
1067
1076
1078
1075
1077
1079
1080
NK21
1081
1083
NK20
1082
1084
Vss
Vref1
(2.5V)
4050

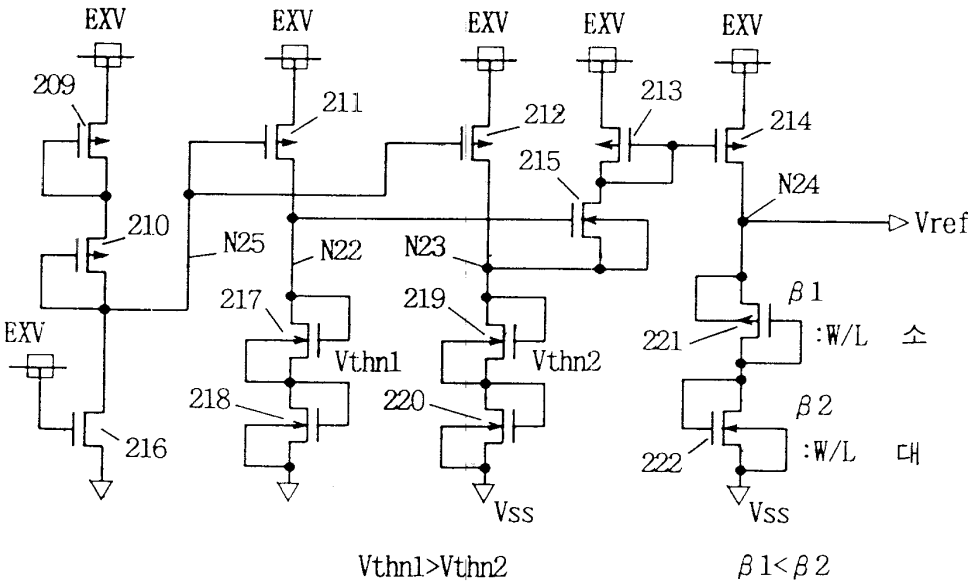
도면46a


Vcc1
Vref1
CMOS 인버터의
입력 하이레벨
N54
차동증폭회로
4030,4040
없다
N55
EXV
ΔV

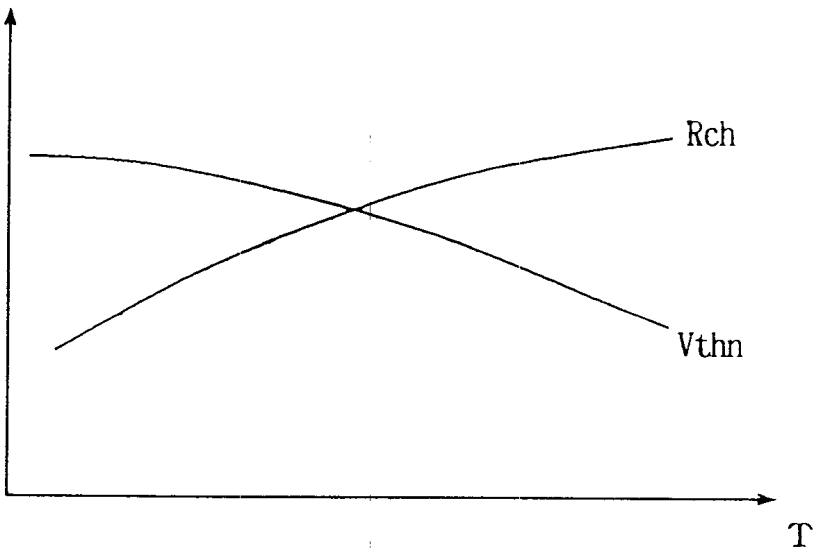
도면46b


Vcc1
Vref1
N54

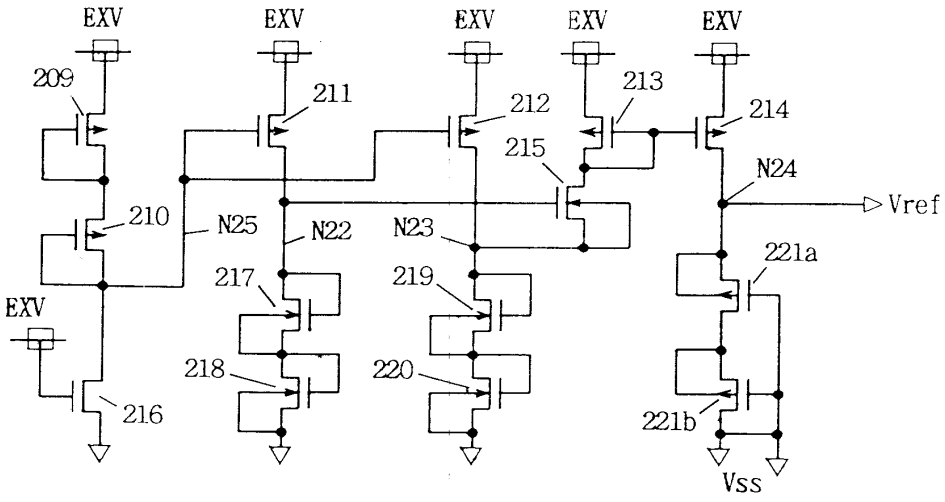
도면47


EXV
EXV
EXV
EXV
EXV
209
211
212
213
214
215
210
N25
N22
N23
N24
Vref
217
219
β1
221
:W/L 소
Vthn1
Vthn2
218
220
β2
222
:W/L 대
EXV
216
Vss
Vss
Vthn1>Vthn2
β1<β2

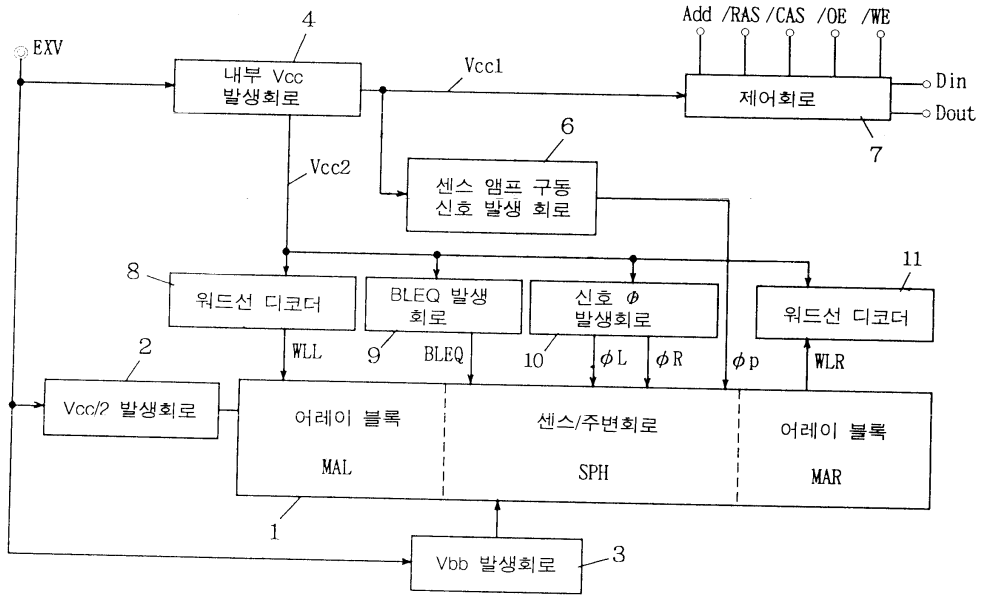
도면48


Rch
Vthn
T

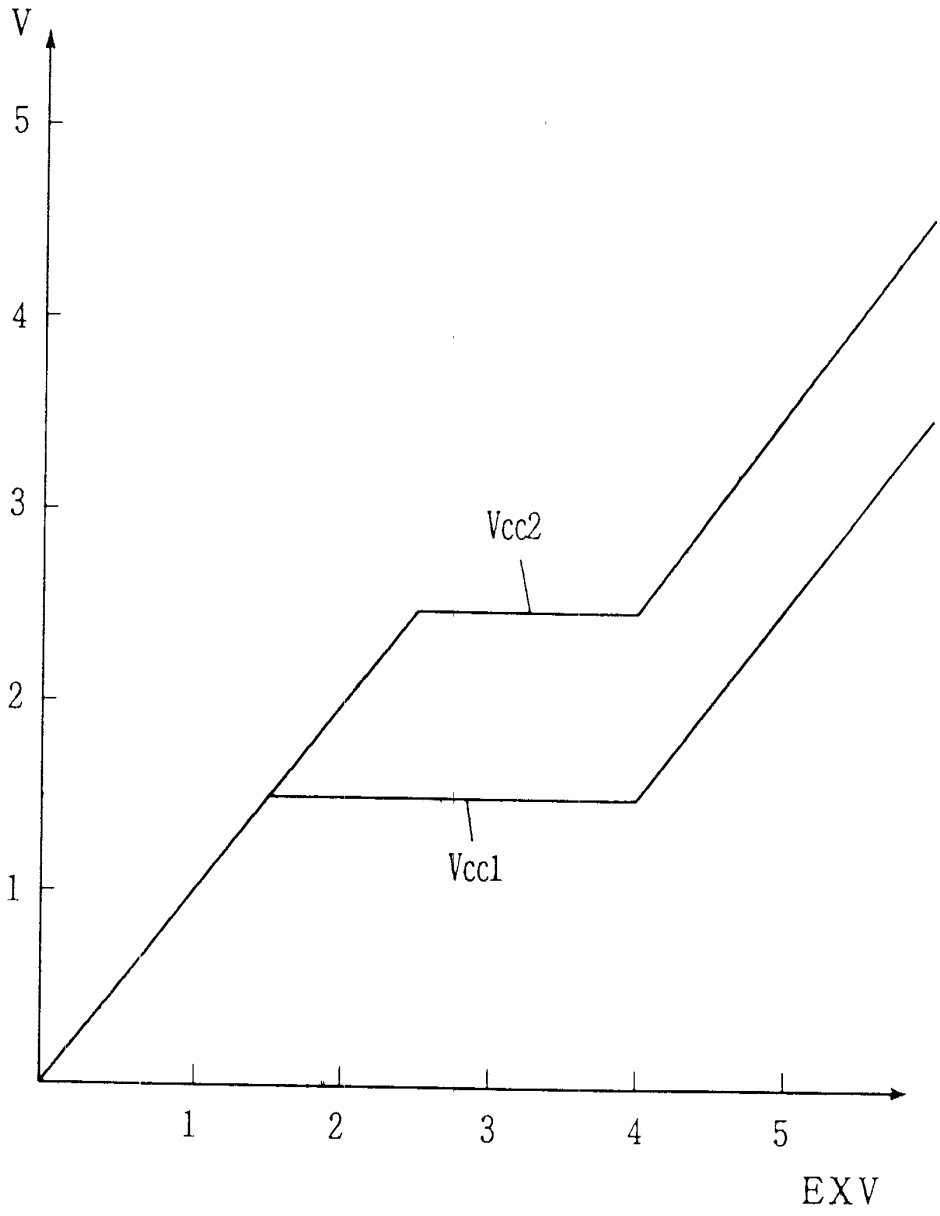
도면49


EXV
EXV
EXV
EXV
EXV
209
211
212
213
214
215
N24
Vref
210
N25
N22
N23
221a
217
219
EXV
218
220
216
221b
Vss

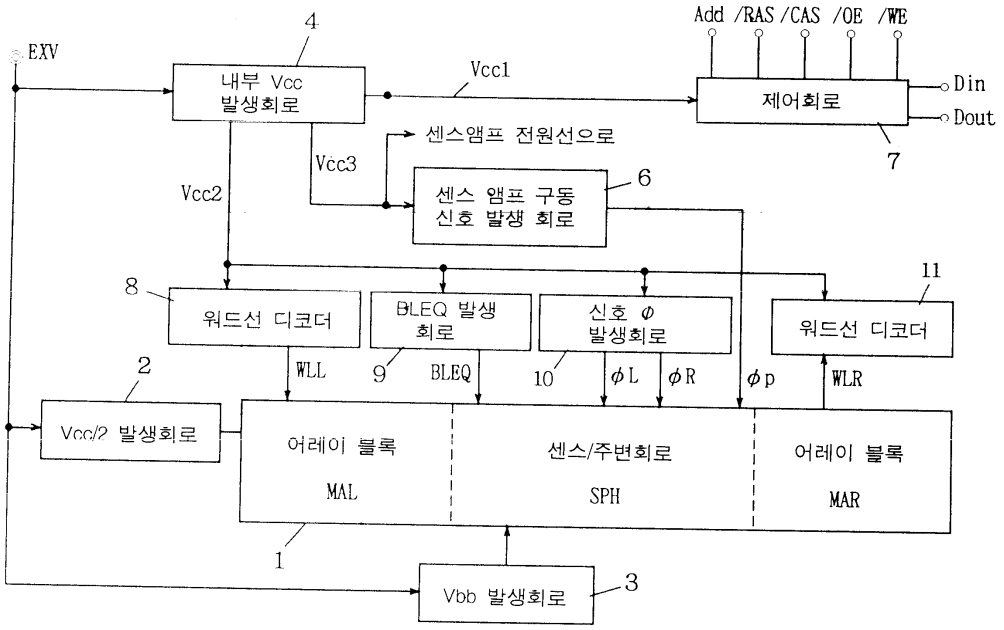
도면50


EXV
4
내부 Vcc
발생회로
Vcc1
Add /RAS /CAS /OE /WE
제어회로
Din
Dout
7
Vcc2
6
센스 앰프 구동
신호 발생 회로
11
8
워드선 디코더
BLEQ 발생
회로
신호 φ
발생회로
워드선 디코더
2
WLL
9
BLEQ
10
φL
φR
φp
WLR
Vcc/2 발생회로
어레이 블록
MAL
센스/주변회로
SPH
어레이 블록
MAR
1
Vbb 발생회로
3

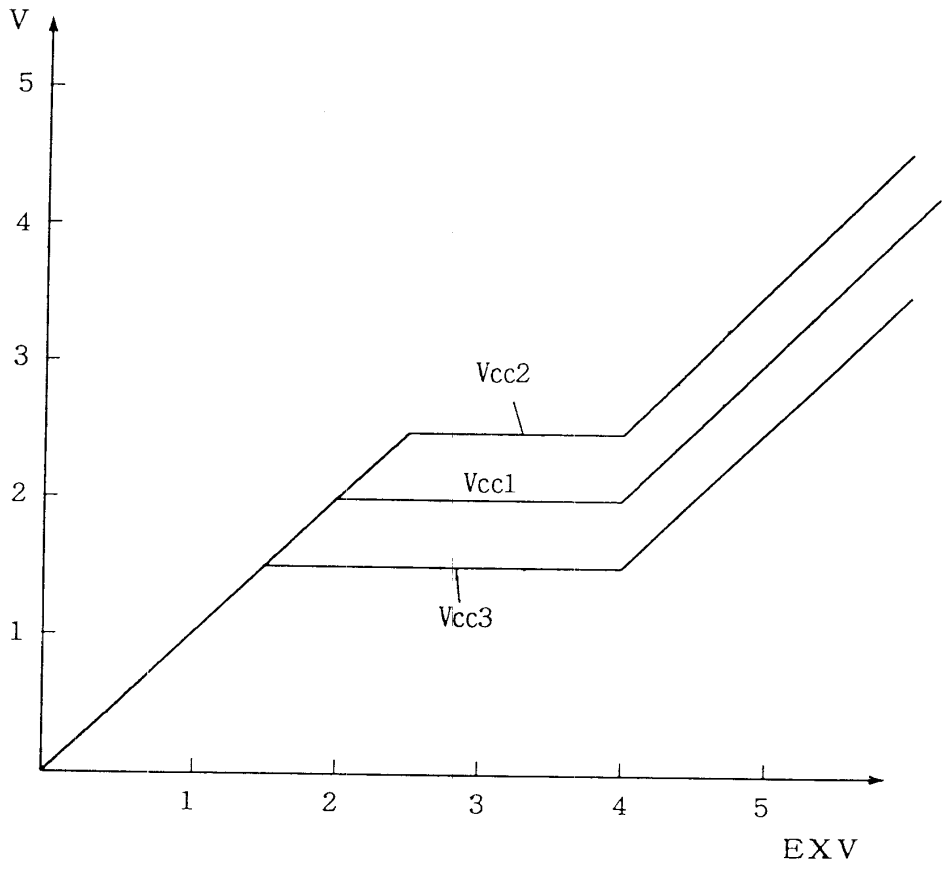
도면51



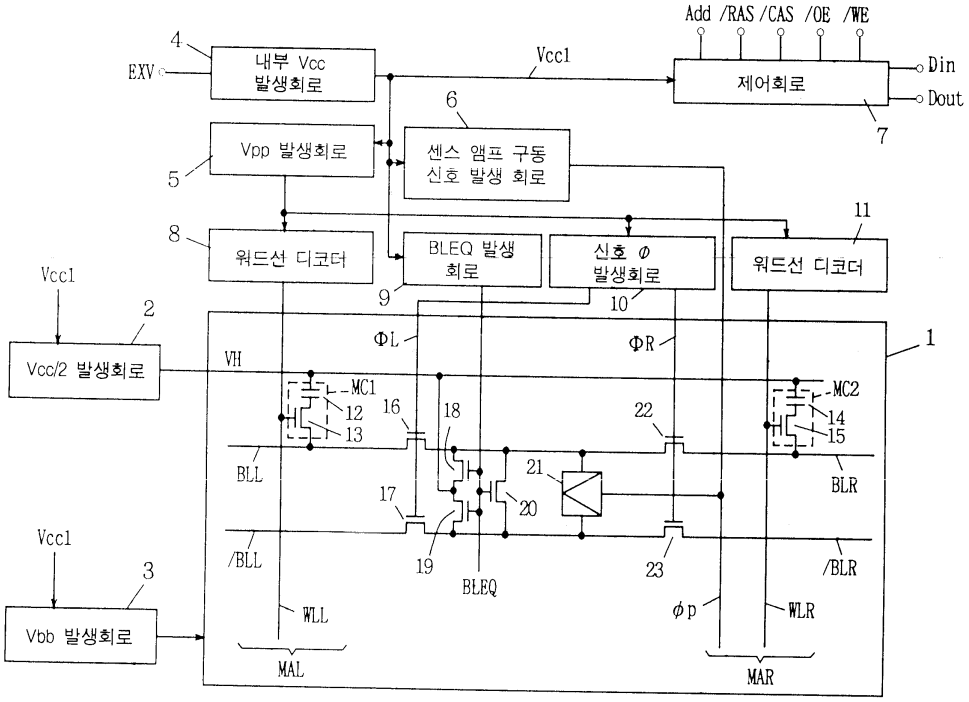
도면52


EXV
4
내부 Vcc
발생회로
Vcc1
Add /RAS /CAS /OE /WE
제어회로
Din
Dout
7
센스앰프 전원선으로
Vcc3
Vcc2
센스 앰프 구동
신호 발생 회로
6
11
8
워드선 디코더
BLEQ 발생
회로
신호 φ
발생회로
워드선 디코더
2
WLL
9
BLEQ
10
φL
φR
φp
WLR
Vcc/2 발생회로
어레이 블록
MAL
센스/주변회로
SPH
어레이 블록
MAR
1
Vbb 발생회로
3

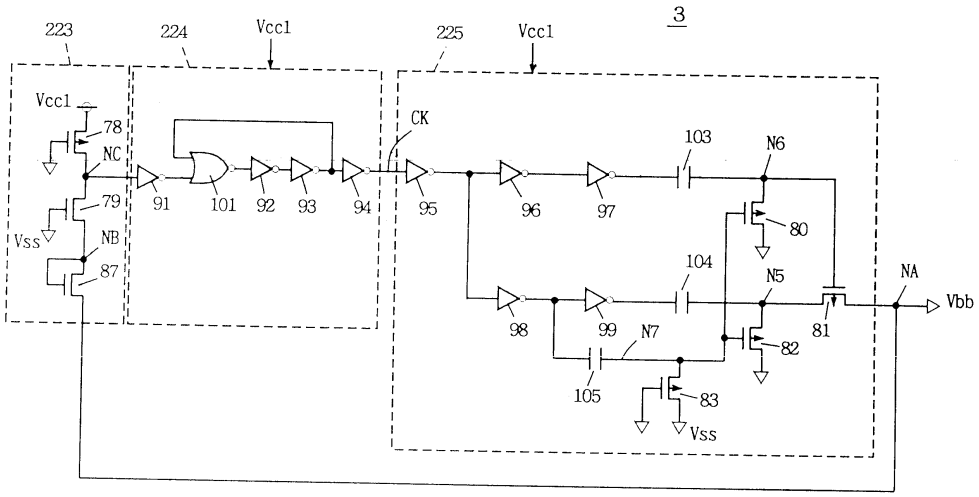
도면53


V
5
4
3
2
1
Vcc2
Vcc1
Vcc3
1
2
3
4
5
EXV

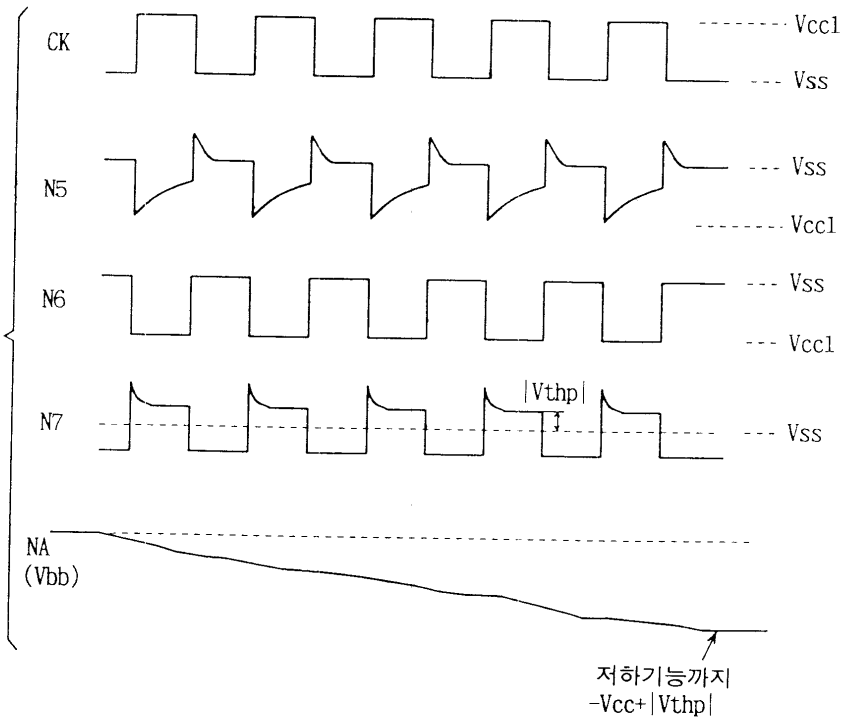
도면54


Add /RAS /CAS /OE /WE
4
EXV
내부 Vcc 발생회로
Vcc1
제어회로
Din
Dout
7
6
Vpp 발생회로
5
센스 앰프 구동 신호 발생 회로
11
8
워드선 디코더
BLEQ 발생 회로
신호 ϕ 발생회로
워드선 디코더
Vcc1
9
10
2
Vcc/2 발생회로
VH
ΦL
ΦR
1
MC1
12
13
16
18
22
MC2
14
15
BLL
BLR
21
17
20
Vcc1
/BLL
19
BLEQ
23
/BLR
3
Vbb 발생회로
WLL
ϕp
WLR
MAL
MAR

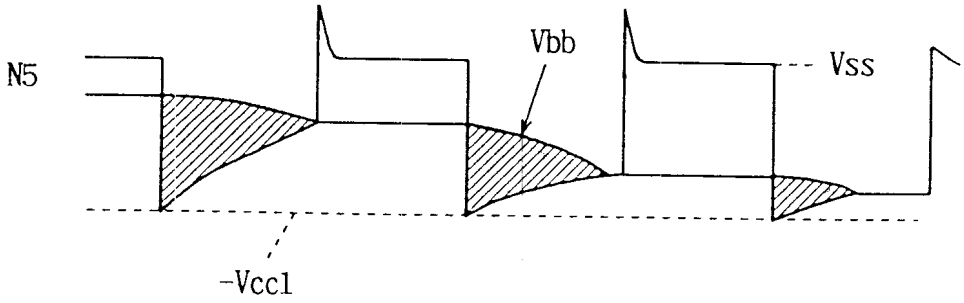
도면55


3
223
224
Vcc1
225
Vcc1
Vcc1
78
NC
79
Vss
NB
87
91
101
92
93
94
CK
95
96
97
103
N6
80
104
N5
NA
Vbb
98
99
N7
82
81
105
83
Vss

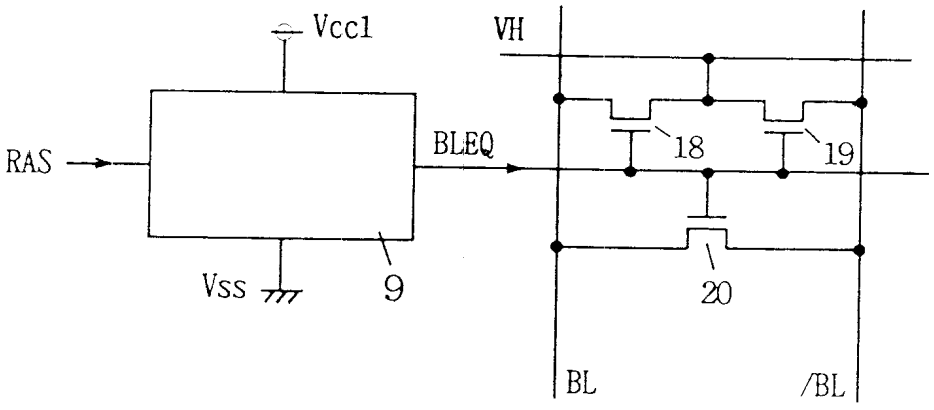
도면56



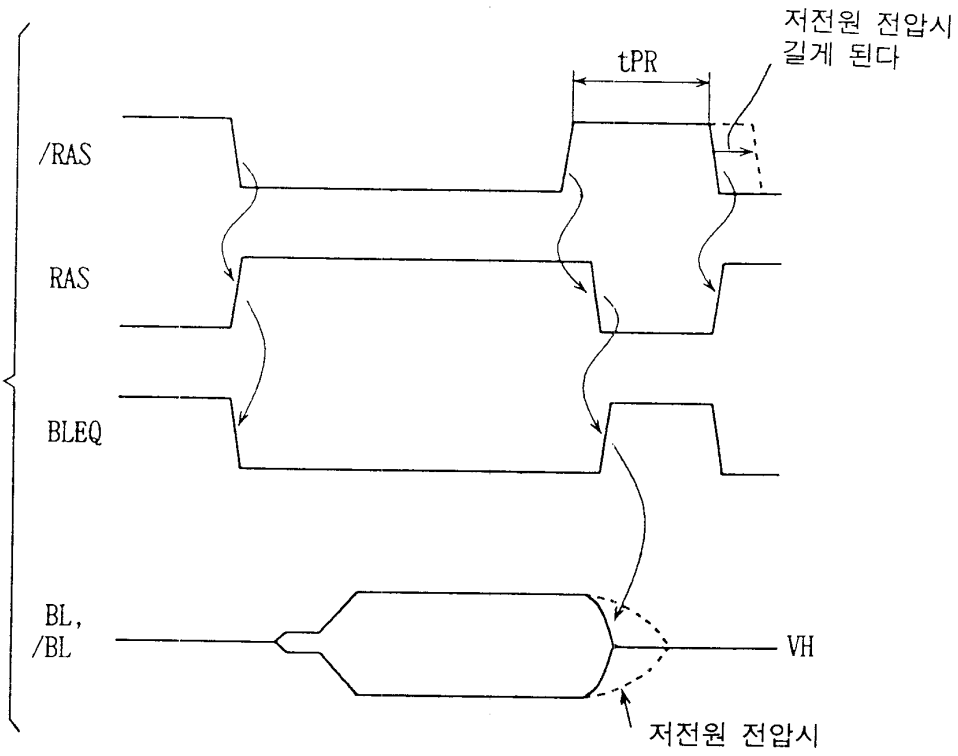
도면57



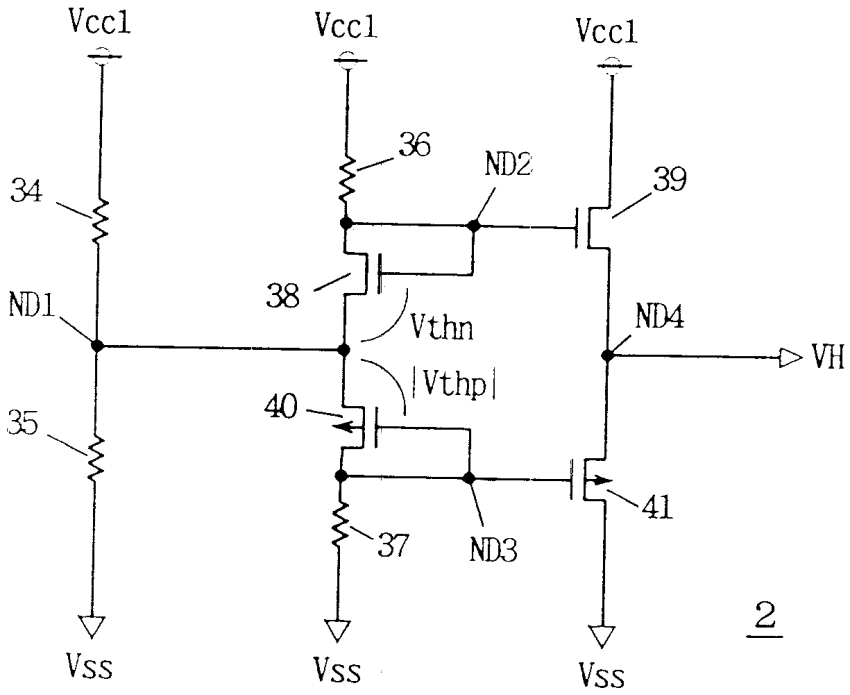
도면58



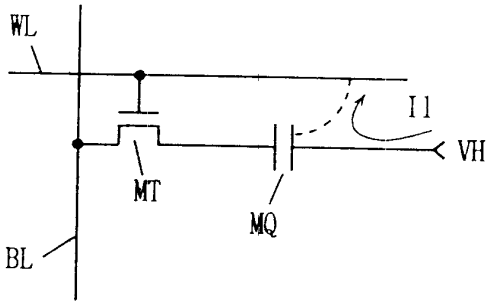
도면59


저전원 전압시
길게 된다
tPR
/RAS
RAS
BLEQ
BL,
/BL
VH
저전원 전압시

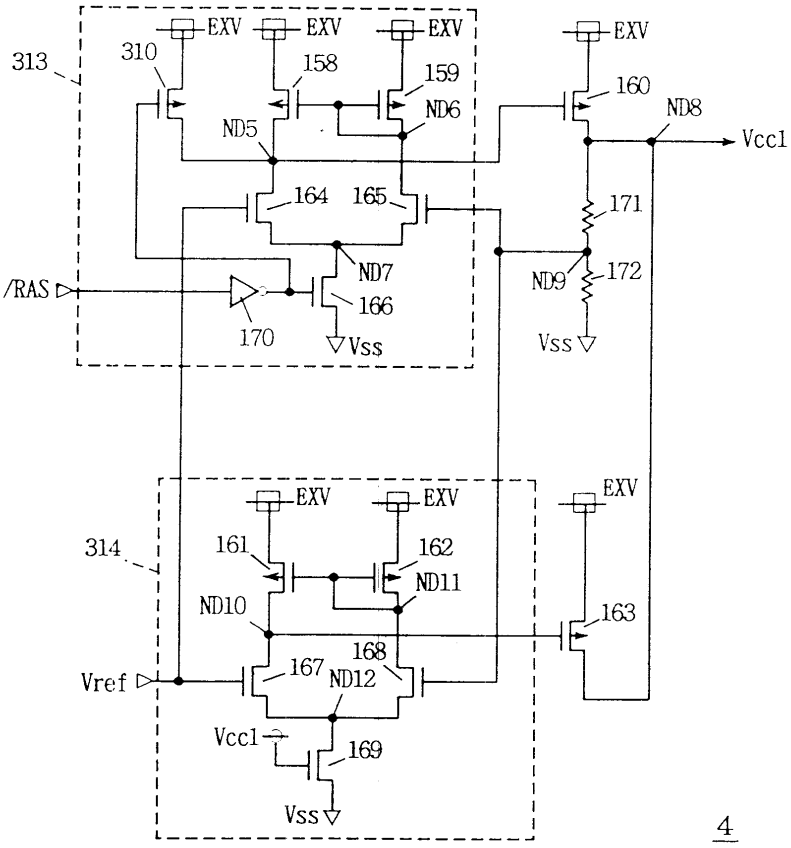
도면60


Vcc1
Vcc1
Vcc1
34
36
ND2
39
38
ND1
Vthn
ND4
VH
|Vthp|
40
35
41
37
ND3
Vss
Vss
Vss
2

도면61


WL
I1
VH
MT
MQ
BL

도면62


313
EXV
310
158
159
ND6
ND5
160
ND8
Vcc1
164
165
171
/RAS
ND7
166
ND9
172
170
Vss
314
161
162
ND11
ND10
163
168
Vref
167
ND12
Vcc1
169
Vss

4