



(12) 发明专利申请

(10) 申请公布号 CN 105374799 A

(43) 申请公布日 2016. 03. 02

(21) 申请号 201510459961. 3

(22) 申请日 2015. 07. 30

(30) 优先权数据

1457792 2014. 08. 13 FR

(71) 申请人 意法半导体(格勒诺布尔 2) 公司

地址 法国格勒诺布尔

(72) 发明人 S·庞塔罗洛 P·迈格

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华 张昊

(51) Int. Cl.

H01L 23/544(2006. 01)

H01L 27/02(2006. 01)

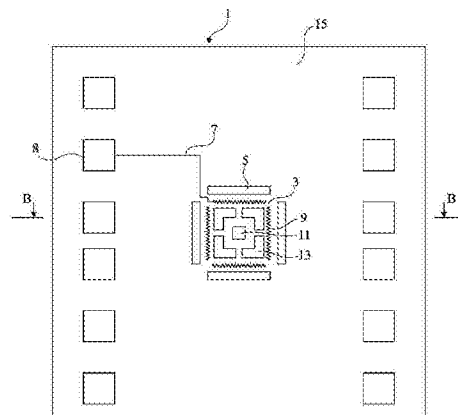
权利要求书2页 说明书3页 附图2页

(54) 发明名称

具有校正温度漂移的集成电路芯片

(57) 摘要

本发明涉及具有校正温度漂移的集成电路芯片,其中集成电路芯片包括沟槽,沟槽至少部分地环绕电路的对温度变化敏感的关键部分。沟槽局部中断以允许电路连接经过关键部分和包含电路的剩余部分的外部之间。关键部分包括加热电阻器和温度传感器。



1. 一种集成电路芯片,包括:
 - 多个沟槽,至少部分地环绕所述集成电路芯片的关键部分的周界;
 - 位于所述关键部分中的对温度变化敏感的电路装置;
 - 其中所述沟槽局部地彼此断开;
 - 一个或多个电连接,经过所述集成电路芯片中所述沟槽局部地彼此断开的部分,所述电连接在所述关键部分和所述集成电路芯片的外部部分之间延伸;
 - 一个或多个加热电阻器,放置在所述电路部分中;以及
 - 温度传感器,放置在所述电路部分中。
2. 根据权利要求 1 所述的芯片,其中所述温度传感器是 P-N 结二极管。
3. 根据权利要求 1 所述的芯片,其中所述加热电阻器是扩散电阻器。
4. 根据权利要求 1 所述的芯片,其中所述多个沟槽包括环绕所述关键部分的沟槽的双网络,沟槽的所述双网络的沟槽被形成为限定将所述集成电路芯片的所述关键部分连接至所述集成电路芯片的所述外部部分的臂。
5. 根据权利要求 1 所述的芯片,包括:半导体层,被下方支持层支持但与所述下方支持层绝缘,其中所述沟槽延伸到完全穿过所述半导体层的厚度的深度。
6. 根据权利要求 1 所述的芯片,其中所述关键部分的底部与所述下方支持层绝缘。
7. 根据权利要求 1 所述的芯片,还包括:盖层,安装至所述集成电路芯片的所述外部部分并且在所述关键部分之上延伸但与所述关键部分绝缘。
8. 根据权利要求 1 所述的芯片,包括:放大器,包含位于所述集成电路芯片的所述外部部分中的第一电路部分和包括位于所述关键部分中的对温度变化敏感的所述电路装置的第二电路部分。
9. 根据权利要求 8 所述的芯片,其中对温度变化敏感的所述电路装置影响所述放大器的偏移电压。
10. 根据权利要求 8 所述的芯片,其中包括对温度变化敏感的所述电路装置的所述第二电路部分包括所述放大器的输入级。
11. 一种方法,包括:
 - 限定集成电路芯片的关键部分;
 - 提供至少部分地环绕所述关键部分的周界的多个绝缘沟槽;
 - 在所述关键部分内放置对温度变化敏感的电路装置;
 - 在所述关键部分内放置温度传感器;
 - 在所述关键部分内放置加热电阻器。
12. 根据权利要求 11 所述的方法,还包括:
 - 致动所述加热电阻器以使所述关键部分经历温度变化;
 - 响应于所述温度变化监控所述温度传感器,以在各个温度处测试所述集成电路芯片;以及
- 调整对温度变化敏感的所述电路装置。
13. 根据权利要求 11 所述的方法,其中所述温度传感器是 P-N 结二极管。
14. 根据权利要求 11 所述的方法,其中提供所述多个沟槽包括:形成环绕所述关键部分的沟槽的双网络,沟槽的所述双网络的沟槽被形成为限定将所述集成电路芯片的所述关

键部分连接至所述集成电路芯片的外部部分的臂。

15. 根据权利要求 11 所述的方法,还包括:形成经过所述集成电路芯片中沟槽局部地彼此断开的部分的电连接,所述电连接在所述关键部分和所述集成电路芯片的外部部分之间延伸。

16. 根据权利要求 15 所述的方法,还包括:将盖层安装至所述集成电路芯片的所述外部部分,并且所述盖层在所述关键部分之上延伸但与所述关键部分绝缘。

17. 根据权利要求 11 所述的方法,其中提供所述多个绝缘沟槽包括:将所述沟槽中的每一个延伸到完全穿过半导体层的厚度的深度,其中所述半导体层被下方支持层支持但与所述下方支持层绝缘。

18. 根据权利要求 11 所述的方法,还包括:集成用于所述集成电路芯片的放大器电路,所述放大器电路包含形成在所述集成电路芯片的外部部分中的第一电路部分和包括位于所述关键部分中的对温度变化敏感的所述电路装置的第二电路部分。

19. 根据权利要求 18 所述的方法,其中对温度变化敏感的所述电路装置影响所述放大器的偏移电压。

20. 根据权利要求 18 所述的方法,其中包括对温度变化敏感的所述电路装置的所述第二电路部分包括所述放大器的输入级。

21. 根据权利要求 11 所述的方法,其中所述多个绝缘沟槽局部地彼此断开。

具有校正温度漂移的集成电路芯片

[0001] 优先权

[0002] 本申请要求 2014 年 8 月 13 日提交的法国专利申请第 1457792 号的优先权,其全部内容以引用的方式在法律允许的最大范围上引入本申请。

技术领域

[0003] 本发明涉及包含集成电路的芯片,其具有能够随温度改变的一种或多种特性。

背景技术

[0004] 特定的集成电路(例如运算放大器或参考电压发生器)在它们的一些参数没有被精确调整的情况下能够在其操作期间发生温度漂移。即使计算这些电路的参数以避免这种漂移,但制造波动的技术导致在相同晶圆上制造的各种电路或者在不同晶圆上制造的电路将显示出技术差异,使得所制造的电路发生温度漂移。

[0005] 如果该电路的参数没有被精确调整,则能够发生温度漂移的集成电路的示例性特性是运算放大器的反相输入和非反相输入之间的偏移电压。

[0006] 因此,为了能够提供温度不漂移的集成电路,制造者必须对每个制造的电路执行晶圆测试并调整电路的参数,使得它们的温度不漂移。这种调整例如通过在集成电路中提供电阻器网络(其中元件通过激光修整而断开)来执行。

[0007] 更具体地,在运算放大器的偏移电压的情况下,在多个温度(目前为两个温度)处执行四点探针测量,并且根据这些测量值来确定调整上述阻抗网络的阻抗的方式。作为示例,在 2008 年 10 月标题为 MT-037 TUTORIAL 的 ANALOG DEVICES 文档中描述了用于根据在各个温度处执行的测量调整偏移电压的方法(其全部内容以引用的方式引入本申请)。

[0008] 如已经提到的,这要求在两个不同的温度处执行测量。为此,晶圆被放置在加热支持件上。支持件首先被保持为室温,然后被加热以达到高温(例如,100°C)。在这些温度的每个温度处,执行四点探针测量,然后可以实施先前描述的激光调整方法。

[0009] 这种方法的难度在于使晶圆具有两个不同的温度。实际上,通过将支持件从第一稳定温度加热到第二稳定温度花费几分钟的时间。与总的芯片制造时间相比,这种持续时间不能被忽略并且对晶圆的总制造成本产生显著的影响。

[0010] 因此,需要减少测试时间。

发明内容

[0011] 因此,实施例提供了一种集成电路芯片,包括:沟槽,环绕电路中使其对温度变化敏感的关键部分,这种沟槽横跨芯片并且局部断开以在电路的所述部分和剩余部分之间使连接通过;以及加热电阻器和温度传感器,放置在所述电路部分中。

[0012] 根据一个实施例,温度传感器是 P-N 结二极管。

[0013] 根据一个实施例,加热电阻器是扩散电阻器。

[0014] 根据一个实施例,关键部分被沟槽的双网络环绕,沟槽被形成为限定将电路的关

键部分连接至芯片的剩余部分的臂。

[0015] 一个实施例提供了一种形成集成电路芯片的方法,该集成电路包括能够使其对温度变化敏感的关键部分,该方法包括以下步骤:识别集成电路的关键部分;在被沟槽环绕的绝缘部分中集中关键部分的元件;在绝缘部分中配置加热电阻器和温度传感器;在各个温度处测试芯片;以及调整芯片的关键部分的元件。

[0016] 根据一个实施例,该方法还包括以下步骤:经由在芯片的关键部分的位置处中断的绝缘层,在支持件上组装包含芯片的晶圆;以及用盖覆盖芯片,其中中介绝缘层在芯片的关键部分上方中断。

附图说明

[0017] 结合附图在以下具体实施例的非限制描述中详细讨论前述和其他特征和优势。

[0018] 图 1A 是包括温度校正集成电路的芯片的实施例的顶视图;

[0019] 图 1B 是沿着图 1A 的面 BB 截取的截面图;以及

[0020] 图 2 是包括温度校正集成电路的芯片的具体实施例的顶视图。

[0021] 通常,在集成电路的表示中,附图并不按比例绘制。

具体实施方式

[0022] 这里,期望在不同的温度处执行上述类型的测试,同时避免目前需要使晶圆具有两个不同温度的长时间。

[0023] 为此,这里提供了在芯片中包含的集成电路的不同拓扑。更具体地,提供了识别集成电路的关键元件,其在技术波动之后能够使得集成电路对温度变化敏感。这种关键元件集中在芯片的一部分中,其与芯片的剩余部分热绝缘。其还被提供以在芯片的该绝缘部分中结合加热电阻器和温度传感器。因此,芯片的绝缘部分(与总的芯片表面积相比其具有较小的表面积)可以被非常快速地加热并且可以在短时间内执行诸如前述的测试。如后面可以看到的,这种短时间可以在 10 至 100 毫秒的范围内(例如 20ms),来代替在使用将晶圆放置在加热支持件上的情况下 5 至 10 分钟范围内(例如,10 分钟)的持续时间。

[0024] 应该注意,由能够引发从一个温度到另一个温度的温度漂移的芯片的关键元件采取的这种短时间的优势在于,可以在多于两个的温度处(例如,三个或四个)进行测试,这进一步提高了测试结果的质量和所执行以使电路温度稳定的校正的质量。

[0025] 图 1A 和图 1B 分别是半导体晶圆的芯片 1 的实施例的顶视图和截面图。

[0026] 在这些附图中示出单个芯片。然而,应该理解,在测试操作期间,芯片没有被锯切并且具有半导体晶圆的其他部分。在芯片中包含的集成电路中,关键元件(即,由于技术参数的波动引起变化而可以在最终集成电路中引发温度漂移的那些元件)被集中在该芯片的部分 3 中,其被示为芯片的中心部分的示例。部分 3 至少部分地被沟槽 5 环绕。四个沟槽 5 基本限定本文示为正方形的边缘。在一个实施例中,沟槽的边角没有彼此接合,使得绝缘部分 3 保持机械附接至芯片的剩余部分,并且连接导体 7 可以从芯片的绝缘部分 3 延伸到连接焊盘 8 或者其他芯片元件。具体地,芯片的绝缘部分 3 包括加热电阻器 9 和温度传感器 11。还以框 13 的形式示出集成电路的关键元件。在芯片 1 中包含的集成电路是运算放大器的情况下,发明人注意到,该运算放大器能够根据温度引起偏移电压的漂移的部分

基本对应于该运算放大器的输入级。然后,框 13 对应于该输入级的元件。运算放大器的其他元件集中在芯片的剩余部分 15 中。

[0027] 作为示例,温度传感器 11 是二极管,当通过恒定电流时其具有改变 $-2\text{mV}/^{\circ}\text{C}$ 的电压。

[0028] 作为示例,加热电阻器 9 是通过在芯片的半导体(例如,硅)中扩散的区域所形成的电阻器。

[0029] 图 1B 进一步详细示出了芯片安装的示例,这种安装优选在芯片仍然组装在晶圆中的同时进行。硅晶圆(优选为薄片)利用中介绝缘层 23(例如为氧化硅)被安装在支持件 21 上,绝缘层在芯片的中心部分的层级处中断。此外,优选由硅制成的盖 25 利用中介绝缘层 27 被装配在晶圆的上表面上,绝缘层 27 与芯片的中心部分相对被中断。因此,在芯片的中心部分之下和芯片的中心部分之上,在沟槽 5 中留出改善芯片的热绝缘的空隙。在实际实施例中,优选仅在沟槽 5 的层级处留出空隙并且还利用绝缘材料涂覆芯片的上表面和下表面。

[0030] 作为数值的示例,考虑正方形芯片的横向尺寸在 0.5 至 1.5mm 的范围内,例如 1mm。考虑绝缘部分也具有正方形形状的情况。在运算放大器的情况下,该中心部分可具有 250 至 350 μm 范围内(例如,300 μm)的横向尺寸。沟槽可具有 20 至 50 μm 范围内(例如,30 μm)的宽度。

[0031] 这示出了被集成电路的沟槽环绕的关键部分的尺寸与总的芯片尺寸相比是非常小的(在上述示例中,表面积至少小 10 倍)。因此,与要求加热整个晶圆的时间相比,绝缘部分加热时间可以非常短。作为示例,如前所述,该加热时间可以在 10 至 100ms 的范围内(例如,20ms),同时应该注意,将加热支持件上的晶圆加热到稳定温度花费的时间在大约几十分钟的级别。

[0032] 图 2 是诸如前述芯片的具体实施例的顶视图。图 2 示出了与图 1A 和图 1B 相同的元件用相同的参考标号来表示,即集成电路的中心部分 3、加热电阻器 9、用二极管图表示的温度传感器 11 和关键元件 13。在该实施例中,中心部分被双沟槽环绕。每个沟槽都包括限定芯片的中心部分的部分 31 以及在其外部且与部分 31 垂直并与另一个部分 31(其与第一个部分 31 垂直)平行延伸的部分 33。因此,这些沟槽限定臂 35 将芯片的中心部分连接至芯片的剩余部分。这些臂 35 可以支持将芯片的绝缘部分的元件连接至芯片的焊盘或芯片的外围部分的其他元件的连接 7。

[0033] 本领域技术人员应该注意,被本文描述的实施例中的集成电路所占用的表面积稍大于不具有集成电路的部分的热绝缘沟槽的传统芯片的表面积。然而,经济核算表明,由于这种表面积增加而引发的成本被由于集成电路晶圆上的四点探针测量的持续时间的减少而引发的增加所补偿。

[0034] 这种改变、修改和改善作为本公开的一部分,并且在本发明的精神和范围内。因此,前面描述仅是示例性的而不是限制性的。本发明仅在以下权利要求及其等效物中限定。

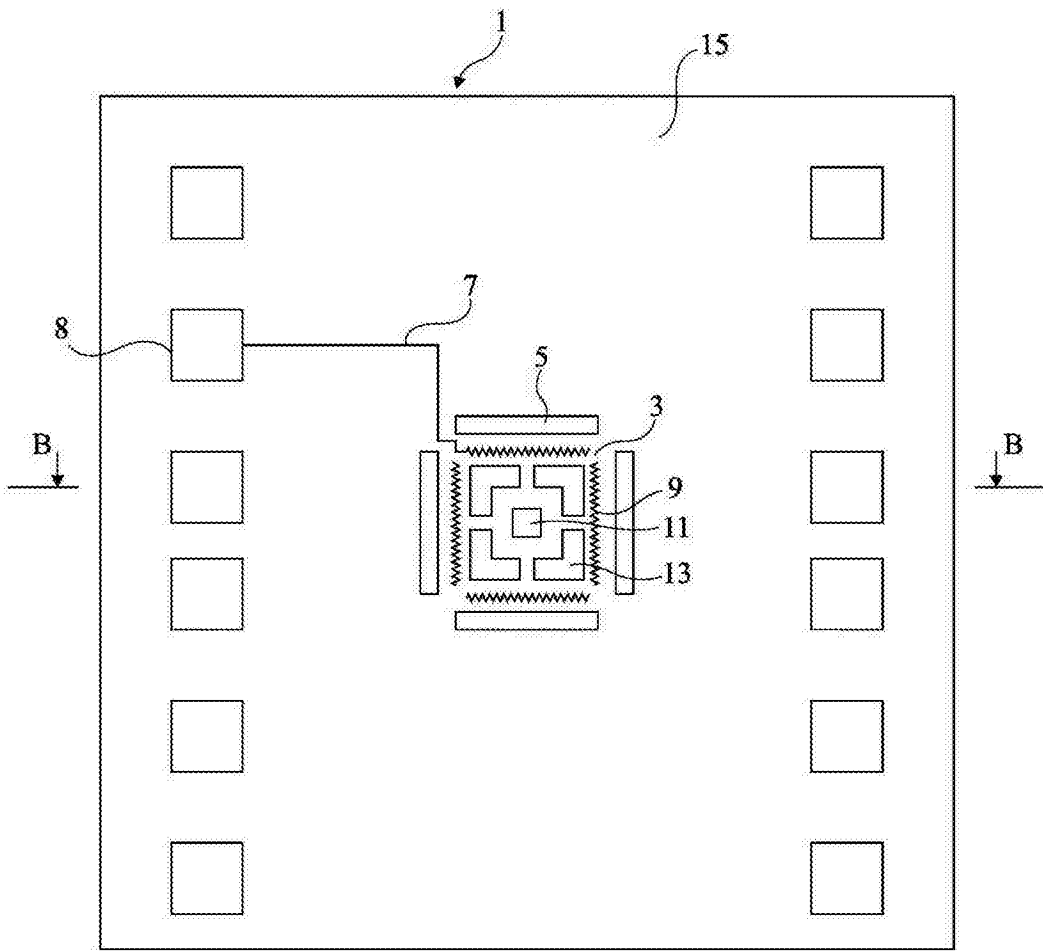


图 1A

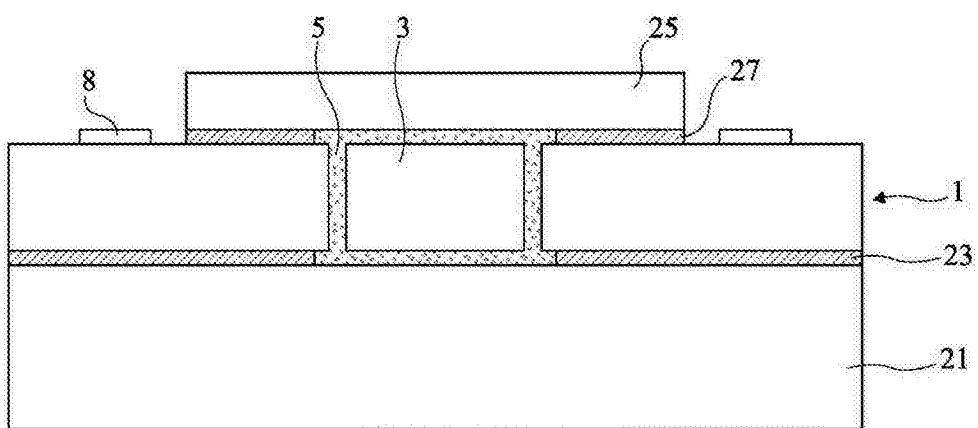


图 1B

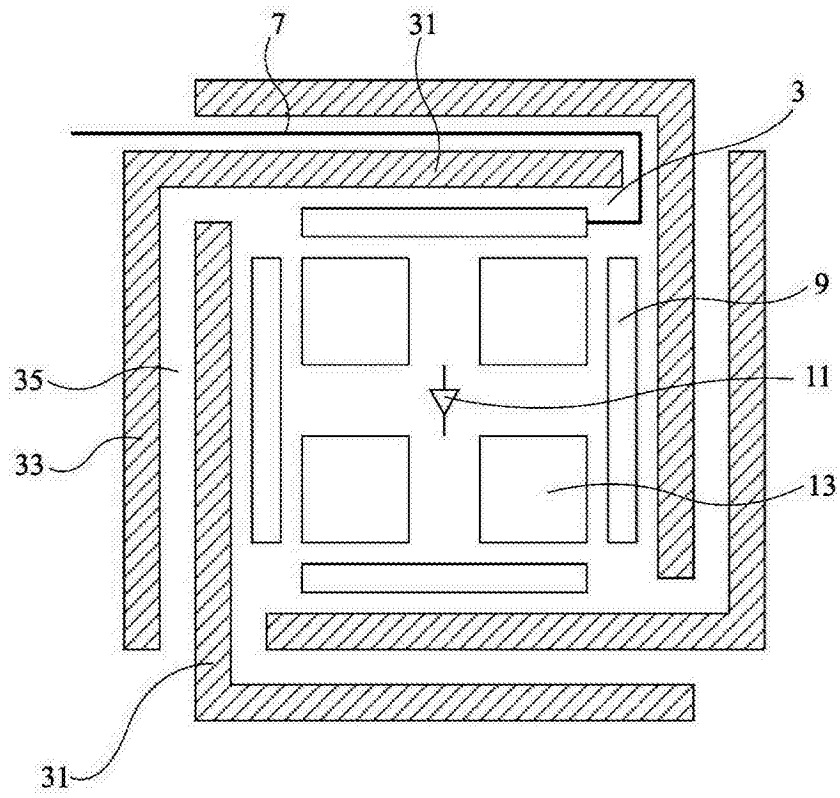


图 2