



(12)发明专利

(10)授权公告号 CN 103918025 B

(45)授权公告日 2016.12.21

(21)申请号 201280055035.4

(22)申请日 2012.10.26

(65)同一申请的已公布的文献号
申请公布号 CN 103918025 A

(43)申请公布日 2014.07.09

(30)优先权数据
2011-247262 2011.11.11 JP

(85)PCT国际申请进入国家阶段日
2014.05.09

(86)PCT国际申请的申请数据
PCT/JP2012/078412 2012.10.26

(87)PCT国际申请的公布数据
W02013/069548 EN 2013.05.16

(73)专利权人 株式会社半导体能源研究所
地址 日本神奈川

(72)发明人 三宅博之 井上圣子

(74)专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 陈华成

(51)Int.Cl.
G09G 3/36(2006.01)
G02F 1/133(2006.01)
G09G 3/20(2006.01)

审查员 杨亚普

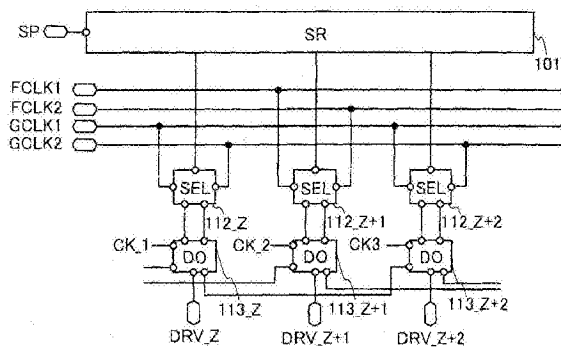
权利要求书2页 说明书28页 附图17页

(54)发明名称

信号线驱动电路以及液晶显示装置

(57)摘要

本发明的目的在于防止由于场效应晶体管的泄漏电流所引起的误动作。设置有：移位寄存器(101)；选择电路(112)，该选择电路(112)具有决定以与从该移位寄存器输入的脉冲信号相同的电位电平来输出第一脉冲信号或第二脉冲信号的功能；以及多个驱动信号输出电路(113)，每个驱动信号输出电路(113)都具有生成并输出驱动信号的功能。多个驱动信号输出电路的每个都包括锁存器部、缓冲器部以及用来控制储存在该锁存器部中的数据的数据的改写的开关部。



1. 一种驱动电路,包括:

移位寄存器;

选择电路,该选择电路具有根据第一时钟信号及第二时钟信号决定以与从所述移位寄存器输入的脉冲信号相同的电位电平来输出第一脉冲信号还是第二脉冲信号的功能;以及

驱动信号输出电路,该驱动信号输出电路具有根据从所述选择电路输入的所述第一脉冲信号与所述第二脉冲信号以及第一控制信号与第二控制信号来生成并输出用来控制信号线的电位的驱动信号的功能,

其中,所述驱动信号输出电路包括:

锁存器部,该锁存器部被配置为根据所述第一脉冲信号及所述第二脉冲信号改写并储存第一数据及第二数据;

缓冲器部,该缓冲器部被配置为根据所述第一数据及所述第二数据设定所述驱动信号的电位并输出所述驱动信号;以及

开关部,该开关部被配置为通过根据所述第一控制信号及所述第二控制信号而被开启或关闭,来控制所述第一数据的改写,从而抑制所述第一数据的电位的变动。

2. 根据权利要求1所述的驱动电路,其中所述驱动信号输出电路包括场效应晶体管,该场效应晶体管使用氧化物半导体层作为沟道形成层。

3. 根据权利要求1所述的驱动电路,其中在所述第一脉冲信号和所述第二脉冲信号不被输入到所述驱动信号输出电路的期间中,所述第一数据被改写。

4. 一种包括根据权利要求1所述的驱动电路的液晶显示装置,还包括:

数据信号线;

栅极信号线;

公共信号线,该公共信号线的电位被从所述驱动电路输出的所述驱动信号控制;以及

像素,该像素包括像素电路及液晶元件,

其中,所述像素电路包括场效应晶体管,该场效应晶体管的源极和漏极中的一方与所述数据信号线电连接,且该场效应晶体管的栅极与所述栅极信号线电连接,

并且,其中,所述液晶元件包括一对电极,该一对电极中的一方与所述场效应晶体管的所述源极和所述漏极中的另一方电连接,且该一对电极中的另一方与所述公共信号线电连接。

5. 根据权利要求4所述的液晶显示装置,其中所述场效应晶体管使用氧化物半导体层作为沟道形成层。

6. 根据权利要求4所述的液晶显示装置,还包括用作滤色片的着色层。

7. 根据权利要求4所述的液晶显示装置,其中所述液晶元件中的液晶材料呈现蓝相。

8. 一种驱动电路,包括:

移位寄存器;

选择电路,该选择电路具有根据第一时钟信号及第二时钟信号决定以与从所述移位寄存器输入的脉冲信号相同的电位电平来输出第一脉冲信号还是第二脉冲信号的功能;以及

驱动信号输出电路,该驱动信号输出电路具有根据从所述选择电路输入的所述第一脉冲信号与所述第二脉冲信号以及第一控制信号、第二控制信号、第三控制信号、第四控制信号与第五控制信号来生成并输出用来控制信号线的电位的驱动信号的功能,

其中,所述驱动信号输出电路包括:

第一锁存器部,该第一锁存器部被配置为根据所述第一脉冲信号及所述第二脉冲信号改写并储存第一数据及第二数据;

第二锁存器部,该第二锁存器部被配置为根据所述第一脉冲信号及所述第二脉冲信号改写并储存第三数据及第四数据;

第一缓冲器部,该第一缓冲器部被配置为根据所述第一数据及所述第二数据设定第一信号的电位并输出所述第一信号;

第二缓冲器部,该第二缓冲器部被配置为根据所述第三数据及所述第四数据设定第二信号的电位并输出所述第二信号;

第一开关部,该第一开关部被配置为通过根据所述第一控制信号及所述第二控制信号而被开启或关闭,来控制所述第一数据的改写,从而抑制所述第一数据的电位的变动;

第二开关部,该第二开关部被配置为通过根据所述第一控制信号及所述第三控制信号而被开启或关闭,来控制所述第三数据的改写,从而抑制所述第三数据的电位的变动;

第三开关部,该第三开关部被输入所述第二信号作为所述第四控制信号,且被配置为通过根据所述第四控制信号而被开启或关闭,来控制储存在所述第一锁存器部中的所述第二数据的改写,从而抑制所述第二数据的电位的变动;

第四开关部,该第四开关部被输入所述第一信号作为所述第五控制信号,且被配置为通过根据所述第五控制信号而被开启或关闭,来控制储存在所述第二锁存器部中的所述第四数据的改写,从而抑制所述第四数据的电位的变动;以及

第三缓冲器部,该第三缓冲器部被配置为根据所述第一信号及所述第二信号设定所述驱动信号的电位并输出所述驱动信号。

9. 根据权利要求8所述的驱动电路,其中所述驱动信号输出电路包括场效应晶体管,该场效应晶体管使用氧化物半导体层作为沟道形成层。

10. 根据权利要求8所述的驱动电路,其中在所述第一脉冲信号和所述第二脉冲信号不被输入到所述驱动信号输出电路的期间中,所述第一数据被改写。

11. 一种包括根据权利要求8所述的驱动电路的液晶显示装置,还包括:

数据信号线;

栅极信号线;

公共信号线,该公共信号线的电位被从所述驱动电路输出的所述驱动信号控制;以及

像素,该像素包括像素电路及液晶元件,

其中,所述像素电路包括场效应晶体管,该场效应晶体管的源极和漏极中的一方与所述数据信号线电连接,且该场效应晶体管的栅极与所述栅极信号线电连接,

并且,其中,所述液晶元件包括一对电极,该一对电极中的一方与所述场效应晶体管的所述源极和所述漏极中的另一方电连接,且该一对电极中的另一方与所述公共信号线电连接。

12. 根据权利要求11所述的液晶显示装置,其中所述场效应晶体管使用氧化物半导体层作为沟道形成层。

13. 根据权利要求11所述的液晶显示装置,还包括用作滤色片的着色层。

14. 根据权利要求11所述的液晶显示装置,其中所述液晶元件中的液晶材料呈现蓝相。

信号线驱动电路以及液晶显示装置

技术领域

[0001] 本发明的一个实施方式涉及一种信号线驱动电路。本发明的一个实施方式涉及一种液晶显示装置。

背景技术

[0002] 近年来,已对如液晶显示装置等的半导体装置进行了开发。

[0003] 已知的液晶显示装置的一种是使用如下驱动方法的液晶显示装置,在该驱动方法中,在行和列中设置多个像素电路,并且,以逐行方式在每个帧期间使每个液晶元件中的一对电极的一方的电位极性和另一方的电极的电位极性反转(例如,专利文献1)。

[0004] 通过采用上述驱动方法,可以在抑制由液晶元件所引起的显示图像的烧伤的同时,减少设置在液晶显示装置中的信号线驱动电路的驱动电压。

[0005] 例如,专利文献1公开如下技术,其中,使用如公共信号线驱动电路等的信号线驱动电路控制多个公共信号线的电位,以在每个帧期间使液晶元件的每一个的一对电极的另一方的电位反转。

[0006] 专利文献1所示的信号线驱动电路设置有移位寄存器以及包括锁存器部及缓冲器部的多个电路。在专利文献1所示的信号线驱动电路中,缓冲器部输出其电位根据储存在锁存器部中的数据被控制的信号作为公共信号。

[0007] [参考文献]

[0008] [专利文献1]日本专利申请公开2006-276541号公报

发明内容

[0009] 然而,现有的信号线驱动电路有容易发生误动作的问题。

[0010] 例如,在专利文献1所示的信号线驱动电路中有如下问题:包含在信号线驱动电路中的场效应晶体管的泄漏电流改变作为储存在锁存器部中的数据的电位,由此输出信号的电位不具有所希望的值,因此不能进行所希望的工作。

[0011] 鉴于上述问题,本发明的一个实施方式的目的是防止误动作的发生。

[0012] 在本发明的一个实施方式中,通过包括锁存器部、缓冲器部以及用来控制储存在该锁存器部中的数据的改写的开关部的电路生成具有作为驱动信号的功能的信号,以抑制储存在锁存器部中的数据的变动。

[0013] 上述开关部具有根据第一控制信号及第二控制信号控制储存在锁存器部中的数据的改写的功能。由此,在没有输入置位信号及复位信号的脉冲的期间中进行数据的改写,来抑制作为储存在锁存器部中的数据的电位的变动。

[0014] 本发明的一个实施方式是一种信号线驱动电路,该信号线驱动电路包括移位寄存器、选择电路以及驱动信号输出电路。选择电路具有根据第一时钟信号及第二时钟信号决定以与从移位寄存器输入的脉冲信号相同的电位电平输出第一脉冲信号或第二脉冲信号的功能。驱动信号输出电路具有根据从选择电路输入的第一和第二脉冲信号以及第一和第

二控制信号来生成并输出用来控制信号线的电位的驱动信号的功能。驱动信号输出电路包括被配置为根据第一及第二脉冲信号改写并储存第一数据及第二数据的锁存器部、被配置为根据第一数据及第二数据设定驱动信号的电位并输出该驱动信号的缓冲器部、以及被配置为通过根据第一控制信号及第二控制信号而开启或关闭来控制第一数据的改写的开关部。

[0015] 本发明的一个实施方式是一种信号线驱动电路,该信号线驱动电路包括移位寄存器、选择电路以及驱动信号输出电路。选择电路具有根据第一时钟信号及第二时钟信号决定以与从移位寄存器输入的脉冲信号相同的电位电平输出第一脉冲信号或第二脉冲信号的功能。驱动信号输出电路具有根据从选择电路输入的第一和第二脉冲信号以及第一至第五控制信号来生成并输出用来控制信号线的电位的驱动信号的功能。驱动信号输出电路包括根据第一及第二脉冲信号改写并储存第一数据及第二数据的第一锁存器部、根据第一及第二脉冲信号改写并储存第三数据及第四数据的第二锁存器部、具有根据第一数据及第二数据设定第一信号的电位并输出该第一信号的功能的第一缓冲器部、具有根据第三数据及第四数据设定第二信号的电位并输出该第二信号的功能的第二缓冲器部、通过根据第一控制信号及第二控制信号被开启或关闭来控制第一数据的改写的第二开关部、通过根据第一控制信号及第三控制信号被开启或关闭来控制第三数据的改写的第二开关部、被输入第二信号作为第四控制信号并通过根据第四控制信号被开启或关闭来控制储存在第一锁存器部中的第二数据的改写的第三开关部、被输入第一信号作为第五控制信号并通过根据第五控制信号被开启或关闭来控制储存在第二锁存器部中的第四数据的改写的第四开关部、以及根据第一信号及第二信号设定驱动信号的电位并输出该驱动信号的第三缓冲器部。

[0016] 在本发明的一个实施方式中,通过使用上述信号线驱动电路来控制像素电路的液晶元件的每一个之中的一对电极的另一方的电位。由此,在行和列中设置多个像素电路,并且,以逐行实施方式进行在每个帧期间使液晶元件的一对电极中的一方的电位的极性和另一方的电极的电位的极性反转;因此,降低栅极信号的电压。

[0017] 在本发明的一个实施方式中,液晶元件包括呈现蓝相的液晶。由此,能够提供以更高的速度工作的液晶显示装置。

[0018] 在本发明的一个实施方式中,可以抑制作为储存在锁存器部中的数据的数据的电位的变动以及从信号线驱动电路输出的信号的电位的变动;因此,可以防止误动作的发生。

附图说明

[0019] 图1示出信号线驱动电路的例子。

[0020] 图2示出选择电路的例子。

[0021] 图3A和3B示出驱动信号输出电路的例子。

[0022] 图4示出信号线驱动电路的例子。

[0023] 图5A和5B示出驱动信号输出电路的例子。

[0024] 图6是用来示出驱动信号线驱动电路的方法的例子的时序图。

[0025] 图7A和7B示出液晶显示装置的例子。

[0026] 图8A和8B示出脉冲输出电路的例子。

[0027] 图9A和9B示出选择电路的例子。

- [0028] 图10A和10B示出驱动信号输出电路的例子。
- [0029] 图11A和11B示出液晶显示装置的例子。
- [0030] 图12A和12B示出液晶显示装置的例子。
- [0031] 图13示出信号线驱动电路的例子。
- [0032] 图14A和14B示出脉冲输出电路的例子。
- [0033] 图15A和15B示出驱动信号输出电路的例子。
- [0034] 图16是用来示出驱动信号线驱动电路的方法的例子的时序图。
- [0035] 图17是用来示出驱动信号线驱动电路的方法的例子的时序图。
- [0036] 图18是用来示出像素电路的工作的例子的时序图。
- [0037] 图19是用来示出液晶显示装置的结构例子的示意截面图。
- [0038] 图20A至20D的每一个都示出电子设备的例子。
- [0039] 符号说明
- [0040] 101:移位寄存器;112:选择电路;113:驱动信号输出电路;121:锁存器部;122:缓冲器部;123:缓冲器部;124:开关部;131a:锁存器部;131b:锁存器部;132a:缓冲器部;132b:缓冲器部;133a至133d:开关部;134:缓冲器部;201:信号线驱动电路;202:信号线驱动电路;203:信号线驱动电路;204:信号线驱动电路;210:像素电路;211:场效应晶体管;212:液晶元件;213:电容器;230:移位寄存器;231:脉冲输出电路;232:选择电路;233:驱动信号输出电路;311至319:场效应晶体管;321:电容器;322:电容器;331至336:场效应晶体管;351至364:场效应晶体管;371:电容器;372:电容器;431至444:场效应晶体管;451:电容器;452:电容器;461至474:场效应晶体管;481:电容器;482:电容器;491:场效应晶体管;492:场效应晶体管;700:衬底;701a:导电层;701b:导电层;701c:导电层;702:绝缘层;703a:半导体层;703b:半导体层;704a至704d:导电层;705:绝缘层;706:着色层;707:绝缘层;708a至708d:结构体;709:导电层;710:导电层;720:衬底;722:绝缘层;723:绝缘层;750:液晶层;1011:框体;1012:面板;1013:按钮;1021a:框体;1021b:框体;1022a:面板;1022b:面板;1023:铰链;1024:按钮;1025:连接端子;1026:记录媒体插入部;1031:框体;1032:面板;1033:按钮;1034:甲板部;1041:框体;1042:面板;1043:支架;1044:按钮;1045:连接端子

具体实施方式

[0041] 将说明本发明的实施方式的例子。注意,本领域技术人员可以很容易地理解一个事实:在不脱离本发明的宗旨及其范围的情况下可以以各种方式改变实施方式的具体内容。因此,本发明不局限于例如对下述实施方式的描述。

[0042] 此外,不同的实施方式中的内容可以适当地互相组合。另外,各实施方式的内容可以适当地互相置换。

[0043] 另外,如“第一”和“第二”等序数词是为了避免构成构件之间的混淆而使用,并不限制各构件的个数。

[0044] 实施方式1

[0045] 在本实施方式中,参照图1、图2、图3A和3B、图4、图5A和5B以及图6说明具有输出多个驱动信号的功能的信号线驱动电路的例子。

[0046] 如图1所示,本实施方式的信号线驱动电路包括移位寄存器(也称为SR)101、多个选择电路(也称为SEL)112(在图1中,选择电路112_Z(Z是自然数)、112_Z+1以及112_Z+2)以及多个驱动信号输出电路(也称为DO)113(在图1中,驱动信号输出电路113_Z、113_Z+1以及113_Z+2)。例如,每个信号线设置有选择电路112及驱动信号输出电路113。由驱动信号输出电路113生成的脉冲信号通过对应的信号线被输出。

[0047] 起始脉冲信号SP被输入到移位寄存器101。

[0048] 移位寄存器101具有根据起始脉冲信号SP输出其电位被控制的多个脉冲信号(也称为SR0UT)的功能。

[0049] 如图2所示,脉冲信号作为脉冲信号SELIN从移位寄存器101输入到选择电路112。再者,时钟信号SECL及时钟信号RECL被输入到选择电路112。例如,不同的脉冲信号被输入到多个选择电路112。如图2所示,选择电路112输出脉冲信号SELOUT1及脉冲信号SELOUT2。

[0050] 选择电路112具有取决于脉冲信号SELIN、时钟信号SECL及时钟信号RECL来决定以与脉冲信号SELIN相同的电位电平输出脉冲信号SELOUT1或脉冲信号SELOUT2的功能。

[0051] 例如,选择电路112包括多个场效应晶体管。此时,通过多个场效应晶体管的切换,可以决定以与脉冲信号SELIN相同的电位电平输出脉冲信号SELOUT1或脉冲信号SELOUT2。

[0052] 再者,时钟信号GCLK1及时钟信号GCLK2分别作为时钟信号SECL及时钟信号RECL输入到图1所示的选择电路112_Z及112_Z+2。时钟信号FCLK1及时钟信号FCLK2分别作为时钟信号SECL及时钟信号RECL输入到选择电路112_Z+1。

[0053] 如图3A所示,置位信号SIN、复位信号RIN、控制信号CTL1及控制信号CTL2被输入到驱动信号输出电路113。如图3A所示,驱动信号输出电路113输出信号DOUT1及信号DOUT2。信号DOUT1被用作驱动信号。驱动信号输出电路113具有根据置位信号SIN、复位信号RIN、控制信号CTL1及控制信号CTL2生成并输出驱动信号的功能。例如,驱动信号被输出到用来控制信号线的电位的布线。

[0054] 例如,驱动信号输出电路113包括多个场效应晶体管。

[0055] 再者,如图3B所示,驱动信号输出电路113包括锁存器部(也称为LAT)121、第一缓冲器部(也称为BUF1)122、第二缓冲器部(也称为BUF2)123以及开关部(也称为SW)124。

[0056] 置位信号SIN及复位信号RIN被输入到锁存器部121。

[0057] 锁存器部121具有根据置位信号SIN及复位信号RIN改写并储存数据D1及数据D2的功能。

[0058] 第一缓冲器部122具有根据储存在锁存器部121中的数据D1及数据D2设定信号DOUT1的电位并输出信号DOUT1的功能。信号DOUT1的电位在从电位VCH到电位VCL(低于电位VCH的电位)的范围内变化。

[0059] 第二缓冲器部123具有根据储存在锁存器部121中的数据D1及数据D2设定信号DOUT2的电位并输出信号DOUT2的功能。信号DOUT2的电位在从电位VDD到电位VSS的范围内变化。电位VDD高于电位VSS并且是高电平信号的电位(也称为电位VH)。电位VSS低于或等于接地电位并且是低电平信号的电位(也称为电位VL)。

[0060] 控制信号CTL1及控制信号CTL2被输入到开关部124。

[0061] 开关部124具有通过根据控制信号CTL1及控制信号CTL2被开启或关闭来控制储存在锁存器部121中的数据D1的改写的功能。

[0062] 作为控制信号CTL1,可以使用具有如下期间的信号,在该期间内,连续的脉冲之间的间隔比起始脉冲信号的要短。

[0063] 脉冲信号SELOUT1作为置位信号SIN从选择电路112输入到驱动信号输出电路113,并且脉冲信号SELOUT2作为复位信号RIN从选择电路112输入驱动信号输出电路113。此时,锁存器部121具有根据脉冲信号SELOUT1及脉冲信号SELOUT2改写并储存数据D1及数据D2的功能。

[0064] 时钟信号CK_1被输入作为图1所示的驱动信号输出电路113_Z的控制信号CTL1。时钟信号CK_2被输入作为驱动信号输出电路113_Z+1的控制信号CTL1。时钟信号CK_3被输入作为驱动信号输出电路113_Z+2的控制信号CTL1。

[0065] 图1所示的驱动信号输出电路113_Z的信号DOUT1用作驱动信号DRV_Z。驱动信号输出电路113_Z+1的信号DOUT1用作驱动信号DRV_Z+1。驱动信号输出电路113_Z+2的信号DOUT1用作驱动信号DRV_Z+2。

[0066] 驱动信号输出电路113_Z的信号DOUT2被输入来作为图1所示的驱动信号输出电路113_Z+2的控制信号CTL2。此时,与输入时钟信号GCLK1的情况相比,能够改写数据D1的期间可以延长;因此,更有效地抑制信号线驱动电路的误动作。

[0067] 图1所示的设置在信号线驱动电路中的多个驱动信号输出电路113的连接关系也可以为图4所示那样。

[0068] 在图4所示的配置中,如图5A所示,置位信号SIN、复位信号RIN、控制信号CTL1、控制信号CTL2及控制信号CTL3被输入到驱动信号输出电路113。如图5A所示,驱动信号输出电路113输出信号DOUT1、信号DOUT2及信号DOUT3。驱动信号输出电路113具有根据置位信号SIN、复位信号RIN、控制信号CTL1至CTL5生成并输出驱动信号的功能。

[0069] 如图5B所示,驱动信号输出电路113包括第一锁存器部(也称为LAT1)131a、第二锁存器部(也称为LAT2)131b、第一缓冲器部(也称为BUF11)132a、第二缓冲器部(也称为BUF12)132b、第一开关部(也称为SW1)133a、第二开关部(也称为SW2)133b、第三开关部(也称为SW3)133c、第四开关部(也称为SW4)133d以及第三缓冲器部(也称为BUF13)134。

[0070] 置位信号SIN及复位信号RIN被输入到第一锁存器部131a。

[0071] 第一锁存器部131a具有根据置位信号SIN及复位信号RIN改写并储存数据D11及数据D22的功能。

[0072] 置位信号SIN及复位信号RIN输入第二锁存器部131b。

[0073] 第二锁存器部131b具有根据置位信号SIN及复位信号RIN改写并储存数据D13及数据D24的功能。

[0074] 第一缓冲器部132a具有根据储存在第一锁存器部131a中的数据D11及数据D22设定信号DOUT1的电位并输出信号DOUT1的功能。信号DOUT1的电位在从电位VDD(VH)到电位VSS(VL)的范围内变化。

[0075] 第二缓冲器部132b具有根据储存在第二锁存器部131b中的数据D13及数据D24设定信号DOUT2的电位并输出信号DOUT2的功能。信号DOUT2的电位在从电位VDD(VH)到电位VSS(VL)的范围内变化。

[0076] 控制信号CTL1及控制信号CTL2被输入到第一开关部133a。第一开关部133a具有通过根据控制信号CTL1及控制信号CTL2被开启或关闭来控制储存在第一锁存器部131a中的

数据D11的改写的功能。

[0077] 控制信号CTL1及控制信号CTL3被输入到第二开关部133b。第二开关部133b具有通过根据控制信号CTL1及控制信号CTL3被开启或关闭来控制储存在第二锁存器部131b中的数据D13的改写的功能。

[0078] 信号DOUT2作为控制信号CTL4被输入到第三开关部133c。第三开关部133c具有通过根据控制信号CTL4被开启或关闭来控制储存在第一锁存器部131a中的数据D22的改写的功能。

[0079] 信号DOUT1作为控制信号CTL5被输入到第四开关部133d。第四开关部133d具有通过根据控制信号CTL5被开启或关闭来控制储存在第二锁存器部131b中的数据D24的改写的功能。

[0080] 输入信号DOUT2及输入信号DOUT1分别被输入作为第三开关部133c的控制信号CTL4及第四开关部133d的控制信号CTL5,由此,可以保持供应电位VDD或电位VSS作为第一锁存器部的数据D22的电位及第二锁存器部的数据D24的电位;因此,可以保持第一锁存器部的数据D22的电位及第二锁存器部的数据D24的电位。

[0081] 第三缓冲器部134具有根据信号DOUT1及信号DOUT2设定信号DOUT3的电位并输出信号DOUT3的功能。信号DOUT3是其电位在从电位VCH到电位VCL的范围内变化的驱动信号。

[0082] 多个选择电路112的脉冲信号SELOUT1中的一个作为置位信号SIN输入到图4所示的多个驱动信号输出电路113的每个,并且多个选择电路112的脉冲信号SELOUT2中的一个作为复位信号RIN输入到图4所示的多个驱动信号输出电路113的每个。例如,选择电路112_{Z+1}的脉冲信号SELOUT1输入作为置位信号SIN到驱动信号输出电路113_{Z+1},并且选择电路112_{Z+1}的脉冲信号SELOUT2作为复位信号RIN输入到驱动信号输出电路113_{Z+1}。

[0083] 时钟信号CK₁被输入作为图4所示的驱动信号输出电路113_Z的控制信号CTL1。时钟信号CK₂被输入作为驱动信号输出电路113_{Z+1}的控制信号CTL1。时钟信号CK₃被输入作为驱动信号输出电路113_{Z+2}的控制信号CTL1。

[0084] 驱动信号输出电路113_Z的信号DOUT1被输入作为图4所示的驱动信号输出电路113_{Z+2}的控制信号CTL2。驱动信号输出电路113_Z的信号DOUT2被输入作为图4所示的驱动信号输出电路113_{Z+2}的控制信号CTL3。此时,与作为驱动信号输出电路113_{Z+2}的控制信号CTL2输入时钟信号GCLK1且作为驱动信号输出电路113_{Z+2}的控制信号CTL3输入时钟信号GCLK2的情况相比,能够改写图5B所示的数据D11及数据D13的期间可以延长;因此,更有效地抑制信号线驱动电路的误动作。

[0085] 图4所示的驱动信号输出电路113_Z的信号DOUT3用作驱动信号DRV_Z。驱动信号输出电路113_{Z+1}的信号DOUT3用作驱动信号DRV_{Z+1}。驱动信号输出电路113_{Z+2}的信号DOUT3用作驱动信号DRV_{Z+2}。

[0086] 另外,移位寄存器101、选择电路112及驱动信号输出电路113也可以使用具有相同极性的场效应晶体管形成,这与使用具有不同极性的场效应晶体管形成信号线驱动电路的情况相比,可以使制造工艺简化。

[0087] 接着,作为驱动本实施方式的信号线驱动电路的方法的例子,参照图6的时序图说明驱动图1所示的信号线驱动电路的方法的例子。注意,作为一个例子,时钟信号CK₁至CK₃的占空比都为25%,并且时钟信号CK₁至CK₃依次地延迟一个循环周期的1/4。时钟信号

FCLK1、时钟信号FCLK2、时钟信号GCLK1及时钟信号GCLK2的每一个的占空比都为50%。时钟信号FCLK2是时钟信号FCLK1的反转信号,并且时钟信号GCLK2是时钟信号GCLK1的反转信号。时序图中的双重的波状线意味着省略符号。

[0088] 如图6所示,在驱动图1所示的信号线驱动电路的方法的例子中,在期间T11中起始脉冲信号SP的脉冲被输入到移位寄存器101。

[0089] 在此情况下,根据时钟信号CK_1至CK_3,在期间T12中脉冲信号SROUT_Z的脉冲被输入到选择电路112_Z,在期间T13中脉冲信号SROUT_Z+1的脉冲被输入到选择电路112_Z+1,并且在期间T14中脉冲信号SROUT_Z+2的脉冲被输入到选择电路112_Z+2。另外,在期间T11至期间T17中,时钟信号FCLK1处于低电平,时钟信号FCLK2处于高电平,时钟信号GCLK1处于高电平,时钟信号GCLK2处于低电平。

[0090] 此时,选择电路112_Z及112_Z+2的每个都输出脉冲信号SROUT_Z或脉冲信号SROUT_Z+2的输入脉冲作为脉冲信号SELOUT1的脉冲。

[0091] 选择电路112_Z+1输出脉冲信号SROUT_Z+1的输入脉冲作为脉冲信号SELOUT2的脉冲。

[0092] 脉冲信号SELOUT1的脉冲作为置位信号SIN的脉冲被输入到驱动信号输出电路113_Z及驱动信号输出电路113_Z+2。在被输入置位信号SIN的脉冲的驱动信号输出电路113中,电位VDD及电位VSS分别被写为数据D1及数据D2。因此,信号DOUT1的电位成为电位VCH,并且信号DOUT2的电位成为电位VH。例如,驱动信号输出电路113_Z的信号DOUT1(驱动信号DRV_Z)在期间T12中成为电位VCH,并且驱动信号输出电路113_Z+2的信号DOUT1(驱动信号DRV_Z+2)在期间T14中成为电位VCH。

[0093] 脉冲信号SELOUT2的脉冲作为复位信号RIN的脉冲被输入到驱动信号输出电路113_Z+1。在被输入复位信号RIN的脉冲的驱动信号输出电路113中,电位VSS及电位VDD分别被写为数据D1及数据D2。因此,信号DOUT1的电位成为电位VCL,并且信号DOUT2的电位成为电位VL。例如,驱动信号输出电路113_Z+1的信号DOUT1(驱动信号DRV_Z+1)在期间T13中成为电位VCL。

[0094] 在期间T15至期间T17中,根据时钟信号CK_1至CK_3、时钟信号FCLK1和FCLK2以及时钟信号GCLK1和GCLK2,输入到被输入置位信号SIN的脉冲的驱动信号输出电路113中的控制信号CTL1及控制信号CTL2成为高电平。由此,电位VDD被写入到已被输入电位VDD作为数据D1的驱动信号输出电路113,这是数据的改写。因此,可以直到起始脉冲信号SP的脉冲再次被输入到移位寄存器101为止,数据D1的电位的变动很小。

[0095] 再者,在期间T18中起始脉冲信号SP的脉冲再次被输入到移位寄存器101。

[0096] 此时,根据时钟信号CK_1至CK_3,在期间T19中脉冲信号SROUT_Z的脉冲被输入到选择电路112_Z,在期间T20中脉冲信号SROUT_Z+1的脉冲被输入到选择电路112_Z+1,在期间T21中脉冲信号SROUT_Z+2的脉冲被输入到选择电路112_Z+2。在期间T18至期间T21中,时钟信号FCLK1处于高电平,时钟信号FCLK2处于低电平,时钟信号GCLK1处于低电平,时钟信号GCLK2处于高电平。

[0097] 此时,选择电路112_Z及112_Z+2的每个都输出脉冲信号SROUT_Z或脉冲信号SROUT_Z+2的输入脉冲作为脉冲信号SELOUT2的脉冲。

[0098] 选择电路112_Z+1输出脉冲信号SROUT_Z+1的输入脉冲作为脉冲信号SELOUT1的脉

冲。

[0099] 在被输入置位信号SIN的脉冲的驱动信号输出电路113中, 电位VDD及电位VSS分别被写为数据D1及数据D2。因此, 信号DOUT1的电位成为电位VCH, 并且信号DOUT2的电位成为电位VH。

[0100] 在被输入复位信号RIN的脉冲的驱动信号输出电路113中, 电位VSS及电位VDD分别被写为数据D1及数据D2。因此, 信号DOUT1的电位成为电位VCL, 并且信号DOUT2的电位成为电位VL。

[0101] 注意, 时钟信号FCLK1和时钟信号GCLK1也可以是相同的信号, 并且, 时钟信号FCLK2和时钟信号GCLK2也可以是相同的信号。此时, 信号DRV_Z+1相当于移位(shift)了的第Z信号DRV_Z。

[0102] 以上是驱动图1所示的信号线驱动电路的方法的例子的说明。

[0103] 如参照图1、图2、图3A和3B、图4、图5A和5B以及图6所描述那样, 本实施方式的信号线驱动电路的一个例子包括: 移位寄存器; 多个选择电路, 所述多个选择电路被从该移位寄存器输入不同脉冲信号, 并且所述多个选择电路的每个决定以与脉冲信号相同的电位电平输出第一脉冲信号或第二脉冲信号; 以及驱动信号输出电路, 被输入不同的选择电路的第一脉冲信号及第二脉冲信号。通过采用该结构, 可以输出多个驱动信号。

[0104] 在本实施方式的信号线驱动电路的一个例子的驱动信号输出电路中, 通过设置用来控制储存在锁存器部中的数据的改写的开关部, 即使在脉冲信号的脉冲不从移位寄存器输出的期间, 也可以改写该数据。因此, 例如, 可以防止因驱动信号输出电路中的场效应晶体管的泄漏电流所引起的作为第一数据的电位的变动。由此, 可以抑制信号线驱动电路的误动作。

[0105] 例如, 本实施方式的信号线驱动电路可以应用于通过使用多个信号线来控制多个电路的驱动的半导体装置, 诸如液晶显示装置或电子纸等。

[0106] 实施方式2

[0107] 在本实施方式中, 将说明通过公共信号线输出驱动信号的信号线驱动电路以及设置有该信号线驱动电路的液晶显示装置的例子。

[0108] 首先, 参照图7A说明液晶显示装置的配置例子。

[0109] 图7A所示的液晶显示装置包括信号线驱动电路201、信号线驱动电路202、信号线驱动电路203、数据信号线DL_1至DL_Y(Y是2或更大的自然数)、栅极信号线GL_1至GL_X(X是2或更大的自然数)、公共信号线CL_1至CL_X、以及排列为X行Y列的多个像素电路210。

[0110] 信号线驱动电路201具有生成多个数据信号DS(数据信号DS_1至DS_Y)的功能。信号线驱动电路201具有通过使用多个数据信号DS控制多个数据信号线DL(数据信号线DL_1至DL_Y)的电位来控制像素电路210的驱动的功能。

[0111] 信号线驱动电路202具有生成多个栅极信号GS(栅极信号GS_1至GS_X)的功能。信号线驱动电路202具有通过使用多个栅极信号GS控制多个栅极信号线GL(栅极信号线GL_1至GL_X)的电位来控制像素电路210的驱动的功能。

[0112] 信号线驱动电路203具有生成多个公共信号CS(公共信号CS_1至CS_X)的功能。信号线驱动电路203具有通过使用多个公共信号CS控制多个公共信号线CL(公共信号线CL_1至CL_X)的电位来控制像素电路210的驱动的功能。

[0113] 例如,信号线驱动电路203可以是实施方式1中的信号线驱动电路。

[0114] 多个像素电路210的每个都包括场效应晶体管211、具有一对电极及液晶层的液晶元件212、以及电容器213。注意,不一定必须设置电容器213。

[0115] 在像素电路210中,在第M行第N列(M是小于或等于X的自然数,N是小于或等于Y的自然数)处,场效应晶体管211的源极和漏极中的一方与数据信号线DL_N(多个数据信号线DL中的一个)电连接。在像素电路210中,在第M行第N列处,场效应晶体管211的栅极与栅极信号线GL_M(多个栅极信号线GL中的一个)电连接。

[0116] 此外,在像素电路210中,在第M行第N列处,液晶元件212的一对电极中的一方与在第M行第N列处的像素电路210的场效应晶体管211的源极和漏极中的另一方电连接。在像素电路210中,在第M行第N列处,液晶元件212的一对电极中的另一方与公共信号线CL_M(多个公共信号线CL中的一个)电连接。

[0117] 在液晶元件212中,根据施加于一对电极的电压来控制液晶层所包含的液晶的取向(alignment)。

[0118] 在像素电路210中,在第M行第N列处,电容器213的一对电极中的一方与在第M行第N列处的像素电路210的场效应晶体管211的源极和漏极中的另一方电连接。在像素电路210中,在第M行第N列处,电位VSS被施加给电容器213的一对电极中的另一方。

[0119] 接着,参照图7B描述信号线驱动电路203的配置例子。

[0120] 信号线驱动电路203包括移位寄存器230(图7B中的移位寄存器230)、多个选择电路232(在图7B中,只示出选择电路232₁至232₄)、以及多个驱动信号输出电路233(在图7B中,只示出驱动信号输出电路233₁至233₄)。再者,移位寄存器230包括脉冲输出电路231₁至231_X。注意,在本实施方式中,对设置选择电路232₁至232_X以及驱动信号输出电路233₁至233_X的情况进行说明。注意,在图7A及7B中,X是3或更大的自然数。

[0121] 再者,参照图8A和8B、图9A和9B以及图10A和10B说明图7B所示的信号线驱动电路的各构件。

[0122] 图8A和8B是用来说明图7B所示的移位寄存器230的脉冲输出电路的配置例子的图。

[0123] 如图8A所示,置位信号LIN_F、复位信号RIN_F、时钟信号CL_F、时钟信号CL_p_F以及初始化信号INI_{RES}被输入到脉冲输出电路231。图8A所示的脉冲输出电路输出信号FOUT。信号FOUT相当于移位寄存器230的脉冲信号SR_{OUT}。注意,初始化信号INI_{RES}是例如用来使脉冲输出电路初始化的信号。初始化信号INI_{RES}的脉冲被输入到脉冲输出电路,由此脉冲输出电路被初始化。注意,不一定必须将初始化信号INI_{RES}输入到脉冲输出电路中。

[0124] 注意,除了不输入复位信号RIN_F之外,脉冲输出电路231_{X+1}的配置与其他脉冲输出电路相同。

[0125] 如图8B所示,图8A所示的脉冲输出电路231包括场效应晶体管311至319、电容器321及电容器322。

[0126] 电位VDD被施加给场效应晶体管311的源极和漏极中的一方。置位信号LIN_F被输入到场效应晶体管311的栅极。

[0127] 电位VSS被施加给场效应晶体管312的源极和漏极中的一方。置位信号LIN_F被输入到场效应晶体管312的栅极。

[0128] 电位VDD被施加给场效应晶体管313的源极和漏极中的一方。场效应晶体管313的源极和漏极中的另一方与场效应晶体管312的源极和漏极中的另一方电连接。复位信号RIN_F被施加给场效应晶体管313的栅极。

[0129] 电位VDD被施加给场效应晶体管314的源极和漏极中的一方。场效应晶体管314的源极和漏极中的另一方与场效应晶体管312的源极和漏极中的另一方电连接。初始化信号INI_RES被输入到场效应晶体管314的栅极。注意,不一定必须设置场效应晶体管314。

[0130] 电位VDD被施加给场效应晶体管315的源极和漏极中的一方。场效应晶体管315的源极和漏极中的另一方与场效应晶体管312的源极和漏极中的另一方电连接。时钟信号CLp_F被输入到场效应晶体管315的栅极。

[0131] 电位VSS被施加给场效应晶体管316的源极和漏极中的一方。场效应晶体管316的源极和漏极中的另一方与场效应晶体管311的源极和漏极中的另一方电连接。场效应晶体管316的栅极与场效应晶体管312的源极和漏极中的另一方电连接。

[0132] 场效应晶体管317的源极和漏极中的一方与场效应晶体管311的源极和漏极中的另一方电连接。电位VDD被施加给场效应晶体管317的栅极。

[0133] 时钟信号CL_F被输入到场效应晶体管318的源极和漏极中的一方。场效应晶体管318的栅极与场效应晶体管317的源极和漏极中的另一方电连接。在图8B的脉冲输出电路中,场效应晶体管318的源极和漏极中的另一方的电位相当于信号FOUT的电位。

[0134] 电位VSS被施加给场效应晶体管319的源极和漏极中的一方。场效应晶体管319的源极和漏极中的另一方与场效应晶体管318的源极和漏极中的另一方电连接。场效应晶体管319的栅极与场效应晶体管312的源极和漏极中的另一方电连接。

[0135] 电位VSS被施加给电容器321的一对电极中的一方。电容器321的一对电极中的另一方与场效应晶体管312的源极和漏极中的另一方电连接。不一定必须设置电容器321。

[0136] 电容器322的一对电极中的一方与场效应晶体管318的栅极电连接。电容器322的一对电极中的另一方与场效应晶体管318的源极和漏极中的另一方电连接。不一定必须设置电容器322。

[0137] 在图8B所示的脉冲输出电路中,当场效应晶体管311及312根据置位信号LIN_F而开启并且场效应晶体管318开启时,信号FOUT的电位成为基本上相同于时钟信号CL_F的电位。此时,场效应晶体管319处于关闭状态。在图8B所示的脉冲输出电路中,当场效应晶体管313根据复位信号RIN_F而开启并且场效应晶体管319开启时,信号FOUT的电位成为基本上相同于电位VSS。此时,因为场效应晶体管313处于开启状态,并且场效应晶体管316处于开启状态,所以场效应晶体管318处于关闭状态。由此,脉冲输出电路输出脉冲信号。

[0138] 起始脉冲信号SP被输入到图7B所示的移位寄存器230作为脉冲输出电路231_1的置位信号LIN_F。

[0139] 注意,用来对信号线驱动电路203输入起始脉冲信号SP的布线也可以与保护电路电连接。

[0140] 脉冲输出电路231_K-1的信号FOUT被输入到移位寄存器230,作为脉冲输出电路231_K(K是大于或等于2且小于或等于X的自然数)的置位信号LIN_F。

[0141] 脉冲输出电路231_M+1的信号FOUT被作为脉冲输出电路231_M的复位信号RIN_F输入到移位寄存器230。

[0142] 时钟信号CLK1及时钟信号CLK2分别作为时钟信号CL_F及时钟信号CLp_F被输入到移位寄存器230的脉冲输出电路231_1。时钟信号CLK1及时钟信号CLK2分别作为时钟信号CL_F及时钟信号CLp_F被输入到从脉冲输出电路231_1起的每第四个脉冲输出电路。

[0143] 时钟信号CLK2及时钟信号CLK3分别作为时钟信号CL_F及时钟信号CLp_F被输入到移位寄存器230的脉冲输出电路231_2。时钟信号CLK2及时钟信号CLK3分别作为时钟信号CL_F及时钟信号CLp_F被输入到从脉冲输出电路231_2起的每第四个脉冲输出电路。

[0144] 时钟信号CLK3及时钟信号CLK4分别作为时钟信号CL_F及时钟信号CLp_F被输入到移位寄存器230的脉冲输出电路231_3。时钟信号CLK3及时钟信号CLK4分别作为时钟信号CL_F及时钟信号CLp_F被输入到从脉冲输出电路231_3起的每第四个脉冲输出电路。

[0145] 时钟信号CLK4及时钟信号CLK1分别作为时钟信号CL_F及时钟信号CLp_F被输入到移位寄存器230的脉冲输出电路231_4。时钟信号CLK4及时钟信号CLK1分别作为时钟信号CL_F及时钟信号CLp_F被输入到从脉冲输出电路231_4起的每第四个脉冲输出电路。

[0146] 注意,用来输入时钟信号CLK1至CLK4的布线的每根都可以与保护电路电连接。

[0147] 以上是对脉冲输出电路的说明。

[0148] 图9A和9B是用来说明选择电路的结构例子的图。

[0149] 如图9A所示,脉冲信号SELIN、时钟信号SECL及时钟信号RECL被输入到选择电路232。选择电路232输出脉冲信号SELOUT1及脉冲信号SELOUT2。选择电路232具有根据时钟信号SECL及时钟信号RECL决定以与脉冲信号SELIN相同的电位电平输出脉冲信号SELOUT1或脉冲信号SELOUT2的功能。

[0150] 如图9B所示,图9A所示的选择电路232包括场效应晶体管331至336。

[0151] 脉冲信号SELIN被输入到场效应晶体管331的源极和漏极中的一方。场效应晶体管331的源极和漏极中的另一方的电位相当于脉冲信号SELOUT1的电位。

[0152] 脉冲信号SELIN被输入到场效应晶体管332的源极和漏极中的一方。场效应晶体管332的源极和漏极中的另一方的电位相当于脉冲信号SELOUT2的电位。

[0153] 电位VSS被施加给场效应晶体管333的源极和漏极中的一方。场效应晶体管333的源极和漏极中的另一方与场效应晶体管331的源极和漏极中的另一方电连接。时钟信号RECL被输入到场效应晶体管333的栅极。

[0154] 电位VSS被施加给场效应晶体管334的源极和漏极中的一方。场效应晶体管334的源极和漏极中的另一方与场效应晶体管332的源极和漏极中的另一方电连接。时钟信号SECL被输入到场效应晶体管334的栅极。

[0155] 时钟信号SECL被输入到场效应晶体管335的源极和漏极中的一方。场效应晶体管335的源极和漏极中的另一方与场效应晶体管331的栅极电连接。电位VDD被施加给场效应晶体管335的栅极。注意,不一定必须设置场效应晶体管335。

[0156] 时钟信号RECL被输入到场效应晶体管336的源极和漏极中的一方。场效应晶体管336的源极和漏极中的另一方与场效应晶体管332的栅极电连接。电位VDD被施加给场效应晶体管336的栅极。注意,不一定必须设置场效应晶体管336。

[0157] 在图9B所示的选择电路中,通过场效应晶体管331根据时钟信号SECL而开启,从而脉冲信号SELIN被输出作为脉冲信号SELOUT1。此时,场效应晶体管332处于关闭状态,而场效应晶体管334处于开启状态。在图9B所示的选择电路中,通过场效应晶体管332根据时钟

信号RECL而开启,从而脉冲信号SELIN被输出作为脉冲信号SELOUT2。此时,场效应晶体管331处于关闭状态,而场效应晶体管333处于开启状态。

[0158] 起始脉冲信号SP被输入作为图7B所示的选择电路232_1的脉冲信号SELIN。

[0159] 脉冲输出电路231_K-1的信号FOUT被输入作为选择电路232_K的脉冲信号SELIN。

[0160] 时钟信号FCLK1被输入作为选择电路232_Q(Q是大于或等于1且小于或等于X的奇数)的时钟信号SECL。

[0161] 时钟信号FCLK2被输入作为选择电路232_Q的时钟信号RECL。

[0162] 时钟信号GCLK1被输入作为选择电路232_R(R是大于或等于2且小于或等于X的偶数)的时钟信号SECL。

[0163] 时钟信号GCLK2被输入作为选择电路232_R的时钟信号RECL。

[0164] 注意,用来输入FCLK1、时钟信号FCLK2、时钟信号GCLK1、以及时钟信号GCLK2的每根布线也可以与保护电路电连接。

[0165] 以上是对选择电路的说明。

[0166] 图10A和10B是用来说明驱动信号输出电路的例子的图。

[0167] 如图10A所示,置位信号SIN_D、复位信号RIN_D、控制信号CTL1_D、控制信号CTL2_D及初始化信号INI_RES被输入到驱动信号输出电路233。通过将初始化信号INI_RES的脉冲输入到驱动信号输出电路,驱动信号输出电路233被初始化。注意,不一定必须对驱动信号输出电路233输入初始化信号INI_RES。驱动信号输出电路233输出信号DOUT1及信号DOUT2。信号DOUT1是从驱动信号输出电路233输出的公共信号。用来输出信号DOUT1的布线可以与保护电路电连接。图10A所示的驱动信号输出电路233与图3A和3B所示的驱动信号输出电路类似,包括锁存器部、第一缓冲器部、第二缓冲器部以及开关部。以下说明更详细的内容。

[0168] 如图10B所示,图10A所示的驱动信号输出电路233包括场效应晶体管351至364、电容器371及电容器372。注意,场效应晶体管351至364是N沟道型晶体管。

[0169] 场效应晶体管351设置在锁存器部中。电位VDD被施加给场效应晶体管351的源极和漏极中的一方。置位信号SIN_D被输入到场效应晶体管351的栅极。

[0170] 场效应晶体管352设置在锁存器部中。电位VDD被施加给场效应晶体管352的源极和漏极中的一方。复位信号RIN_D被输入到场效应晶体管352的栅极。

[0171] 场效应晶体管353设置在锁存器部中。电位VSS被施加给场效应晶体管353的源极和漏极中的一方。场效应晶体管353的源极和漏极中的另一方与场效应晶体管352的源极和漏极中的另一方电连接。置位信号SIN_D被输入到场效应晶体管353的栅极。

[0172] 场效应晶体管354设置在锁存器部中。电位VSS被施加给场效应晶体管354的源极和漏极中的一方。场效应晶体管354的源极和漏极中的另一方与场效应晶体管351的源极和漏极中的另一方电连接。复位信号RIN_D被输入到场效应晶体管354的栅极。

[0173] 场效应晶体管355设置在第一缓冲器部中。电位TCOMH被施加给场效应晶体管355的源极和漏极中的一方。场效应晶体管355的源极和漏极中的另一方的电位相当于信号DOUT1的电位。

[0174] 场效应晶体管356设置在第一缓冲器部中。电位TCOML被施加给场效应晶体管356的源极和漏极中的一方。场效应晶体管356的源极和漏极中的另一方与场效应晶体管355的源极和漏极中的另一方电连接。场效应晶体管356的栅极与场效应晶体管352的源极和漏极

中的另一方电连接。

[0175] 电位TCOMH及电位TCOML的每个都是用来设定公共信号的电位的电位。电位TCOMH高于电位TCOML。

[0176] 场效应晶体管357设置在第二缓冲器部中。电位VDD被施加给场效应晶体管357的源极和漏极中的一方。场效应晶体管357的源极和漏极中的另一方的电位相当于信号DOUT2的电位。

[0177] 场效应晶体管358设置在第二缓冲器部中。电位VSS被施加给场效应晶体管358的源极和漏极中的一方。场效应晶体管358的源极和漏极中的另一方与场效应晶体管357的源极和漏极中的另一方电连接。场效应晶体管358的栅极与场效应晶体管352的源极和漏极中的另一方电连接。

[0178] 场效应晶体管359设置在开关部中。电位VDD被施加给场效应晶体管359的源极和漏极中的一方。控制信号CTL1_D被输入到场效应晶体管359的栅极。

[0179] 场效应晶体管360设置在开关部中。场效应晶体管360的源极和漏极中的一方与场效应晶体管359的源极和漏极中的另一方电连接。场效应晶体管360的源极和漏极中的另一方与场效应晶体管351的源极和漏极中的另一方电连接。控制信号CTL2_D被输入到场效应晶体管360的栅极。

[0180] 电位VSS被施加给场效应晶体管361的源极和漏极中的一方。场效应晶体管361的源极和漏极中的另一方与场效应晶体管351的源极和漏极中的另一方电连接。场效应晶体管361的栅极与场效应晶体管352的源极和漏极中的另一方电连接。注意,不一定必须设置场效应晶体管361。

[0181] 电位VSS被施加给场效应晶体管362的源极和漏极中的一方。场效应晶体管362的源极和漏极中的另一方与场效应晶体管352的源极和漏极中的另一方电连接。场效应晶体管362的栅极与场效应晶体管357的源极和漏极中的另一方电连接。注意,不一定必须设置场效应晶体管362。

[0182] 场效应晶体管363的源极和漏极中的一方与场效应晶体管351的源极和漏极中的另一方电连接。场效应晶体管363的源极和漏极中的另一方与场效应晶体管355的栅极及场效应晶体管357的栅极电连接。电位VDD被施加给场效应晶体管363的栅极。注意,不一定必须设置场效应晶体管363。

[0183] 电位VDD被施加给场效应晶体管364所具有的源极和漏极中的一方。场效应晶体管364的源极和漏极中的另一方与场效应晶体管356的栅极及场效应晶体管358的栅极电连接。初始化信号INI_RES被输入到场效应晶体管364的栅极。注意,不一定必须设置场效应晶体管364。

[0184] 电位VSS被施加给电容器371的一对电极中的一方。电容器371的一对电极中的另一方与场效应晶体管356的栅极及场效应晶体管358的栅极电连接。注意,不一定必须设置电容器371。

[0185] 电容器372的一对电极中的一方与场效应晶体管355的栅极及场效应晶体管357的栅极电连接。电容器372的一对电极中的另一方与场效应晶体管357的源极和漏极中的另一方电连接。注意,不一定必须设置电容器372。

[0186] 在图10B所示的驱动信号输出电路中,通过根据置位信号SIN_D开启场效应晶体管

351及353并且开启场效应晶体管355,信号DOUT1的电位成为基本上相同于电位TCOMH。此时,场效应晶体管356处于关闭状态。在图10B所示的驱动信号输出电路中,通过根据复位信号RIN_D开启场效应晶体管352及354并且开启场效应晶体管356,信号DOUT1的电位成为基本上相同于电位TCOML。此时,场效应晶体管355处于关闭状态。

[0187] 选择电路232_M的脉冲信号SELOUT1被输入作为图7B所示的驱动信号输出电路233_M的置位信号SIN_D。

[0188] 选择电路232_M的脉冲信号SELOUT2被输入作为驱动信号输出电路233_M的复位信号RIN_D。

[0189] 时钟信号CLK4被输入作为驱动信号输出电路233_1的控制信号CTL1_D。时钟信号CLK4被作为控制信号CTL1_D输入到从驱动信号输出电路233_1起的每第四个驱动信号输出电路。

[0190] 时钟信号CLK1被输入作为驱动信号输出电路233_2的控制信号CTL1_D。时钟信号CLK1被作为控制信号CTL1_D输入到从驱动信号输出电路233_2起的每第四个驱动信号输出电路。

[0191] 时钟信号CLK2被输入作为驱动信号输出电路233_3的控制信号CTL1_D。时钟信号CLK2被作为控制信号CTL1_D输入到从驱动信号输出电路233_3起的每第四个驱动信号输出电路。

[0192] 时钟信号CLK3被输入作为驱动信号输出电路233_4的控制信号CTL1_D。时钟信号CLK3被作为控制信号CTL1_D输入到从驱动信号输出电路233_4起的每第四个驱动信号输出电路。

[0193] 时钟信号FCLK1被输入作为驱动信号输出电路233_1的控制信号CTL2_D。

[0194] 时钟信号GCLK1被输入作为驱动信号输出电路233_2的控制信号CTL2_D。

[0195] 驱动信号输出电路233_L-2(L是大于或等于3且小于或等于X的自然数)的信号DOUT2被输入作为驱动信号输出电路233_L的控制信号CTL2_D。

[0196] 驱动信号输出电路233_M的信号DOUT1相当于公共信号CS_M。

[0197] 以上是图7B所示的信号线驱动电路的说明。

[0198] 本实施方式的液晶显示装置可以具有图11A所示的配置。图11A所示的液晶显示装置具有其中多个栅极信号线GL及多个公共信号线CL与信号线驱动电路203电连接的配置。

[0199] 图11B示出该情况下的信号线驱动电路203的配置例子。图11B所示的移位寄存器230设置在信号线驱动电路202中。多个选择电路232及多个驱动信号输出电路233被设置用于信号线驱动电路203。通过采用该结构,即使在信号线驱动电路203中不设置移位寄存器,脉冲信号SROUT可以通过信号线驱动电路202的移位寄存器230被输出到信号线驱动电路203的选择电路232。

[0200] 本实施方式的液晶显示装置具有图12A所示的配置。图12A所示的液晶显示装置具有信号线驱动电路204来代替信号线驱动电路202及信号线驱动电路203。

[0201] 图12B示出信号线驱动电路204的配置例子。图12B所示的信号线驱动电路204具有图7B所示的信号线驱动电路的配置且具有输出栅极信号GS_1至GS_X的功能。

[0202] 在图12B所示的信号线驱动电路中,脉冲输出电路231_M的信号FOUT相当于栅极信号GS_M。

[0203] 图7B所示的信号线驱动电路可以具有其他配置。图13示出图7B所示的信号线驱动电路的配置的另一个例子。

[0204] 图13所示的信号线驱动电路与图7B所示的信号线驱动电路的不同之处在于,移位寄存器的脉冲输出电路的配置和驱动信号输出电路的配置。

[0205] 参照图14A和14B说明图13所示的脉冲输出电路的配置例子。

[0206] 对图14A所示的脉冲输出电路231输入初始化信号INI_RES1及初始化信号INI_RES2来代替初始化信号INI_RES。初始化信号INI_RES1及INI_RES2例如在使电路中的多个连接部分的电位独立地被初始化的情况下使用。初始化信号INI_RES1及INI_RES2的脉冲被输入到脉冲输出电路,由此,脉冲输出电路被初始化。注意,初始化信号INI_RES1及INI_RES2具有不同的波形。不一定必须对脉冲输出电路输入初始化信号INI_RES1及INI_RES2。

[0207] 再者,如图14B所示,图14A所示的脉冲输出电路除了具有图8B所示的脉冲输出电路的配置之外,还具有场效应晶体管320。

[0208] 电位VDD被施加给场效应晶体管320的源极和漏极中的一方。场效应晶体管320的源极和漏极中的另一方与场效应晶体管319的栅极电连接。初始化信号INI_RES2被输入到场效应晶体管320的栅极。

[0209] 在图14B所示的脉冲输出电路中,初始化信号INI_RES1被输入到场效应晶体管314的栅极,来代替初始化信号INI_RES。

[0210] 以上是对图13所示的脉冲输出电路的说明。

[0211] 参照图15A和15B说明图13所示的驱动信号输出电路的配置例子。

[0212] 置位信号SIN_D、复位信号RIN_D、控制信号CTL1_D至CTL4_D、初始化信号INI_RES1及INI_RES2被输入到图15A的驱动信号输出电路233。初始化信号INI_RES1及INI_RES2的脉冲被输入到驱动信号输出电路,由此驱动信号输出电路被初始化。不一定必须对驱动信号输出电路输入初始化信号INI_RES1及INI_RES2。如图15A所示,图13所示的多个驱动信号输出电路233的每个都具有输出信号SCOUT、信号RCOUT及信号DOUT的功能。信号DOUT是公共信号。

[0213] 图15A所示的驱动信号输出电路包括储存数据D11及数据D22的第一锁存器部、储存数据D13及数据D24的第二锁存器部、第一缓冲器部、第二缓冲器部、第一开关部、第二开关部、第三开关部、第四开关部以及第三缓冲器部。以下说明更详细的内容。

[0214] 如图15B所示,图15A所示的驱动信号输出电路包括场效应晶体管431至444、电容器451、电容器452、场效应晶体管461至474、电容器481及电容器482。

[0215] 场效应晶体管431设置在第一锁存器部中。场效应晶体管461设置在第二锁存器部中。电位VDD被施加给场效应晶体管431的源极和漏极中的一方及场效应晶体管461的源极和漏极中的一方。置位信号SIN_D被输入到场效应晶体管431的栅极及场效应晶体管461的栅极。场效应晶体管431的源极和漏极中的另一方的电位相当于数据D11。场效应晶体管461的源极和漏极中的另一方的电位相当于数据D24。

[0216] 场效应晶体管432设置在第一锁存器部中。场效应晶体管462设置在第二锁存器部中。电位VDD被施加给场效应晶体管432的源极和漏极中的一方及场效应晶体管462的源极和漏极中的一方。复位信号RIN_D被输入到场效应晶体管432的栅极及场效应晶体管462的栅极。场效应晶体管432的源极和漏极中的另一方的电位相当于数据D22。场效应晶体管462

的源极和漏极中的另一方的电位相当于数据D13。

[0217] 场效应晶体管433设置在第一锁存器部中。电位VSS被施加给场效应晶体管433的源极和漏极中的一方。场效应晶体管433的源极和漏极中的另一方与场效应晶体管432的源极和漏极中的另一方电连接。置位信号SIN_D被输入到场效应晶体管433的栅极。

[0218] 场效应晶体管463设置在第二锁存器部中。电位VSS被施加给场效应晶体管463的源极和漏极中的一方。场效应晶体管463的源极和漏极中的另一方与场效应晶体管461的源极和漏极中的另一方电连接。复位信号RIN_D被输入到场效应晶体管463的栅极。

[0219] 场效应晶体管434设置在第一缓冲器部中。场效应晶体管464设置在第二缓冲器部中。电位VDD被施加给场效应晶体管434的源极和漏极中的一方及场效应晶体管464的源极和漏极中的一方。场效应晶体管434的源极和漏极中的另一方的电位相当于信号SCOUT的电位。场效应晶体管464的源极和漏极中的另一方的电位相当于信号RCOUT的电位。

[0220] 场效应晶体管435设置在第一缓冲器部中。场效应晶体管465设置在第二缓冲器部中。电位VSS被施加给场效应晶体管435的源极和漏极中的一方及场效应晶体管465的源极和漏极中的一方。场效应晶体管435的源极和漏极中的另一方与场效应晶体管434的源极和漏极中的另一方电连接。场效应晶体管465的源极和漏极中的另一方与场效应晶体管464的源极和漏极中的另一方电连接。

[0221] 场效应晶体管436设置在第一开关部中。场效应晶体管466设置在第二开关部中。电位VDD被施加给场效应晶体管436的源极和漏极中的一方及场效应晶体管466的源极和漏极中的一方。控制信号CTL1_D被输入到场效应晶体管436的栅极及场效应晶体管466的栅极。

[0222] 场效应晶体管437设置在第一开关部中。场效应晶体管467设置在第二开关部中。电位VDD被施加给场效应晶体管437的源极和漏极中的一方及场效应晶体管467的源极和漏极中的一方。控制信号CTL2_D被输入到场效应晶体管437的栅极及场效应晶体管467的栅极。

[0223] 场效应晶体管438设置在第一开关部中。场效应晶体管438的源极和漏极中的一方与场效应晶体管436的源极和漏极中的另一方及场效应晶体管437的源极和漏极中的另一方电连接。场效应晶体管438的源极和漏极中的另一方与场效应晶体管431的源极和漏极中的另一方电连接。控制信号CTL3_D被输入到场效应晶体管438的栅极。

[0224] 场效应晶体管468设置在第二开关部中。场效应晶体管468的源极和漏极中的一方与场效应晶体管466的源极和漏极中的另一方及场效应晶体管467的源极和漏极中的另一方电连接。场效应晶体管468的源极和漏极中的另一方与场效应晶体管462的源极和漏极中的另一方电连接。控制信号CTL4_D被输入到场效应晶体管468的栅极。

[0225] 场效应晶体管439设置在第三开关部中。电位VDD被施加给场效应晶体管439的源极和漏极中的一方。场效应晶体管439的源极和漏极中的另一方与场效应晶体管432的源极和漏极中的另一方电连接。信号RCOUT被作为控制信号CTL5_D输入到场效应晶体管439的栅极。

[0226] 场效应晶体管469设置在第四开关部中。电位VDD被施加给场效应晶体管469的源极和漏极中的一方。场效应晶体管469的源极和漏极中的另一方与场效应晶体管461的源极和漏极中的另一方电连接。信号SCOUT被作为控制信号CTL6_D输入到场效应晶体管469的栅极。

极。

[0227] 电位VSS被施加给场效应晶体管440的源极和漏极中的一方。场效应晶体管440的源极和漏极中的另一方与场效应晶体管431的源极和漏极中的另一方电连接。场效应晶体管440的栅极与场效应晶体管432的源极和漏极中的另一方电连接。

[0228] 电位VSS被施加给场效应晶体管470的源极和漏极中的一方。场效应晶体管470的源极和漏极中的另一方与场效应晶体管462的源极和漏极中的另一方电连接。场效应晶体管470的栅极与场效应晶体管461的源极和漏极中的另一方电连接。

[0229] 电位VSS被施加给场效应晶体管441的源极和漏极中的一方。场效应晶体管441的源极和漏极中的另一方与场效应晶体管432的源极和漏极中的另一方电连接。场效应晶体管441的栅极与场效应晶体管434的源极和漏极中的另一方电连接。不一定必须设置场效应晶体管441。

[0230] 电位VSS被施加给场效应晶体管471的源极和漏极中的一方。场效应晶体管471的源极和漏极中的另一方与场效应晶体管463的源极和漏极中的另一方电连接。场效应晶体管471的栅极与场效应晶体管464的源极和漏极中的另一方电连接。不一定必须设置场效应晶体管471。

[0231] 场效应晶体管442的源极和漏极中的一方与场效应晶体管431的源极和漏极中的另一方电连接。场效应晶体管442的源极和漏极中的另一方与场效应晶体管434的栅极电连接。电位VDD被施加给场效应晶体管442的栅极。不一定必须设置场效应晶体管442。

[0232] 场效应晶体管472的源极和漏极中的一方与场效应晶体管462的源极和漏极中的另一方电连接。场效应晶体管472的源极和漏极中的另一方与场效应晶体管464的栅极电连接。电位VDD被施加给场效应晶体管472的栅极。不一定必须设置场效应晶体管472。

[0233] 电位VDD被施加给场效应晶体管443的源极和漏极中的一方及场效应晶体管473的源极和漏极中的一方。场效应晶体管443的源极和漏极中的另一方与场效应晶体管435的栅极电连接。场效应晶体管473的源极和漏极中的另一方与场效应晶体管465的栅极电连接。初始化信号INI_RES1被输入到场效应晶体管443的栅极。初始化信号INI_RES2被输入到场效应晶体管473的栅极。不一定必须设置场效应晶体管443及场效应晶体管473。

[0234] 电位VDD被施加给场效应晶体管444的源极和漏极中的一方及场效应晶体管474的源极和漏极中的一方。场效应晶体管444的源极和漏极中的另一方与场效应晶体管431的源极和漏极中的另一方电连接。场效应晶体管474的源极和漏极中的另一方与场效应晶体管462的源极和漏极中的另一方电连接。初始化信号INI_RES2被输入到场效应晶体管444的栅极。初始化信号INI_RES1被输入到场效应晶体管474的栅极。不一定必须设置场效应晶体管444及场效应晶体管474。

[0235] 电位VSS被施加给电容器451的一对电极中的一方。电容器451的一对电极中的另一方与场效应晶体管435的栅极电连接。

[0236] 电位VSS被施加给电容器481的一对电极中的一方。电容器481的一对电极中的另一方与场效应晶体管465的栅极电连接。

[0237] 电容器452的一对电极中的一方与场效应晶体管434的栅极电连接。电容器452的一对电极中的另一方与场效应晶体管434的源极和漏极中的另一方电连接。

[0238] 电容器482的一对电极中的一方与场效应晶体管464的栅极电连接。电容器482的

一对电极中的另一方与场效应晶体管464的源极和漏极中的另一方电连接。

[0239] 注意,不一定必须设置电容器451、电容器452、电容器481及电容器482。

[0240] 场效应晶体管491设置在第三缓冲器部中。电位TCOMH被施加给场效应晶体管491的源极和漏极中的一方。电位TCOMH高于电位VDD。场效应晶体管491的源极和漏极中的另一方的电位相当于信号COUT的电位。信号SCOUT被输入到场效应晶体管491的栅极。

[0241] 场效应晶体管492设置在第三缓冲器部中。电位TCOML被施加给场效应晶体管492的源极和漏极中的一方。电位TCOML低于电位VSS。场效应晶体管492的源极和漏极中的另一方与场效应晶体管491的源极和漏极中的另一方电连接。信号RCOUT被输入到场效应晶体管492的栅极。

[0242] 在图15B所示的驱动信号输出电路中,场效应晶体管431及场效应晶体管433根据置位信号SIN_D而开启,电位VDD被写为第一锁存器部的数据D11,场效应晶体管434开启,信号SCOUT的电位成为电位VH,并且信号SCOUT成为高电平。此时,电位VSS被写为第一锁存器部的数据D22,因此,场效应晶体管435处于关闭状态。场效应晶体管461根据置位信号SIN_D而开启,电位VDD被写为第二锁存器部的数据D24,场效应晶体管465开启,信号RCOUT的电位成为电位VL,并且信号RCOUT成为低电平。此时,场效应晶体管464处于关闭状态。

[0243] 在图15B所示的驱动信号输出电路中,场效应晶体管432根据复位信号RIN_D而开启,电位VDD被写为第一锁存器部的数据D22,场效应晶体管435开启,信号SCOUT的电位成为电位VL,并且信号SCOUT成为低电平。此时,场效应晶体管440处于开启状态,并且场效应晶体管431处于关闭状态;因此,场效应晶体管434处于关闭状态。场效应晶体管462根据复位信号RIN_D而开启,场效应晶体管464开启,信号RCOUT的电位成为电位VH,并且信号RCOUT成为高电平。此时,电位VSS被写为第二锁存器部的数据D24,由此场效应晶体管465处于关闭状态。

[0244] 在图15A和15B所示的驱动信号输出电路中,当输入初始化信号INI_RES1的脉冲时,信号SCOUT成为低电平并且信号RCOUT成为高电平。另一方面,当输入初始化信号INI_RES2的脉冲时,信号SCOUT成为高电平,且信号RCOUT成为低电平。

[0245] 在图13所示的多个驱动信号输出电路的每一个中,作为置位信号SIN_D、复位信号RIN_D、控制信号CTL1_D、以及控制信号CTL2_D而被输入的信号相同于被输入到图7B所示的多个驱动信号输出电路的每一个中的相对应的信号。

[0246] 时钟信号FCLK1被输入作为图13所示的驱动信号输出电路233_1的控制信号CTL3_D。

[0247] 时钟信号GCLK1被输入作为驱动信号输出电路233_2的控制信号CTL3_D。

[0248] 驱动信号输出电路233_L-2的信号SCOUT被输入作为驱动信号输出电路233_L的控制信号CTL3_D。

[0249] 时钟信号FCLK2被输入作为驱动信号输出电路233_1的控制信号CTL4_D。

[0250] 时钟信号GCLK2被输入作为驱动信号输出电路233_2的控制信号CTL4_D。

[0251] 驱动信号输出电路233_L-2的信号RCOUT被输入作为驱动信号输出电路233_L的控制信号CTL4_D。

[0252] 以上是对图13所示的信号线驱动电路的说明。

[0253] 接着,作为驱动本实施方式的信号线驱动电路的方法的例子,参照图16的时序图

说明驱动图7B所示的信号线驱动电路的方法的例子。注意,作为一个例子,时钟信号CLK1至CLK4的每一个的占空比为25%,并且该时钟信号CLK1至CLK4依次延迟一个循环周期的1/4。时钟信号FCLK1、FCLK2、GCLK1及GCLK2的每一个的占空比为50%。时钟信号FCLK1是时钟信号GCLK1的反转信号,时钟信号FCLK2是时钟信号FCLK1的反转信号,并且时钟信号GCLK2是时钟信号GCLK1的反转信号。

[0254] 如图16所示,在驱动图7B所示的信号线驱动电路的方法的例子中,在期间T21中起始脉冲信号SP的脉冲被输入到移位寄存器230及选择电路232_1。

[0255] 在此情况下,根据时钟信号CLK1至CLK4,在期间T22中脉冲信号SROUT_1的脉冲被输入到选择电路232_2,在期间T23中脉冲信号SROUT_2的脉冲被输入到选择电路232_3,在期间T24中脉冲信号SROUT_3的脉冲被输入到选择电路232_4,并且在期间T25中脉冲信号SROUT_4的脉冲被输入到选择电路232_5。在期间T21至T29中,时钟信号FCLK1处于低电平,时钟信号FCLK2处于高电平,时钟信号GCLK1处于高电平,时钟信号GCLK2处于低电平。

[0256] 在此情况下,选择电路232_Q输出脉冲信号SROUT的输入脉冲作为脉冲信号SELOUT2的脉冲。

[0257] 选择电路232_R输出脉冲信号SROUT的输入脉冲作为脉冲信号SELOUT1的脉冲。

[0258] 脉冲信号SELOUT1的脉冲被作为置位信号SIN_D的脉冲输入到驱动信号输出电路233_R中。在被输入置位信号SIN_D的脉冲的驱动信号输出电路233_R中,分别写入电位VDD及电位VSS作为数据D1及数据D2。因此,信号DOUT1的电位成为电位TCOMH,并且信号DOUT2的电位成为电位VH。例如,驱动信号输出电路233_2的信号DOUT1(公共信号CS_2)在期间T22中成为电位TCOMH。驱动信号输出电路233_4的信号DOUT1(公共信号CS_4)在期间T24中成为电位TCOMH。

[0259] 脉冲信号SELOUT2的脉冲被作为复位信号RIN_D的脉冲输入到驱动信号输出电路233_Q中。在被输入复位信号RIN_D的脉冲的驱动信号输出电路233_Q中,分别写入电位VSS及电位VDD作为数据D1及数据D2。因此,信号DOUT1的电位成为电位TCOML,并且信号DOUT2的电位成为电位VL。例如,驱动信号输出电路233_1的信号DOUT1(公共信号CS_1)在期间T21中成为电位TCOML。驱动信号输出电路233_3的信号DOUT1(公共信号CS_3)在期间T23中成为电位TCOML。

[0260] 在期间T26至T29中,根据时钟信号CLK1至CLK4、时钟信号FCLK1和FCLK2以及时钟信号GCLK1和GCLK2,被输入到驱动信号输出电路233_R的控制信号CTL1及控制信号CTL2成为高电平。因此,电位VDD被写入到驱动信号输出电路233_R,这是数据的改写。注意,可以反复进行期间T26至T29的工作。由此,直到起始脉冲信号SP的脉冲再次被输入到移位寄存器230为止,数据D1的电位的变动可以很小。

[0261] 再者,在期间T30中起始脉冲信号SP的脉冲再次被输入到移位寄存器230及选择电路232_1。

[0262] 此时,根据时钟信号CLK1至CLK4,在期间T31中脉冲信号SROUT_1的脉冲被输入到选择电路232_2,在期间T32中脉冲信号SROUT_2的脉冲被输入到选择电路232_3,并且在期间T33中脉冲信号SROUT_3的脉冲被输入到选择电路232_4。在期间T30至T34中,时钟信号FCLK1处于高电平,时钟信号FCLK2处于低电平,时钟信号GCLK1处于低电平,时钟信号GCLK2处于高电平。

[0263] 此时,选择电路232_Q输出脉冲信号SROUT的输入脉冲作为脉冲信号SELOUT1的脉冲。

[0264] 选择电路232_R输出脉冲信号SROUT的输入脉冲作为脉冲信号SELOUT2的脉冲。

[0265] 再者,在被输入置位信号SIN_D的脉冲的驱动信号输出电路233_Q中,分别写入电位VDD及电位VSS作为数据D1及数据D2。因此,信号DOUT1的电位成为电位TCOMH,并且信号DOUT2的电位成为电位VH。

[0266] 在被输入复位信号RIN_D的脉冲的驱动信号输出电路233_R中,分别写入电位VSS及电位VDD作为数据D1及数据D2。因此,信号DOUT1的电位成为电位TCOML,并且信号DOUT2的电位成为电位VL。

[0267] 以上是驱动图7A所示的信号线驱动电路的方法的例子。

[0268] 在驱动本实施方式的信号线驱动电路的方法的例子中,例如,如图17所示,时钟信号FCLK1和时钟信号GCLK1可以是相同的信号,并且时钟信号FCLK2和时钟信号GCLK2可以是相同的信号。此时,驱动信号输出电路_K的信号DOUT1是通过使驱动信号输出电路_K-1的信号DOUT1移位而形成的信号,驱动信号输出电路_K的信号DOUT2是通过使驱动信号输出电路_K-1的信号DOUT2移位而形成的信号。

[0269] 参照图18的时序图说明包含在图7A所示的液晶显示装置中的像素电路210的工作例子。

[0270] 如图18所示,当在帧期间F1中将数据写入到第M行第N列处的像素电路210时,由于在像素电路210中通过公共信号线CL_M所输入的公共信号CS_M,液晶元件212的一对电极中的另一方的电位(也称为VLC2)成为电位TCOML。液晶元件212的一对电极中的另一方的电位在不晚于结束栅极信号GS_M的脉冲的输入的时间被切换。例如,可以在正输入栅极信号GS_M的脉冲的时候切换液晶元件212的一对电极中的另一方的电位。

[0271] 栅极信号GS_M的脉冲通过栅极信号线GL_M被输入,并且在像素电路210中,场效应晶体管211开启。

[0272] 在此情况下,在像素电路210中,液晶元件212的一对电极中的一方的电位(也称为电位VLC1)基本上等于通过数据信号线DL_N被输入的数据信号DS的电位。在此,电位VLC1相当于电位+VDATA。因此,施加在液晶元件212的一对电极之间的电压是+VDATA-TCOML。因此,数据被写入到像素电路210。

[0273] 然后,栅极信号GS_M的脉冲的输入结束,从而场效应晶体管211关闭。在像素电路210中,积累在液晶元件212的一对电极中的一方的电荷被保持。在被写入了数据的像素电路210中,根据施加在液晶元件212的一对电极之间的电压来控制包含在液晶层中的液晶的取向;因此,像素电路210处于显示状态。

[0274] 由于通过公共信号线CL_M输入的公共信号CS_M,在像素电路210中液晶元件212的一对电极中的另一方的电位(也称为VLC2)成为电位TCOMH。

[0275] 当在帧期间F2中反转数据在第M行第N列处被写入到像素电路210时,通过栅极信号线GL_M输入栅极信号GS_M的脉冲,由此在像素电路210中场效应晶体管211开启。

[0276] 在像素电路210中,作为液晶元件212的电位的电位VLC1基本上等于通过数据信号线DL_N输入的数据信号DS的电位。在此,电位VLC1相当于电位-VDATA。因此,施加到液晶元件212的一对电极之间的电压是TCOMH-VDATA。

[0277] 然后,栅极信号GS的脉冲的输入结束,从而场效应晶体管211关闭。在像素电路210中,积累在液晶元件212的一对电极中的一方的电荷被保持。在被输入数据的像素电路210中,根据施加到液晶元件212的一对电极之间的电压来控制包含在液晶层中的液晶的取向;因此,像素电路210处于显示状态。

[0278] 如图18所示,在本实施方式的液晶显示装置中,在每个帧期间数据信号及公共信号的极性都被反转,由此数据信号的振幅可以很小;因而栅极信号的振幅可以很小。因此,可以降低驱动电压,从而可以减少耗电量。

[0279] 当数据不需要被写入到像素电路210时,可以停止对信号线驱动电路201至203的电源供应。由此,可以减少液晶显示装置的耗电量。此外,作为像素电路210的场效应晶体管211使用关态(off-state)电流低的场效应晶体管,由此,即使在对信号线驱动电路201至203的电源供应停止时,也可以显示相同的图像。

[0280] 以上是对本实施方式的液晶显示装置的说明。

[0281] 如参照图7A和7B、图8A和8B、图9A和9B、图10A和10B、图11A和11B、图12A和12B、图13、图14A和14B、图15A和15B、图16、图17以及图18所说明的那样,本实施方式的液晶显示装置的一个例子可以采用如下驱动方法,其中,通过使用信号线驱动电路控制公共信号线的电位,在像素电路中,以逐行方式在每个帧期间使每个液晶元件的一对电极中的一方的电位的极性和另一个电极的电位的极性反转。

[0282] 在本实施方式的液晶显示装置的例子中,使用在实施方式1中所说明的信号线驱动电路作为用来控制公共信号线的电位的信号线驱动电路。因此,即使在起始脉冲信号的脉冲不被输入到移位寄存器的期间也可以改写锁存器部的第一数据。因此,例如,可以防止由于驱动信号输出电路中的场效应晶体管的泄漏电流所引起的作为第一数据的电位的变动。因此,可以抑制液晶显示装置的误动作。

[0283] 实施方式3

[0284] 在本实施方式中,将参照图19说明实施方式2所说明的液晶显示装置的配置例子。

[0285] 本实施方式的液晶显示装置的例子是横向电场方式的液晶显示装置,并且如图19所示,包括导电层701a至701c、绝缘层702、半导体层703a及703b、导电层704a至704d、绝缘层705、着色层706、绝缘层707、结构体708a至708d、导电层709、导电层710、绝缘层722、绝缘层723以及液晶层750。

[0286] 导电层701a至701c设置在衬底700的平表面上。

[0287] 导电层701a设置在信号线驱动电路部800中。导电层701a具有作为信号线驱动电路中的场效应晶体管的栅极的功能。

[0288] 导电层701b设置在像素电路部801中。导电层701b具有作为像素电路中的场效应晶体管的栅极的功能。

[0289] 导电层701c设置在像素电路部801中。导电层701c具有作为像素电路中的电容器的一对电极中的另一方的功能。

[0290] 绝缘层702设置在导电层701a至701c上。绝缘层702具有作为信号线驱动电路的场效应晶体管中的栅极绝缘层、像素电路的场效应晶体管中的栅极绝缘层、以及像素电路的电容器中的介电质层的功能。

[0291] 半导体层703a夹着绝缘层702与导电层701a重叠。半导体层703a具有作为在信号

线驱动电路的场效应晶体管中的、形成有沟道的层(也称为沟道形成层)的功能。

[0292] 半导体层703b夹着绝缘层702与导电层701b重叠。半导体层703b具有作为在像素电路的场效应晶体管中包含的沟道形成层的功能。

[0293] 导电层704a与半导体层703a电连接。导电层704a具有作为信号线驱动电路的场效应晶体管的源极和漏极中的一方的功能。

[0294] 导电层704b与半导体层703a电连接。导电层704b具有作为信号线驱动电路的场效应晶体管的源极和漏极中的另一方的功能。

[0295] 导电层704c与半导体层703b电连接。导电层704c具有作为像素电路的场效应晶体管的源极和漏极中的一方的功能。

[0296] 导电层704d与半导体层703b电连接。导电层704d夹着绝缘层702与导电层701c重叠。导电层704d具有作为像素电路的场效应晶体管的源极和漏极中的另一方以及像素电路的电容器的一对电极中的一方的功能。

[0297] 绝缘层705设置在半导体层703a及703b以及导电层704a至704d上。绝缘层705具有作为用来保护场效应晶体管的绝缘层(也称为保护绝缘层)的功能。

[0298] 着色层706设置在绝缘层705上。着色层706具有作为滤光片的功能。

[0299] 绝缘层707夹着着色层706设置在绝缘层705上。绝缘层707具有作为平坦化层的功能。

[0300] 结构体708a至708d设置在绝缘层707上。通过设置结构体708a至708d,可以高效地控制液晶元件中的液晶的取向。

[0301] 导电层709设置在绝缘层707上,并通过穿过绝缘层705及绝缘层707的开口部与导电层704d电连接。导电层709具有疏齿形状部。导电层709的疏齿形状部的疏齿夹着结构体708b或结构体708d地设置在绝缘层707上。导电层709具有作为像素电路中的液晶元件的一对电极中的一方的功能。

[0302] 导电层710设置在绝缘层707上。导电层710具有疏齿形状部。导电层710的疏齿形状部的疏齿与导电层709的疏齿形状部的疏齿交替地并列设置。导电层710的疏齿形状部的疏齿夹着结构体708a或708c地设置在绝缘层707上。导电层710具有作为像素电路中的液晶元件的一对电极中的另一方的功能。

[0303] 导电层709及710夹着绝缘层707与着色层706重叠。

[0304] 绝缘层722设置在衬底720的平表面上。绝缘层722具有作为平坦化层的功能。

[0305] 绝缘层723设置在绝缘层722的平表面上。绝缘层723具有作为保护绝缘层的功能。

[0306] 液晶层750设置在导电层709及710上。

[0307] 注意,虽然在图19中场效应晶体管为沟道蚀刻型场效应晶体管,但是不局限于此;例如,场效应晶体管可以为沟道停止型场效应晶体管或顶栅型场效应晶体管。

[0308] 再者,说明图19所示的液晶显示装置的构件。

[0309] 作为衬底700及720的每个,例如可以使用玻璃衬底或塑料衬底。

[0310] 利用如钼、钛、铬、钽、镁、银、钨、铝、铜、钽或铟等金属材料而形成的层可以用于导电层701a至701c。导电层701a至701c也可以通过堆叠能够应用于导电层701a至701c的材料的层来形成。

[0311] 绝缘层702可以为例如包含如氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氮化

铝、氮氧化铝、氮氧化铝或氧化铪等的材料的层。绝缘层702也可以通过堆叠能够应用于绝缘层702的材料的层来形成。

[0312] 作为半导体层703a及703b的每一个,例如,可以使用氧化物半导体层或包含属于第14族的半导体(例如,硅)的半导体层。

[0313] 例如,包含氧化物半导体的半导体层例如可以是单晶、多晶(也称为多晶体)或非晶。

[0314] 作为能够应用于半导体层703a及半导体层703b的氧化物半导体,可以举出包含镓和镓中的一方或双方以及锌的金属氧化物、或者包含其他金属元素来代替上述金属氧化物中的镓的一部分或全部的金属氧化物等。

[0315] 例如,可以使用In类金属氧化物、Zn类金属氧化物、In-Zn类金属氧化物、或In-Ga-Zn类金属氧化物等作为上述金属氧化物。另选地,可以使用包含其他金属元素来代替In-Ga-Zn类金属氧化物中的Ga(镓)的一部分或全部的金属氧化物。

[0316] 作为其他金属元素,可以使用与镓相比能够结合到更多的氧原子的金属元素;例如,可以使用钛、锆、铪、锗和锡等中的一种或多种。另外,作为其他金属元素,也可以使用镧、铈、镨、钕、钐、钆、铽、镱、铟、铊、铋及铊等中的一种或多种。上述金属元素的每个都具有作为稳定剂的功能。注意,上述金属元素的量是该金属氧化物能够用作半导体的量。使用与镓相比能够结合到更多的氧原子的金属元素并且对金属氧化物供应氧,由此可以减少金属氧化物中的氧空位。

[0317] 例如,当使用锡代替在In-Ga-Zn类金属氧化物中包含的全部Ga(镓)时,得到In-Sn-Zn类金属氧化物。当使用钛代替在In-Ga-Zn类金属氧化物中包含的Ga(镓)的一部分时,得到In-Ti-Ga-Zn类金属氧化物。

[0318] 氧化物半导体层可以是包括CAAC-OS(c-axis aligned crystalline oxide semiconductor:c轴取向结晶氧化物半导体)的氧化物半导体层。

[0319] 结晶-非晶混合相结构包括非晶相中的结晶部,并且不是完全的单晶结构或完全的非晶结构。在包括于CAAC-OS中的每个结晶部中,c轴被定向(aligned)在平行于形成有CAAC-OS的表面的法向量或该CAAC-OS的表面的法向量的方向上,形成在从垂直于a-b面的方向看时为三角形或六角形的原子排列,并且在从垂直于c轴的方向看时,金属原子排列为层状或者金属原子和氧原子排列为层状。在本说明书中,简略术语“垂直”包括85°至95°的范围。另外,简略术语“平行”包括-5°至5°的范围。

[0320] 在使用包含上述CAAC-OS的氧化物半导体层作为沟道形成层的场效应晶体管中,可以减小因可见光或紫外光的照射所引起的电特性的变动;因此,该晶体管具有高可靠性。

[0321] 在使用氧化物半导体层作为半导体层703a及703b的情况下,例如,进行脱水或脱氢化;由此,从氧化物半导体层中去除如氢、水、羟基及氢化物(也称为氢化合物)等杂质,并且氧被供应给氧化物半导体层。例如,使用包含氧的层作为与氧化物半导体层接触的层,并进行加热处理;由此,氧化物半导体层可以被高度纯化。

[0322] 例如,在高于或等于350℃且低于衬底的应变点的温度下,优选在高于或等于350℃且低于或等于450℃的温度下进行加热处理。加热处理还可以在之后的工序中进行。作为用于上述加热处理的加热处理装置,例如,可以使用电炉或用于通过来自诸如电阻发热体等的发热体的热传导或热辐射来加热被处理物的装置;例如,可以使用诸如气体快速热退

火(gas rapid thermal annealing:GRTA)装置或灯快速热退火(lamp rapid thermal annealing:LRTA)装置等的快速热退火(rapid thermal annealing:RTA)装置。

[0323] 另外,在上述加热处理之后,在维持或降低该加热温度的同时,高纯度的氧气、高纯度的N₂O气体或超干燥空气(具有-40℃或更低的露点,优选具有-60℃或更低的露点)可以被引入到进行了上述加热处理的炉中。优选的是,氧气或N₂O气体不包含水、氢等。被引入到加热处理装置中的氧气或N₂O气体的纯度优选等于或高于6N,更优选等于或高于7N(即,氧气或N₂O气体的杂质浓度优选为等于或低于1ppm,更优选为等于或低于0.1ppm)。通过氧气或N₂O气体的作用,氧被供应到氧化物半导体层,可以降低起因于氧化物半导体层中的氧空位的缺陷。注意,在上述加热处理时,可以进行高纯度的氧气、高纯度的N₂O气体或超干燥气体的引入。

[0324] 通过将高度纯化的氧化物半导体层用于场效应晶体管,氧化物半导体层的载流子密度可以为低于 $1 \times 10^{14}/\text{cm}^3$,优选为低于 $1 \times 10^{12}/\text{cm}^3$,更优选为低于 $1 \times 10^{11}/\text{cm}^3$ 。每微米沟道宽度的场效应晶体管的关态电流可以为10aA($1 \times 10^{-17}\text{A}$)或更低、1aA($1 \times 10^{-18}\text{A}$)或更低、10zA($1 \times 10^{-20}\text{A}$)或更低、进一步地为1zA($1 \times 10^{-21}\text{A}$)或更低,甚至为100yA($1 \times 10^{-22}\text{A}$)或更低。优选的是,场效应晶体管的关态电流尽可能低;本实施方式中的场效应晶体管的关态电流的下限值被估计大约为 $10^{-30}\text{A}/\mu\text{m}$ 。

[0325] 使用如钼、钛、铬、钽、镁、银、钨、铝、铜、钆、铈或钕等的金属材料形成的层可以用于导电层704a至704d。导电层704a至704d也可以通过堆叠其材料能够应用于导电层704a至704d的层来形成。

[0326] 绝缘层705可以是包含氧化硅、氧化铝、氧化钪等的氧化绝缘层。

[0327] 着色层706可以是包含例如染料或颜料且透过红色的波长范围的光、绿色的波长范围的光、以及蓝色的波长范围的光的层。着色层706例如可以是包含染料或颜料且透过青色(cyan)、品红色(magenta)或黄色(yellow)的波长范围的光的层。

[0328] 绝缘层707及722的每个都可以是例如有机绝缘材料或无机绝缘材料的层。

[0329] 结构体708a至708d可以使用例如有机绝缘材料或无机绝缘材料形成。

[0330] 导电层709可以是例如透过光的金属氧化物的层。例如,可以使用包含钬的金属氧化物等。导电层709也可以通过堆叠其材料能够应用于导电层709的层而形成。

[0331] 导电层710例如可以是透过光的金属氧化物的层。例如,可以使用包含钬的金属氧化物等。导电层710也可以通过堆叠其材料能够应用于导电层710的层而形成。

[0332] 绝缘层723例如可以是包含如氧化硅、氮化硅、氧氮化硅、氮氧化硅、氧化铝、氮化铝、氧氮化铝、氮氧化铝或氧化钪等的材料的层。

[0333] 液晶层750可以是包括例如呈现蓝相的液晶的层。

[0334] 包括呈现蓝相的液晶的层包含具有呈现蓝相的液晶、手性试剂、液晶性单体、非液晶性单体、及聚合引发剂的液晶组成物。呈现蓝相的液晶具有短的响应时间,且具有有助于取向处理的排除及视角依赖性的减小的光学各向同性。因此,通过使用呈现蓝相的液晶,可以提高工作速度。

[0335] 上述液晶组成物例如可以是表1所示的组成物。作为混合比,示出各液晶材料之间的混合比;液晶与手性试剂之间的混合比;液晶及手性试剂、液晶性单体、非液晶性单体之间的混合比;液晶、手性试剂、液晶性单体及非液晶性单体与聚合引发剂的混合比。

[0336] [表1]

组成	材料	混合比 (wt%)			
[0337] 液晶	MDA-00-3506 (由默克公司制造)	30	90.5	92	99.8
	NEDO LC-C	20			
	CPP-3FF	20			
	PEP-5CNF	15			
	PEP-5FCNF	15			
手性试剂	ISO-(6OBA) ₂	9.5			
液晶性单体	RM257-O6			4	
非液晶性单体	DMeAc			4	
聚合引发剂	DMPAP				0.2

[0338] 注意, CPP-3FF是4-(反式-4-n-丙基环己基)-3',4'-二氟-1,1'-联苯的简称。PEP-5CNF是4-n-正戊基苯甲酸4-氰-3-氟苯基的简称。PEP-5FCNF是4-n-正戊基苯甲酸4-氰-3,5-二氟苯基的简称。ISO-(6OBA)₂是1,4:3,6-二脱水(dianhydro)-2,5-双[4-(n-己基-1-氧基(oxy))苯甲酸]山梨醇的简称。RM257-O6是1,4-双-[4-(6-丙烯酰氧基-n-己基-1-氧基)苯甲酰氧基]-2-甲苯的简称。DMeAc是甲基丙烯酸n-十二烷基酯的简称。DMPAP是2,2-二甲氧基-2-苯基苯乙酮的简称。

[0339] 液晶组成物例如也可以是表2所示的组成物。

[0340] [表2]

组成	材料	混合比 (wt%)			
[0341] 液晶	MDA-00-3506 (由默克公司制造)	50	92.5	92	99.7
	CPEP-3FCNF	20			
	PEP-3FCNF	30			
手性试剂	R-DOL-Pn	7.5			
液晶性单体	RM257-O6			4	
非液晶性单体	DMeAc			4	
聚合引发剂	DMPAP				0.3

[0342] 注意, CPEP-5FCNF是4-(反式-4-n-戊基环己基)苯甲酸4-氰-3,5-二氟苯基的简称。PEP-3FCNF是4-n-戊基苯甲酸4-氰-3,5-二氟苯基的简称。R-DOL-Pn是(4R,5R)-2,2'-二甲基- α - α '- α '-四(9-菲基)-1,3-二氧戊环-4,5-二甲醇的简称。

[0343] 液晶组成物例如也可以是表3所示的组成物。

[0344] [表3]

组成	材料	混合比 (wt%)			
[0345] 液晶	MDA-00-3506 (由默克公司制造)	50	92.5	92	99.7
	PPEP-5FCNF	20			
	PEP-3FCNF	30			
手性试剂	R-DOL-Pn		7.5		
液晶性单体	RM257-O6			4	
非液晶性单体	Dac			4	
聚合引发剂	DMPAP				0.3

[0346] 注意, PPEP-5FCNF是4-(4-n-戊基苯基)苯甲酸4-氰-3,5-二氟苯基的简称。

[0347] 以上是对图19所示的液晶显示装置的配置例子的说明。

[0348] 如参照图19进行说明的那样, 在本实施方式的液晶显示装置的一个例子中, 在与像素电路同一衬底上设置信号线驱动电路。因此, 可以减少用来将像素电路和信号线驱动电路连接的布线的数量。

[0349] 在本实施方式的液晶显示装置的一个例子中, 使用呈现蓝相的液晶形成液晶元件, 由此实现液晶显示装置的更高的工作速度。

[0350] 实施方式4

[0351] 在本实施方式中, 将参照图20A至20D说明设置有使用实施方式2及3所示的液晶显示装置的面板的电子设备的例子。

[0352] 图20A至20D示出本实施方式的电子设备的结构例子的模式图。

[0353] 图20A所示的电子设备是个人数据助理的例子。

[0354] 图20A所示的数字助理包括框体1011以及为框体1011设置的面板1012及按钮1013。

[0355] 注意, 框体1011可以设置有用用来将图20A所示的电子设备连接到外部设备的连接端子、和/或用来操作图20A所示的电子设备的按钮。

[0356] 面板1012具有作为显示面板的功能。

[0357] 面板1012可以是实施方式2及3的液晶显示装置。

[0358] 面板1012可以具有作为触控屏的功能。此时, 也可以以在面板1012上显示键盘的图像并然后用手指触摸的方式来输入数据。

[0359] 按钮1013设置在框体1011中。例如, 当设置电源按钮作为按钮1013时, 电子设备通过按下按钮1013可以开启或关闭。

[0360] 图20A所示的电子设备例如具有作为电话机、电子书阅读器、个人计算机和游戏机中的一种或多种的功能。

[0361] 图20B所示的电子设备是折叠式数字助理的例子。

[0362] 图20B所示的电子设备包括框体1021a、框体1021b、设置在框体1021a中的面板1022a、设置在框体1021b中的面板1022b、铰链1023、按钮1024、连接端子1025以及记录媒体插入部1026。

[0363] 框体1021a和框体1021b由铰链1023连接。

[0364] 面板1022a及1022b的每个都具有显示面板的功能。例如,面板1022a及1022b也可以显示不同的图像或一个图像。图20B所示的电子设备可以在面板1022a和1022b被配置为纵向或横向的状态下进行操作。

[0365] 面板1022a及1022b可以是实施方式2及3的液晶显示装置。

[0366] 此外,面板1022a和1022b中的一方或双方可以具有作为触控面板的功能。此时,也可以在面板1022a和1022b中的一方或双方显示键盘的图像并然后用手指触摸的方式来输入数据。

[0367] 因为图20B所示的电子设备包括铰链1023,所以例如框体1021a或框体1021b可以移动以重叠框体1021a与框体1021b;即,电子设备可以折叠。

[0368] 按钮1024设置在框体1021b中。注意,框体1021a也可以设置有按钮1024。例如,当设置具有作为电源按钮的功能的按钮1024并按下按钮1024时,可以控制是否对电子设备中的电路供应电力。

[0369] 连接端子1025设置在框体1021a中。注意,框体1021b可以设置有连接端子1025。此外另选地,多个连接端子1025可以设置在框体1021a和框体1021b中的一方或双方之上。连接端子1025是用来使图20B所示的电子设备与其他设备连接的端子。

[0370] 记录媒体插入部1026设置在框体1021a中。注意,记录媒体插入部1026可以设置在框体1021b上。另选地,多个记录媒体插入部1026可以设置在框体1021a和1021b中的一方或双方。例如,卡型记录媒体被插入到记录媒体插入部,由此,数据可以被从卡型记录媒体读出到电子设备,或者存储在电子设备中的数据可以被写入到卡型记录媒体。

[0371] 图20B所示的电子设备例如具有作为电话机、电子书阅读器、个人计算机和游戏机中的一种或多种的功能。

[0372] 图20C所示的电子设备是固定式数字助理的例子。图20C所示的固定式数字助理包括框体1031、设置在框体1031中的面板1032以及按钮1033。

[0373] 面板1032具有作为显示面板及触控屏的功能。

[0374] 注意,面板1032可以设置在框体1031的甲板部1034中。

[0375] 面板1032可以是实施方式2及3的液晶显示装置。

[0376] 框体1031可以设置有分发票券等的票券输出口、硬币投入口和纸币投入口中的一个或多个。

[0377] 按钮1033设置在框体1031上。例如,当设置具有作为电源按钮的功能的按钮1033并按下按钮1033时,可以控制是否对电子设备中的电路供应电力。

[0378] 图20C所示的电子设备例如具有作为自动取款机、用于订票等的信息通信终端(也称为多媒体站)或游戏机的功能。

[0379] 图20D是固定式数字助理的例子。图20D所示的电子设备包括框体1041、设置在框体1041中的面板1042、按钮1044、连接端子1045以及支撑框体1041的支架1043。

[0380] 注意,可以设置用来连接框体1041与外部设备的连接端子、和/或用来操作图20D所示的电子设备的按钮。

[0381] 面板1042具有作为显示面板的功能。面板1042也可以具有作为触摸屏的功能。

[0382] 面板1042可以是实施方式2及3的液晶显示装置。

[0383] 按钮1044设置在框体1041中。例如,当设置具有作为电源按钮的功能的按钮1044

并按下按钮1044时,可以控制是否对电子设备中的电路供应电力。

[0384] 连接端子1045设置在框体1041中。连接端子1045是用来将图20D所示的电子设备与其他设备连接的端子。例如,通过由连接端子1045将图20D所示的电子设备与个人计算机连接,使得面板1042可以显示对应于从个人计算机输入的数据信号的图像。例如,当图20D所示的电子设备的面板1042大于与该面板1042连接的电子设备的面板时,可以扩大该电子设备的显示图像,此时,多个观看者可以同时容易地识别该图像。

[0385] 图20D所示的电子设备例如具有作为数码相框、输出监控器、个人计算机或电视机的功能。

[0386] 以上是对本实施方式中的电子设备的例子的说明。

[0387] 如参照图20A至20D所说明那样,在本实施方式的电子设备的例子中,通过设置具备上述实施方式的液晶显示装置的面板,提高了面板的工作速度。因此,例如,可以提供能够以高速度进行工作(例如,再现动态图像)的电子设备。

[0388] 本申请基于2011年11月11日向日本专利局提交的日本专利申请第2011-247262号,其全部内容通过引用纳入本文。

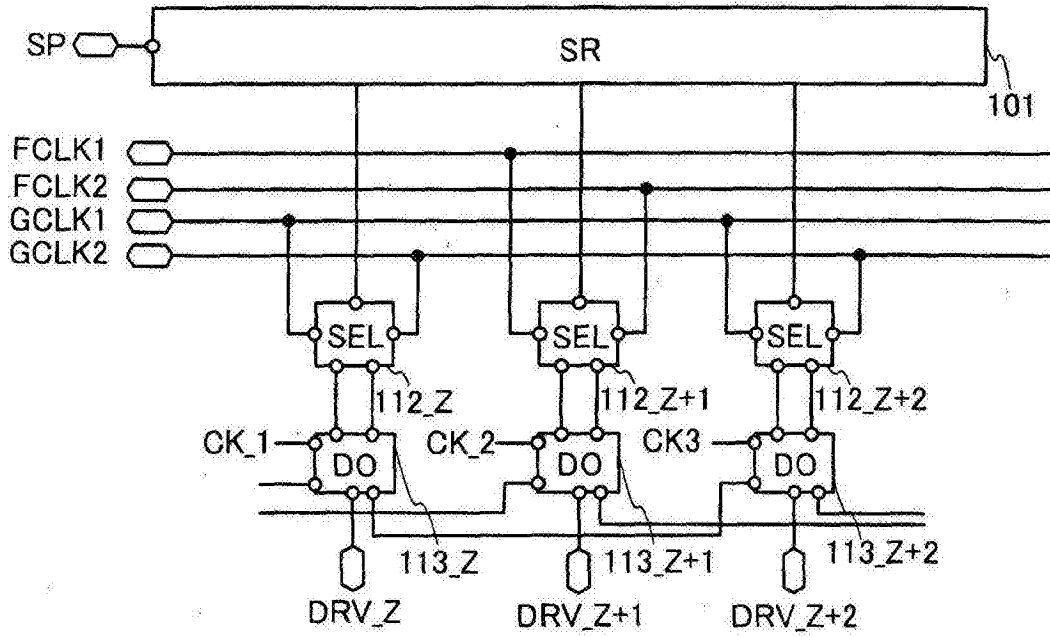


图1

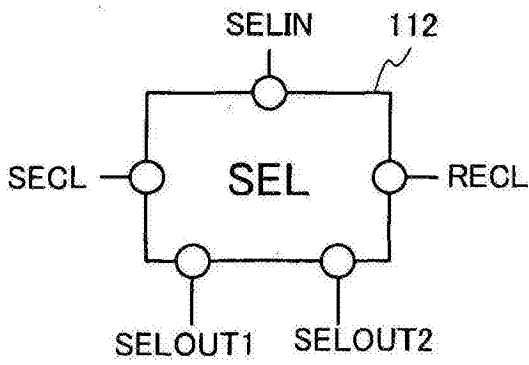


图2

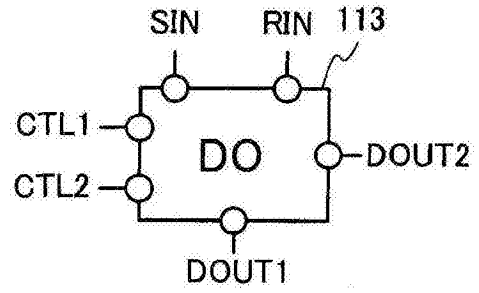


图3A

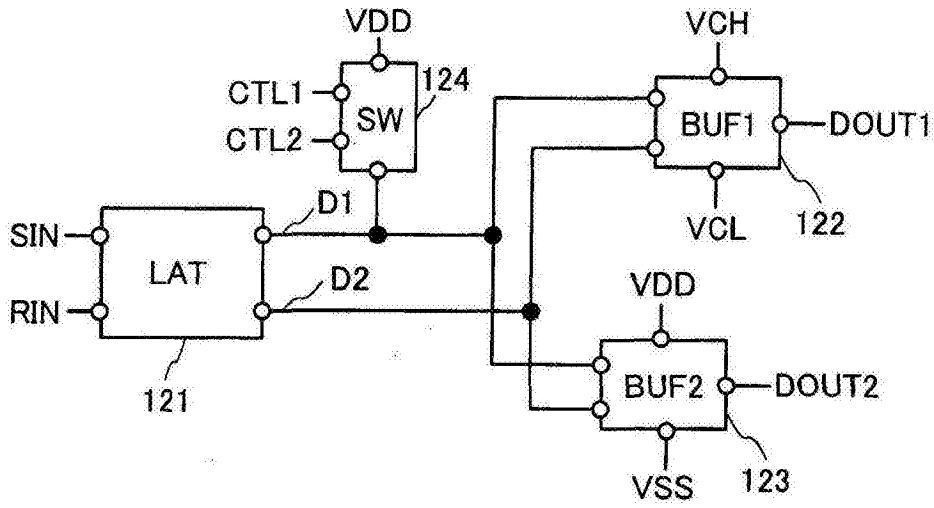


图3B

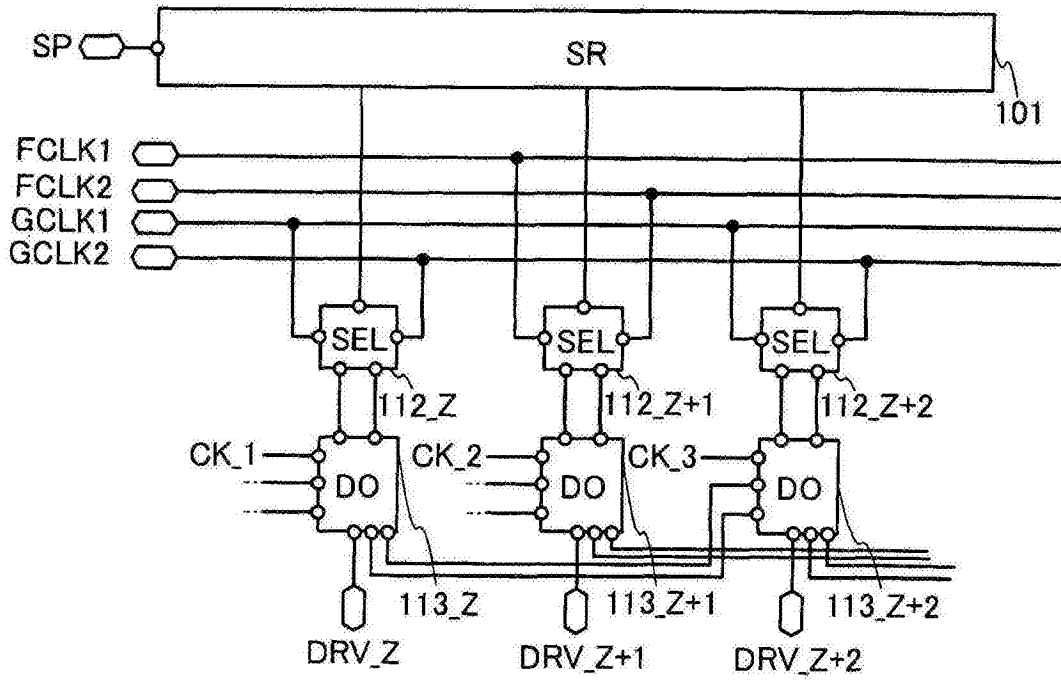


图4

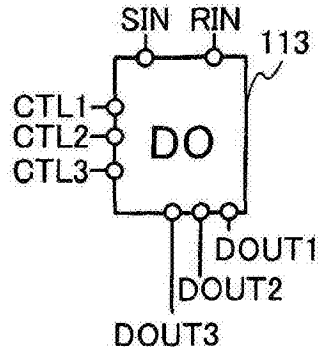


图5A

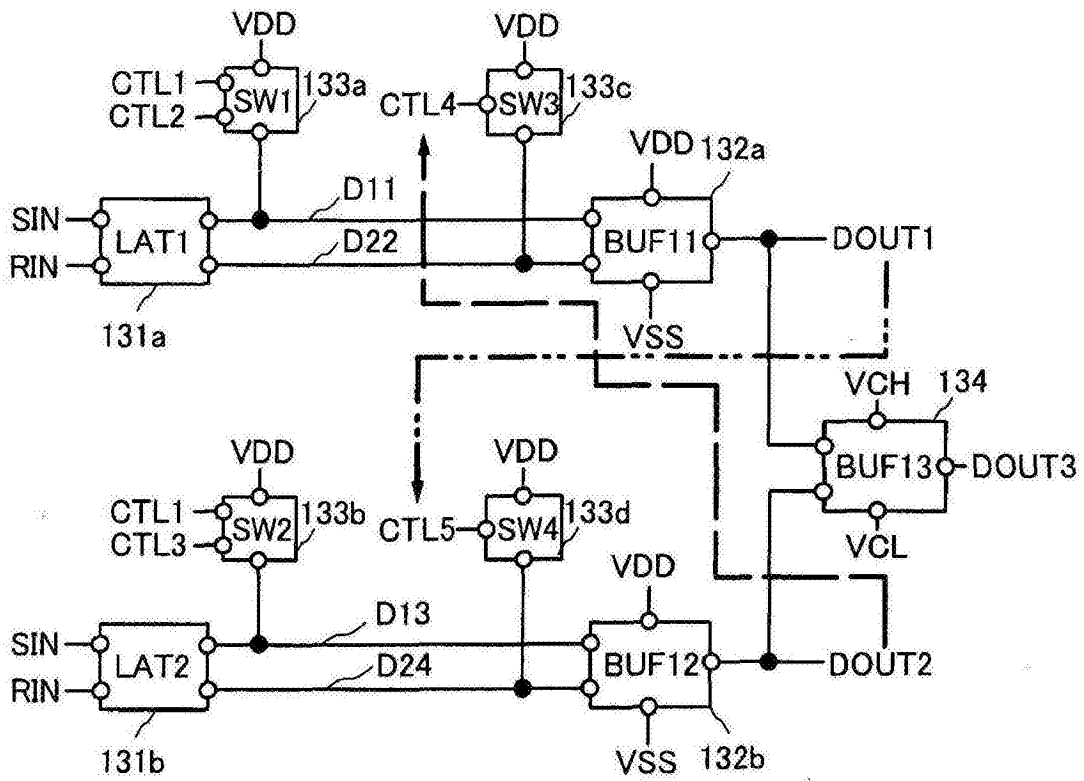


图5B

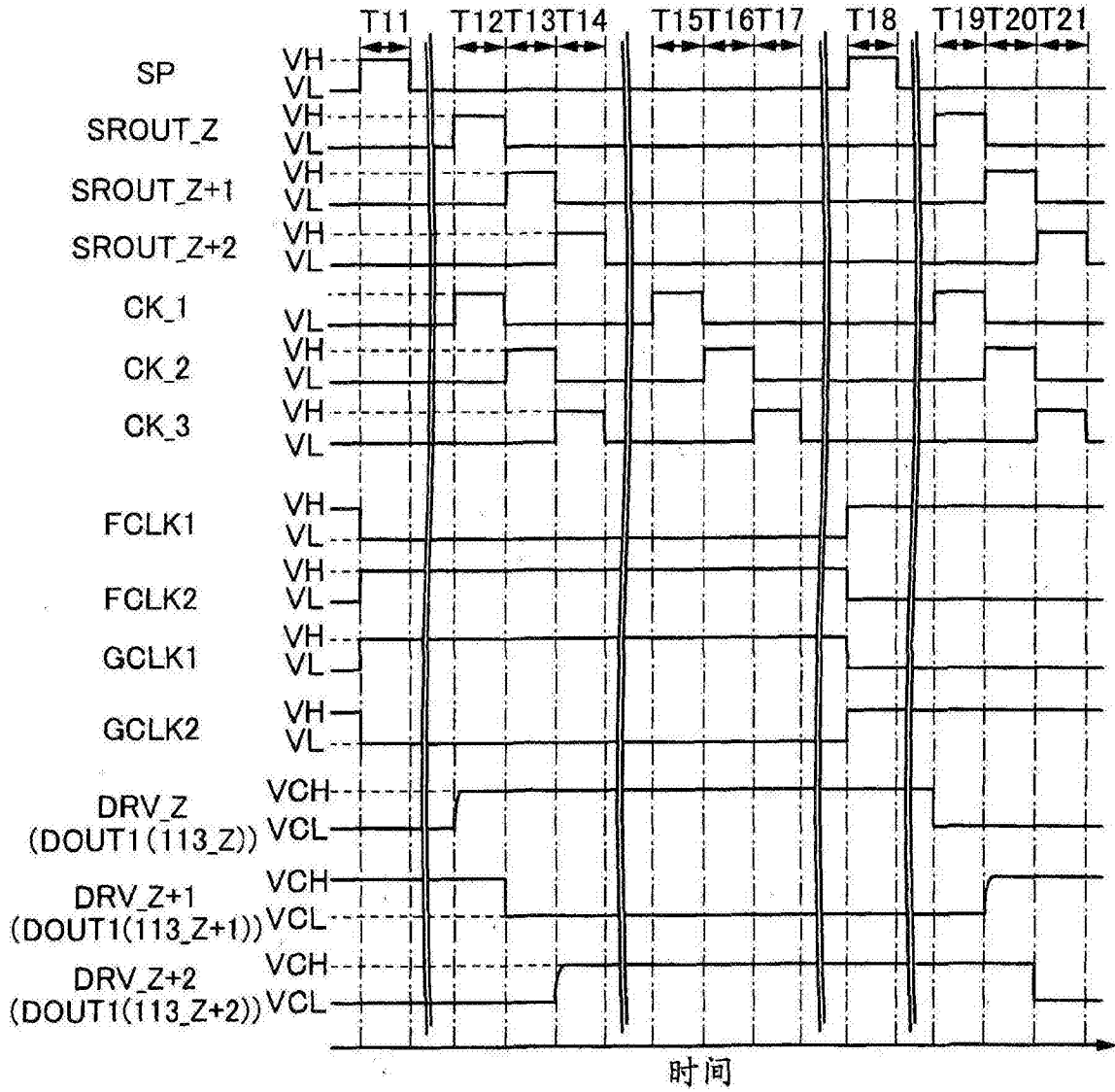


图6

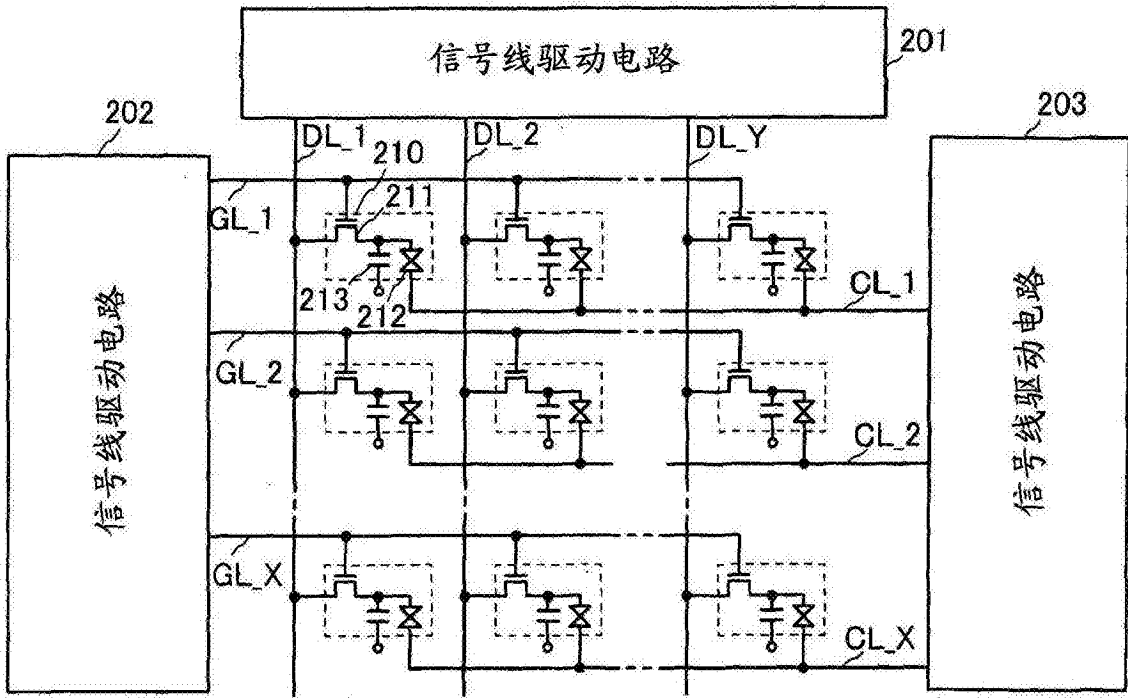


图7A

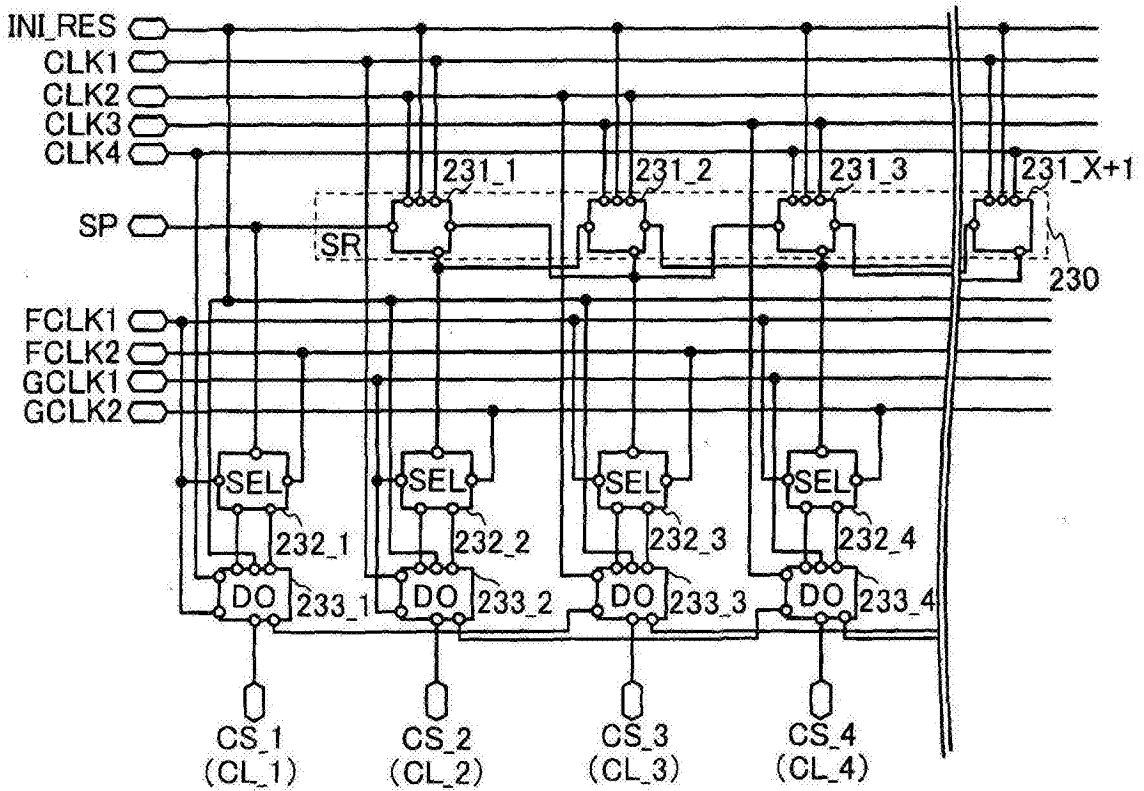


图7B

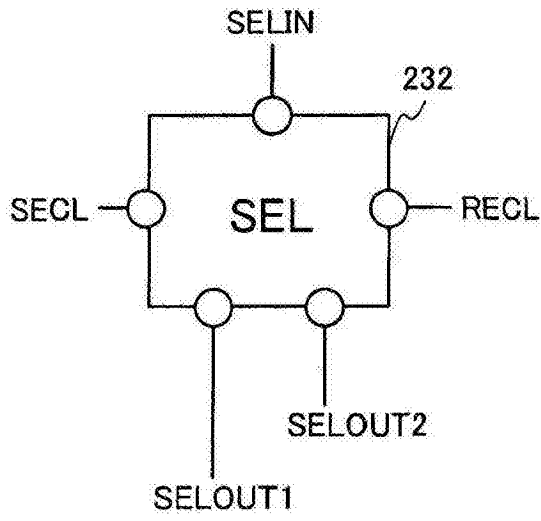


图9A

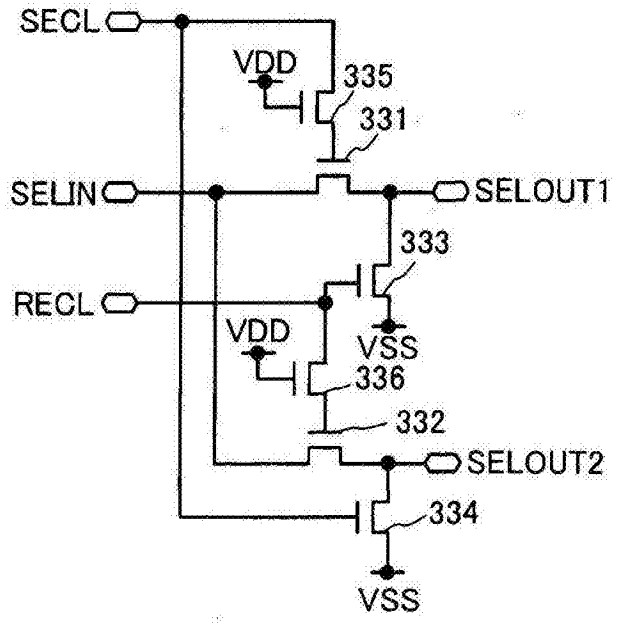


图9B

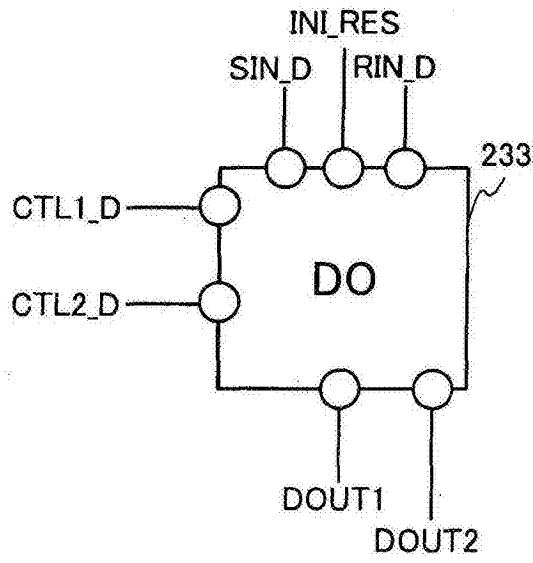


图10A

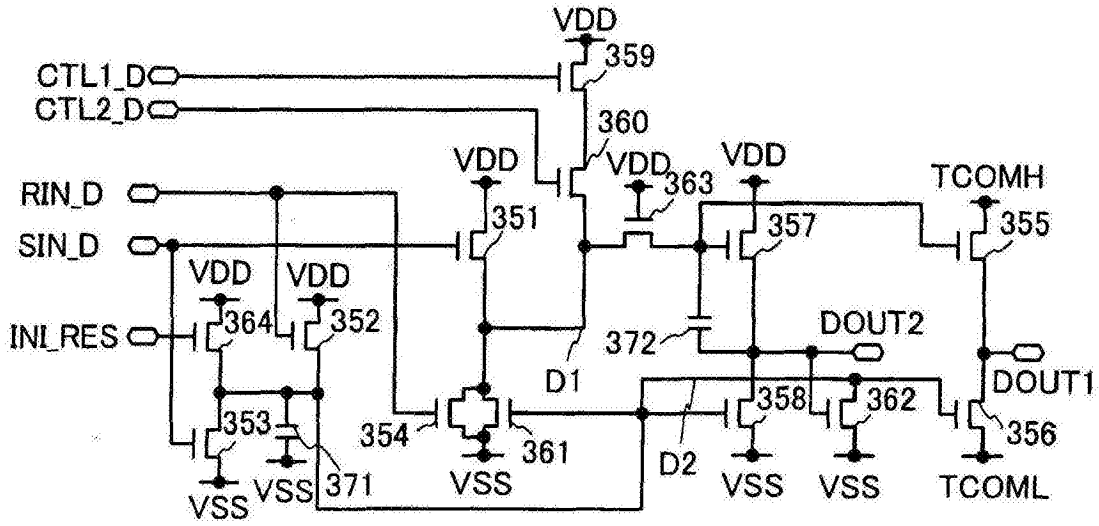


图10B

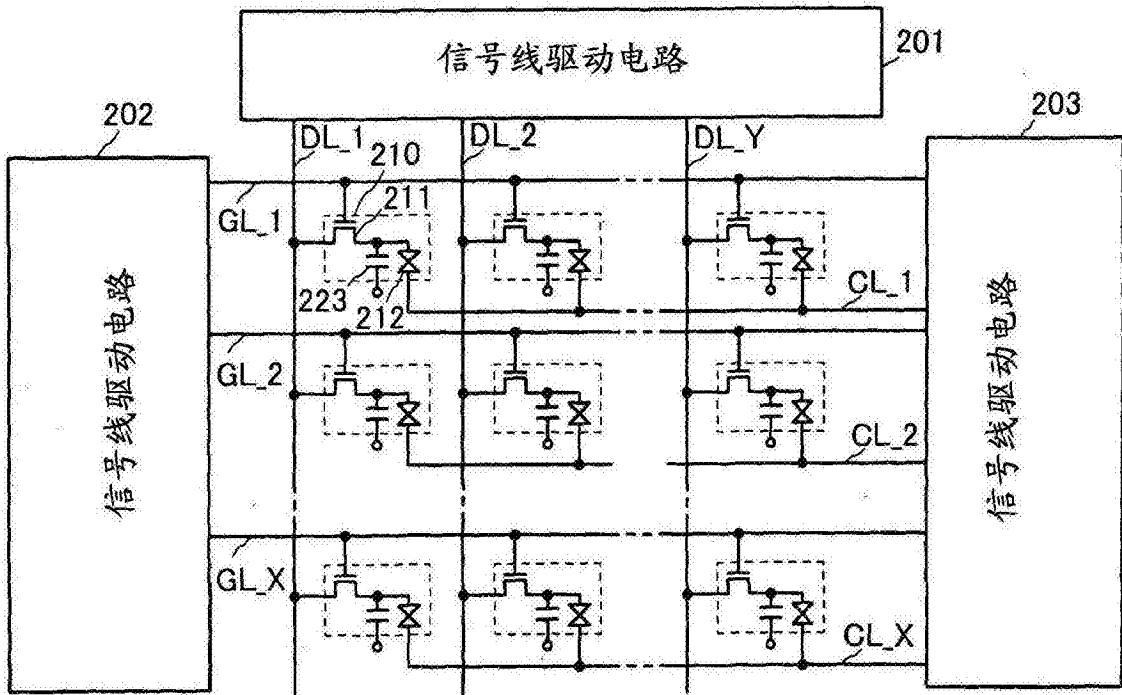


图11A

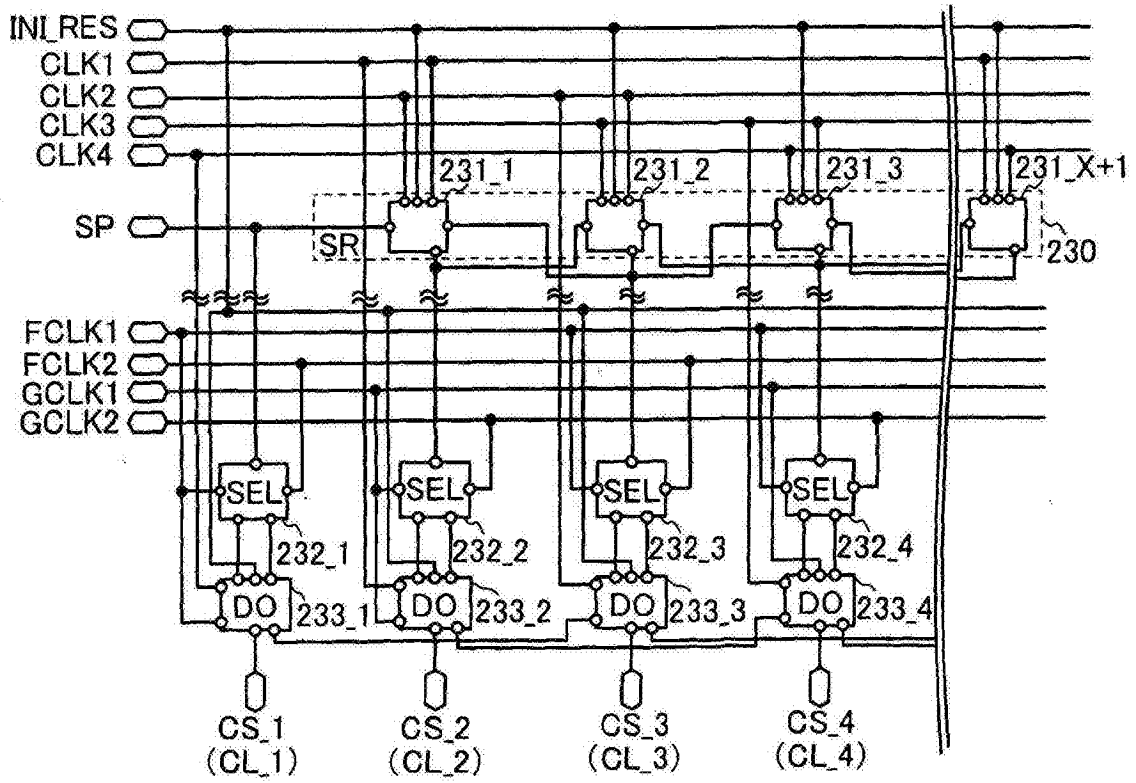


图11B

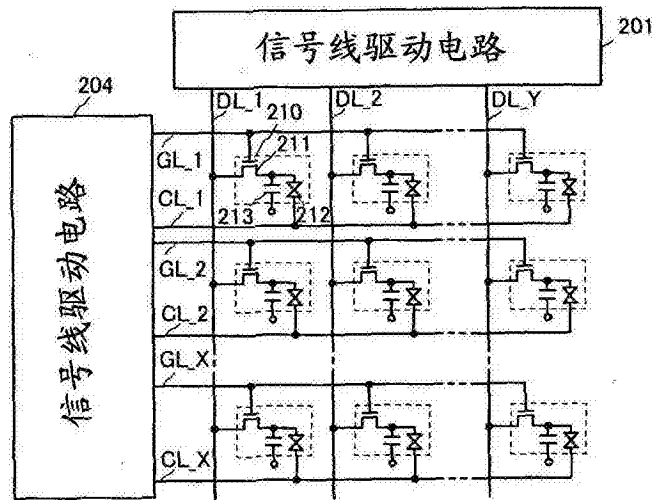


图12A

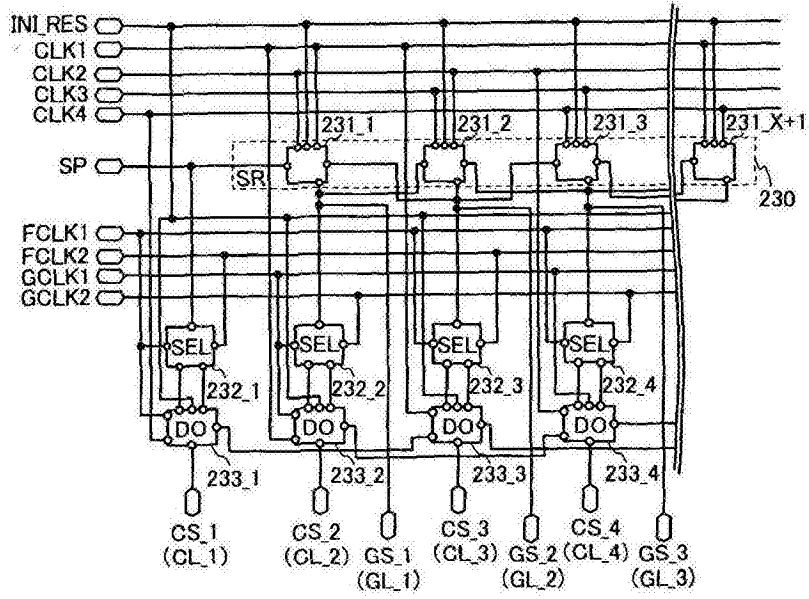


图12B

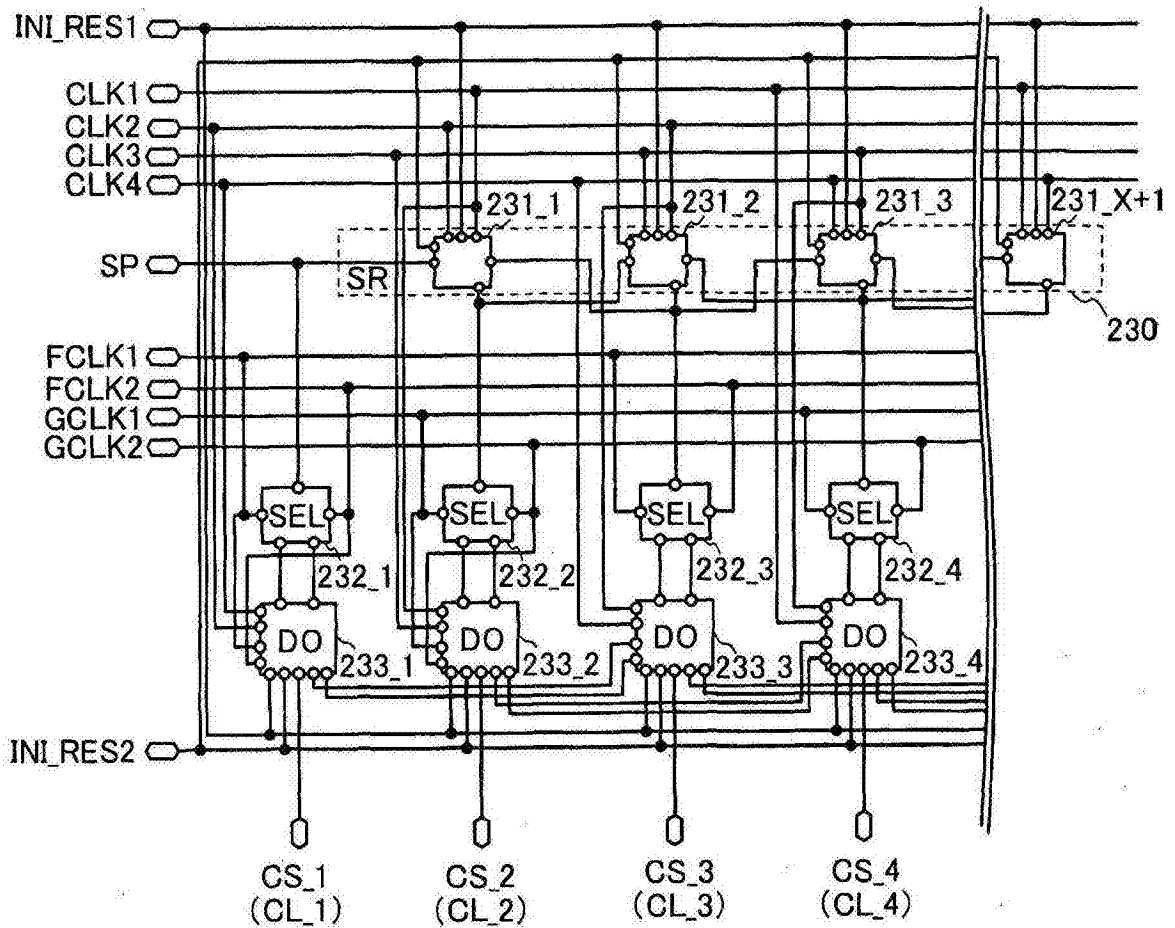


图13

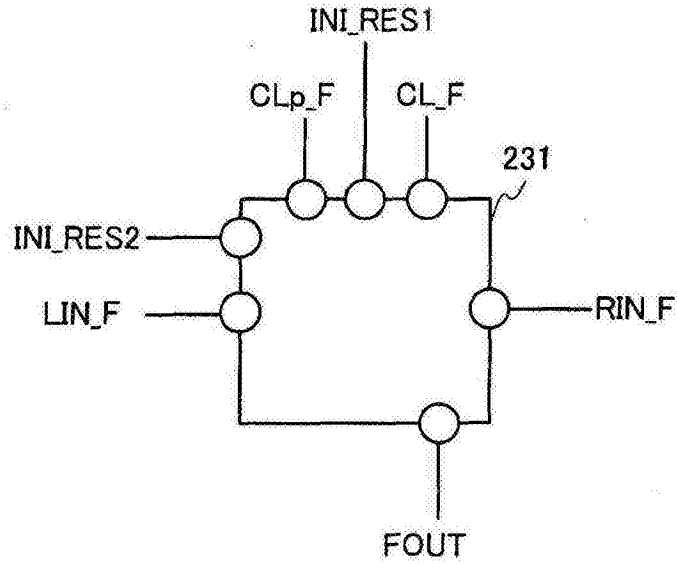


图14A

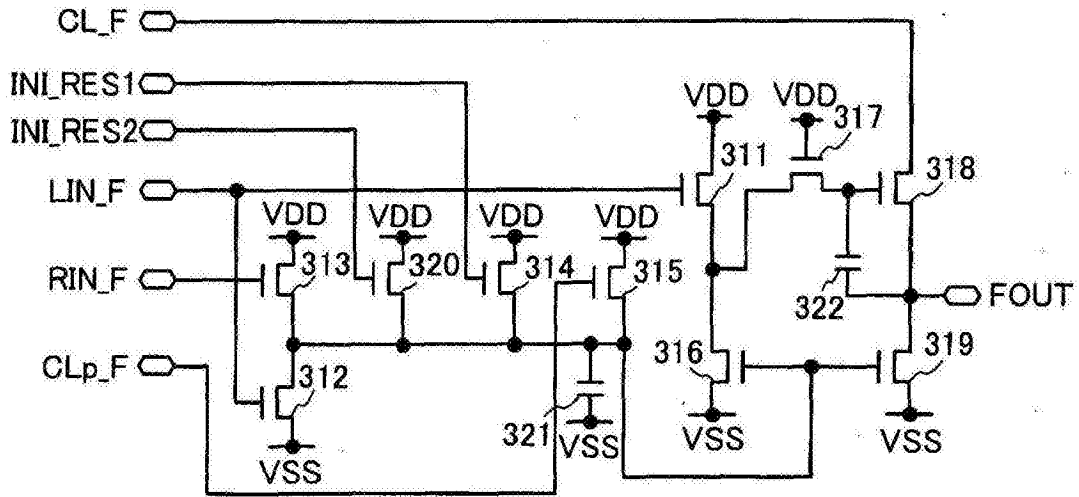


图14B

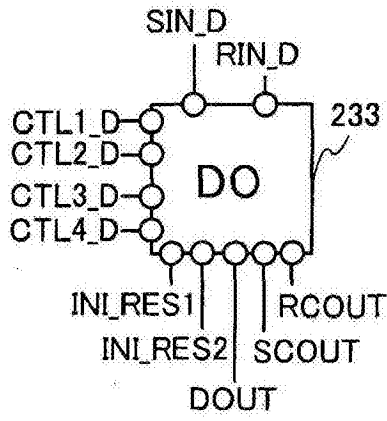


图15A

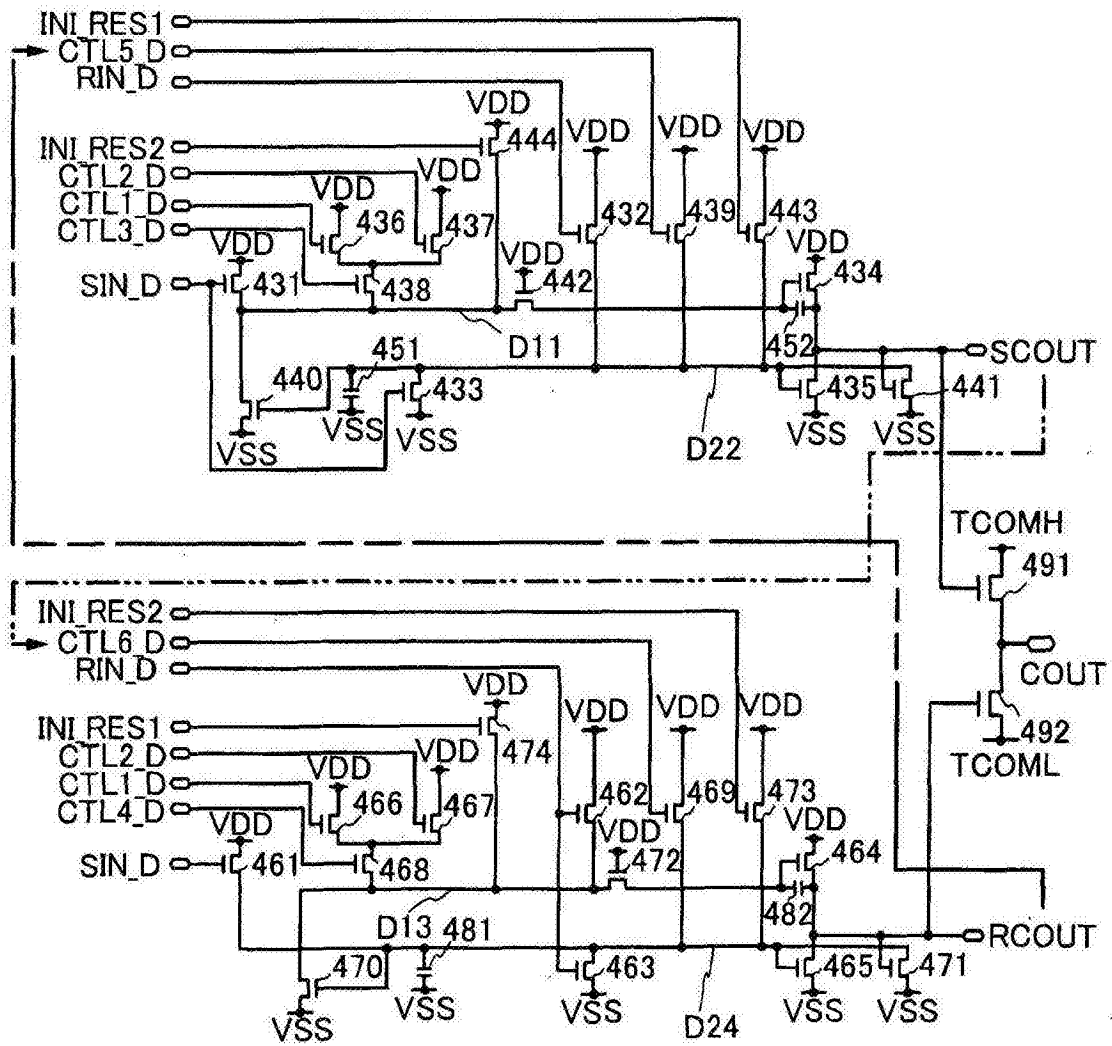


图15B

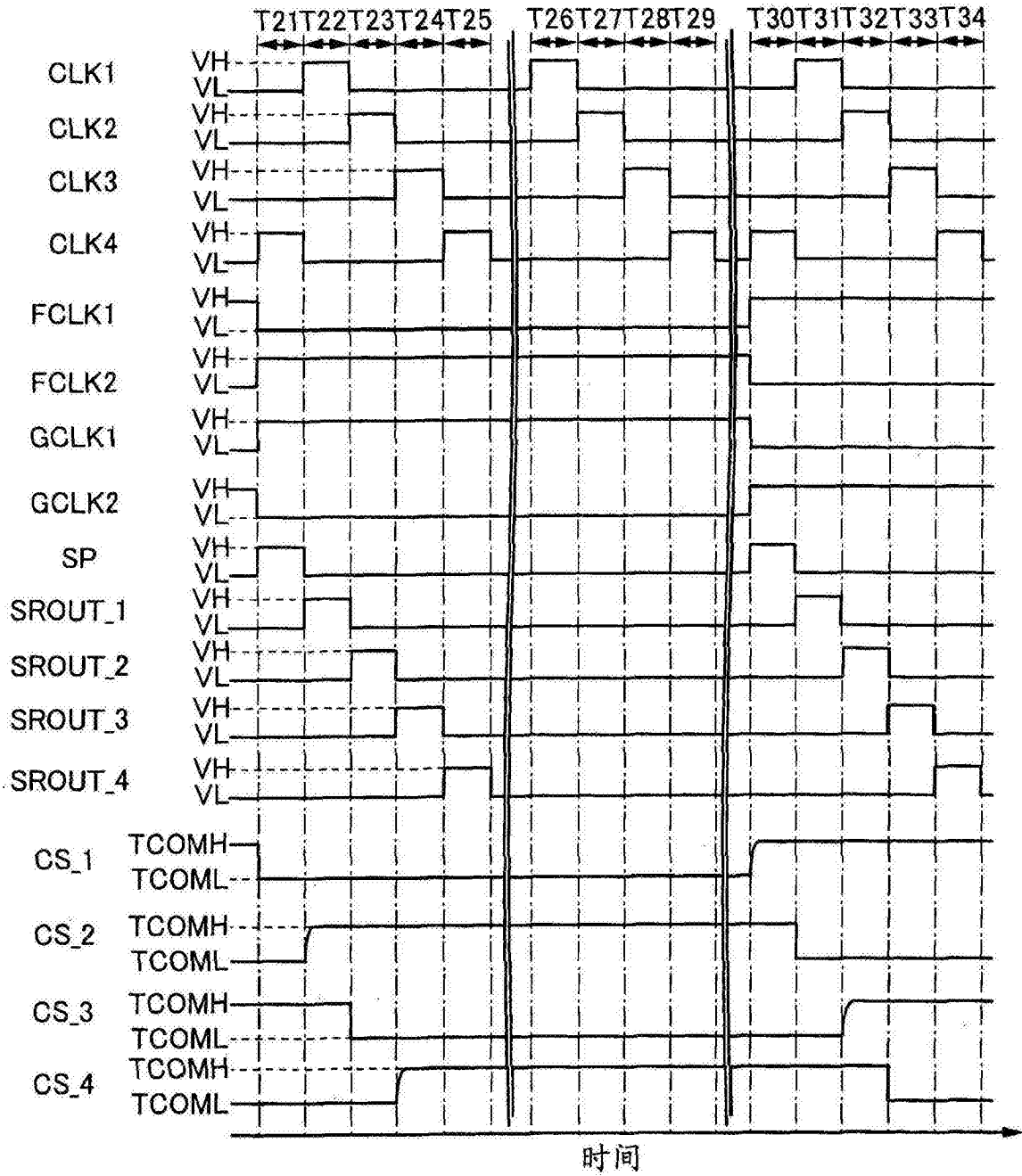


图16

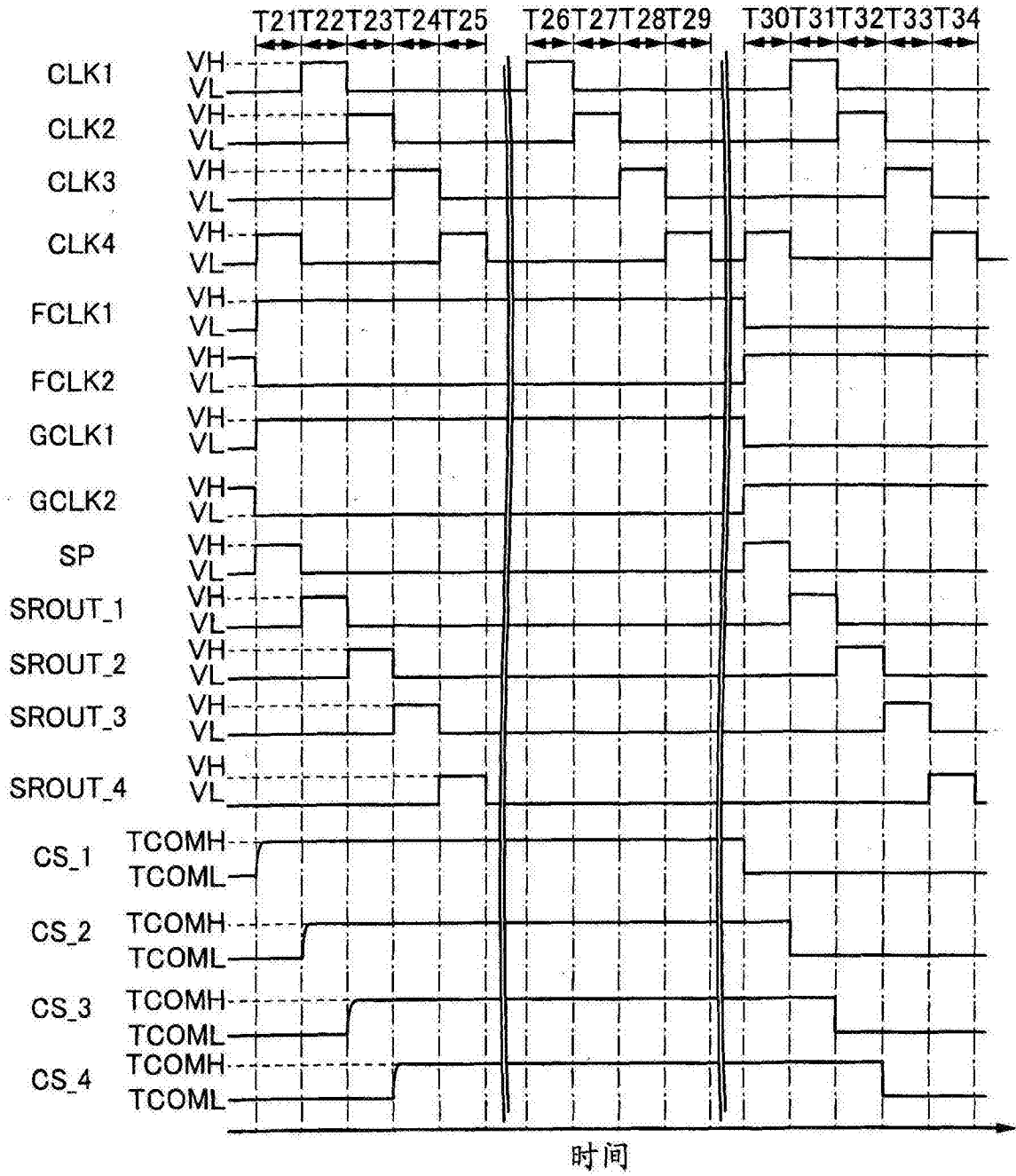


图17

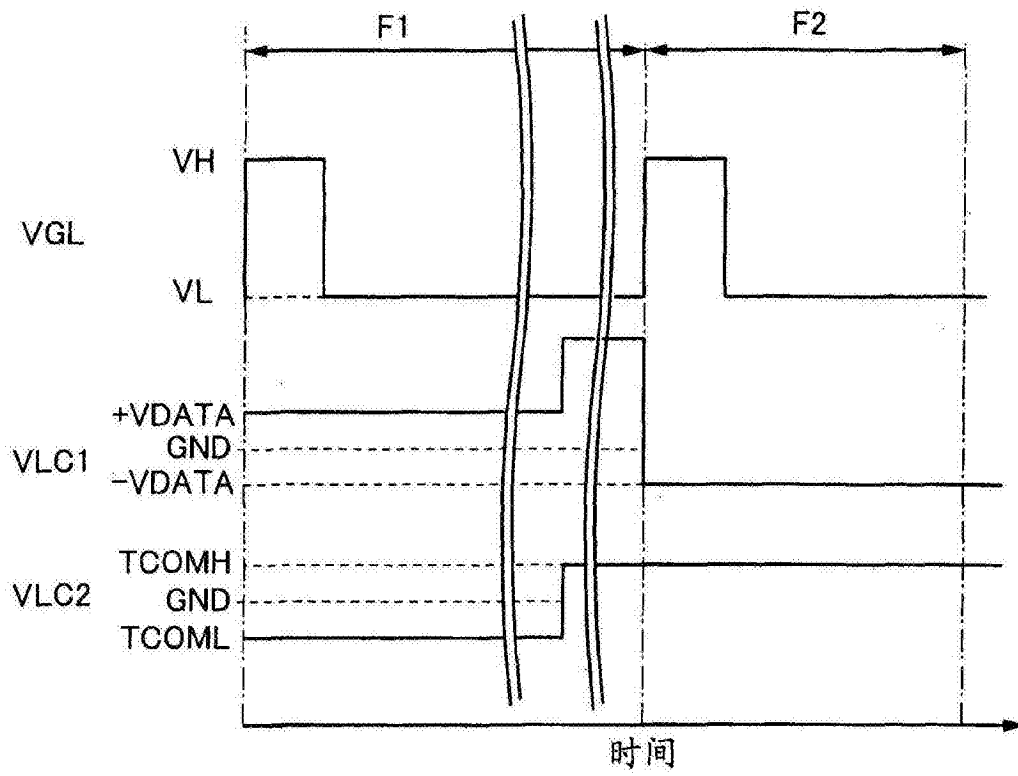


图18

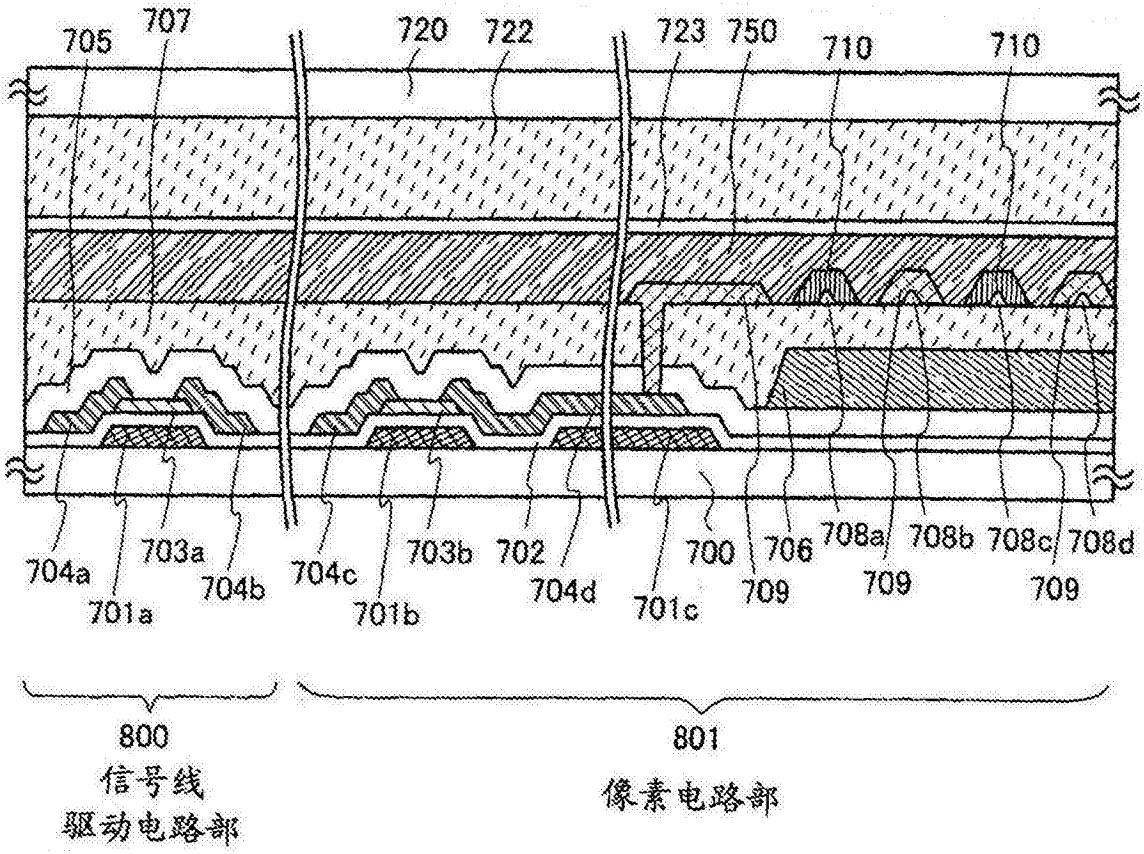


图19

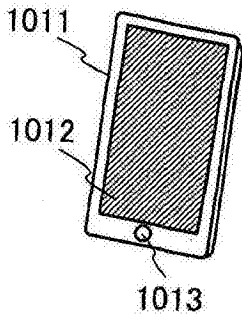


图20A

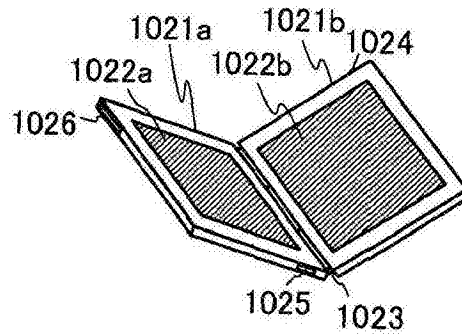


图20B

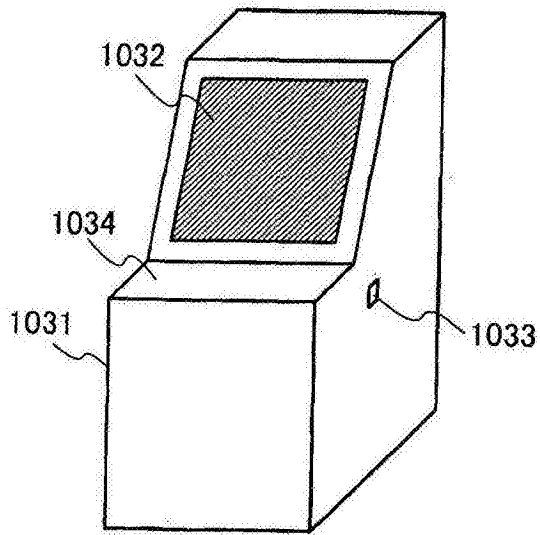


图20C

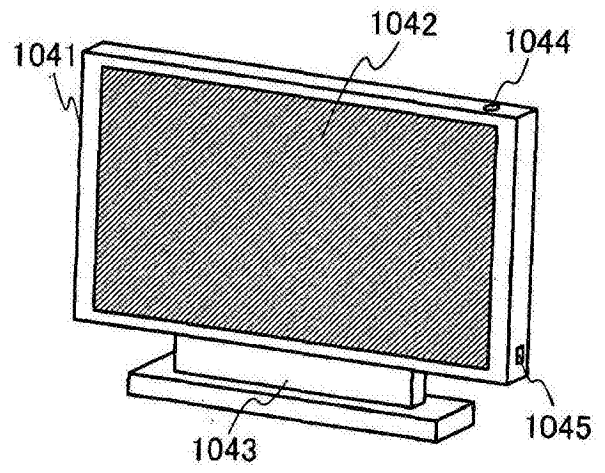


图20D