



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.

G11C 16/04 (2006.01)

G11C 16/06 (2006.01)

(45) 공고일자

2007년06월04일

(11) 등록번호

10-0724339

(24) 등록일자

2007년05월28일

(21) 출원번호 10-2006-0007817

(65) 공개번호

(22) 출원일자 2006년01월25일

(43) 공개일자

심사청구일자 2006년01월25일

(73) 특허권자 삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

박민건

경기 수원시 영통구 영통동 청명주공아파트 401동 902호

김경애

경기 수원시 영통구 매탄동

황상원

경기 수원시 권선구 세류3동 1082-15번지

(74) 대리인

곽덕영

(56) 선행기술조사문현

US 06982904

심사관 : 조명관

전체 청구항 수 : 총 11 항

(54) 고속의 제1 페이지 독출속도를 가지는 3-레벨 불휘발성반도체 메모리 장치 및 이에 대한 구동방법

(57) 요약

고속의 제1 페이지 독출 속도를 가지는 3-레벨 불휘발성 반도체 메모리 장치 및 이에 대한 구동방법이 게시된다. 본 발명의 불휘발성 반도체 메모리 장치는 3가지의 문턱전압 레벨로 제어될 수 있는 3-레벨의 메모리셀들과 이들을 제어하는 페이지 버퍼를 포함한다. 3-레벨의 메모리셀들은 2개가 한조를 이루어, 3비트의 데이터를 맵핑할 수 있다. 본 발명의 불휘발성 반도체 메모리 장치에 의하면, 높은 집적도와 신뢰성이 획득된다. 또한, 본 발명의 불휘발성 반도체 메모리 장치 및 그의 구동방법에서, 제1 메모리셀 및 제2 메모리셀의 워드라인이 각각 제1 기준전압 및 제2 기준전압으로 제어된다. 본 발명의 불휘발성 반도체 메모리 장치 및 그의 구동방법에 의하면, 제1 비트의 데이터값은, 동시에 수행되는 1회의 제1 및 제2 메모리셀의 문턱전압의 센싱 및 1회의 독출에 의하여 확인될 수 있다. 그러므로, 불휘발성 반도체 메모리 장치의 제1 페이지 독출 속도가 빠르게 된다.

대표도

도 6

특허청구의 범위

청구항 1.

불휘발성 반도체 메모리 장치에 있어서,

한조의 제1 및 제2 메모리 셀을 포함하는 메모리 어레이;

한조의 제1 내지 제3 비트의 데이터들의 3비트를 상기 한조의 제1 및 제2 메모리 셀의 문턱전압 레벨로 맵핑하도록 구동되는 페이지 버퍼; 및

상기 한조의 제1 및 제2 메모리 셀에 인가되는 제1 및 제2 워드라인을 각각 제1 기준전압 및 제2 기준전압으로 제어하는 로우 디코더로서, 상기 제1 기준전압과 제2 기준전압은 서로 상이한 전압레벨을 가지는 상기 로우 디코더를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 2.

제1 항에 있어서, 상기 메모리 어레이는

상기 제1 메모리 셀이 연결되는 하부 비트라인;

상기 제2 메모리 셀이 연결되는 상부 비트라인; 및

상기 하부 비트라인과 상기 상부 비트라인을 전기적 연결하는 스위치를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 3.

제2 항에 있어서, 상기 페이지 버퍼는

상기 하부 비트라인에 전기적으로 연결되며, 소정의 내부 데이터선으로 데이터를 제공하는 하부 래치블락; 및

상기 상부 비트라인에 전기적으로 연결되는 상부 래치블락을 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 4.

제3 항에 있어서, 상기 제1 기준전압은

상기 제2 기준전압보다 낮은 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 5.

제1 항에 있어서, 상기 불휘발성 반도체 메모리 장치는

NAND 타입인 것을 특징으로 하는 불휘발성 반도체 메모리 장치.

청구항 6.

한조의 제1 내지 제3 비트의 데이터들이 한조의 제1 및 제2 메모리셀에 맵핑되는 불휘발성 반도체 메모리 장치의 구동방법에 있어서,

소정의 하부 래치데이터 및 상부 래치데이터를 리셋하는 A)단계;

상기 제1 기준전압을 기준으로 하는 상기 제1 메모리셀의 문턱전압을 이용하여 상기 하부 래치데이터를 플립하며, 상기 제2 기준전압을 기준으로 하는 상기 제2 메모리셀의 문턱전압을 이용하여 상기 상부 래치데이터를 플립하는 B)단계로서, 상기 제1 및 제2 메모리셀의 문턱전압은 상기 제1 기준전압과 상기 제1 기준전압보다 높은 상기 제2 기준전압에 의하여 제1 내지 제3 문턱전압 그룹으로 구분될 수 있는 상기 B)단계; 및

상기 B)단계에서 플립되는 상기 상부 래치데이터를 이용하여, 상기 하부 래치데이터를 플립하는 C)단계를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 구동방법.

청구항 7.

제6 항에 있어서, 상기 B)단계는

상기 제1 기준전압을 기준으로 하는 상기 제1 메모리셀의 문턱전압을 하부 비트라인에 반영하며, 상기 제2 기준전압을 기준으로 하는 상기 제2 메모리셀의 문턱전압을 상부 비트라인에 반영하는 B1)단계; 및

상기 B1)단계에 따른 상기 하부 비트라인의 전압레벨을 이용하여 상기 하부 래치데이터를 플립하며, 상기 B1)단계에 따른 상기 상부 비트라인의 전압레벨을 이용하여 상기 상부 래치데이터를 플립하는 B2)단계를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 구동방법.

청구항 8.

제7 항에 있어서, 상기 C)단계는

상기 B2)단계에서 플립되는 상기 상부 래치데이터를 상기 하부 비트라인에 반영하는 C1)단계; 및

상기 C1)단계에 따른 상기 하부 비트라인의 전압레벨을 이용하여 상기 하부 래치데이터를 플립하는 C2)단계를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 구동방법.

청구항 9.

제6 항에 있어서, 상기 불휘발성 반도체 메모리 장치의 구동방법은

상기 C)단계에서 플립되는 상기 하부 래치데이터를 확인하는 D)단계를 더 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 구동방법.

청구항 10.

제6 항에 있어서, 상기 불휘발성 반도체 메모리 장치는

NAND 타입인 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 구동방법.

청구항 11.

불휘발성 반도체 메모리 장치의 구동방법에 있어서,

한조의 제1 내지 제3 비트의 데이터들이 맵핑되는 한조의 제1 및 제2 메모리셀을 선택하는 A)단계; 및

상기 한조의 제1 및 제2 메모리셀에 인가되는 제1 및 제2 워드라인을 각각 제1 기준전압 및 제2 기준전압으로 제어하는 B)단계로서, 상기 제1 기준전압과 제2 기준전압은 서로 상이한 전압레벨을 가지는 상기 B)단계를 구비하는 것을 특징으로 하는 불휘발성 반도체 메모리 장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 특히 3-레벨 메모리셀들을 가지는 3-레벨 불휘발성 반도체 메모리 장치 및 이의 구동방법에 관한 것이다.

불휘발성 반도체 메모리 장치는, 전원이 제거된 상태에서도, 저장된 데이터를 보존한다. 불휘발성 반도체 메모리 장치에 적합한 여러종류의 메모리셀들이 알려져 있는데, 그 중의 하나가 단일 트랜지스터 타입의 메모리셀이다.

일반적으로, 트랜지스터 타입의 메모리셀(MC)은, 도 1에 도시되는 바와 같이, 반도체 기판 위에 소오스(S)-드레인(D) 사이에 형성되는 전류통로, 절연막(DOX:dielectric oxide)과 게이트 산화막(GOX:gate oxide) 사이에 형성되는 플로팅 게이트(FG) 및 제어게이트(CG)로 구성된다. 상기 플로팅 게이트(FG)는 전자(electron)들을 트랩(trap)하며, 트랩된 전자는 메모리셀(MC)의 문턱전압(threshold voltage)을 결정(establish)한다. 그리고, 불휘발성 반도체 메모리 장치가 독출(read) 동작을 수행할 때, 메모리셀(MC)의 문턱전압이 감지되어, 저장된 데이터가 확인된다.

전형적으로, 불휘발성 반도체 메모리 장치의 메모리셀(MC)들에서는, 프로그램과 소거동작이 반복적으로 수행될 수 있다. 이때, 단일 트랜지스터 메모리셀(MC)들의 여러가지 기능들은 인가되는 다양한 종류의 전압들에 의하여 결정된다. 단일 트랜지스터 메모리셀(MC)은, 전자들이 플로팅 게이트(FG)로 이동됨으로써, 프로그램된다. 플로팅 게이트(FG)로 이동되는 전자는, 파울러 노드하임 터널링(Fowler-Nordheim tunneling:FN)이나, 전자 주입(electron injection) 등에 의하여 발생된다. 전자 주입은 채널 핫-일렉트론(channel hot-electron injection:CHE)이나, 채널 초기화된 이차 전자 주입(channel-initiated secondary electron injection:CISEI) 등으로 수행된다. 그리고, 파울러 노드하임 터널링(Fowler-Nordheim tunneling:FN)은 한꺼번에 데이터를 소거하는 플래쉬 메모리에서 널리 이용되고 있다.

통상적으로, 트랜지스터 메모리셀(MC)은 2가지 데이터값 중의 하나를 저장한다. 상기 2가지 데이터값은, 도 2에 도시되는 바와 같이, 2가지 레벨 중의 하나로 설정되는 문턱전압에 의하여 결정된다. 예를 들면, 메모리셀(MC)의 문턱전압이 기준전압(VM)보다 낮은 경우에는, 데이터는 "1"로 독출되며, 메모리셀(MC)의 문턱전압이 기준전압(VM)보다 높은 경우에는, 데이터는 "0"으로 독출된다.

한편, 반도체 메모리 장치가 고집적화됨에 따라, 4-레벨 메모리셀이 개발되었다. 4-레벨 메모리셀은, 도 3에 도시되는 바와 같이, 4가지 레벨의 문턱전압 중 하나로 프로그램될 수 있다. 결과적으로, 4-레벨 메모리셀은 4가지 중 어느하나의 데이터를 저장할 수 있게 된다. 그러므로, 4-레벨 메모리셀을 가지는 불휘발성 반도체 메모리 장치(이하, '4-레벨 불휘발성 반도체 메모리 장치'라 칭함)는, 2-레벨 메모리셀을 가지는 불휘발성 반도체 메모리 장치(이하, '2-레벨 불휘발성 반도체 메모리 장치'라 칭함)에 비하여, 2배 정도의 데이터 저장용량을 가지게 된다.

그런데, 4-레벨 메모리셀에서는, 인접하는 레벨 사이의 문턱전압의 마진(margin)은 전형적으로 0.67V 정도로 매우 작다. 이때, 각 메모리셀들의 문턱전압은, 전자들의 누설 등으로 인하여, 쉬프트(shift)될 수 있다. 따라서, 4-레벨 중의 하나로 프로그램된 메모리셀(MC)의 문턱전압이 인접한 레벨의 문턱전압으로 이동될 수 있다. 그러므로, 4-레벨 불휘발성 반도체 메모리 장치에서는, 신뢰성이 낮게 된다는 문제점이 발생된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 높은 집적도와 신뢰성을 가지는 불휘발성 반도체 메모리 장치를 제공하는 데 있다.

본 발명의 다른 목적은 상기 불휘발성 반도체 메모리 장치를 효율적으로 구동하는 구동방법을 제공하는 데 있다.

발명의 구성

상기와 같은 기술적 과제를 달성하기 위한 본 발명의 일면은 불휘발성 반도체 메모리 장치에 관한 것이다. 본 발명의 불휘발성 반도체 메모리 장치는 한조의 제1 및 제2 메모리셀을 포함하는 메모리 어레이; 한조의 제1 내지 제3 비트의 데이터들의 3비트를 상기 한조의 제1 및 제2 메모리셀의 문턱전압 레벨로 맵핑하도록 구동되는 페이지 버퍼; 및 상기 한조의 제1 및 제2 메모리셀에 인가되는 제1 및 제2 워드라인을 각각 제1 기준전압 및 제2 기준전압으로 제어하는 로우 디코더로서, 상기 제1 기준전압과 제2 기준전압은 서로 상이한 전압레벨을 가지는 상기 로우 디코더를 구비한다.

상기와 같은 다른 기술적 과제를 달성하기 위한 본 발명의 다른 일면은 한조의 제1 내지 제3 비트의 데이터들이 한조의 제1 및 제2 메모리셀에 맵핑되는 불휘발성 반도체 메모리 장치의 구동방법에 관한 것이다. 본 발명의 다른 일면에 따른 불휘발성 반도체 메모리 장치의 구동방법은 소정의 하부 래치데이터 및 상부 래치데이터를 리셋하는 A)단계; 상기 제1 기준전압을 기준으로 하는 상기 제1 메모리셀의 문턱전압을 이용하여 상기 하부 래치데이터를 플립하며, 상기 제2 기준전압을 기준으로 하는 상기 제2 메모리셀의 문턱전압을 이용하여 상기 상부 래치데이터를 플립하는 B)단계로서, 상기 제1 및 제2 메모리셀의 문턱전압은 상기 제1 기준전압과 상기 제1 기준전압보다 높은 상기 제2 기준전압에 의하여 제1 내지 제3 문턱전압 그룹으로 구분될 수 있는 상기 B)단계; 및 상기 B)단계에서 플립되는 상기 상부 래치데이터를 이용하여, 상기 하부 래치데이터를 플립하는 C)단계를 구비한다.

상기와 같은 다른 기술적 과제를 달성하기 위한 본 발명의 또 다른 일면은 불휘발성 반도체 메모리 장치의 구동방법에 관한 것이다. 본 발명의 또 다른 일면에 따른 불휘발성 반도체 메모리 장치의 구동방법은 한조의 제1 내지 제3 비트의 데이터들이 맵핑되는 한조의 제1 및 제2 메모리셀을 선택하는 A)단계; 및 상기 한조의 제1 및 제2 메모리셀에 인가되는 제1 및 제2 워드라인을 각각 제1 기준전압 및 제2 기준전압으로 제어하는 B)단계로서, 상기 제1 기준전압과 제2 기준전압은 서로 상이한 전압레벨을 가지는 상기 B)단계를 구비한다.

본 발명과 본 발명의 동작상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다. 각 도면을 이해함에 있어서, 동일한 부재는 가능한 한 동일한 참조부호로 도시하고자 함에 유의해야 한다. 그리고, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 공지 기능 및 구성에 대한 상세한 기술은 생략된다.

본 발명의 불휘발성 반도체 메모리 장치는 3-레벨 메모리셀들을 포함한다. 3-레벨 메모리셀(MC)은, 도 4에 도시되는 바와 같이, 3개의 레벨의 문턱전압(threshold voltage) 그룹으로 프로그램될 수 있다. 그리고, 메모리셀(MC)의 문턱전압의 그룹은, 제1 기준전압(VR1) 및 제2 기준전압(VR2)을 기준으로 구분될 수 있다. 본 명세서에서는, 제1 기준전압(VR1)보다 낮은 문턱전압 그룹을 "제1 문턱전압 그룹(G1)"이라 칭하며, 제1 기준전압(VR1)과 제2 기준전압(VR2) 사이의 문턱전압 그룹을 "제2 문턱전압 그룹(G2)"이라 칭한다. 그리고, 제2 기준전압(VR2)보다 높은 문턱전압 그룹을 "제3 문턱전압 그룹(G3)"이라 칭한다.

이와 같은, 3-레벨 메모리셀은, 2-레벨 메모리셀에 비하여, 많은 수의 데이터 저장상태를 가지므로, 상대적으로 높은 집적도를 가진다. 또한, 3-레벨 메모리셀은, 4-레벨 메모리셀에 비하여, 문턱전압 레벨들 사이의 간격이 크게 증가하므로, 상대적으로 높은 신뢰성을 가진다. 그러므로, 3-레벨 메모리셀을 가지는 불휘발성 반도체 메모리 장치(본 명세서에서는, '3-레벨 불휘발성 반도체 메모리 장치'라 칭함)는 집적도 및 신뢰성의 측면에서 큰 잇점을 가진다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다.

도 5는 본 발명의 일실시예에 따른 불휘발성 반도체 메모리 장치의 일부를 나타내는 도면이다. 도 5에는, 메모리 어레이(100), 페이지 버퍼(200) 및 로우 디코더(300)가 도시된다.

상기 메모리 어레이(100)는 행과 열의 매트릭스 구조상에 배열되는 다수개의 메모리셀들을 포함한다. 도 6은 도 5의 메모리 어레이(100)의 일부를 나타내는 도면으로서, NAND 타입의 불휘발성 반도체 메모리 장치의 경우를 나타내는 도면이다.

상기 메모리 어레이(100)는, 도 6에 도시되는 바와 같이, 동일한 Y-어드레스에 의하여 선택되는 하부 비트라인(BLD) 및 상부 비트라인(BLU)를 포함한다. 상기 하부 비트라인(BLD) 및 상기 상부 비트라인(BLU)는 스위치(SW)에 의하여 전기적으로 연결된다. 즉, 덤핑 인에이블 신호(DPEN)가 "H"로 활성화될 때, 상기 하부 비트라인(BLD) 및 상기 상부 비트라인(BLU)는 전기적으로 연결된다.

상기 하부 비트라인(BLD) 및 상기 상부 비트라인(BLU)은, 본 발명의 불휘발성 반도체 메모리 장치의 데이터 프로그램 및 독출 동작에서, 각각 하부 비트라인 제어부(BLCOND) 및 상부 비트라인 제어부(BLCONU)에 의하여, 전원전압(VDD) 및 접지전압(VSS)으로 제어된다.

하부 비트라인(BLD)에 연결되는 하부 스트링(STD) 및 상부 비트라인(BLU)에 연결되는 상부 스트링(STU)에는, 다수개의 메모리셀들이 포함된다. 본 명세서에서는, 하부 스트링(STD)에 포함되는 메모리셀은 '제1 메모리셀(MC1)'로 불릴 수 있으며, 상부 스트링(STU)에 포함되는 메모리셀은 '제2 메모리셀(MC2)'로 불릴 수 있다. 그러나, 이는 단지 설명의 편의를 위한 것이며, 이로 인하여 본 발명의 권리범위가 제한되지 않는다.

상기 제1 메모리셀들(MC1) 및 상기 제2 메모리셀들(MC2)은 동일한 형태의 메모리셀로 구현될 수 있으며, 전기적으로 프로그램 및 소거가 가능하고, 전원이 공급되지 않는 상태에서도 데이터의 보존이 가능하다.

한편, 본 발명의 바람직한 실시예에 의하면, 한조를 이루는 상기 제1 메모리셀(MC1) 및 상기 제2 메모리셀(MC2)은, 하부 스트링(STD) 및 상부 스트링(STU)에 분산되어 배치되며, 동일한 Y-어드레스에 의하여 선택된다. 구체적으로 기술하면, 상기 하부 스트링(STD)에 포함되는 하나의 제1 메모리셀(MC1)과 상부 스트링(STU)에 포함되는 하나의 제2 메모리셀(MC2)가 한조를 이룬다.

상기 한조의 제1 및 제2 메모리셀(MC1, MC2)에는, 한조를 이루는 제1 내지 제3 비트의 데이터값이 프로그램될 수 있다. 또한, 상기 한조의 2개 메모리셀의 문턱전압에 따른 저장상태는 상기 제1 내지 제3 비트의 데이터값으로 독출된다. 본 명세서 및 도면에서, 제1 내지 제3 비트는 참조번호 'BIT1~BIT3'로 나타날 수 있다.

다시 도 5를 참조하면, 상기 페이지 버퍼(200)는 하부 래치블락(LTBKD) 및 상부 래치블락(LTBKU)을 구비한다. 상기 하부 래치블락(LTBKD)은 상기 하부 비트라인(BLD)에 전기적으로 연결되며, 소정의 내부 데이터선(IDL)으로 데이터를 제공한다. 상기 상부 래치블락(LTBKU)은 상기 상부 비트라인(BLU)에 전기적으로 연결된다.

상기 페이지 버퍼(200)는 상기 하부 및 상부 비트라인(BLD, BLU)을 통하여, 상기 메모리 어레이(100)에 커플드된다. 그리고, 상기 페이지 버퍼(200)는 한조의 제1 내지 제3 비트(BIT1 내지 BIT3)의 데이터들을 한조의 제1 및 제2 메모리셀(MC1, MC2)의 문턱전압 그룹으로 맵핑하도록 구동된다.

도 7은 도 5의 하부 래치블락(LTBKD)을 자세히 나타내는 도면이다. 상기 하부 래치블락(LTBKD)은 하부 래치데이터(DLTD)를 저장할 수 있으며, 상기 하부 비트라인(BLD)에 연결된다. 상기 하부 래치블락(LTBKD)은 구체적으로 하부 센싱단자(NSEND), 하부 래치부(211), 하부 플립부(213) 및 하부 래치제어부(215)를 구비한다.

상기 하부 센싱단자(NSEND)는 하부 비트라인 연결신호(BLSHFD) 및 하부 비트라인 선택신호(SOBLKD)에 응답하여, 상기 하부 비트라인(BLD)과 연결된다. 이때, 상기 하부 센싱단자(NSEND)의 데이터는, 하부 비트라인 연결부(223)를 통하여, 상기 하부 비트라인(BLD)에 제공될 수 있다.

상기 하부 래치부(211)는 하부 래치데이터(DLTD)를 래치하여 저장한다. 그리고, 상기 하부 래치부(211)는 하부 버퍼 선택신호(PBSLTD)에 응답하여, 상기 하부 래치데이터(DLTD)를 상기 하부 비트라인(BLD)에 송신할 수 있다.

상기 하부 플립부(213)는, 상기 하부 센싱단자(NSEND)의 전압레벨에 따라, 상기 하부 래치데이터(DLTD)을 논리 "L"에서 논리 "H"로 플립시킨다. 이 경우, 하부 입력신호(DID)가 "H"로 활성화된다. 또한, 상기 하부 플립부(213)는, 상기 하부 센싱단자(NSEND)의 전압레벨에 따라, 상기 하부 래치데이터(DLTD)을 논리 "H"에서 논리 "L"로 반전 플립시킨다. 이 경우, 하부 반전입력신호(nDID)가 "H"로 활성화된다.

상기 하부 래치제어부(215)는 상기 하부 래치데이터(DLTD)를 "H"로 셋팅한다. 이 경우, 하부 입력신호(DID)가 "H"로 활성화된다. 또한, 상기 하부 래치제어부(215)는 상기 하부 래치데이터(DLTD)를 "L"로 리셋한다. 이 경우, 하부 반전입력신호(nDID)가 "H"로 활성화된다.

본 실시예에서, 상기 하부 입력신호(DID)에 게이팅되는 앤모스 트랜지스터(T11)와 상기 하부 반전입력신호(nDID)에 게이팅되는 앤모스 트랜지스터(T13)는 하부 플립부(213)와 하부 래치제어부(215)에 공통적으로 포함된다.

바람직하기로, 하부 래치블락(LTBKD)은 출력부(219), 하부 프리차아지부(221) 및 하부 비트라인 연결부(223)를 더 구비한다.

상기 출력부(219)는, 출력제어신호(DIO)에 응답하여, 상기 하부 래치부(211)의 하부 래치데이터(DLTD)를 내부 데이터선(IDL)으로 제공하기도 한다.

하부 프리차아지부(221)는 하부 센싱 프리차아지 신호(/PRED)에 응답하여, 상기 하부 센싱단자(NSEND)을 전원전압(VDD)으로 프리차아지시킨다.

하부 비트라인 연결부(223)는 하부 비트라인 연결신호(BLSHFD) 및 하부 비트라인 선택신호(SOBLKD)에 응답하여, 상기 하부 비트라인(BLD)과 상기 하부 센싱단자(NSEND) 사이의 전기적 연결을 제어한다.

도 8은 도 5의 상부 래치블락(LTBKU)을 자세히 나타내는 도면이다. 상기 상부 래치블락(LTBKU)은 상부 래치데이터(DLTU)를 저장할 수 있으며, 상기 상부 비트라인(BLU)에 연결된다. 상기 상부 래치블락(LTBKU)은 구체적으로 상부 센싱단자(NSENU), 상부 래치부(211), 상부 플립부(263) 및 덤펑부(267)를 구비한다.

상기 상부 센싱단자(NSENU)는 상부 비트라인 연결신호(BLSHFU) 및 상부 비트라인 선택신호(SOBLKU)에 응답하여, 상기 상부 비트라인(BLU)과 연결된다. 이때, 상기 상부 센싱단자(NSENU)의 데이터는, 상부 비트라인 연결부(273)를 통하여, 상기 상부 비트라인(BLU)에 제공될 수 있다.

상기 상부 래치부(261)는 상부 래치데이터(DLTU)를 래치하여 저장한다. 그리고, 상기 상부 래치부(261)는 상부 버퍼 선택신호(PBSLTU)에 응답하여, 상기 상부 래치데이터(DLTU)를 상기 상부 비트라인(BLU)에 송신할 수 있다.

상기 상부 플립부(263)는, 상기 상부 센싱단자(NSENU)의 전압레벨에 따라, 상기 상부 래치데이터(DLTU)을 논리 "L"에서 논리 "H"로 플립시킨다. 이 경우, 상부 입력신호(DIU)가 "H"로 활성화된다. 또한, 상기 상부 플립부(263)는, 상기 상부 센싱단자(NSENU)의 전압레벨에 따라, 상기 상부 래치데이터(DLTU)을 논리 "H"에서 논리 "L"로 반전 플립시킨다. 이 경우, 상부 반전입력신호(nDIU)가 "H"로 활성화된다.

상기 상부 래치제어부(265)는 상기 상부 래치데이터(DLTU)를 "H"로 셋팅한다. 이 경우, 상부 입력신호(DIU)가 "H"로 활성화된다. 또한, 상기 상부 래치제어부(265)는 상기 상부 래치데이터(DLTU)를 "L"로 리셋한다. 이 경우, 상부 반전입력신호(nDIU)가 "H"로 활성화된다.

상기 덤펑부(267)는 상기 상부 래치데이터(DLTU)에 따라 상기 상부 센싱단자(NSENU)을 접지전압(VSS)으로 디스차아지한다. 구체적으로 기술하면, 상기 덤펑부(267)는, 상기 상부 래치데이터(DLTU)가 논리 "H"일 때, 비트라인 드라이빙 신호(BLDRV)에 응답하여, 상기 상부 센싱단자(NSENU)을 접지전압(VSS)으로 디스차아지한다. 따라서, 상기 덤펑부(267)는, 논리 "H"의 상기 상부 래치데이터(DLTU)를 반전하여, 상기 상부 센싱단자(NSENU)에 제공하는 역할을 수행한다.

바람직하기로, 상부 래치블락(LTBKU)은 상부 프리차아지부(271) 및 상부 비트라인 연결부(273)를 더 구비한다.

상부 프리차아지부(271)는 상부 센싱 프리차아지 신호(/PREU)에 응답하여, 상기 상부 센싱단자(NSENU)을 전원전압(VDD)으로 프리차아지시킨다.

상부 비트라인 연결부(273)는 상부 비트라인 연결신호(BLSHFU) 및 상부 비트라인 선택신호(SOBLKU)에 응답하여, 상기 상부 비트라인(BLU)과 상기 상부 센싱단자(NSENU) 사이의 전기적 연결을 제어한다.

다시 도 5를 참조하면, 로우 디코더(300)는 상기 메모리 어레이(100)에 커플드되어, 선택되는 워드라인(WL)의 전압레벨을 제어하며, 스트링 선택신호(SSL) 및 그라운드 선택신호(GSL)를 발생한다. 상기 로우 디코더(300)는 상기 한조의 제1 및 제2 메모리셀(MC1, MC2)에 인가되는 제1 및 제2 워드라인(본 실시예에서는, WLD<2> 및 WLU<2>, 도 6 참조)을 서로 상이한 전압레벨을 가지는 제1 기준전압(VR1) 및 제2 기준전압(VR2)으로 각각 제어할 수 있다.

데이터 입출력 회로(400)는 상기 페이지 버퍼(200)에 래치된 데이터를 외부 시스템으로 출력하며, 또한, 외부 시스템으로부터 입력되는 데이터를 상기 페이지 버퍼(200)에 로딩한다.

한편, 본 실시예에서, 내부 데이터선(IDL)의 데이터값은, 독출동작시에, 외부로 제공되는 제1 내지 제3 비트(BIT1 내지 BIT3)의 데이터와 반대의 위상을 가진다. 즉, 각 비트의 데이터가 "1"인 경우, 상기 내부 데이터선(IDL)은 "L"이고, 각 비트의 데이터가 "0"인 경우, 상기 내부 데이터선(IDL)은 "H"이다.

이어서, 본 발명의 불휘발성 반도체 메모리 장치의 프로그램 방법이 기술된다. 이때, 한조의 메모리셀에 대한 프로그램은, 도 9에 도시되는 바와 같이, 제1 내지 제3 비트(BIT1 내지 BIT3)를 각각 이용하는 제1 내지 제3 페이지 프로그램 단계 순으로 진행된다.

도 9는 본 발명의 불휘발성 반도체 메모리 장치의 구동방법을 나타내는 도면으로서, 데이터 프로그램 방법을 나타내는 순서도이다. 먼저, S1110 단계에서, 프로그램 동작을 지시하는 동작 명령(CMD)이 입력된다. S1120 단계에서, 제1 페이지 프로그램 동작이 수행된다. 상기 S1120 단계에서는, 제1 비트(BIT1)의 데이터에 따라 제1 메모리셀(MC1)의 문턱전압이 제2 문턱전압 그룹(G2)으로 프로그램된다(도 10의 STEP1 참조).

S1130 단계에서, 제2 페이지 프로그램 동작이 수행된다. 상기 S1130 단계에서는, 제2 비트(BIT2)의 데이터에 따라 제2 메모리셀(MC2)의 문턱전압이 제2 문턱전압 그룹(G2)으로 프로그램된다(도 10의 STEP2 참조).

S1140 단계에서, 제3 페이지 프로그램 동작이 수행된다. 상기 S1140 단계에서는, 제3 비트(BIT3)의 데이터에 따라 제1 및/또는 제2 메모리셀(MC1, MC2)의 문턱전압이 제3 문턱전압 그룹(G3)으로 프로그램된다(도 10의 STEP3 참조).

도 10을 참조하여, 제3 페이지 프로그램이 수행된 후의 제1 및 제2 메모리셀들(MC1, MC2)의 문턱전압을 살펴보면 다음과 같다.

제1 비트(BIT1), 제2 비트(BIT2) 및 제3 비트(BIT3)의 데이터가 모두 "1"인 경우(CASE1)에는, 제1 및 제2 메모리셀(MC1, MC2)의 문턱전압은 모두 소거상태 즉, 제1 문턱전압 그룹(G1)에 위치한다.

제1 비트(BIT1) 및 제2 비트(BIT2)의 데이터가 "1"이고, 제3 비트(BIT3)의 데이터가 "0"인 경우(CASE2)에는, 제1 및 제2 메모리셀(MC1, MC2)의 문턱전압은 모두 소거상태 즉, 제3 문턱전압 그룹(G3)에 위치한다.

제1 비트(BIT1)의 데이터가 "1"이고, 제2 비트(BIT2)의 데이터가 "0"이며, 제3 비트(BIT3)의 데이터가 "1"인 경우(CASE3)에는, 제1 메모리셀(MC1)의 문턱전압은 제1 문턱전압 그룹(G1)에 위치되며, 제2 메모리셀(MC2)의 문턱전압은 제2 문턱전압 그룹(G2)에 위치한다.

제1 비트(BIT1)의 데이터가 "1"이고, 제2 비트(BIT2)의 데이터가 "0"이며, 제3 비트(BIT3)의 데이터가 "0"인 경우(CASE4)에는, 제1 메모리셀(MC1)의 문턱전압은 제1 문턱전압 그룹(G1)에 위치되며, 제2 메모리셀(MC2)의 문턱전압은 제3 문턱전압 그룹(G3)에 위치한다.

제1 비트(BIT1)의 데이터가 "0"이고, 제2 비트(BIT2)의 데이터가 "1"이며, 제3 비트(BIT3)의 데이터가 "1"인 경우(CASE5)에는, 제1 메모리셀(MC1)의 문턱전압은 제2 문턱전압 그룹(G2)에 위치되며, 제2 메모리셀(MC2)의 문턱전압은 제1 문턱전압 그룹(G1)에 위치한다.

제1 비트(BIT1)의 데이터가 "0"이고, 제2 비트(BIT2)의 데이터가 "1"이며, 제3 비트(BIT3)의 데이터가 "0"인 경우(CASE6)에는, 제1 메모리셀(MC1)의 문턱전압은 제3 문턱전압 그룹(G3)에 위치되며, 제2 메모리셀(MC2)의 문턱전압은 제1 문턱전압 그룹(G1)에 위치한다.

제1 비트(BIT1)의 데이터가 "0"이고, 제2 비트(BIT2)의 데이터가 "0"이며, 제3 비트(BIT3)의 데이터가 "1"인 경우(CASE7)에는, 제1 및 제2 메모리셀(MC1, MC2)의 문턱전압은 모두 제2 문턱전압 그룹(G2)에 위치한다.

제1 비트(BIT1), 제2 비트(BIT2) 및 제3 비트(BIT3)의 데이터가 모두 "0"인 경우(CASE8)에는, 제1 메모리셀(MC1)의 문턱전압은 제3 문턱전압 그룹(G3)에 위치되며, 제2 메모리셀(MC2)의 문턱전압은 제2 문턱전압 그룹(G2)에 위치한다.

이어서, 본 발명의 불휘발성 반도체 메모리 장치의 독출방법이 기술된다. 이때, 제1 내지 제3 비트(BIT1 내지 BIT3)를 각각 독출하는 제1 내지 제3 페이지 독출 단계가 비순서적으로 진행되더라도, 한조의 메모리셀에 대한 독출은 가능하다.

도 11은 본 발명의 불휘발성 반도체 메모리 장치의 구동방법으로서, 데이터 독출 방법을 전체적으로 나타내는 순서도이다.

도 11을 참조하면, S1210 단계에서, 독출 동작을 지시하는 동작 명령(CMD)이 입력된다. 그리고, S1220 단계에서, 로우 어드레스가 입력된다.

S1230 단계에서, 입력된 로우 어드레스가 한조의 제1 및 제2 메모리셀(MC1, MC2)를 선택하는 3-레벨 어드레스인지 여부가 판단된다.

만약, 입력된 로우 어드레스가 3-레벨 어드레스가 아닌 것으로 판단되면, S2240 단계에서, 통상적인 2-레벨의 메모리셀에 대한 독출 동작이 수행된다.

그리고, 입력된 로우 어드레스(RADD)가 3-레벨 어드레스인 것으로 판단되면, S1250, S1260, S1270 단계에서, 해당하는 페이지에 따른 독출 동작이 수행된다.

도 12는 도 11의 제1 페이지 독출방법을 나타내는 순서도이다. 그리고, 도 13은 도 12의 순서도에 따른 데이터 흐름도이다.

여기서, 다시 도 10을 참조하면, 상기 제1 비트(BIT1)의 데이터는, 상기 제1 기준전압(VR1)을 기준으로 하는 상기 제1 메모리셀(MC1)의 문턱전압 또는 상기 제2 기준전압(VR1)을 기준으로 하는 상기 제2 메모리셀(MC2)의 문턱전압에 맵핑된다. 즉, 제1 비트(BIT1)가 "1"인 경우에는, 상기 제1 메모리셀(MC1)의 문턱전압이 제1 기준전압(VR1)보다 낮거나, 상기 제2 메모리셀(MC2)의 문턱전압이 제2 기준전압(VR2)보다 높다.

따라서, 제1 비트(BIT1)의 데이터는 상기 제1 기준전압(VR1)을 기준으로 하는 상기 제1 메모리셀(MC1)의 문턱전압과 상기 제2 기준전압(VR2)을 기준으로 하는 상기 제2 메모리셀(MC2)의 문턱전압을 확인함으로써 독출될 수 있음을 알 수 있다.

도 12를 참조하면, S1251 단계에서, 하부 및 상부 래치데이터(DLTD, DLTU)가 논리 "L"로 리셋된다(도 13의 (A1) 참조). 이때, 하부 및 상부 반전입력신호(nDID, nDIU)가 "H"로 활성화된다.

S1252 및 S1253 단계에서는, 상기 제1 기준전압(VR1)을 기준으로 하는 상기 제1 메모리셀(MC1)의 문턱전압을 이용하여 상기 하부 래치데이터(DLTD)가 플립되며, 상기 제2 기준전압(VR2)을 기준으로 하는 상기 제2 메모리셀(MC2)의 문턱전압을 이용하여 상기 상부 래치데이터(DLTU)가 플립된다.

구체적으로, S1252 단계에서, 상기 제1 기준전압(VR1)으로 상기 제1 메모리셀(MC1)의 문턱전압이 상기 하부 비트라인(BLD)을 거쳐 상기 하부 센싱단자(NSEND)에 반영되며, 상기 제2 기준전압(VR2)으로 상기 제2 메모리셀(MC2)의 문턱전압이 상기 상부 비트라인(BLU)을 거쳐 상기 상부 센싱단자(NSENU)에 반영된다(도 13의 (A2) 참조).

다시 기술하면, 도 14에 도시되는 바와 같이, 상기 제1 메모리셀(MC1)에 인가되는 제1 워드라인(WLD<2>)은 제1 기준전압(VR1)으로 제어되며, 상기 제2 메모리셀(MC2)에 인가되는 제2 워드라인(WLU<2>)은 제2 기준전압(VR2)으로 제어된다. 그리고, 나머지 워드라인들은 패스전압(VPASS)으로 제어된다. 상기 패스전압(VPASS)은 해당되는 메모리셀의 문턱전압에 관계없이 턴온(turn-on)시킬 수 있는 전압 레벨이다.

S1253 단계에서, 하부 및 상부 래치제어신호(LCHD, LCHU)가 "H" 펄스로 발생되며, 하부 및 상부 입력신호(DID, DIU)가 "H"로 활성화된다. 이때, 상기 하부 및 상부 센싱단자(NSEND, NSENU)의 전압레벨 즉, 상기 하부 및 상부 비트라인(BLD, BLU)의 전압레벨에 따라 선택적으로 하부 및 상부 래치데이터(DLTD, DLTU)가 "L"에서 "H"로 플립된다(도 13의 (A3) 참조).

그 결과, 도 10의 CASE1, CASE3 및 CASE4인 경우에는 하부 래치데이터(DLTD)가 "L"을 유지하며, CASE2 및 CASE5 내지 CASE8인 경우에는, 하부 래치데이터(DLTD)가 "H"로 플립된다. 그리고, 도 10의 CASE2 및 CASE4인 경우에는, 상부 래치데이터(DLTU)가 "H"로 플립되며, CASE1, CASE3 및 CASE5 내지 CASE8인 경우에는, 상부 래치데이터(DLTU)가 "L"을 유지한다.

그리고, S1254 단계 및 S1255 단계에서는, 상기 1253 단계에서 플립되는 상기 상부 래치데이터(DLTU)를 이용하여, 상기 하부 래치데이터(DLTD)가 플립된다.

구체적으로, S1254 단계에서는, 상부 래치데이터(DLTU)가 하부 센싱단자(NSEND)에 반영된다. 이때, 상부 베퍼 선택신호(PBSLTU) 및 덤핑 인에이블 신호(DPEN)가 "H"로 활성화한다(도 13의 (A4) 참조).

그리고, S1255 단계에서는, 하부 래치제어신호(LCHD)가 "H"로 활성화되어, 하부 센싱단자(NSEND)의 전압레벨 즉, 상기 하부 비트라인(BLD)의 전압레벨에 따라 하부 래치데이터(DLTD)가 "H"에서 "L"로 반전 플립된다(도 13의 (A5) 참조). 이때, 하부 반전입력신호(nDID)가 "H"로 활성화한다. 그 결과, 도 10의 CASE2의 경우에만, 하부 래치데이터(DLTD)가 "H"에서 "L"로 반전 플립된다.

상기 S1255 단계가 수행된 결과, 도 10의 CASE1 내지 CASE4인 경우에는 하부 래치데이터(DLTD)는 "L"이며, CASE5 내지 CASE8인 경우에는 하부 래치데이터(DLTD)는 "H"이다.

그리고, 도 10의 CASE2 및 CASE4인 경우에는, 상부 래치데이터(DLTU)가 "H"로 플립되며, CASE1, CASE3 및 CASE5 내지 CASE8인 경우에는, 상부 래치데이터(DLTU)가 "L"을 유지한다.

S1256 단계에서, 출력제어신호(DIO)가 "H"펄스로 발생되어, 하부 래치데이터(DLTD)의 논리상태가 내부 데이터선(IDL)으로 인출된다(도 13의 (A6) 참조).

본 실시예에서, 논리 "L"의 출력 데이터는 제1 비트(BIT1)의 데이터가 "1"임을 나타내며, 논리 "H"의 출력 데이터는 제1 비트(BIT1)의 데이터가 "1"임을 나타낸다.

이와 같이, 본 발명의 불휘발성 반도체 메모리 장치의 구동방법에 의하면, 제1 비트(BIT1)의 데이터값은, 동시에 수행되는 1회의 제1 및 제2 메모리셀(MC1, MC2)의 문턱전압의 센싱 및 1회의 독출에 의하여 확인될 수 있다. 그러므로, 불휘발성 반도체 메모리 장치의 동작속도가 빠르게 된다.

다시 도 10을 참조하면, 제2 비트(BIT2)의 데이터는, 특정조합의 경우 즉, 상기 제1 내지 제3 비트(BIT1 내지 BIT3)가 각각 1, 1, 0인 경우(CASE2)에, "1"이다. 그리고, 제2 비트(BIT2)의 데이터는, 상기 특정조합(CASE2) 이외에는, 상기 제1 기준전압(VR1)을 기준으로 하는 상기 제2 메모리셀(MC2)의 문턱전압에 맵핑된다.

따라서, 제2 비트(BIT2)는, 상기 제2 메모리셀(MC2)의 문턱전압이 상기 제1 기준전압(VR1)보다 높은 경우(도 10의 CSAE2, CASE3, CASE4, CASE7, CASE8)에서, 상기 특정조합(CASE2)의 경우 즉, 상기 제1 및 제2 메모리셀(MC1, MC2)의 문턱전압이 상기 제2 기준전압(VR2)보다 높은 경우를 제외함으로써, "0"의 데이터값을 확인할 수 있다.

또한, 상기 제3 비트(BIT3)의 데이터는 상기 제2 기준전압(VR2)을 기준으로 하는 상기 제1 및 제2 메모리셀(MC1, MC2)의 문턱전압에 맵핑된다. 즉, 제3 비트(BIT1)가 "1"인 경우에는, 상기 제1 및 제2 메모리셀(MC1, MC2)의 문턱전압이 제2 기준전압(VR1)보다 낮다. 그리고, 제3 비트(BIT1)가 "0"인 경우에는, 상기 제1 메모리셀(MC1) 및/또는 상기 제2 메모리셀(MC2)의 문턱전압이 제2 기준전압(VR2)보다 높다.

따라서, 제3 비트(BIT3)는, 상기 제1 메모리셀(MC1)의 문턱전압이 제2 기준전압(VR2)보다 높거나(도 10의 CSAE2, CASE6, CASE8), 상기 제1 메모리셀(MC1)의 문턱전압이 제2 기준전압(VR2)보다 높은 경우(도 10의 CSAE2, CASE4)에서, "0"의 데이터값을 확인할 수 있다.

발명의 효과

상기와 같이 본 발명의 불휘발성 반도체 메모리 장치는 3가지의 문턱전압 레벨로 제어될 수 있는 메모리 셀들과 상기 메모리 셀들을 제어하는 페이지 버퍼를 포함한다. 본 발명의 불휘발성 반도체 메모리 장치는, 2-레벨 불휘발성 반도체 메모리 장치에 비하여, 높은 집적도를 가진다. 그리고, 본 발명의 불휘발성 반도체 메모리 장치는, 4-레벨 불휘발성 반도체 메모리 장치에 비하여, 높은 신뢰성을 가진다.

또한, 또한, 본 발명의 불휘발성 반도체 메모리 장치 및 그의 구동방법에서, 제1 메모리 셀 및 제2 메모리 셀의 워드라인에 각각 제1 기준전압 및 제2 기준전압으로 제어된다. 이에 따라, 본 발명의 불휘발성 반도체 메모리 장치 및 그의 구동방법에 의하면, 제1 비트의 데이터값은, 동시에 수행되는 1회의 제1 및 제2 메모리 셀의 문턱전압의 센싱 및 1회의 독출에 의하여 확인될 수 있다. 그러므로, 불휘발성 반도체 메모리 장치의 제1 비트의 데이터를 독출하기 위한 동작속도가 빠르게 된다.

본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면의 간단한 설명

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 일반적인 트랜지스터 타입의 메모리 셀의 단면도이다.

도 2은 2-레벨 메모리 셀의 문턱전압 분포를 나타내는 일반적인 도면이다.

도 3은 4-레벨 메모리 셀의 문턱전압 분포를 나타내는 일반적인 도면이다.

도 4는 3-레벨 메모리 셀의 문턱전압 분포를 나타내는 도면이다.

도 5는 본 발명의 일실시예에 따른 불휘발성 반도체 메모리 장치의 일부를 나타내는 도면이다.

도 6은 도 5의 메모리 어레이의 일부를 나타내는 도면으로서, NAND 타입의 불휘발성 반도체 메모리 장치의 경우를 나타내는 도면이다.

도 7은 도 5의 하부 래치블락을 자세히 나타내는 도면이다.

도 8은 도 5의 상부 래치블락을 자세히 나타내는 도면이다.

도 9는 본 발명의 불휘발성 반도체 메모리 장치의 구동방법을 나타내는 도면으로서, 데이터 프로그램 방법을 전체적으로 나타내는 순서도이다.

도 10은 도 9의 본 발명의 불휘발성 반도체 메모리 장치의 구동방법에 따른 제1 및 제2 메모리 셀들의 문턱전압의 변화를 나타내는 도면이다.

도 11은 본 발명의 불휘발성 반도체 메모리 장치의 구동방법으로서, 데이터 독출 방법을 전체적으로 나타내는 순서도이다.

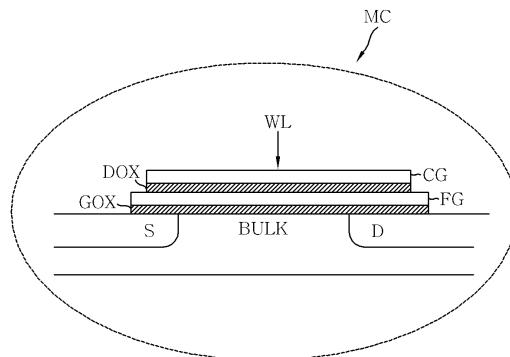
도 12는 도 11의 제1 페이지 독출방법을 나타내는 순서도이다.

도 13은 도 12의 순서도에 따른 데이터 흐름도이다.

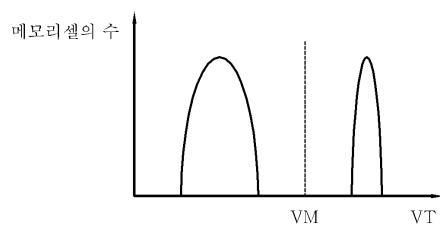
도 14는 도 12의 제1 페이지 독출방법에서, 제1 및 제2 메모리 셀에 인가되는 제1 및 제2 워드라인의 전압레벨을 설명하기 위한 도면이다.

도면

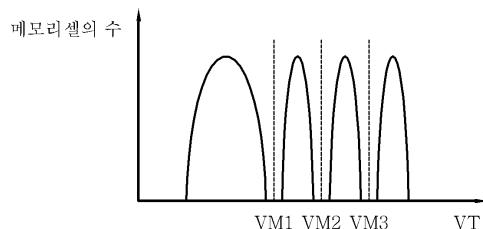
도면1



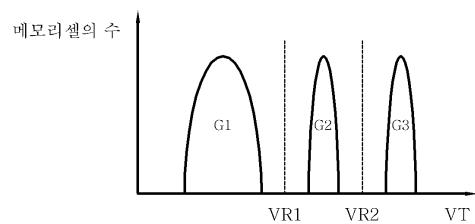
도면2



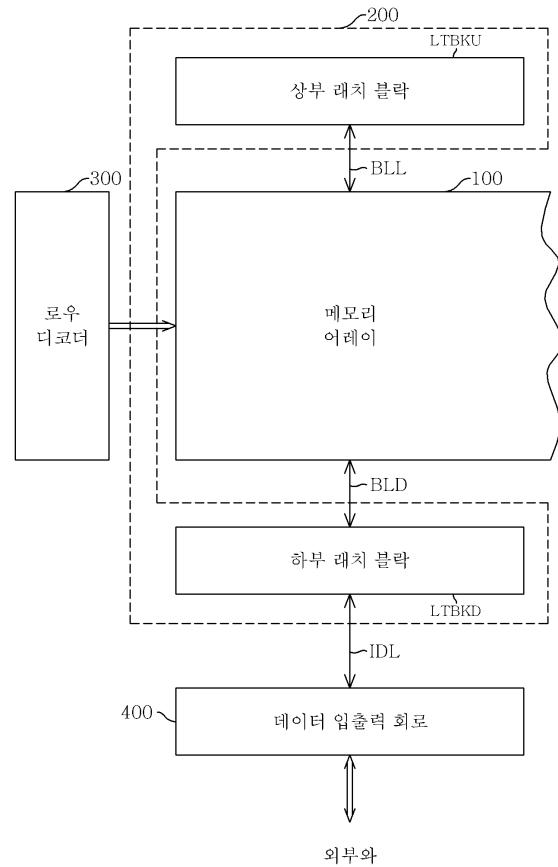
도면3



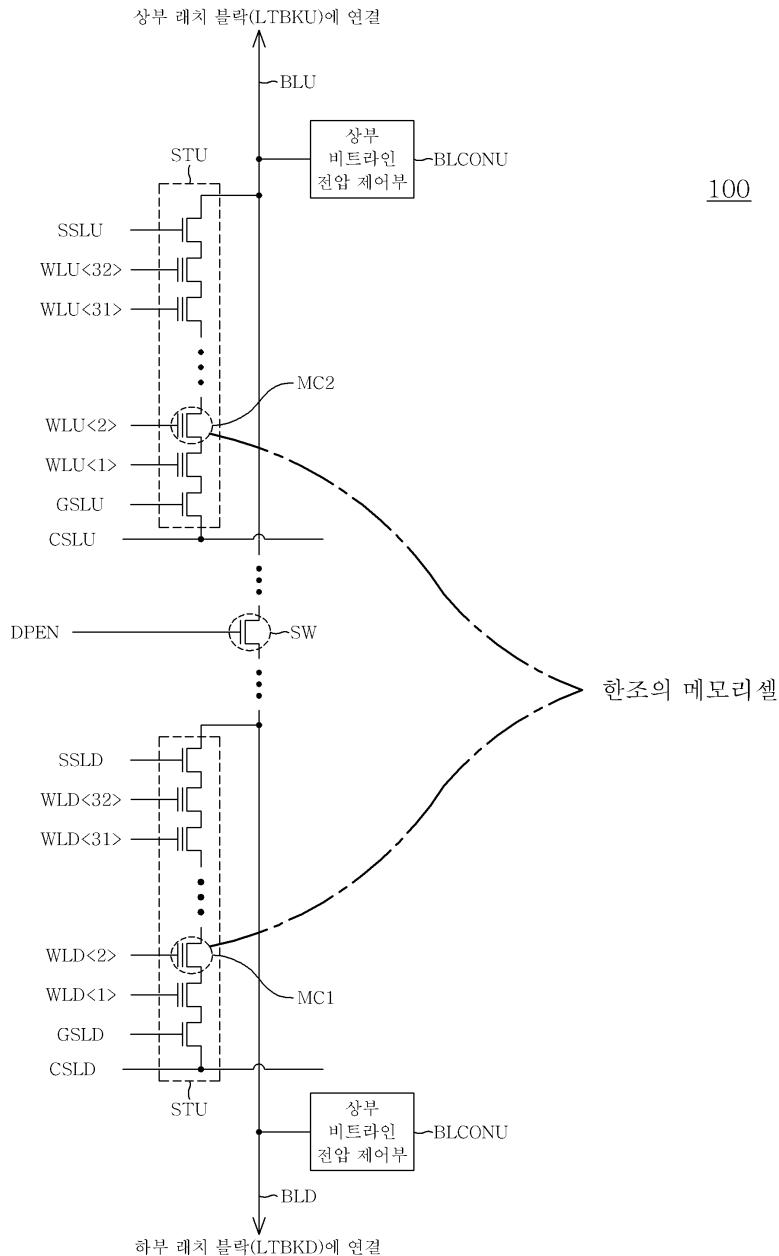
도면4



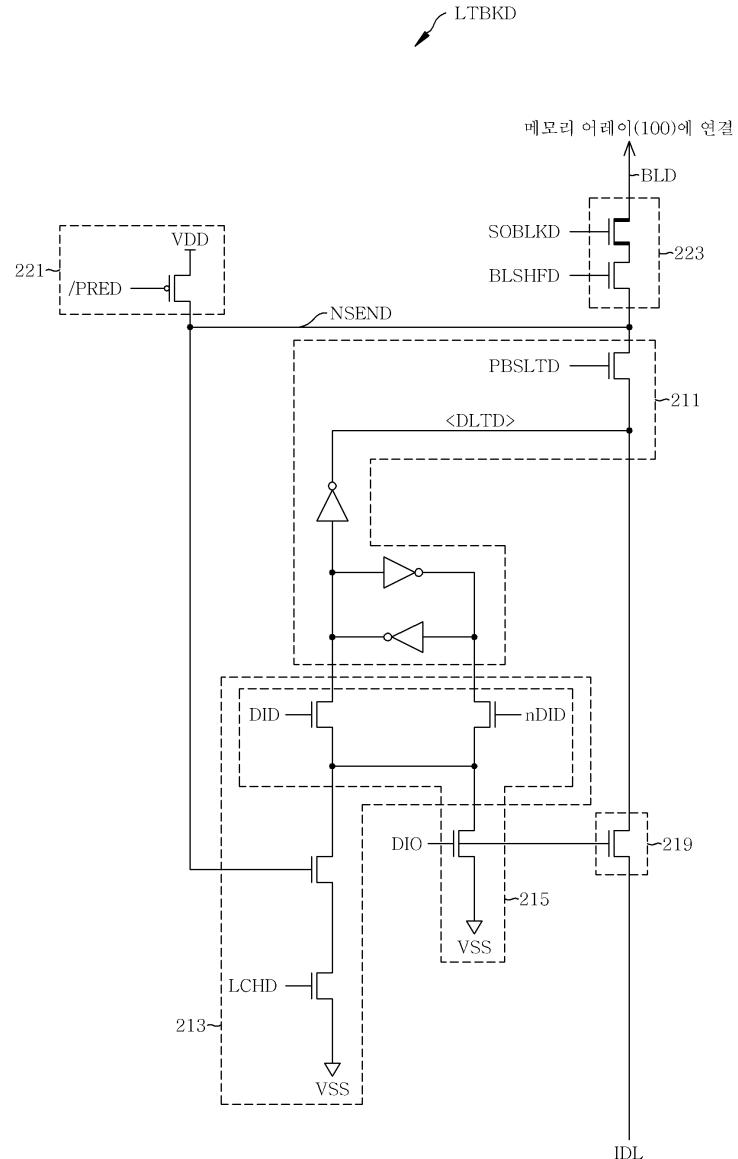
도면5



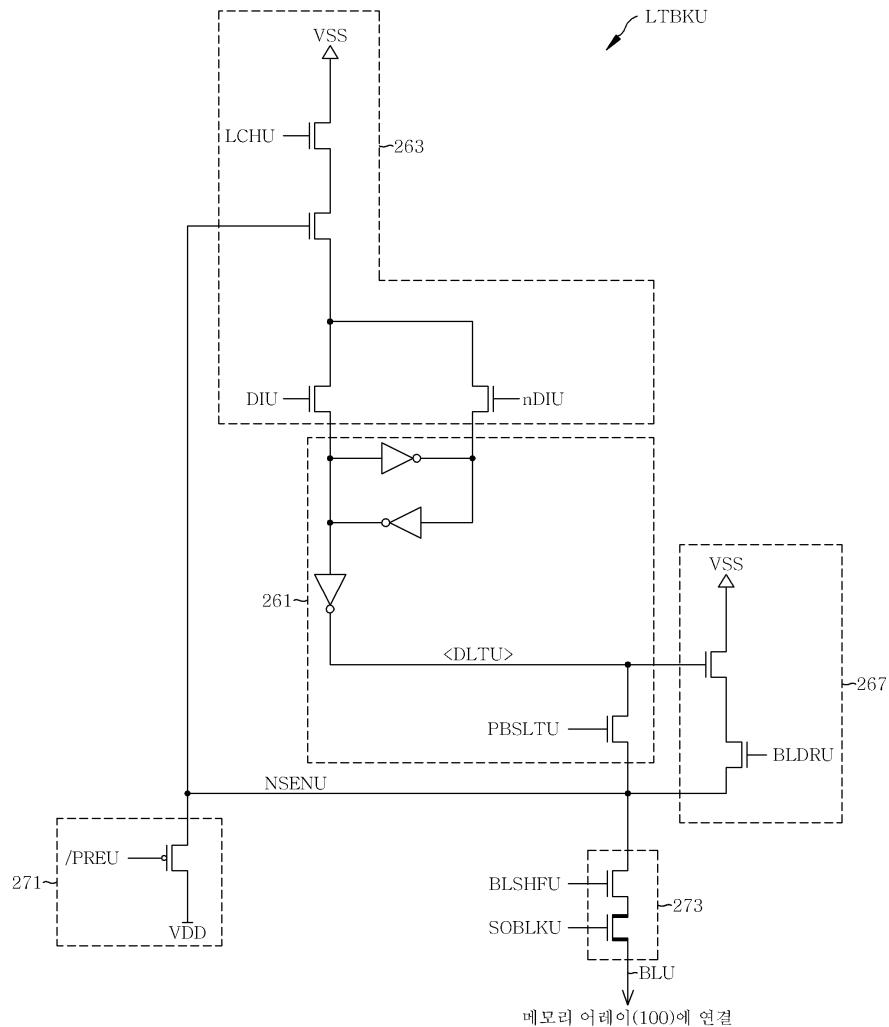
도면6



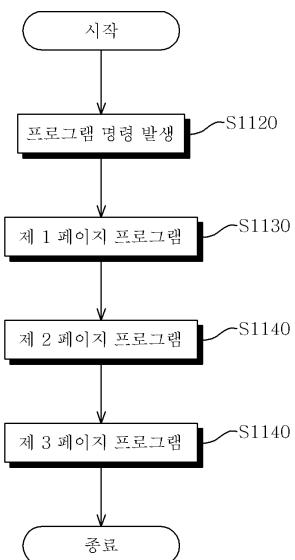
도면7



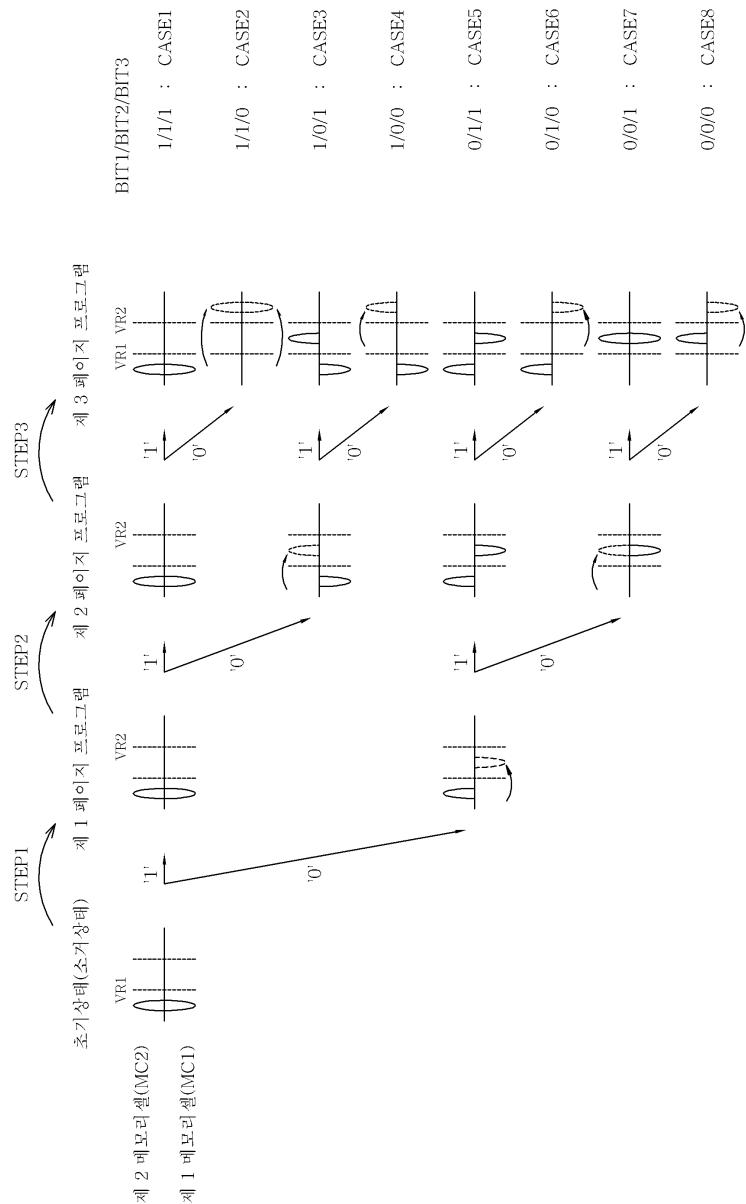
도면8



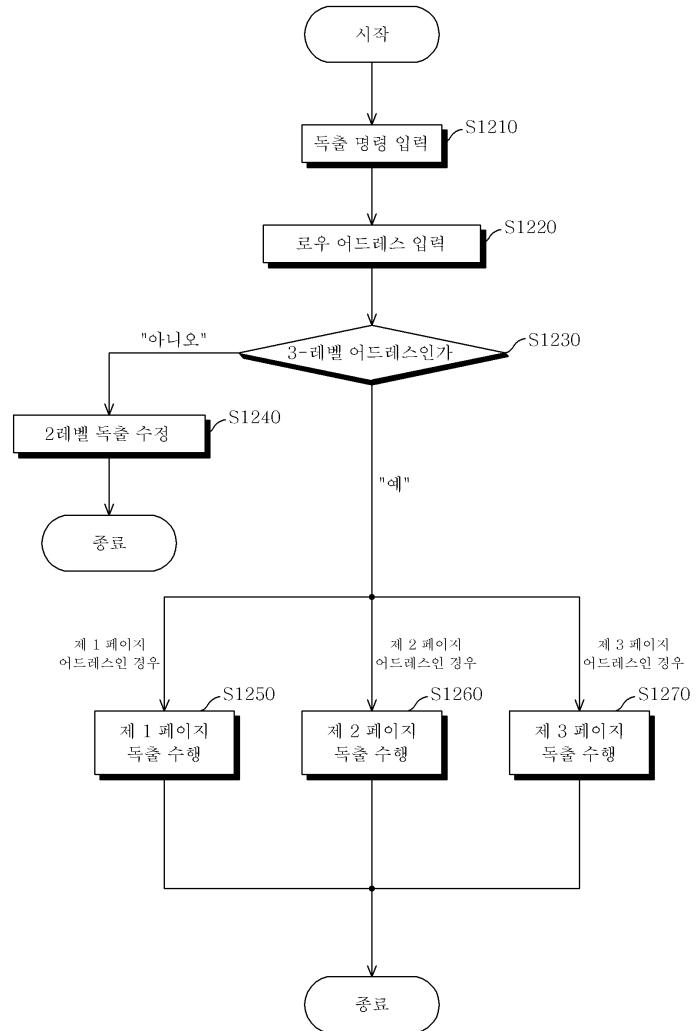
도면9



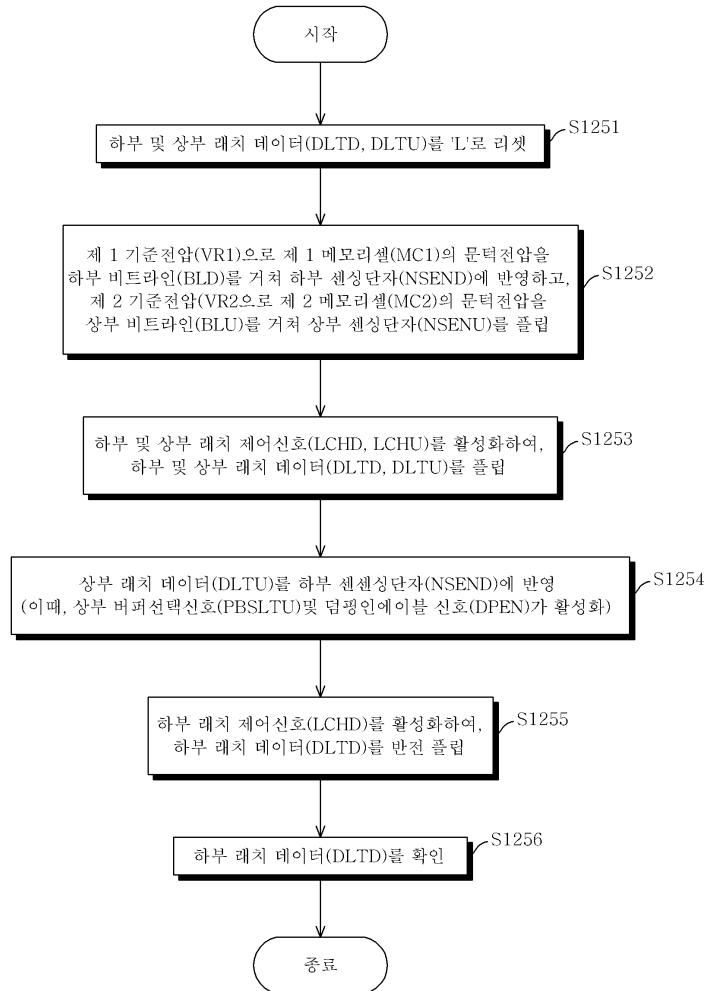
도면10



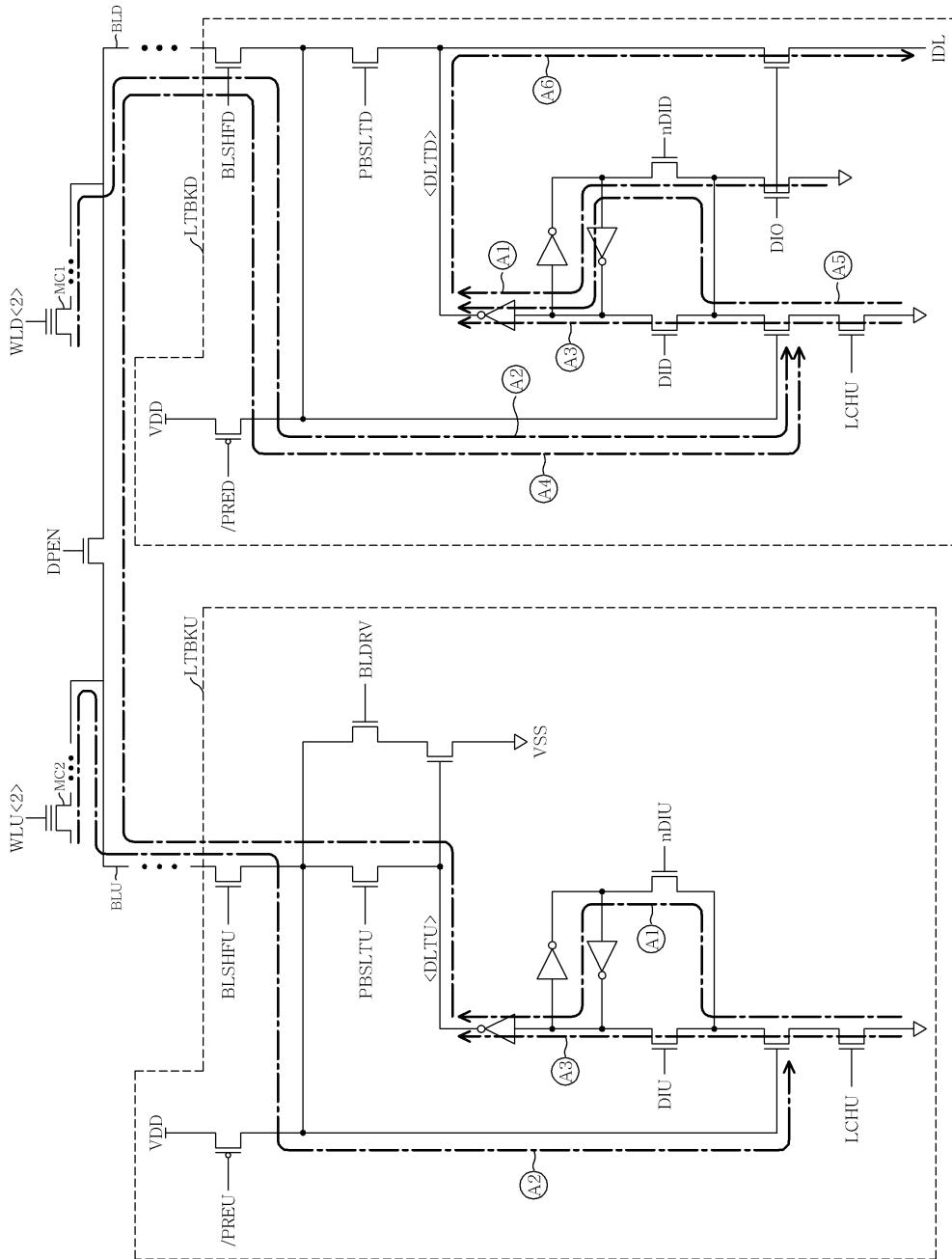
도면11



도면12



도면13



도면14

워드라인	전압레벨
WLD<2>	제 1 기준전압 (VR1)
WLW<2>	제 2 기준전압 (VR2)
그 밖의 워드라인	패스 전압 (VPASS)