(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102593108 B
(45)授权公告日 2014.08.20

(21)申请号 201110020133.1

(22)申请日 2011.01.18

(73)专利权人 台达电子工业股份有限公司
地址 中国台湾桃园县龟山乡山莺路252号

(72)发明人 曾剑鸿 洪守玉

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245
代理人 赵蓉民

(51)Int.Cl.
H01L 25/00(2006.01)
H01L 25/07(2006.01)
H01L 23/31(2006.01)
H01L 23/48(2006.01)
H01L 21/50(2006.01)

(56)对比文件
CN 101140917 A,2008.03.12,
EP 1025589 B1,2006.01.25,

审查员 陈峰

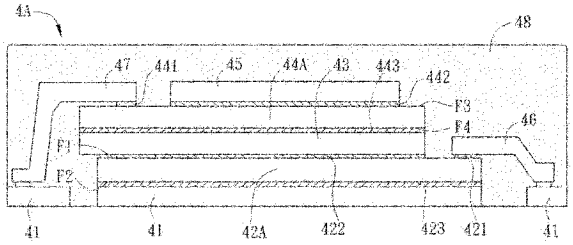
权利要求书3页 说明书12页 附图11页

(54)发明名称

功率半导体封装结构及其制造方法

(57)摘要

一种功率半导体封装结构，包括一承载件、一第一功率芯片、一第二功率芯片、一第一导电片、一第二导电片和一第三导电片。第一功率芯片具有一第一表面和一第二表面，一第一控制电极和一第一主功率电极设置于第一表面，一第二主功率电极设置于第二表面，且第二表面通过第二主功率电极与承载件电性连接。第二功率芯片具有一第三表面和一第四表面，一第三主功率电极设置于第三表面，一第四主功率电极设置于第四表面，且第四表面设置在第一功率芯片上。第一导电片电性连接第一主功率电极和第四主功率电极。第二导电片电性连接第三主功率电极。第三导电片电性连接第一控制电极。第二功率芯片沿垂直承载件的方向的投影暴露出至少部分第一控制电极。



CN 102593108 B

1. 一种功率半导体封装结构，其特征在于，包括：

一承载件；

一第一功率芯片，具有一第一表面以及一相对的第二表面，一第一控制电极以及一第一主功率电极设置于所述第一表面，一第二主功率电极设置于所述第二表面，所述第二表面设置在所述承载件上，且通过所述第二主功率电极与所述承载件电性连接；

一第二功率芯片，具有一第三表面以及一相对的第四表面，一第三主功率电极设置于所述第三表面，一第四主功率电极设置于所述第四表面，所述的第四表面设置在所述第一功率芯片上；

一第一导电片电性连接所述第一主功率电极以及所述第四主功率电极；

一第二导电片电性连接所述第三主功率电极；以及

一第三导电片电性连接所述第一控制电极；

其中所述第二功率芯片沿垂直所述承载件的方向的投影暴露出至少部分所述第一控制电极。

2. 一种功率半导体封装结构，其特征在于，包括：

一承载件；

一第一功率芯片，具有一第一表面以及一相对的第二表面，一第一控制电极以及一第一主功率电极设置于所述第一表面，一第二主功率电极设置于所述第二表面，所述第二表面设置在所述承载件上，且通过所述第二主功率电极与所述承载件电性连接；

一第二功率芯片，具有一第三表面以及一相对的第四表面，一第三主功率电极设置于所述第三表面，一第四主功率电极设置于所述第四表面，所述的第四表面设置在所述第一功率芯片上；

一第一导电片电性连接所述第一主功率电极以及所述第四主功率电极；以及

一第二导电片电性连接所述第三主功率电极；

其中所述第二功率芯片的尺寸不小于第一功率芯片，且第二功率芯片沿垂直所述承载件的方向的投影暴露出至少部分所述第一控制电极。

3. 根据权利要求1或2所述的功率半导体封装结构，其特征在于，所述第二功率芯片沿垂直所述承载件的方向的投影暴露出全部的所述第一控制电极。

4. 根据权利要求1所述的功率半导体封装结构，其特征在于，所述第二功率芯片还包括一第二控制电极设置于所述第三表面，一第四导电片电性连接所述第二控制电极。

5. 根据权利要求4所述的功率半导体封装结构，其特征在于，所述第一导电片、所述第二导电片、所述第三导电片及所述第四导电片是金属片。

6. 根据权利要求4所述的功率半导体封装结构，其特征在于，所述第一导电片、所述第二导电片、所述第三导电片及所述第四导电片中至少一个具有一凹槽。

7. 根据权利要求4所述的功率半导体封装结构，其特征在于，所述第一导电片、所述第二导电片、所述第三导电片及所述第四导电片中至少一个具有一多个弯折部。

8. 根据权利要求4所述的功率半导体封装结构，其特征在于，所述功率半导体封装结构还包括一封装体，所述封装体包覆所述第一功率芯片、所述第二功率芯片、部分所述承载件、部分所述第一导电片、部分所述第二导电片、部分所述第三导电片、部分所述第四导电片，其中所述第一导电片、所述第二导电片、所述第三导电片以及所述第四导电片中至少一

个未电性连接至所述承载件并凸出至所述封装体之外。

9. 根据权利要求 4 所述的功率半导体封装结构，其特征在于，所述第三导电片呈阶梯状，其连接所述第一控制电极的端部厚度小于其他部分的厚度。

10. 根据权利要求 2 所述的功率半导体封装结构，其特征在于，所述第二功率芯片还包括一第二控制电极设置于所述第三表面，一第一电性连接件电性连接所述第一控制电极，一第二电性连接件电性连接所述第二控制电极。

11. 根据权利要求 10 所述的功率半导体封装结构，其特征在于，所述第一导电片以及所述第二导电片是金属片，所述第一电性连接件以及所述第二电性连接件是焊线。

12. 根据权利要求 10 所述的功率半导体封装结构，其特征在于，所述第一导电片以及所述第二导电片中至少一个具有一凹槽。

13. 根据权利要求 4 或 10 所述的功率半导体封装结构，其特征在于，所述功率半导体封装结构还包括：

一第三功率芯片，具有一第五表面以及一相对的第六表面，一第三控制电极以及一第五主功率电极设置于所述第五表面，一第六主功率电极设置于所述第六表面，所述第六表面设置在所述承载件上，且通过所述第六主功率电极与所述承载件电性连接；

一第四功率芯片，具有一第七表面以及一相对的第八表面，一第四控制电极以及一第七主功率电极设置于所述第七表面，一第八主功率电极设置于所述第八表面，所述的第八表面设置在所述第三功率芯片上；以及

一第五导电片电性连接所述第五主功率电极以及所述第八主功率电极；

所述第二导电片电性连接所述第三主功率电极以及所述第七主功率电极。

14. 根据权利要求 4 或 10 所述的功率半导体封装结构，其特征在于，所述功率半导体封装结构还包括：

一支撑件，设置在所述承载件与所述第二功率芯片之间用以支撑所述第二功率芯片。

15. 根据权利要求 14 所述的功率半导体封装结构，其特征在于，所述支撑件为一弹性元件、一电容或一二极管。

16. 一种功率半导体封装结构的制造方法，其特征在于，所述制造方法的步骤包括：

设置一第一功率芯片在一承载件上，所述第一功率芯片具有一第一控制电极；

设置一第一导电片在所述第一功率芯片上；

设置一第二功率芯片于所述第一导电片上，且所述第二功率芯片沿垂直所述承载件的方向的投影暴露出至少部分所述第一控制电极；

设置一第二导电片在所述第二功率芯片上；

设置一第三导电片，与所述第一功率芯片的所述第一控制电极电性连接；

设置一第四导电片，与所述第二功率芯片电性连接；以及

设置一封装体，包覆所述第一功率芯片及所述第二功率芯片。

17. 根据权利要求 16 所述的制造方法，其特征在于，所述的承载件包括矩阵排列的多数个承载单元，多个所述第一功率芯片分别设置于所述多个承载单元上。

18. 根据权利要求 17 所述的制造方法，其特征在于，所述第一导电片与所述第三导电片以及第二导电片与所述第四导电片均为一体成型，并组成多个与所述承载单元对应的呈矩阵排列的第一电性连接单元及第二电性连接单元。

19. 根据权利要求 18 所述的制造方法，其特征在于，所述封装体包覆所述的承载单元、第一电性连接单元及第二电性连接单元。

20. 根据权利要求 19 所述的制造方法，其特征在于，所述承载单元、第一电性连接单元及第二电性连接单元分别包含多数个切割道对应于所述多个矩阵排列的承载单元、第一电性连接单元及第二电性连接单元的各单元之间，所述制造方法还包括从所述的切割道将所述的功率半导体封装结构分离。

功率半导体封装结构及其制造方法

技术领域

[0001] 本发明系关于一种封装结构及其制造方法，特别关于一种功率半导体的封装结构及其制造方法。

背景技术

[0002] 高效率与高密度一直是业界对电源转换器的要求。高效率意谓着能够降低功率的耗损，以利于节能，而高密度则代表着能够减少产品的体积，以达成轻、薄、短、小的设计理念。

[0003] 请分别参考图 1A 以及图 1B 所示，其是电源转换器经常使用到的全桥电路 1A 以及降压电路 1B。其中全桥电路 1A 包括四个场效晶体管 11，并透过将场效晶体管 11 分成两组，透过交替导通以及截止场效晶体管 11 进行整流。另外，降压电路 1B 具有两个场效晶体管 11，并透过场效晶体管 11 的切换进行电压的转换。因此，功率半导体组件是决定电源转换器效率的重要因素之一。

[0004] 公知的全桥电路 1A 以及降压电路 1B 在实现上，是分别采用四个以及两个分立式的场效晶体管 11，并透过电路板上的布线或是通过金属导线进行电性连接。然而，此种方式不仅产生空间利用率不佳的问题之外，寄生效应的影响也十分显著。

[0005] 为了改善上述的缺失，有业者提出一种功率半导体封装结构 2A，请参考图 2A 所示，功率半导体封装结构 2A 具有一导线架 21、多个芯片 22、多个导线 23 以及一封装体 24。芯片 22 以并列的方式设置在导线架 21 的焊垫上，且各芯片 22 分别透过导线 23 与另一芯片 22 及相对应的导线架 21 的引脚电性连接。封装体 24 包覆芯片 22、导线 23 及部分的导线架 21。但是，使用基于平面集成并使用焊线工艺的解决方案仍然具有许多缺点。目前主流的垂直结构场效晶体管的源极的电极引出工艺为蒸铝，铝垫的厚度在数十微米以内，通常在 5um 左右（为了表面可钎焊，可能需要进一步的金属化处理），由于这一层的厚度非常薄，其横向扩展的电阻也就相对较大，以 1cm 乘 1cm 见方芯片而言，从一侧传导到另一侧的电阻高达 5.3 毫欧。由于焊线工艺本身的限制，例如，导线其和源极的接触面积不可能覆盖芯片源极的大部分面积（例如超过 70％）。加之芯片的横向扩展电阻较大，因此，芯片内部的源极和漏极之间的电流分布并不会如理想状态下呈现均匀分布，而是会有电流局部集中现象。另外，导线的电阻通常较大，大电流寄生效应明显，且平面集成工艺的集成度依然有进一步提升的空间。因此，需要更加优化的解决方案。

[0006] 为了减少封装结构的体积，有业者提出一种堆栈式的封装结构，如图 2B 所示，功率半导体封装结构 2B 具有一导线架 21、多个芯片 22、多个导线 23 以及一封装体 24。其中，芯片 22 是以堆栈的方式依序设置在导线架 21 上，且各芯片 22 之间透过一间隔件 25 而具有一预定高度，以使导线 23 电性连接芯片 22 的连接垫与导线架 21 的连接垫。封装体 24 包覆芯片 22、导线 23 及部分的导线架 21。

[0007] 虽然，在多个芯片 22 需要进行封装时，功率半导体封装结构 2B 确实较功率半导体封装结构 2A 具有较小的体积，但此种垂直的堆栈方式并不利于芯片 22 之间及芯片 22 与导

线架 21 上的连接垫进行电性连接，多个芯片 22 电极之间的间隙，出于保证绝缘，以及避免由于裹进气泡而导致封装体可靠性降低的考量，需要被封装体 24 完全填充。而当上方芯片完全覆盖于这个间隙之上时，供封装体 24 流动的胶道会比较狭窄，可能会引起流动 / 填充困难而形成孔洞或气泡，从而降低封装结构的可靠性，因此，此处的模流设计就非常困难，往往需要特殊的辅助工艺，如先点底胶 (Underfill)，或者使用真空排气等方式，这同样会增加工艺的复杂度。另外，无论是功率半导体封装结构 2A 或是功率半导体封装结构 2B，都是通过导线 23 连接芯片 22 与导线架 21，但由于导线 23 的阻抗较大，且导线 23 与芯片 22 及导线架 21 的接触面积小，而将产生明显的寄生效应及造成电流不均的现象，从而出现器件承受的电压纹波较大或器件开关速度受影响而导致开通关断损耗加剧等现象，因此影响功率半导体封装结构 2A、2B 的特性及效率。

[0008] 因此，如何提供一种功率半导体封装结构，使其能够增加可靠性，并同时降低寄生效应的影响，提升效率，已成为重要课题。

发明内容

[0009] 有鉴于上述课题，本发明的目的是提供一种能够增加可靠性，并同时降低寄生效应的影响，提升效率的功率半导体封装结构及其制造方法。

[0010] 本发明可采用以下技术方案来实现的。

[0011] 依据本发明的一种功率半导体封装结构，包括一承载件、一第一功率芯片、一第二功率芯片、一第一导电片、一第二导电片以及一第三导电片。第一功率芯片具有一第一表面以及一相对的第二表面，一第一控制电极以及一第一主功率电极设置于第一表面，一第二主功率电极设置于第二表面，且第二表面设置在承载件上，并通过第二主功率电极与承载件电性连接。第二功率芯片具有一第三表面以及一相对的第四表面，一第三主功率电极设置于第三表面，一第四主功率电极设置于第四表面，且第四表面设置在第一功率芯片上。第一导电片电性连接第一主功率电极以及第四主功率电极。第二导电片电性连接第三主功率电极。第三导电片电性连接第一控制电极。第二功率芯片沿垂直承载件的方向的投影暴露出至少部分第一控制电极。

[0012] 在本发明的一实施例中，第二功率芯片沿垂直承载件的方向的投影暴露出全部的第一控制电极。

[0013] 在本发明的一实施例中，第二功率芯片还包括一第二控制电极设置于第三表面，一第四导电片电性连接第二控制电极。其中第一导电片、第二导电片、第三导电片及第四导电片是金属片。

[0014] 在本发明的一实施例中，第一导电片、第二导电片、第三导电片及第四导电片中至少一个具有一凹槽。

[0015] 在本发明的一实施例中，第一导电片、第二导电片、第三导电片及第四导电片中至少一个具有一多个弯折部。

[0016] 在本发明的一实施例中，功率半导体封装结构还包括一封装体，其中封装体包覆第一功率芯片、第二功率芯片、部分承载件、部分第一导电片、部分第二导电片、部分第三导电片、部分第四导电片，且第一导电片、第二导电片、第三导电片以及第四导电片中至少一个未电性连接至承载件并凸出至封装体之外。

[0017] 在本发明的一实施例中，第三导电片呈阶梯状，其连接第一控制电极的端部厚度小于其他部分的厚度。

[0018] 在本发明的一实施例中，功率半导体封装结构还包括一第三功率芯片、一第四功率芯片以及一第五导电片。第三功率芯片具有一第五表面以及一相对的第六表面，一第三控制电极以及一第五主功率电极设置于第五表面，一第六主功率电极设置于第六表面，且第六表面设置在承载件上，并通过第六主功率电极与承载件电性连接。第四功率芯片具有一第七表面以及一相对的第八表面，一第四控制电极以及一第七主功率电极设置于第七表面，第八主功率电极设置于第八表面，且第八表面设置在第三功率芯片上。第五导电片电性连接第五主功率电极以及第八主功率电极。第二导电片电性连接第三主功率电极以及第七主功率电极。

[0019] 在本发明的一实施例中，功率半导体封装结构还包括一支撑件，设置在承载件与第二功率芯片之间用以支撑第二功率芯片。其中支撑件为一弹性元件、一电容或一二极管。

[0020] 依据本发明的一种功率半导体封装结构，包括一承载件、一第一功率芯片、一第二功率芯片、一第一导电片以及一第二导电片。第一功率芯片具有一第一表面以及一相对的第二表面，一第一控制电极以及一第一主功率电极设置于第一表面，一第二主功率电极设置于第二表面，且第二表面设置在承载件上，并通过第二主功率电极与承载件电性连接。第二功率芯片具有一第三表面以及一相对的第四表面，一第三主功率电极设置于第三表面，一第四主功率电极设置于第四表面，且第四表面设置在第一功率芯片上。第一导电片电性连接第一主功率电极以及第四主功率电极。第二导电片电性连接第三主功率电极。第二功率芯片的尺寸不小于第一功率芯片，且第二功率芯片沿垂直承载件的方向的投影暴露出至少部分第一控制电极。

[0021] 在本发明的一实施例中，第二功率芯片沿垂直承载件的方向的投影暴露出全部的第一控制电极。

[0022] 在本发明的一实施例中，第二功率芯片还包括一第二控制电极设置于第三表面，一第一电性连接件电性连接第一控制电极，一第二电性连接件电性连接第二控制电极。其中第一导电片以及第二导电片是金属片，第一电性连接件以及第二电性连接件是焊线。

[0023] 在本发明的一实施例中，第一导电片以及第二导电片中至少一个具有一凹槽。

[0024] 在本发明的一实施例中，功率半导体封装结构还包括一第三功率芯片、一第四功率芯片以及一第三导电片。第三功率芯片具有一第五表面以及一相对的第六表面，一第三控制电极以及一第五主功率电极设置于第五表面，一第六主功率电极设置于第六表面，且第六表面设置在承载件上，并通过第六主功率电极与承载件电性连接。第四功率芯片具有一第七表面以及一相对的第八表面，一第四控制电极以及一第七主功率电极设置于第七表面，一第八主功率电极设置于第八表面，且第八表面设置在第三功率芯片上。第三导电片电性连接第五主功率电极以及第八主功率电极。第二导电片电性连接第三主功率电极以及第七主功率电极。

[0025] 在本发明的一实施例中，功率半导体封装结构还包括一支撑件，设置在承载件与第二功率芯片之间用以支撑第二功率芯片。其中支撑件为一弹性元件、一电容或一二极管。

[0026] 依据本发明的一种功率半导体封装结构的制造方法，包括：设置一第一功率芯片在一承载件上，第一功率芯片具有一第一控制电极；设置一第一导电片在第一功率芯片上；

设置一第二功率芯片于第一导电片上，且第二功率芯片沿垂直承载件的方向的投影暴露出至少部分第一控制电极；设置一第二导电片在第二功率芯片上；设置一第三导电片，与第一功率芯片的第一控制电极电性连接；设置一第四导电片，与第二功率芯片电性连接；以及设置一封装体，包覆第一功率芯片及第二功率芯片。

[0027] 在本发明的一实施例中，承载件包括矩阵排列的多数个承载单元，多个第一功率芯片分别设置于多个承载单元上。

[0028] 在本发明的一实施例中，第一导电片与第三导电片以及第二导电片与第四导电片均为一体成型，并组成多个与承载单元对应的呈矩阵排列的第一电性连接单元及第二电性连接单元。

[0029] 在本发明的一实施例中，封装体包覆的承载单元、第一电性连接单元及第二电性连接单元。

[0030] 在本发明的一实施例中，承载单元、第一电性连接单元及第二电性连接单元分别包含多数个切割道对应于多个矩阵排列的承载单元、第一电性连接单元及第二电性连接单元的各单元之间，其中制造方法还包括从切割道将功率半导体封装结构分离。

[0031] 承上所述，因依据本发明的一种功率半导体封装结构及其制造方法是通过设置于下方的第一功率芯片之第一控制电极的至少部分未与堆栈于上方之第二功率芯片沿垂直承载件之方向之投影形成重迭，使得第一控制电极与第二功率芯片底部之间将不需要添加额外的保护材料进行绝缘，再者通过导电片电性连接第一功率芯片及第二功率芯片的电极，可避免利用打线的方式造成的寄生效应。从而实现能够增加可靠性，并同时降低寄生效应的影响，提升效率。

附图说明

[0032] 图 1A 是一种公知的全桥电路的示意图；

[0033] 图 1B 是一种公知的降压电路的示意图；

[0034] 图 2A 是一种公知的功率半导体封装结构的示意图；

[0035] 图 2B 是一种公知的功率半导体封装结构的侧视图；

[0036] 图 3 是依据本发明较佳实施例的一种功率半导体封装结构的示意图；

[0037] 图 4A 是依据本发明较佳实施例的一种功率半导体封装结构的侧视图；

[0038] 图 4B 是依据本发明较佳实施例的另一种功率半导体封装结构的侧视图；

[0039] 图 4C 是依据本发明较佳实施例的一种功率半导体封装结构的侧视图；

[0040] 图 5A 至图 10 是依据本发明较佳实施例的一种功率半导体封装结构的变化态样的示意图；以及

[0041] 图 11 是依据本发明较佳实施例的功率半导体封装结构的制造方法流程图；以及

[0042] 图 12A 至图 12B 是依据本发明较佳实施例的一种功率半导体封装结构的示意图。

[0043] 主要元件符号说明：

[0044] 1A：全桥电路

[0045] 1B：降压电路

[0046] 106：第一电性连接件

[0047] 107：第二电性连接件

[0048] 11：场效晶体管

[0049] 2A、2B、3、4A、4B、4C、5A、5B、7、8A、8B、9、10、12B：功率半导体封装结构

[0050] 21：导线架

[0051] 22：芯片

[0052] 23：导线

[0053] 24、48：封装体

[0054] 25：间隔件

[0055] 31、41：承载件

[0056] 32、42A、42B、42C：第一功率芯片

[0057] 321、421：第一控制电极

[0058] 33、43、53：第一导电片

[0059] 34、44A、44B、44C：第二功率芯片

[0060] 35、45、55：第二导电片

[0061] 422：第一主功率电极

[0062] 423：第二主功率电极

[0063] 424：第三控制电极

[0064] 425：第五主功率电极

[0065] 426：第六主功率电极

[0066] 42D：第三功率芯片

[0067] 44D：第四功率芯片

[0068] 441：第二控制电极

[0069] 442：第三主功率电极

[0070] 443：第四主功率电极

[0071] 444：第四控制电极

[0072] 445：第七主功率电极

[0073] 446：第八主功率电极

[0074] 36、46、56、66、86：第三导电片

[0075] 47、57、67：第四导电片

[0076] 49：第五导电片

[0077] 71：支撑件

[0078] C：弯折部

[0079] F1：第一表面

[0080] F2：第二表面

[0081] F3：第三表面

[0082] F4：第四表面

[0083] F5：第五表面

[0084] F6：第六表面

[0085] F7：第七表面

[0086] F8：第八表面

[0087] S：凹槽

[0088] S01 ～ S07：制造方法的步骤

具体实施方式

[0089] 以下将参照相关图式，说明依本发明较佳实施例的一种功率半导体封装结构及其制造方法，其中相同的组件将以相同的组件符号加以说明。

[0090] 请参考图 3 所示，其是本发明较佳实施例的一种功率半导体封装结构 3 的三维结构示意图。功率半导体封装结构 3 包括一承载件 31、一第一功率芯片 32、一第一导电片 33、一第二功率芯片 34、一第二导电片 35 以及一第三导电片 36。

[0091] 第一功率芯片 32 具有一第一表面、一第二表面、一第一控制电极（图未示出）、一第一主功率电极（图未示出）以及一第二主功率电极（图未示出）。其中前述的第一表面与第二表面为相对的二表面，且第二表面为与承载件 31 连接的一面。第一控制电极以及第一主功率电极是设置于第一表面，而第二主功率电极是设置于第二表面。第一功率芯片 32 通过第二主功率电极与承载件 31 电性连接。

[0092] 第二功率芯片 34 具有一第三表面、一第四表面，一第三主功率电极（图未示出）以及一第四主功率电极（图未示出）。其中前述的第三表面与第四表面为相对的二表面，且第四表面为与第一功率芯片 32 连接的一面。第三主功率电极设置于第三表面，第四主功率电极设置于第四表面。

[0093] 第一导电片 33 电性连接第一功率芯片 32 的第一主功率电极以及第四主功率电极。第二导电片 35 电性连接第二功率芯片 34 的第三主功率电极。第三导电片 36 电性连接第一功率芯片 32 的第一控制电极。其中第二功率芯片 34 沿垂直承载件 31 的方向的投影暴露出至少部分第一控制电极。

[0094] 在本实施例中，由於第一功率芯片 32 的第一控制电极是位於第一功率芯片 32 的边缘，并与第三导电片 36 电性连接。因此，第一功率芯片 32 的第一控制电极并未与第二功率芯片 34 沿垂直承载件 31 的方向的投影形成重迭。

[0095] 值得一提的是，就电源转换器的设计而言，由于当中的全桥电路及半桥电路具有结构对称的特点，因此，针对场效晶体管的选用，一般皆为选取相同规格的芯片。另外，关于降压电路，由于所使用的两个场效晶体管的特性不尽相同，因此可选用规格不同的芯片。换句话说，在实际运用上，封装结构中的芯片将存在如下所述的三种情况：第一，第一功率芯片 32 的尺寸等于第二功率芯片 34 的尺寸；第二，第一功率芯片 32 的尺寸大于第二功率芯片 34 的尺寸；第三，第一功率芯片 32 的尺寸小于第二功率芯片 34 的尺寸。本发明中的尺寸包含了面积、边长等含义，第一功率芯片 32 的尺寸等于第二功率芯片 34 的尺寸意指某一特定放置方式下第二功率芯片 34 沿垂直承载件 31 的方向的投影面与第一功率芯片 32 沿垂直承载件 31 的方向的投影面能够基本重合，第一功率芯片 32 的尺寸大于第二功率芯片 34 的尺寸意指在某一特定放置方式下第一功率芯片 32 沿垂直承载件 31 的方向的投影面能够完全覆盖第二功率芯片 34 沿垂直承载件 31 的方向的投影面，第一功率芯片 32 的尺寸小于第二功率芯片 34 的尺寸意指在第二功率芯片 34 的较长一边大于第一功率芯片 32 的较长一边。

[0096] 另外，图 3 所示的封装形式类似于四方扁平无脚封装 (QFN)，但并不作为必须的限

制条件。本发明也可以用于类似四方扁平有脚封装 (QFP)，单列直插 (SIP) 或者双列直插 (DIP) 或者其他封装形式中。针对不同的封装形式其对应的工艺流程也需要做适当的调整，但本文不再赘述，下文的描述以 QFN 封装为例。

[0097] 另外，在本实施例中，第一功率芯片 32 的第一控制电极及第二功率芯片 34 的第三主功率电极分别位于第一功率芯片 32 及第二功率芯片 34 的一边缘的中间位置，但在某些实施例中，第一功率芯片 32 的第一控制电极或第二功率芯片 34 的第三主功率电极可分别位于第一功率芯片 32 或第二功率芯片 34 的一角落位置。

[0098] 以下请参照图 4A 至图 4C，举例说明对应三种第一功率芯片与第二功率芯片的尺寸关系的封装结构。

[0099] 请参考图 4A 所示，其是本发明较佳实施例的一种功率半导体封装结构 4A 的截面图。功率半导体封装结构 4A 包括一承载件 41、一第一功率芯片 42A、一第一导电片 43、一第二功率芯片 44A、一第二导电片 45、一第三导电片 46、一第四导电片 47 以及一封装体 48。

[0100] 第一功率芯片 42A 具有一第一控制电极 421、一第一主功率电极 422 及一第二主功率电极 423。其中，第一控制电极 421 及第一主功率电极 422 设置于第一表面 F1，第二主功率电极 423 设置于第二表面 F2。第一功率芯片 42A 是设置在承载件 41 上，并通过第二主功率电极 423 与承载件 41 电性连接。第一导电片 43 设置在第一功率芯片 42A 上，并与第一功率芯片 42A 的第一主功率电极 422 电性连接。第二功率芯片 44A 具有一第二控制电极 441、一第三主功率电极 442 及一第四主功率电极 443。其中，第二控制电极 441 及第三主功率电极 442 设置于第三表面 F3，第四主功率电极 443 设置于第四表面 F4。第二功率芯片 44A 设置在第一导电片 43 上，并通过第四主功率电极 443 与第一导电片 43 电性连接。换句话说，第一功率芯片 42A 的第一主功率电极 422 通过第一导电片 43 与第二功率芯片 44A 的第四主功率电极 443 电性连接。其中，上述电性连接可为通过一黏合层电性连接，且黏合层是导电胶、导电树脂、低温烧结导电浆或焊锡等导电材料，本发明中其他部分的电性连接均可通过上述方式实现，以下不再赘述。

[0101] 第二导电片 45 设置在第二功率芯片 44A 上，并与第二功率芯片 44A 的第三主功率电极 442 电性连接。第三导电片 46 的一端与第一功率芯片 42A 的第一控制电极 421 电性连接，而另一端与承载件 41 电性连接。第四导电片 47 的一端与第二功率芯片 44A 的第二控制电极 441 电性连接，而另一端与承载件 41 电性连接。封装体 48 包覆第一功率芯片 42A 及第二功率芯片 44A。

[0102] 在实施上，第一导电片 43、第二导电片 45、第三导电片 46 及第四导电片 47 是一厚度介于 60μm 至 500μm 的金属片；或者，第一导电片 43、第二导电片 45、第三导电片 46 或第四导电片 47 是一金属片，且材质例如是铁、铜、铝、金或银，或者是含以上元素之合金或银。

[0103] 在本实施例中，第二功率芯片 44A 的尺寸等于第一功率芯片 42A 的尺寸，且第一控制电极 421 并未与第二功率芯片 44A 沿垂直承载件 41 的方向的投影形成重迭。另外，前述的第一功率芯片 42A 与第二功率芯片 44A 分别是一场效晶体管 (FET)，特别是金属氧化物半导体场效应管 (MOSFET)，但本发明不限于此，第一功率芯片 42A 与第二功率芯片 44A 也可以是其他功率半导体芯片，如绝缘栅双极性晶体管 (IGBT) 或碳化硅 (SiC) 功率半导体开关器件。于本实施例中，其中第一控制电极 421 与第二控制电极 441 是场效晶体管的闸极 (gate)，第一主功率电极 422 与第三主功率电极 442 是场效晶体管的源极 (source)，而第二

主功率电极 423 与第四主功率电极 443 是场效晶体管的漏极 (drain)。

[0104] 一般来说，功率半导体芯片均具有主功率电极（如源极与漏极）以及控制电极（如闸极），但二极管 (diode) 不具有控制电极，如第二功率芯片 44A 为一个二极管时，则仅具有第三主功率电极 442 与第四主功率电极 443 而不具有第二控制电极 441。

[0105] 由于功率半导体芯片中的功率电极一般输出电流较大，控制电极一般输出电流较小，因此，某些应用场合下，当电路对控制回路的寄生参数控制要求不高时，控制电极可以通过圆形焊线或扁平焊线等工艺实现电极引出。

[0106] 就垂直结构的场效晶体管来讲，源极和漏极会被设置在芯片的正反两面。由于闸极和源极之间的电压较低，两者之间的绝缘比较容易处理，因此闸极通常会和源极一起设置在芯片的正面，但是在某些场合也会将漏极和闸极设置在一同一表面。因此，本实施例中第一主功率电极 422 与第三主功率电极 442 也可以是场效晶体管的漏极 (drain)，而第二主功率电极 423 与第四主功率电极 443 也可以是场效晶体管的源极 (source)。

[0107] 本实施例中，仅描述了两个芯片堆叠的实施方式，但不限定于此，于某些实施例中，第二功率芯片上可以继续堆叠更多的芯片以满足具体需求，此处不再详述。

[0108] 从而，通过上述的组成结构，第一功率芯片 42A 与第二功率芯片 44A 为垂直堆栈的错位设置，且第一功率芯片 42A 的第一控制电极 421 并未受到第二功率芯片 44A 的阻隔，因此，封装体 48 将可完整地包覆第一功率芯片 42A 及第二功率芯片 44A，避免封装体内部出现孔洞或气泡，同时可以提升封装体 48 与第一功率芯片 42A 及第二功率芯片 44A 之间的结合性，从而提升封装结构的强度与可靠性。

[0109] 其次，第三导电片 46 将具有较充足的空间连接第一控制电极 421，降低工艺的复杂度。另外，通过金属片材质的第一导电片 43、第二导电片 45、第三导电片 46 及第四导电片 47 进行第一、第二功率芯片 42A、44A 之间、及第一、第二功率芯片 42A、44A 与承载件 41 的电性连接，与公知采用导线连接的封装结构相较，将可明显地减少寄生效应的影响。

[0110] 同时，第二功率芯片 44A 在沿垂直承载件 41 的方向的投影除了至少部分错开第一功率芯片 42A 的第一控制电极 421 外，更有部分区域超出第一晶片的轮廓 (outline)。在封装失效中，一种常见的失效形式为，由于封装体和内部芯片或者金属电极之间发生分层，而导致局部应力向芯片传导，最终导致芯片电气功能丧失。而由于这种层错结构的存在，封装体 48 对第一、第二功率芯片 42A、44A 以及金属电极的包裹更为全面，使得封装体 48 对器件的抓合力更强，同时也使得裂纹的扩展变得困难。因此，这种层错的结构，可以提升器件的可靠性。

[0111] 接着，请参考图 4B 所示，堆栈式芯片的功率半导体封装结构 4B 与功率半导体封装结构 4A 的区别在于，设置在上方的第二功率芯片 44B 的尺寸是大于设置在下方的第一功率芯片 42B 的尺寸，因此于第二功率芯片 44B 的下方有更大的悬空部分。在实施上，由于第一、第二功率芯片 42B、44B 及承载件 41 是透过金属片材质的第一导电片 43、第二导电片 45、第三导电片 46 及第四导电片 47 进行电性连接。因此，将可避免公知通过打线接合 (wire bonding) 方式设置导线所产生的压力与振动，降低芯片毁损的风险。此结构可应用于前述的降压电路，设置在上方的第二功率芯片 44B 可以对应于承受较大电压的开关管。

[0112] 请参考图 4C 所示，功率半导体封装结构 4C 与功率半导体封装结构 4A 的区别在于，设置在上方的第二功率芯片 44C 的尺寸是小于设置在下方的第一功率芯片 42C 的尺寸。

此结构可应用于前述的降压电路，设置在下方的第一功率芯片 42C 可以对应于承受较大电流的开关管，此时，设置在下方的第一功率芯片 42C 以及设置在上方的第二功率芯片 44C 的漏极和闸极设置在同一表面。

[0113] 接着，请参考图 5A 所示，图 5A 是本发明较佳实施例的另一种功率半导体封装结构 5A 的侧视图。功率半导体封装结构 5A 与前述功率半导体封装结构 4A 的区别在于，功率半导体封装结构 5A 的第一导电片 53、第二导电片 55、第三导电片 56 及第四导电片 57 中至少一个具有至少一凹槽 S。同样的，对于前述的功率半导体封装结构 4B 或 4C 也可采用同样的方式实现。

[0114] 在本实施例中，第一导电片 53、第二导电片 55、第一功率芯片 42A 及第二功率芯片 44A 之间皆是以黏合层进行黏合。其中，黏合层一般为液态或半固态，例如是导电胶或焊锡。由于在封装的过程中将使得组件产生挤压，为避免导电胶或焊锡因受到挤压而扩张至第一功率芯片 42A 或第二功率芯片 44A 的外沿，造成第一功率芯片 42A 与第二功率芯片 44A 上的电极短路，凹槽 S 将可容置扩张的导电胶或焊锡，避免其扩张至第一功率芯片 42A 或第二功率芯片 44A 的外侧，从而减少导电胶过度溢流，提高封装的良率。

[0115] 请参考图 5B 所示，本发明较佳实施例的另一种功率半导体封装结构 5B 的侧视图。与功率半导体封装结构 4A 相较，功率半导体封装结构 5B 的第三导电片 66 及第四导电片 67 分别具有多个弯折部 C。通过弯折部 C 的设置，功率半导体封装结构 5B 同样也可以达成避免导电胶过度溢流的状况。需特别注意的是，本发明并不限定第三导电片 66 及第四导电片 67 的弯折部 C 的数量，也不限定弯折部 C 的弯折角度及弯折形式。

[0116] 某些场合下，例如引脚密度比较高，承载件 41 的尺寸不足以设置更多的引脚，单纯通过承载件 41 实现和外界连接比较困难；或者，另外一些对封装尺寸要求相对较低场合下，有引线的引脚，引线部分由于较高的吸收应力的能力，所以，其可靠性相对较高。如图 6 所示，在实际运用上，将可依据产品的设计或需求，使第四导电片 47 的一端直接外露在封装体 48，成为一引脚，而不与承载件 41 连接。但实际上，第二导电片 45、第一导电片 43 以及第三导电片 46 均可以外露在封装体 48 成为引脚。

[0117] 接着，请参考图 7 所示，其是本发明较佳实施例的另一种功率半导体封装结构 7 的侧视图。为了避免因为第一功率芯片 42B 与第二功率芯片 44B 的尺寸差异过大或因为因为第一功率芯片 42B 与第二功率芯片 44B 在垂直承载件的方向的投影重迭部分太少，而导致在封装的过程中，造成第二功率芯片 44B 的不稳固，功率半导体封装结构 7 还包括一支撑件 71。在本实施例中，支撑件 71 是设置在承载件 41 与第二功率芯片 44B 之间。其中，支撑件 71 可以是一弹性组件，以提供支撑与缓冲的作用。另外，支撑件 71 也可以依据产品的实际需求或电路的设计，使用二极管、电容或其他无源器件。

[0118] 请参考图 8A 及图 8B，功率半导体封装结构 8A 的特点在于，对于封装结构内部空间要求较高的情况下，可使第二功率芯片 44A 沿垂直承载件的方向的投影与部分的第一控制电极 421 产生重迭，减小封装结构的整体体积。另外，为了避免第二功率芯片 44A 影响封装体 48 的注入，功率半导体封装结构 8B 的第三导电片 86 呈阶梯状，使得第三导电片 86 于第一控制电极 421 附近的厚度小于其他部分的厚度，从而使第二功率芯片 44A 的背面与第一功率芯片 42A 的第一控制电极 421 周围形成较宽裕的空间，而使得封装体 48 容易注入，并避免第二功率芯片 44A 的第四主功率电极 443 与第一功率芯片 42A 的第一控制电极 421 发

生短路的情况。

[0119] 接着，请参考图 9 所示，在本实施例中，功率半导体封装结构 9 还包括一第三功率芯片 42D、一第四功率芯片 44D 以及第五导电片 49。第三功率芯片 42D 具有一第五表面 F5、一第六表面 F6、一第三控制电极 424、一第五主功率电极 425 以及一第六主功率电极 426。其中前述的第五表面 F5 与第六表面 F6 为相对的二表面。第三控制电极 424 及第五主功率电极 425 是设置于第五表面 F5，而第六主功率电极 426 是设置于第六表面 F6。第三功率芯片 42D 通过第六主功率电极 426 与承载件 41 电性连接。第四功率芯片 44D 具有一第七表面 F7、一第八表面 F8、一第四控制电极 444、一第七主功率电极 445 以及一第八主功率电极 446。其中前述的第七表面 F7 与第八表面 F8 为相对的二表面。第四控制电极 444 及第七主功率电极 445 设置于第七表面 F7，而第八主功率电极 446 设置于第八表面 F8。第五导电片 49 电性连接第五主功率电极 425 及第八主功率电极 446，而第二导电片 45 电性连接第三主功率电极 424 及第七主功率电极 445。具体来说，第三芯片 42D 与第四芯片 44D 的设置关系与第一功率芯片 42A 与第二功率芯片 44A 的设置关系相同，且第一功率芯片 42A、第二功率芯片 44A、第三芯片 42D 与第四芯片 44D 构成一全桥电路。

[0120] 需要特别注意的是，在本实施例中是以第三芯片 42D 的尺寸等于第四芯片 44D 的尺寸为例，然而并非以此为限。在实际运用上，也可以选用第三芯片 42D 的尺寸大于或小于第四芯片 44D 的尺寸。

[0121] 接着，请参考图 10 所示，本发明较佳实施例的另一种功率半导体封装结构 10 的侧视图。与功率半导体封装结构 4A 相较，功率半导体封装结构 10 的第一电性连接件 106 及第二电性连接件 107 分别为一焊线。在某些应用场合下，电路对控制回路的寄生叁数控制要求不高。此时，第一控制电极 421 及第二控制电极 441 可搭配第一电性连接件 106 及第二电性连接件 107 而通过打线接合 (wire bonding) 的方式将电极引出。

[0122] 接着，以下请参考图 11 的流程图并配合图 4A 所示，说明本发明较佳实施例的功率半导体封装结构的制造方法，其是与例如上述的堆栈式芯片的功率半导体封装结构 4A 配合使用。功率半导体封装结构的制造方法是包括步骤 S01 ～ S07。

[0123] 步骤 S01 是设置一第一功率芯片 42A 在一承载件 41 上，且第一功率芯片 42A 具有一第一控制电极 421。在本实施例中，第一功率芯片 42A 具有一第一控制电极 421、一第一主功率电极 422 及一第二主功率电极 423。其中，第一功率芯片 42A 的第二主功率电极 423 是通过一黏合层与承载件 41 电性连接。

[0124] 步骤 S02 是设置一第一导电片 43 在第一功率芯片 42A 上。在本实施例中，第一导电片 43 与第一功率芯片 42A 的第一主功率电极 422 电性连接。

[0125] 步骤 S03 是设置一第二功率芯片 44A 在第一导电片 43 上，且第二功率芯片 44A 沿垂直所述承载件 41 的方向的投影暴露出至少部分所述第一控制电极 421。在本实施例中，第二功率芯片 44A 具有一第二控制电极 441、一第三主功率电极 442 及一第四主功率电极 443。其中，第一导电片 43 设置在第四主功率电极 443 上。由于第二功率芯片 44A 沿垂直承载件 41 的方向的投影并未与第一功率芯片 42A 的第一控制电极 421 形成重迭。因此可以避免第一控制电极 421 与第四主功率电极 443 形成导通，而不需要添加额外的保护材料来对第一控制电极 421 与第四主功率电极 443 进行绝缘。

[0126] 步骤 S04 是设置一第二导电片 45 在第二功率芯片 44A 上。在本实施例中，第二导

电片 45 与第二功率芯片 44A 的第三主功率电极 442 电性连接。

[0127] 步骤 S05 是设置一第三导电片 46，与第一功率芯片 42A 的第一控制电极 421 电性连接。在本实施例中，第三导电片 46 的一端与第一功率芯片 42A 的第一控制电极 421 电性连接，而另一端与承载件 41 电性连接。

[0128] 步骤 S06 是设置一第四导电片 47，与第二功率芯片 44A 的一电极电性连接。在本实施例中，第四导电片 47 的一端与第二功率芯片 44A 的第二控制电极 441 电性连接，而另一端与承载件 41 电性连接。

[0129] 步骤 S07 是设置一封装体 48，包覆第一功率芯片 42A 及第二功率芯片 44A。在实施上，承载件 41 可以是电路板，其上具有电路布线。

[0130] 当然，上述工艺后续的表面处理、分板、测试等步骤不是本发明之要点，故此略过。次外，工艺中根据需要加入的一些辅助工艺在描述中也被略过，如放置黏合层以及超音波清洗、等离子体清洗、基板烘烤等等。

[0131] 另外，功率半导体封装结构的制造方法，也可以与上述的功率半导体封装结构 4B、4C 配合使用。由于功率半导体封装结构 4B、4C 的制造方法与上述实施例的功率半导体封装结构 4A 的制造方法相同，故在此不再赘述。换句话说，本发明的功率半导体封装结构的制造方法，可适用于第一功率芯片的尺寸等于第二功率芯片的尺寸；第一功率芯片的尺寸大于第二功率芯片的尺寸；以及第一功率芯片的尺寸小于第二功率芯片的尺寸。

[0132] 另外，为了简化封装工艺，可将同时多个排列成矩阵的功率半导体封装结构并同时对多个排列成矩阵的功率半导体封装结构进行上述步骤 S01-S07，在此工艺中用以连接第二功率芯片 44A 的第二控制电极 441 与第三主功率电极 442 的第二导电片 45 和第四导电片 47 以同一金属片制成，如图 12A 所示。另外，第一导电片 43 和第三导电片 46 也可以依据相同的作法而以同一金属片制成。接着，在步骤 S07 即封装体 48 包覆第一功率芯片 42A 与第二功率芯片 44A 后，增加一切割步骤 S08，沿 A-A 线及 B-B 线进行切割，即可完成多个如图 12B 所示的功率半导体封装结构 12B。

[0133] 另外，上述步骤仅为本发明工艺中的必要步骤，并不限定各步骤的顺序，其顺序与各实际应用情况不同。例如，针对控制电极采用金属片引出的方式，上述步骤 S05 与步骤 S02 同时完成，步骤 S06 与步骤 S04 同时完成。针对采用焊线工艺完成控制电极的引出方式，则依步骤 S01 ～ S07 顺序完成。又例如，采用首先并行分别将第一功率芯片 42A、承载件 41、第一导电片 43 和第三导电片 46 以及第二功率芯片 44A、第二导电片 45 和第四导电片 47 组装好，随后再实现两者的组装，亦即先分别完成步骤 S02 与步骤 S05 以及步骤 S04 与步骤 S06 后再完成步骤 S03，随后完成步骤 S07。采用此做法的一个优势是有机会在分部组装的过程中分别对封装半成品进行电性能测试，以筛选掉不良品，以提升产品的良率，降低损耗。当然，组装工艺也可以有很多其他的变化形式，在此不予繁复列举。

[0134] 综上所述，因依据本发明的一种功率半导体封装结构及其制造方法是通过设置于下方的第一功率芯片之第一控制电极的至少部分未与堆栈于上方之第二功率芯片沿垂直承载件之方向之投影形成重迭，使得第一控制电极与第二功率芯片底部之间将不需要添加额外的保护材料进行绝缘，再者通过导电片电性连接第一功率芯片及第二功率芯片的电极，可避免利用打线的方式造成的寄生效应。从而实现能够增加可靠性，并同时降低寄生效应的影响，提升效率。

[0135] 以上所述仅是举例性，而非限制性。任何未脱离本发明的精神与范畴，而对其进行的等效修改或变更，均应包括在权利要求所限定的范围内。

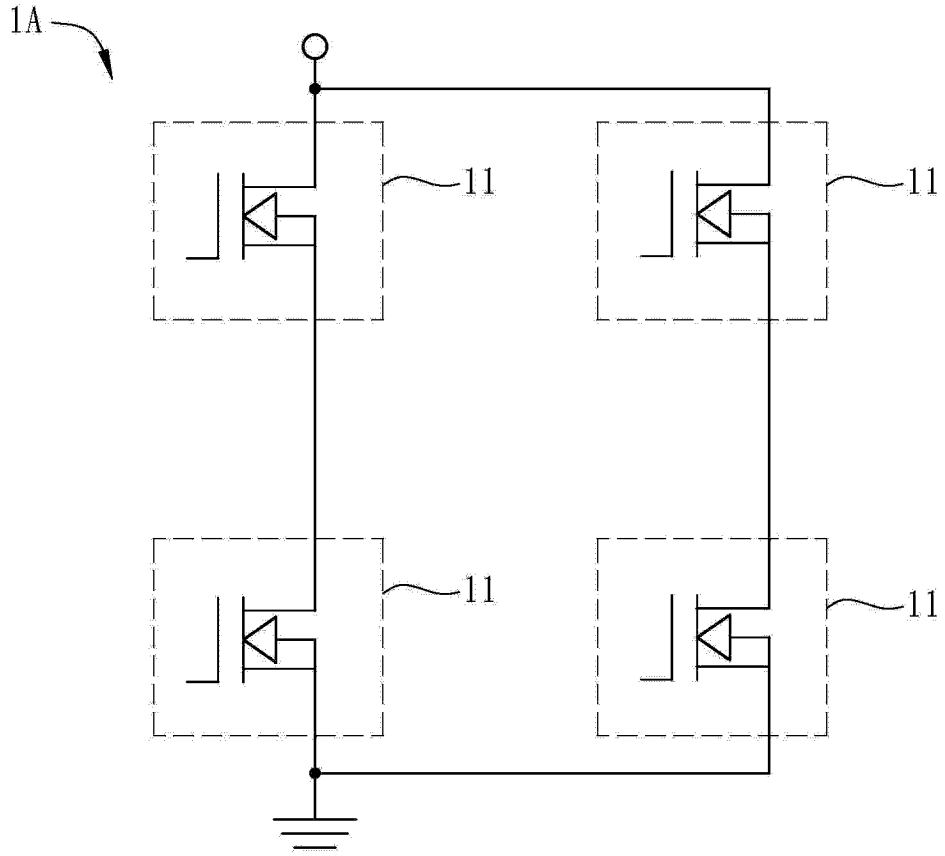


图 1A

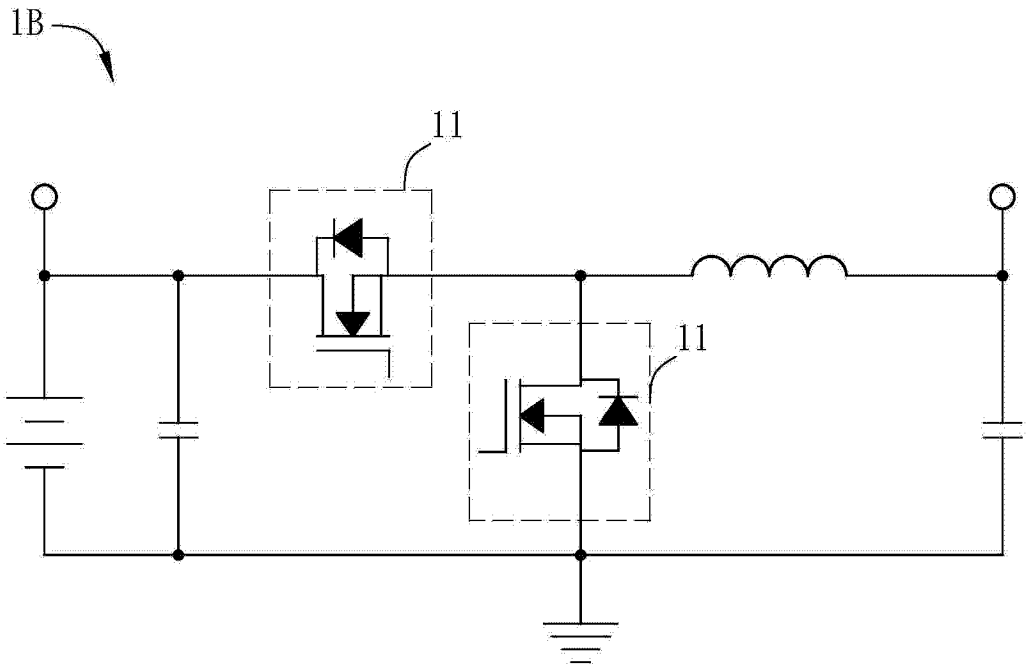


图 1B

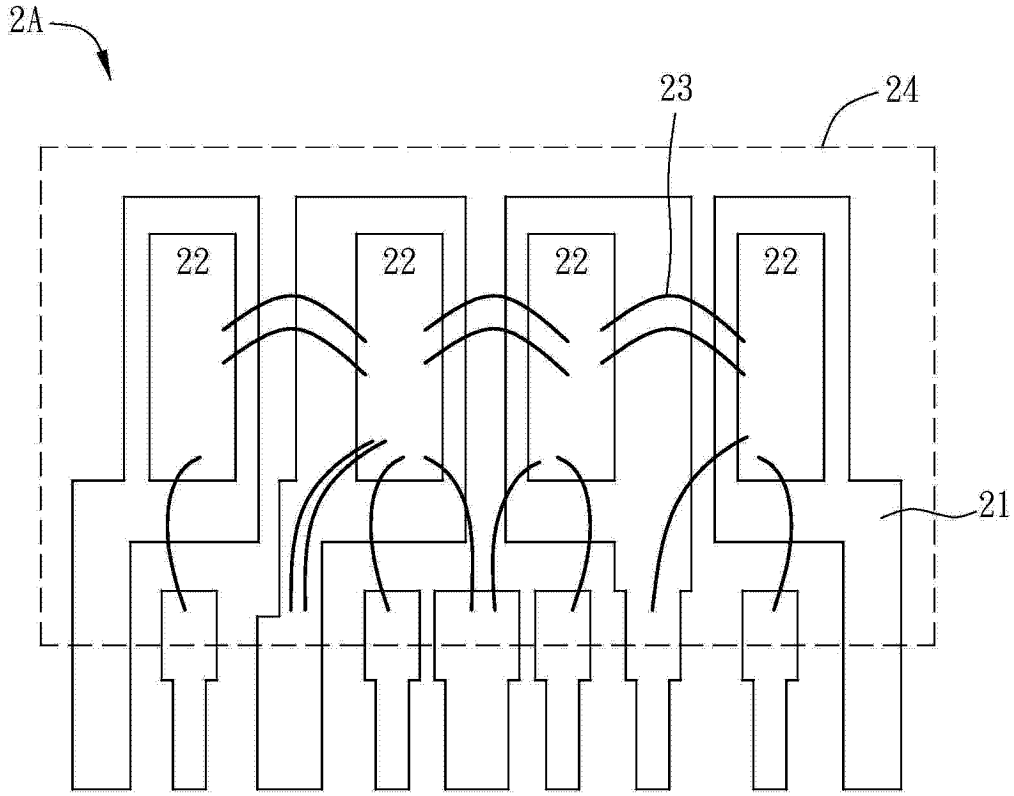


图 2A

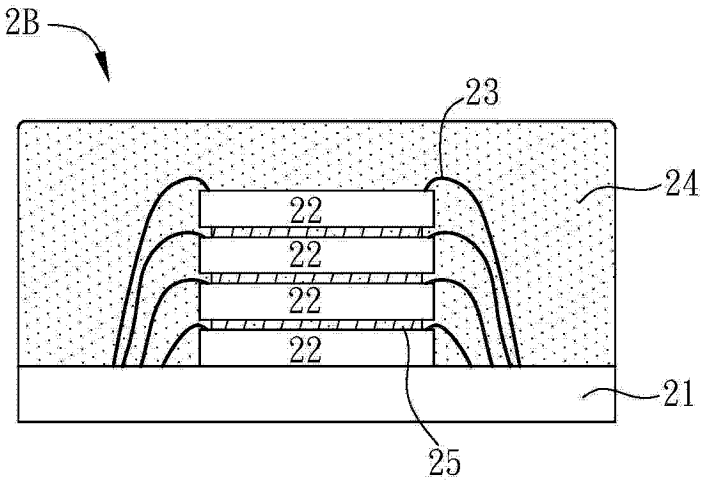


图 2B

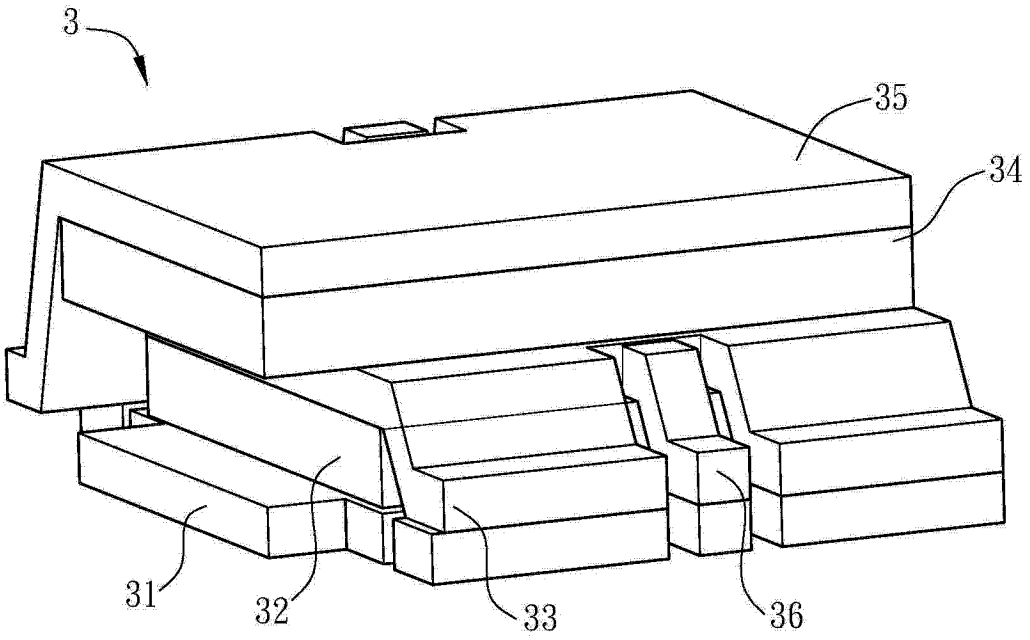

3
35
34
31
32
33
36

图 3

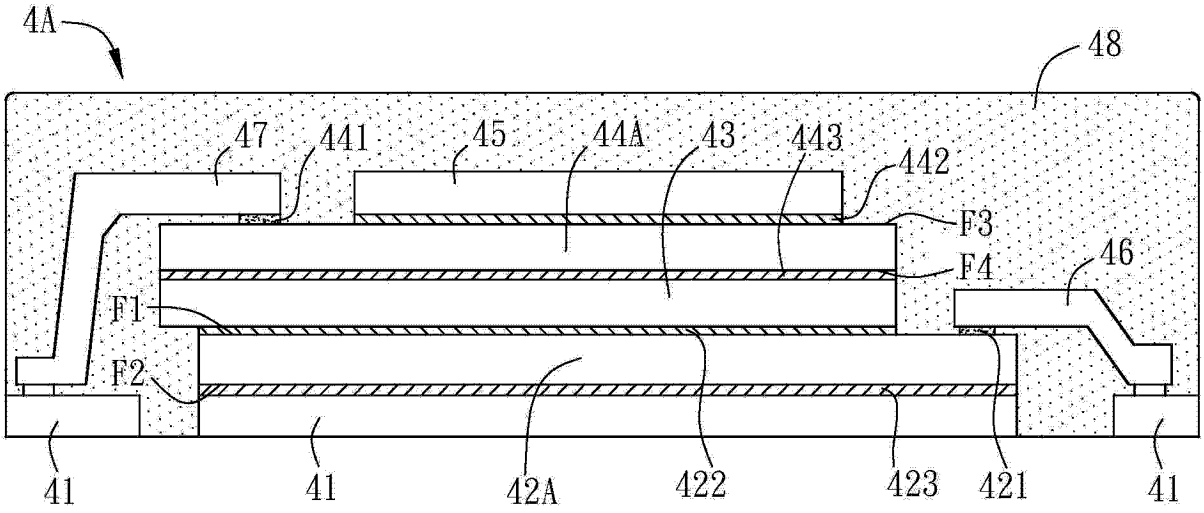

4A
48
47
441
45
44A
43
443
442
F3
F4
46
F1
F2
41
41
42A
422
423
421
41

图 4A

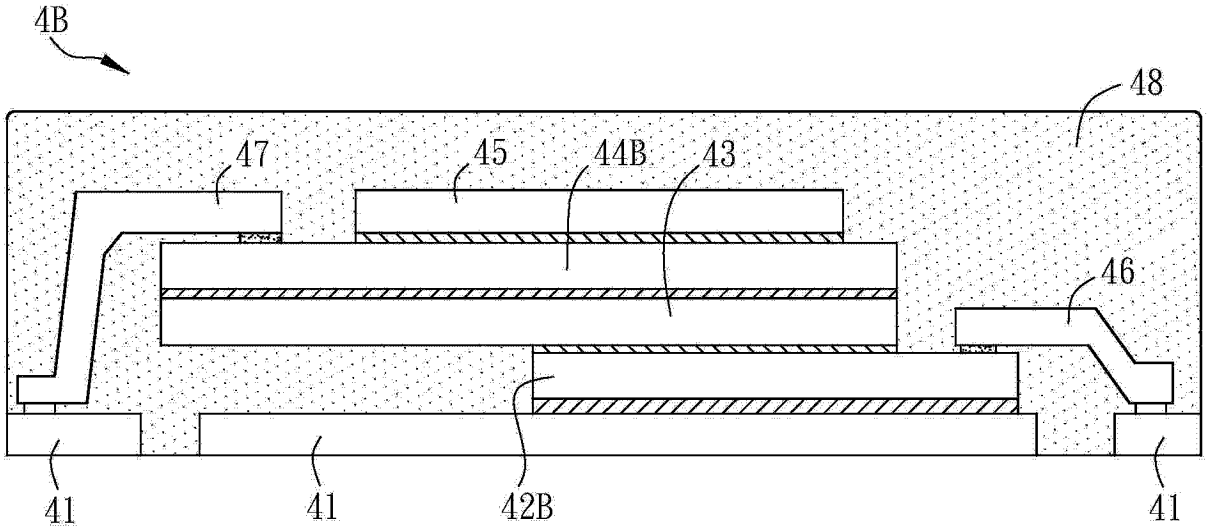

4B
48
47
45
44B
43
46
41
41
42B
41

图 4B

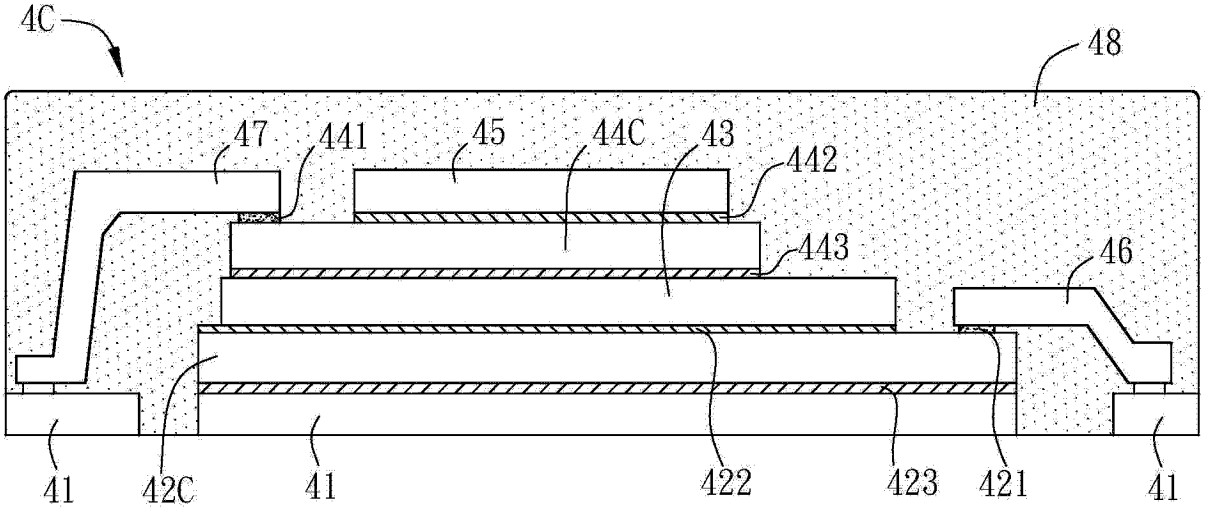

4C
48
47
441
45
44C
43
442
443
46
41
42C
41
422
423
421
41

图 4C

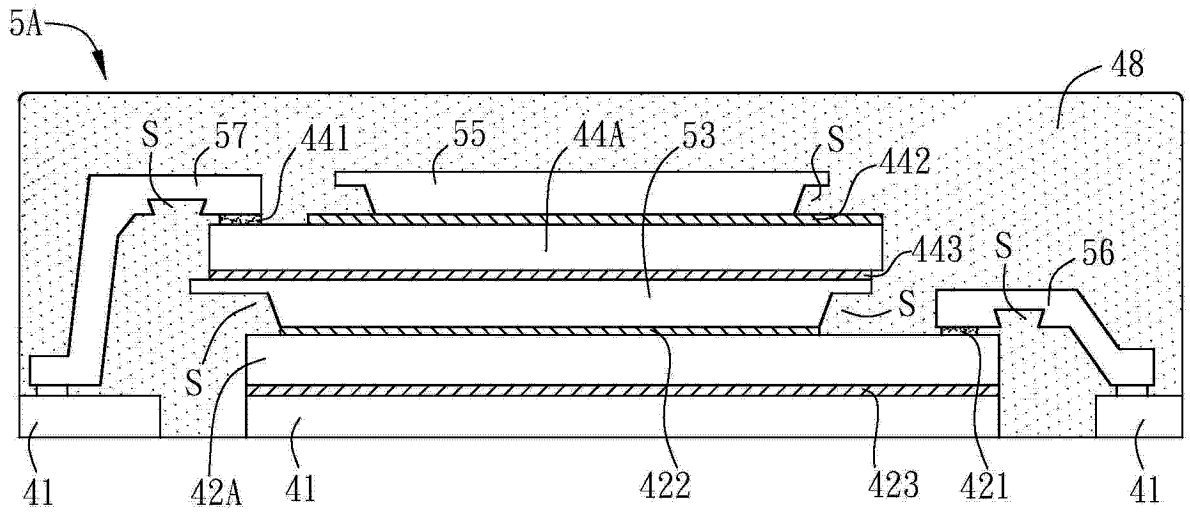

5A
48
S
57
441
55
44A
53
S
442
443
S
56
S
S
41
42A
41
422
423
421
41

图 5A

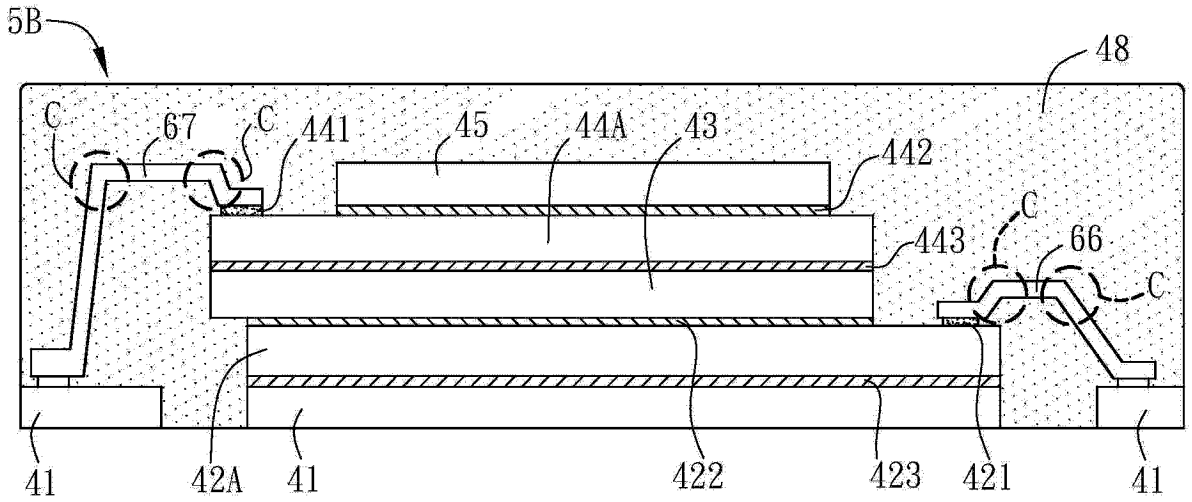

5B
48
C
67
C
441
45
44A
43
442
C
443
66
C
41
42A
41
422
423
421
41

图 5B

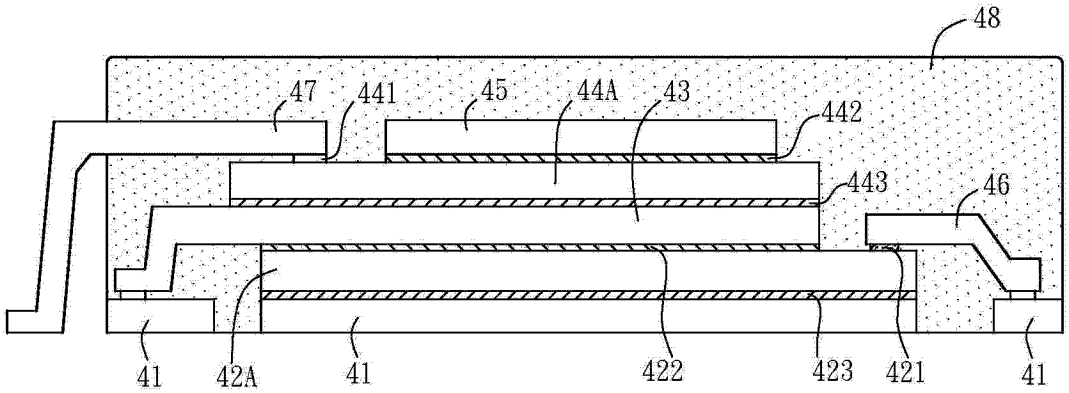

48
47
441
45
44A
43
442
443
46
41
42A
41
422
423
421
41

图 6

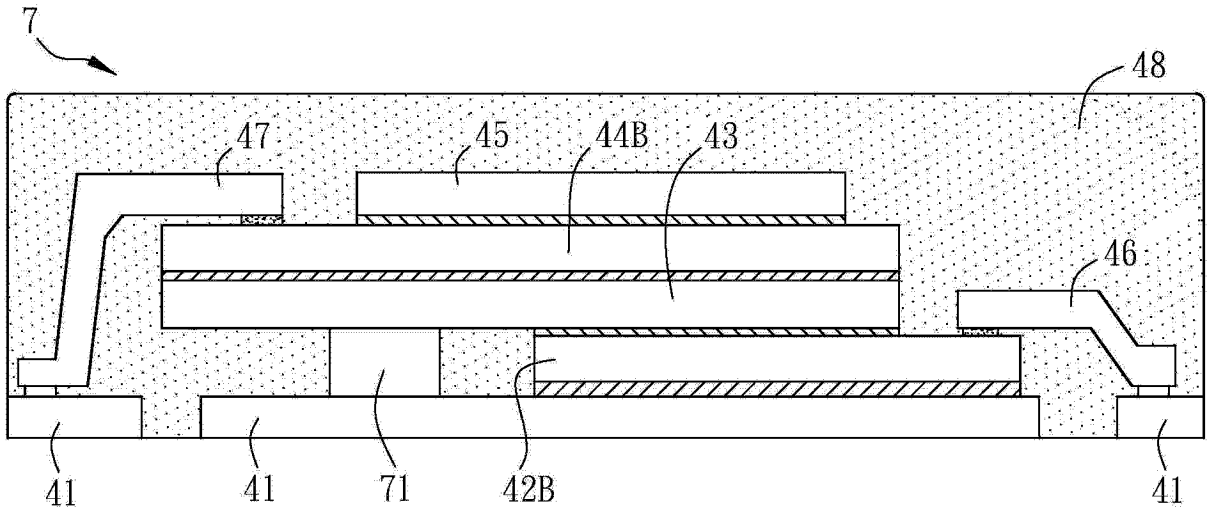

7
48
47
45
44B
43
46
41
41
71
42B
41

图 7

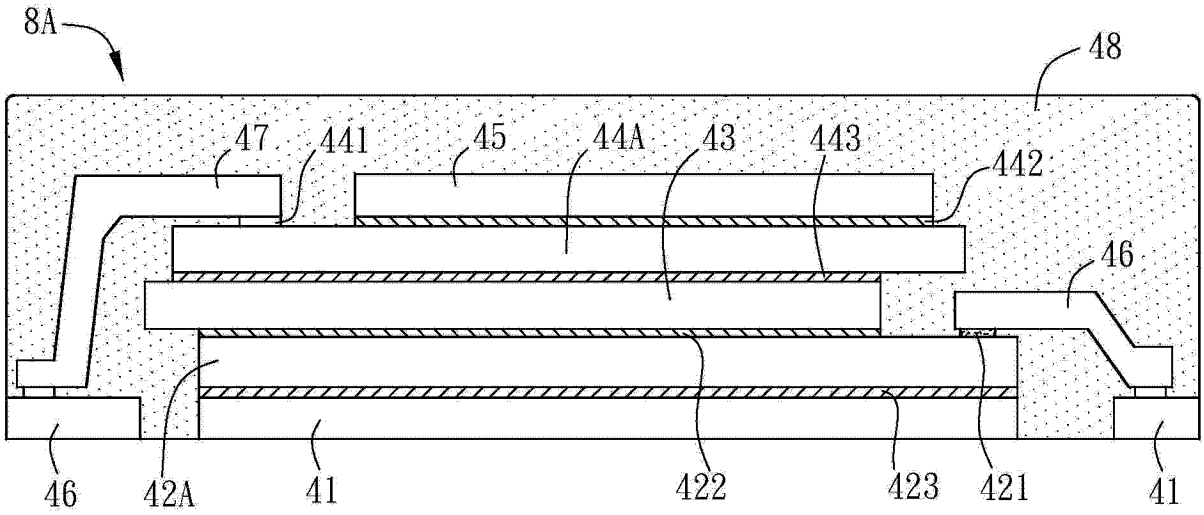

8A
48
47
441
45
44A
43
443
442
46
46
42A
41
422
423
421
41

图 8A

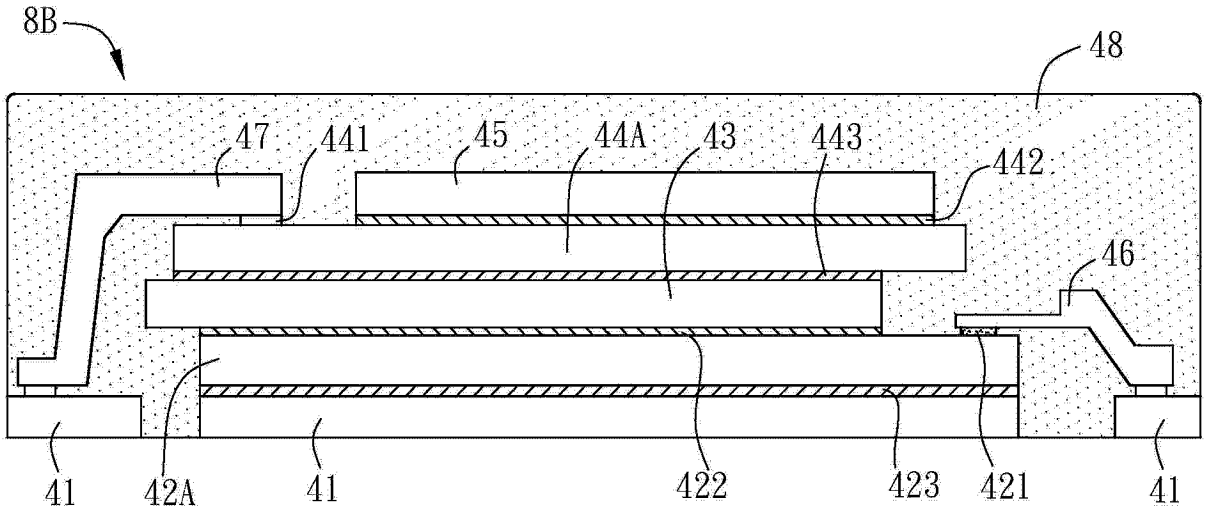


图 8B

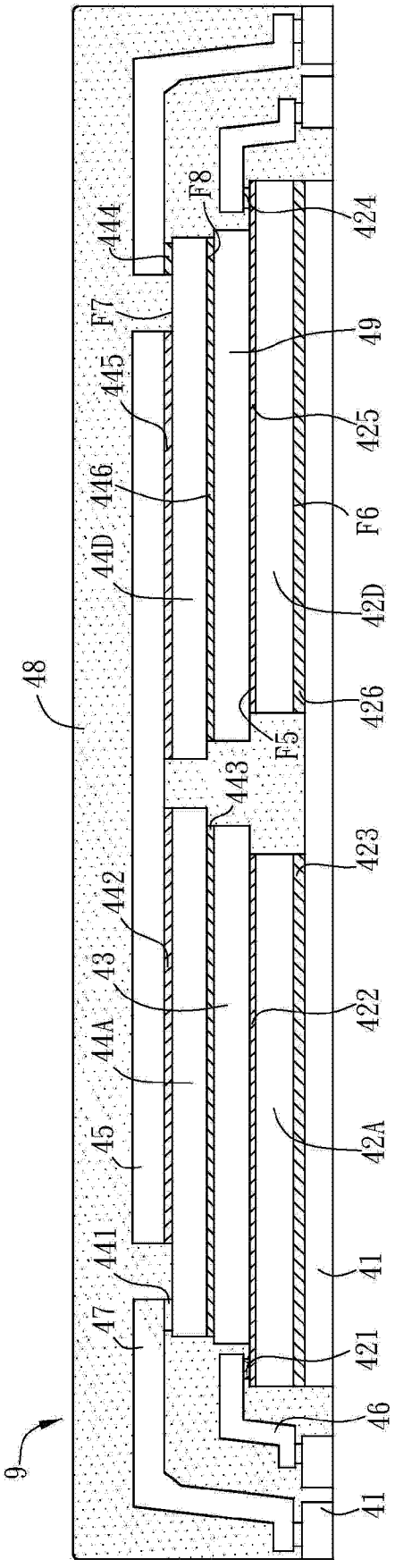

F8
424
444
F7
49
445
425
446
F6
44D
42D
48
426
F5
443
423
442
43
422
44A
42A
45
41
441
47
421
46
41
9

图 9

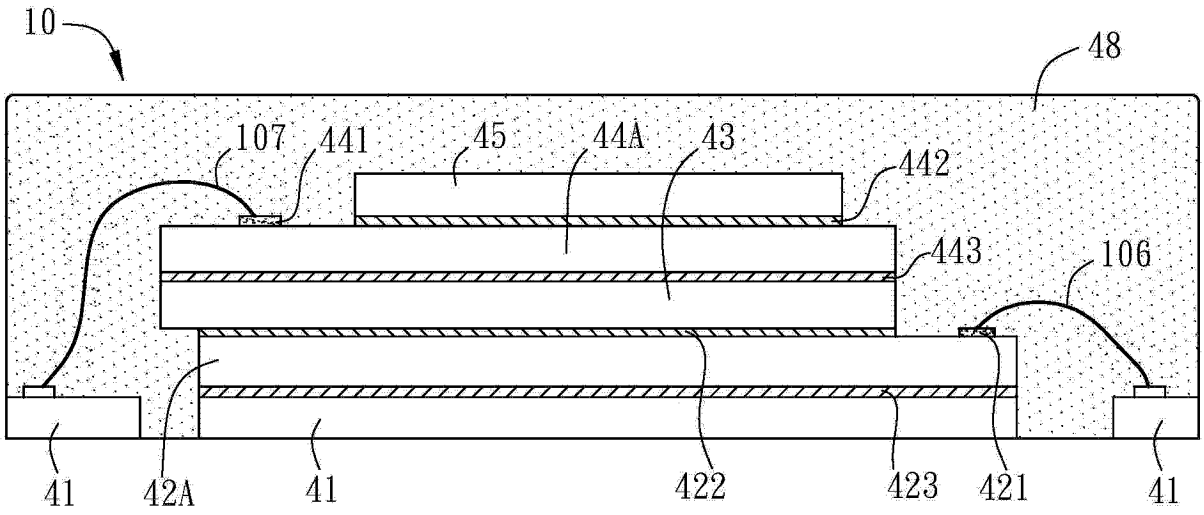


图 10

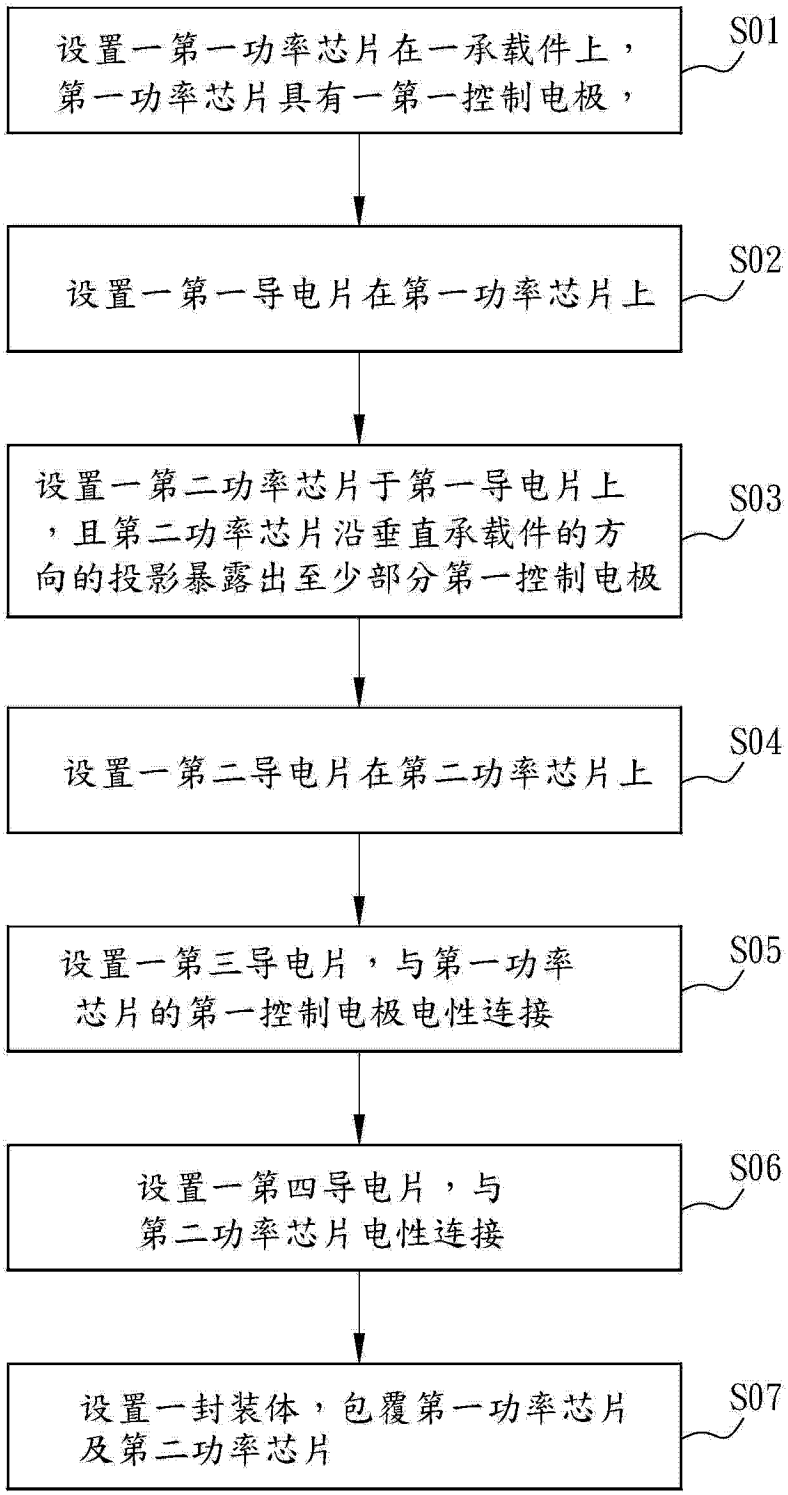

设置一第一功率芯片在一承载件上，第一功率芯片具有一第一控制电极，
S01
设置一第一导电片在第一功率芯片上
S02
设置一第二功率芯片于第一导电片上，且第二功率芯片沿垂直承载件的方向的投影暴露出至少部分第一控制电极
S03
设置一第二导电片在第二功率芯片上
S04
设置一第三导电片，与第一功率芯片的第一控制电极电性连接
S05
设置一第四导电片，与第二功率芯片电性连接
S06
设置一封装体，包覆第一功率芯片及第二功率芯片
S07

图 11

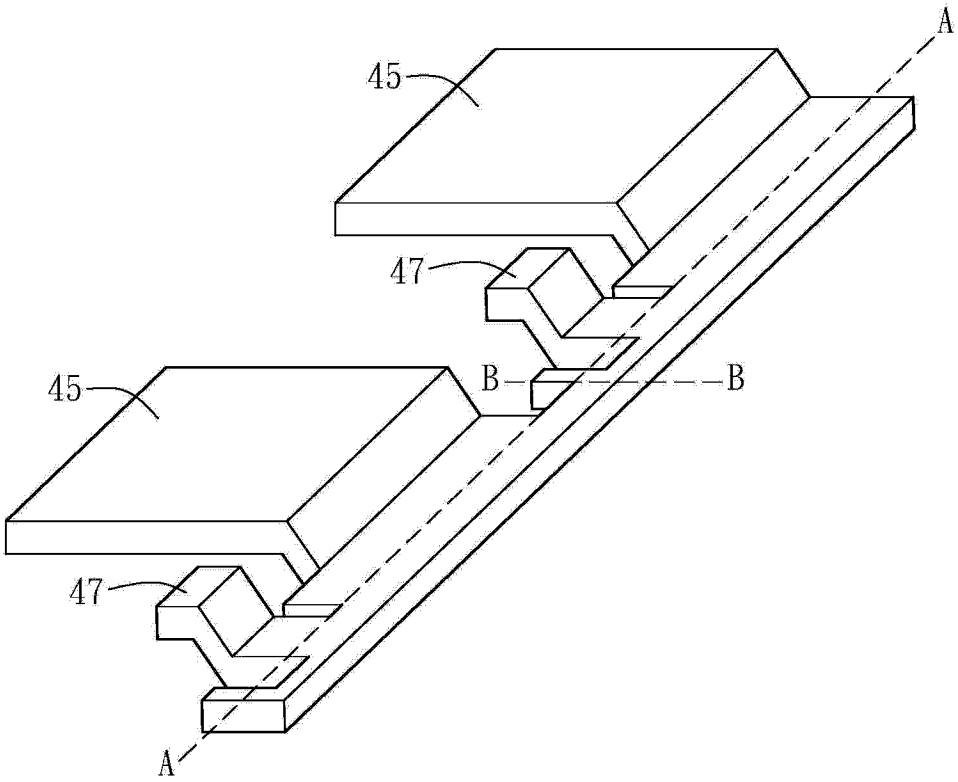

A
45
47
B
B
45
47
A

图 12A

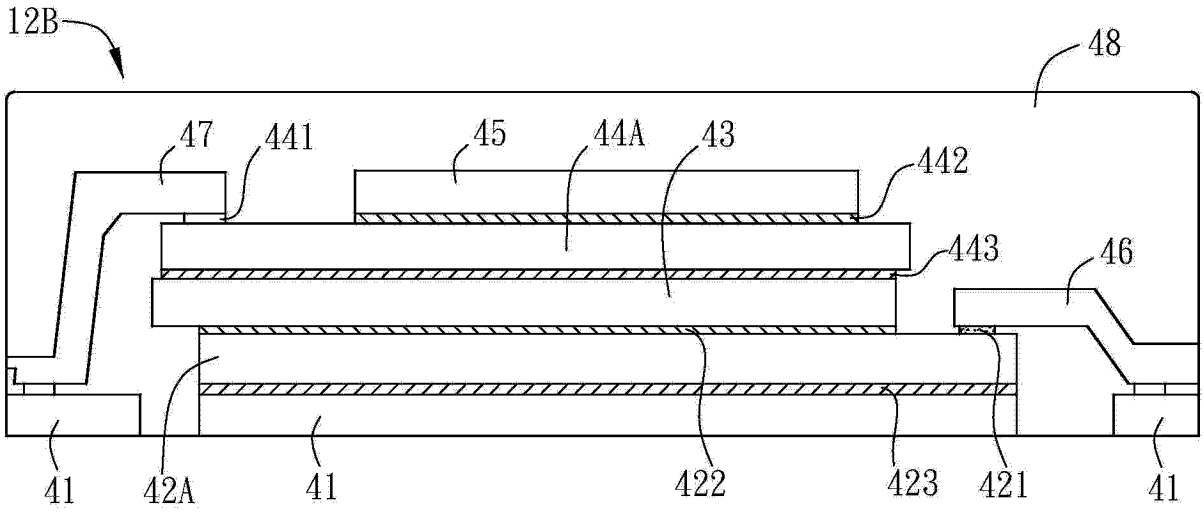

12B
48
47
441
45
44A
43
442
443
46
41
42A
41
422
423
421
41

图 12B