(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H04L 5/22

(45) 공고일자 2001년10월24일
(11) 등록번호 10-0296832
(24) 등록일자 2001년05월15일

(21) 출원번호 10-1993-0023187
(22) 출원일자 1993년11월03일

(65) 공개번호 특1994-0012950
(43) 공개일자 1994년06월24일

(30) 우선권주장 92203487.1 1992년11월13일 EP(EP)

(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이.
요트.게.아. 롤페즈
네델란드왕국, 아인드호펜, 그로네보드스베그 1

(72) 발명자 디에테르에르네스트미첼테르센
벨기에,베-3030레우벤,플라인스트라트

(74) 대리인 이병호

심사관 : 정재헌

(54) 이산시간신호처리시스템

요약

본 발명은 클럭 신호가 보다 높은 주파수를 갖는 발진 신호로부터 유도되는 불연속-시간 신호 처리 시스템에 관한 것이다. 그러면 스위치가능한 주파수 분할기는 ∑-△ 변조기에 의해 유도되는 것을 사용한다. 하나의 피젯수(dividend) n으로부터 다른 피젯수 n + 1 까지 또는 거꾸로 유효 피젯수 m 으로 번갈아 스위칭함으로써, 여기서 n ≤ m ≤ n + 1 이며, 매우 정확한 주파수 동조가 발생한다.

∑-△ 변조기의 사용은 샘플화된 주파수 스펙트럼이 스위칭 주파수 분할기에 의해 발생된 샘플링 신호(클럭 신호)의 주파수 스펙트럼에 의해 방해받지 않는 것을 특징으로 하는 장점이 있다.

대표도
도 1

명세서

[발명의 명칭]

이산 시간 신호 처리 시스템

[도면의 간단한 설명]

제 1 도는 본 발명에 따른 이산 시간 신호 처리 시스템의 블럭도.

제 2 도는 본 발명에 따른 이산 시간 신호 처리 시스템의 바람직한 실시예의 블럭도.

제 3 도는 본 발명에 따른 이산 시간 신호 처리 시스템의 다른 실시예의 블럭도.

제 4 도는 샘플링 주파수 변환기에 적절한 이산 시간 신호 처리 시스템의 일부의 블럭도.

* 도면의 주요부분에 대한 부호의 설명

1 : 샘플 홀드 회로 3 : 데시메이션 필터

5 : 발진기 9 : ∑-△ 변조기

[발명의 상세한 설명]

본 발명은 신호 샘플링 회로와 샘플링 주파수가 조정될 수 있는 샘플링 신호 발생기를 구비하고 있고, 상기 샘플링 신호 발생기는 고정된 주파수를 가진 신호를 발생하는 발진기, 및 주파수 분주기를 포함하고 있는 이산 시간 신호 처리 시스템에 관한 것이다.

이산 시간 신호 처리 회로에서, 처리될 아날로그 또는 디지탈 입력 신호를 샘플링하기 위한 샘플링 주파수는 주파수 분주기에 의해 발진기의 고주파 출력 신호를 보다 낮은 주파수를 가진 샘플링 신호(클럭 신호)로 변환함으로써 종종 발생된다. 상기 발진기의 발진 주파수가 정확하고 안정적이며, 이와 같은 발진 주파수는 대부분 수정 발진기를 사용함으로써 달성된다. 이는 상기 샘플링 주파수가 f_{ocs} /n에 한정됨을 의미하며, 여기서 f_{ocs} 는 발진 주파수이고, n은 상기 주파수 분주기의 피제수이다. 상기 발진 주파수(f_{ocs})가 클럭 주파수에 비해 비교적 낮으면, 이는 상기 클럭 주파수가 코오스 스텝(coarse steps)으로만 조절될 수 있음을 의미한다. 반대로, 특정 클럭 주파수가 필요한 경우에는, 상기 주파수 분주기의 선택이 대부분의 경우에 상용의(따라서 비용면에서 효율적인) 수정 발진기에 속하는 주파수와 일치하지 않는 발진 주파수를 결정하게 된다. 또한, 예컨대, 샘플링 주파수 변환기에서와 같이 하나 이상의 샘플링 주파수가 필요할 수도 있다. 이 경우에는 2 개의 (정밀) 발진기가 필요하며, 따라서 단일의 발진기를 구비한 회로에 비해 훨씬 비싸고 불편하다.

본 발명의 목적은 단일의 안정된 발진기 주파수에서 시작해서, 원하는 주파수를 가진 클럭 신호를 이용할 수 있고, 이때 상기 발진기 주파수와 상기 클럭 주파수의 비가 양의 정수에 한정되지 않는 이산 시간 신호 처리 시스템을 제공하는데 있다.

본 발명의 다른 목적은 샘플링된 신호의 주파수 스펙트럼이 샘플링 신호(클럭 신호)의 주파수 스팩트럼에 의해 손상되지 않는 이산 시간 신호 처리 시스템을 제공하는데 있다.

본 발명의 또 다른 목적은 하나 이상의 원하는 클럭 주파수가 고정된 발진기 주파수로부터 도출되고, 이때 발진기 주파수와 클럭 주파수의 비는 정수에 한되지 않는 이산 시간 신호 처리 시스템을 제공하는데 있다.

본 발명에 따른 이산 시간 신호 처리 시스템은, 주파수 분주기가 적어도 2가지의 상태 사이에서, 즉 상기 주파수 분주기의 피제수가 n(n = 정수)인 제 1 상태와 상기 피제수가 k인 제 2 상태로 스위칭될 수 있고, 여기서 $k \geq n + x$ 이며, x는 정수이고 $x \geq 1$이며, 상기 주파수 분주기를 한 상태에서 다른 상태로 스위칭시키기 위한 상기 주파수 분주기의 제어 업력이 유효 피제수(m)(단, $n \leq m \leq k$)를 실현하기 위한 제어 신호가 공급되는 시그마-델타 변조기(∑-△ 변조

기)의 출력에 접속된 것을 특징으로 하고 있다.

본 발명에 따른 이산 시간 신호 처리 시스템은 보다 높은 클럭 주파수로부터 도출되는 샘플링 주파수를 매우 자유롭게 선택할 수 있는 가능성을 제공하며, 이때 상기 샘플링 주파수는 정수인 피제수에 한정되지 않는다.

주어진 발진기 주파수에 따라, 피제수(n, k)가 통상적으로 n 및 n + 1로 적절히 선택되면, 원하는 주파수를 가지고 있는 샘플링 신호가 발생될 수 있으며, 이에 따라 상기 샘플링 신호의 주파수 스팩트럼은 샘플링된 신호의 주파수 스팩트럼이 상기 샘플링 신호의 주파수 스팩트럼에 의해 손상되지 않도록 하는 주파수 스팩트럼이다.

도면에 나타낸 실시예를 참조하여 본 발명에 대해 설명한다.

제 1 도에는 본 발명에 따른 이산 시간 신호 처리 시스템(10)이 도시되어 있으며, 이 이산 시간 신호 처리 시스템은 샘플 홀드 회로(1), 이 샘플 홀드 회로에 접속된 데시메이션(decimation) 필터(3), 발진기(5), 조정 가능 주파수 분주기(7), 및 델타-시그마 변조기(9)(이하, ∑-△ 변조기)를 구비하고 있다. 상기 샘플 홀드 회로(1)는 샘플링될 신호를 입력(11) 상에서 수신하고, 또한 상기 발진기(5), 주파수분주기(7) 및 ∑-△ 변조기(9)에 의해 발생된 샘플링 신호, 즉 클럭 신호를 제어입력(13) 상에서 수신한다. 또한, 상기 샘플 홀드 회로(1)에 의해 샘플링된 신호는 상기 데시메이션 필터(3)에 의해 처리된다.

상기 샘플 홀드 회로(1)에 인가될 샘플링 신호는 상기 주파수 분주기에서 제 1 피제수(n) 또는 제 2 피제수(k = n + x)에 의해 상기 발진기(5)의 발진 신호를분주함으로써 얻어지는 주파수를 가지고 있다. 이에 따라, 발진 주파수와 샘플링 주파수의 비(m)는 n과 n + x 사이에 있을 수 있다(또는, 상기 주파수 분주기가 스위칭되지 않는 경우에는 n 또는 n + x이다). 상기 스위칭은 입력(17) 상에서 제어신호(φ)를 수신하는 ∑-△ 변조기(9)의 출력(15) 상의 출력 신호의 제어로 행해진다. 상기 제어 신호(φ)는 상기 ∑-△ 변조기(9)가 반 아날로그 및 반 디지탈인 경우에는 DC 신호일 수 있고, 폭이 1 비트 이상인 디지탈 신호일 수도 있다.

제 2 도에는 본 발명에 따른 이산 시간 신호 처리 시스템(20)의 바람직한 실시예가 도시되어 있다. 상기 시스템(20)은 제 1 도를 참조하여 설명된, 제 2 도에서도 유사한 기능을 가지고 있는 구성 요소 1,3,5,7,9 이외에, 입력 신호 프로세서(21)와 위상 비교기(23)를 구비하고 있다. 상기 입력 신호 프로세서(21)는 입력(27) 상에서 수신되는 무선 스테레오 신호로부터, 샘플 홀드 회로(1)에 인가되는 오디오 성분과 위상 비교기(23)의 입력(29)에 인가되는 19 ㎑ 파일럿 톤(pi1ot tone)을 추출한다. 또한, 상기 위상 비교기(23)는 주파수 분주기(7)의 출력 신호를 2 주파수 분주기(25)를 통해 수신하고, 이들 두 신호로부터 ∑-△ 변조기(9)용의 제어 신호(φ)를 형성한다.

본 발명에 따른 이산 시간 신호 처리 시스템(30)의 다른 실시예가 제 3 도에 도시되어 있으며, 제 2 도의 구성 요소에 대응하는 모든 구셩 요소는 유사한 참조번호와 유사한 기능을 가지고 있다. 하지만, 상기 주파수 분주기(7)와 상기 샘플 홀드 회로(1)의 입력(13) 사이에 대역 통과 필터(31)가 삽입되어 있으며, 이 대역통과 필터는 원하는 샘플링 주파수 주위의 주파수 대역을 통과시킨다. 이에 따라, 상기 샘플 홀드 회로(1)의 제어 입력(13) 상의 샘플링된 신호에서 고주파 위상 노이즈가 더욱 감소될 수 있다. 상기 대역 통과 필터(31)는 세라믹 필터와 같은 아날로그 대역 통과 필터로서 또는 아날로그 위상 동기 루프로서 배열될 수도 있으며, 상기 루프에 의해 넓은 제어 범위가 비교적 간단하고 비용면에서 효율적으로 커버될 수 있다. 상기 대역 통과 필터(31)에 의해 통과된 신호는 위상 비교기(35)에 인가된다. 또한, 수신된 스테레오 신호로부터 오디오 성분을 추출하는 입력 신호 프로세서(33)가 제공되어 있고, 상기 오디오 성분은 상기 샘플 홀드 회로(1)에 인가되며, 상기 프로세서(33)는 위상 비교기(35)에 인가되는 2배 주파수 신호(38 ㎑)를 상기 19 ㎑ 파일럿 톤으로부터 도출해 낸다. 상기 위상 비교기(35)는 상기 ∑-△ 변조기(9)에 제어 신호(φ)를 인가한

다.

제 4 도에는 샘플링 주파수 변환기에 사용하기에 매우 적합한 본 발명의 또다른 실시예가 도시되어 있다. 샘플링 주파수 변환기에서는, 입력 신호용의 샘플링 주파수(f_i)가 출력 신호용의 샘플링 주파수(f_o)와 다르다. 상기. 샘플링 주파수 변환기의 실시예에 따라, 출력 클럭 주파수(f_o) 뿐만 아니라 입력 클럭 주파수(f_i),이 입력 클럭 주파수의 복수 배의 클럭 주파수, 즉 클럭 주파수($N \cdot f_i$), 또는 입력클럭 주파수(f_i), 출력 클럭 주파수(f_o), 및 이 출력 클럭 주파수의 복수 배의 클럭주파수($M \cdot f_o$)가 필요하다. 제 4 도에 도시된 실시예(40)는 주파수(f_{osc})의 출력 신호가 두 주파수 분주기(43, 45)에 인가되는 단일의 (수정) 발진기(41)를 구비하고있다. 상기 두 주파수 분주기(43, 45)는 피제수(i, ii)가 조정 가능하며, 여기서 $n \leq i \leq n + x$ 이고, $m \leq ii \leq m + y$이며, 여기서 n, m, x, y는 양의 정수이다. 상기 조정, 이 경우에는 상기 주파수 분주기(43, 45)에 의한 n 또는 n + x 및 m 또는 m + y만큼의 각각의 분주는 상기 ∑-△ 변환기(47, 51)의 출력 신호에 의해 각각 결정되며, 상기 변환기(47, 51)는 입력 신호(φ1, φ2)를 각각 수신한다. 상기 주파수 분주기(43, 45)의 출력 신호들은 각각 주파수($N \cdot f_i$)와 주파수($M \cdot f_o$)를 가지고 있으며, 이에 따라, $f_{osc} = i \cdot N \cdot fi = ii \cdot M \cdot f_o$의 관계가 유지된다. 상기 출력 신호($N \cdot f_i$)($M \cdot f_o$)는 다른 주파수 분주기(49, 53)에 의해 피제수(N, M)만큼 각각 분주되며, 이에 따라 각각의 원하는 주파수(f_i, f_o)를 가지고 있는 출력 신호가 얻어진다. 상기 피제수(N, M)는 이 예에서는 양의 정수이지만 이상에서 설명한 점을 고려하여 정수일 필요는 없음을 주의해야 한다. 샘플링 주파수 변환기는 공개된 유럽 특허 출원 제 0 512 619 호에 설명되어 있음을 주목해야 한다.

(57) 청구의 범위

청구항 1.

신호 샘플링 회로와, 샘플링 주파수가 조정될 수 있는 샘플링 신호 발생기를 구비하고 있고, 상기 샘플링 신호 발생기가 고정된 주파수를 가지고 있는 신호를 발생하는 발진기와, 주파수 분주기를 포함하고 있는 이산 시간 신호 처리 시스템에 있어서, 상기 주파수 분주기는 상기 주파수 분주기의 피제수(dividend)가 n(n = 정수)인 제 1 상태와 상기 피제수가 k인 제 2 상태인 적어도 2 가지의 상태 사이에서 스위칭될 수 있고, 여기서 $k \geq n + x$이며, x는 정수이고 $x \geq 1$이며, 상기 주파수 분주기를 한 상태에서 다른 상태로 스위칭시키기 위한 상기 주파수 분주기의 제어 입력이 유효 피제수(m)(단, $n \leq m \leq k$)를 실현하기 위한 제어 신호가 공급되는 시그마-델타 변조기(∑-△ 변조기)의 출력에 접속되어 있는 것을 특징으로 하는 이산 시간 신호 처리 시스템.

청구항 2.

제 1 항에 있어서, 상기 제어 신호를 발생하는 위상 검출기가 제공되어 있고, 상기 위상 검출기는 상기 주파수 분주기에 의해 생성된 신호에 관련된 신호 및 상기 샘플링 회로에 의해 샘플링될 신호에 관련된 신호를 각각 수신하는 제 1 및 제 2 입력을 가지고 있는 것을 특징으로 하는 이산 시간 신호 처리 시스템.

청구항 3.

제 1 항 또는 제 2 항에 있어서, 아날로그 필터가 상기 주파수 분주기의 출력과 상기 샘플링 회로의 제어 입력 사이에 삽입되어 있는 것을 특징으로 하는 이산 시간 신호 처리 시스템.

청구항 4.

제 1 항 또는 제 2 항에 있어서, 데시메이션 필터가 상기 샘플링 회로의 출력에 접속되어 있는 것을 특징으로 하는 이산 시간 신호 처리 시스템.

청구항 5.

제 1항 또는 제 2 항에 있어서, 상기 델타-시그마 변조기의 클럭 입력이 상기 주파수 분주기의 출력 또는 아날로그 필터의 출력에 접속되어 있는 것을 특징으로 하는 이산 시간 신호 처리 시스템.

청구항 6.

제 1 항 또는 제 2 항에 있어서, 상기 피제수(n)는 3보다 크고 129보다 작은 것을 특징으로 하는 이산 시간 신호 처리 시스템.

청구항 7.

제 6 항에 있어서, 상기 피제수(n)는 31보다 크고 65보다 작은 것을 특징으로 하는 이산 시간 신호 처리 시스템.

청구항 8.

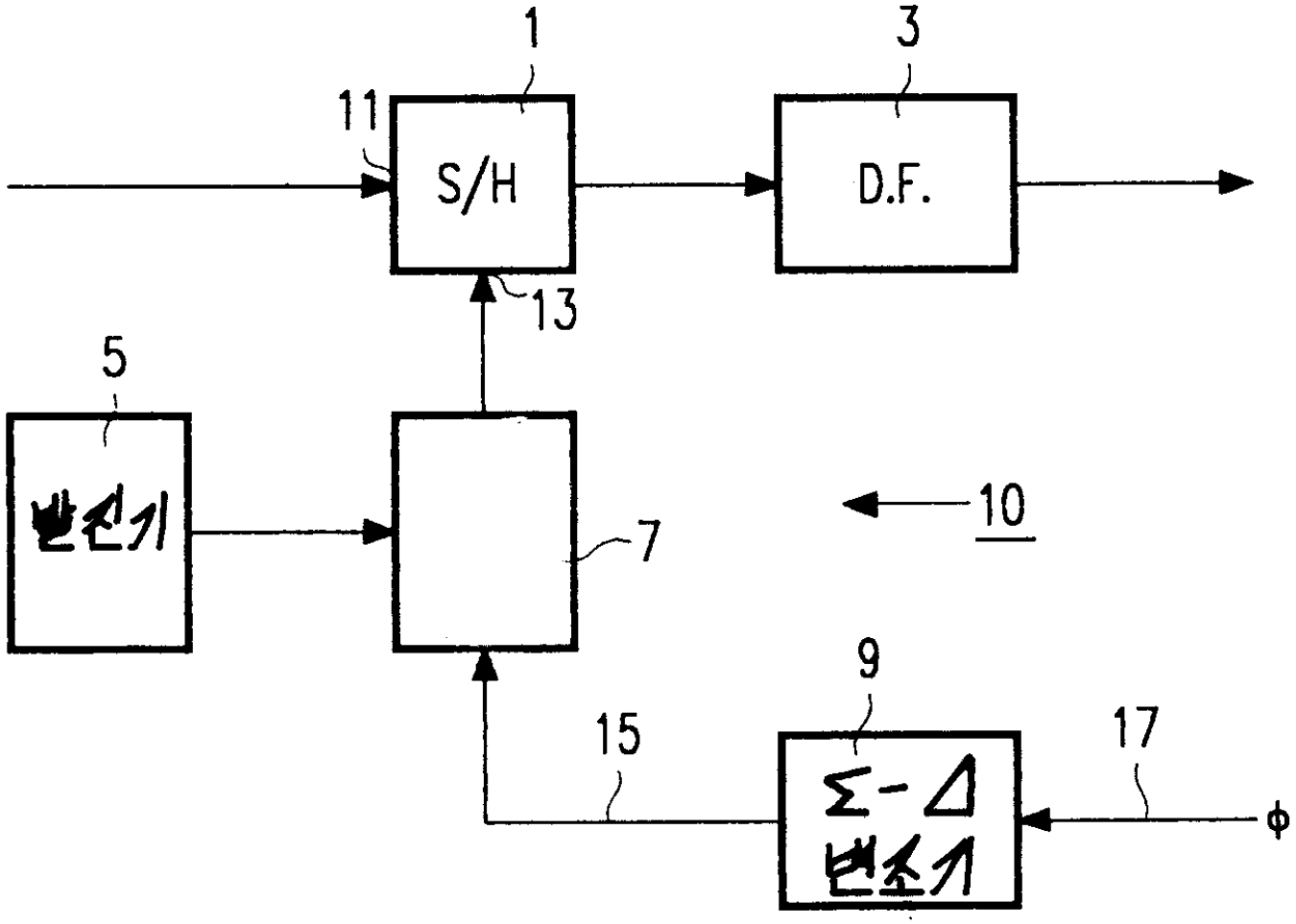
제 3 항에 있어서, 상기 아날로그 필터는 대역 통과 필터인 것을 특징으로 하는 이산 시간 신호 처리 시스템.

청구항 9.

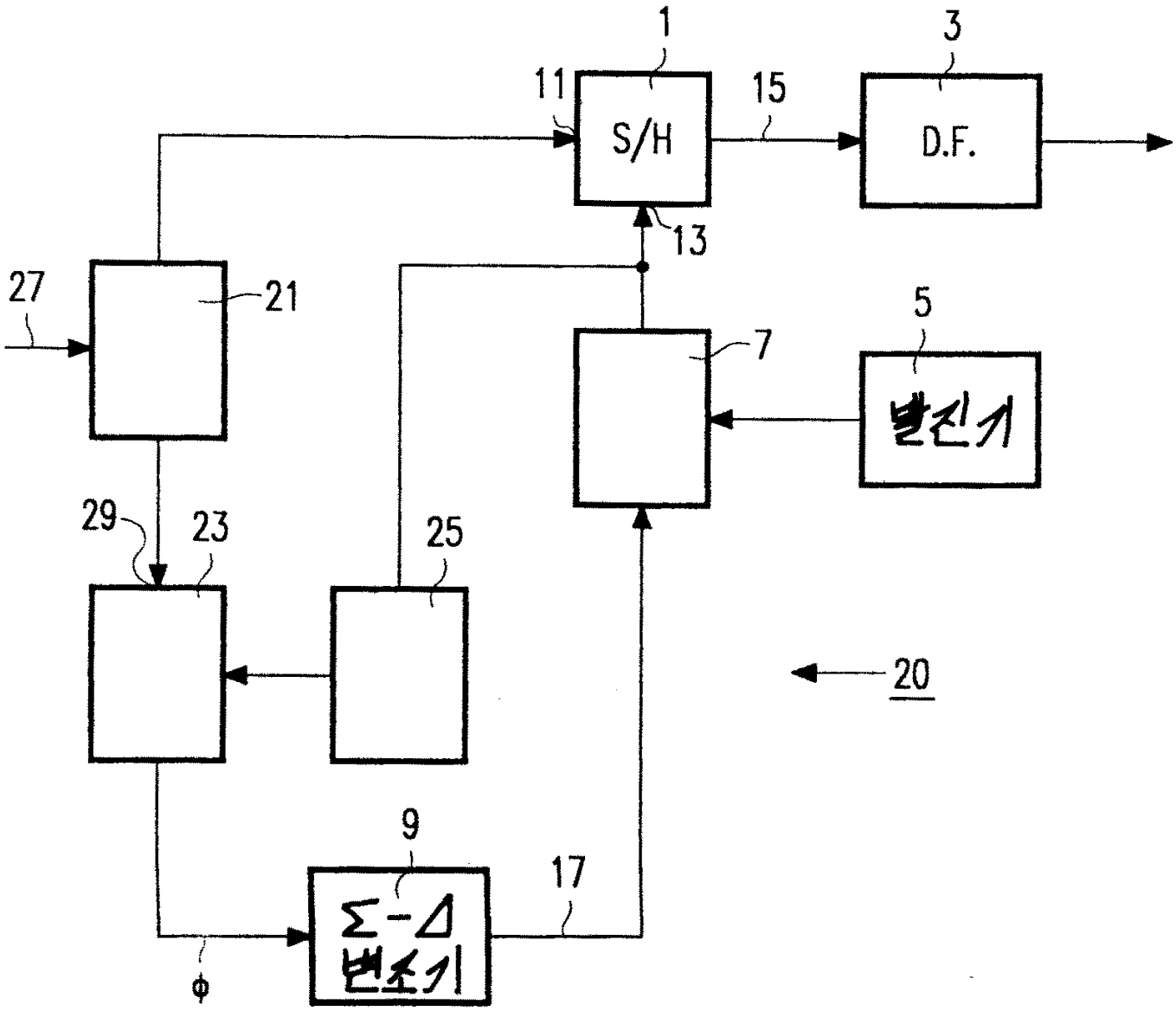
제 3 항에 있어서, 상기 아날로그 필터는 위상 동기 루프를 구비하고 있는 것을 특징으로 하는 이산 시간 신호 처리 시스템.

도면

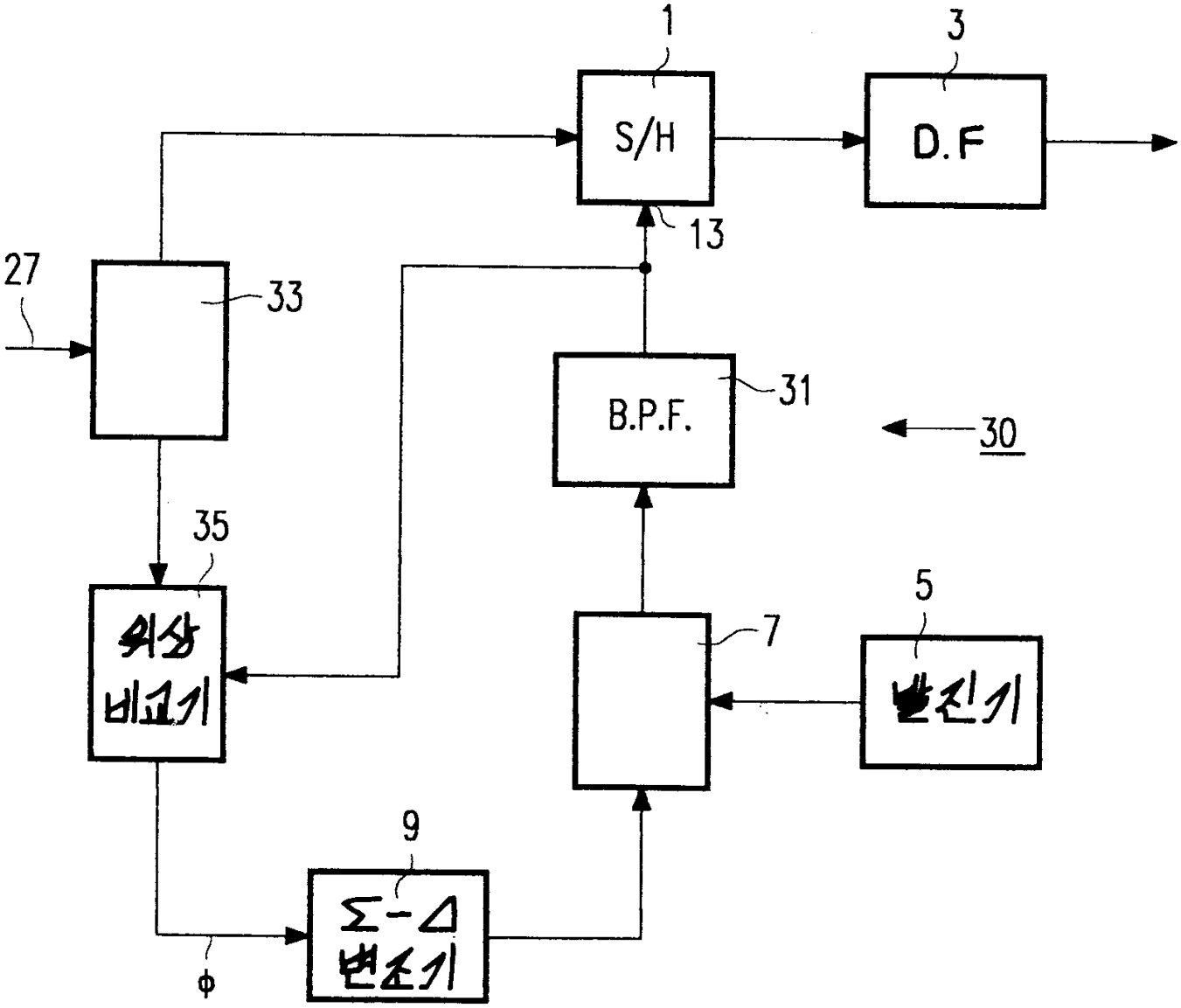
도면 1



도면 2



도면 3



도면 4

