

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 7 月 13 日 (13.07.2017)



(10) 国际公布号
WO 2017/117974 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) *H01L 27/12* (2006.01)
- (21) 国际申请号: PCT/CN2016/091505
- (22) 国际申请日: 2016 年 7 月 25 日 (25.07.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610008575.7 2016 年 1 月 7 日 (07.01.2016) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 舒适 (SHU, Shi); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 冯京 (FENG, Jing); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 徐传祥 (XU, Chuanxiang); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 何晓龙 (HE, Xiaolong); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王久石 (WANG, Jiushi); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京银龙知识产权代理有限公司 (DRAGON INTELLECTUAL PROPERTY LAW

FIRM); 中国北京市海淀区西直门北大街 32 号枫蓝国际中心 2 号楼 10 层, Beijing 100082 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: MANUFACTURING METHOD FOR ARRAY SUBSTRATE, AND ARRAY SUBSTRATE AND DISPLAY PANEL

(54) 发明名称: 一种阵列基板的制作方法、阵列基板和显示面板

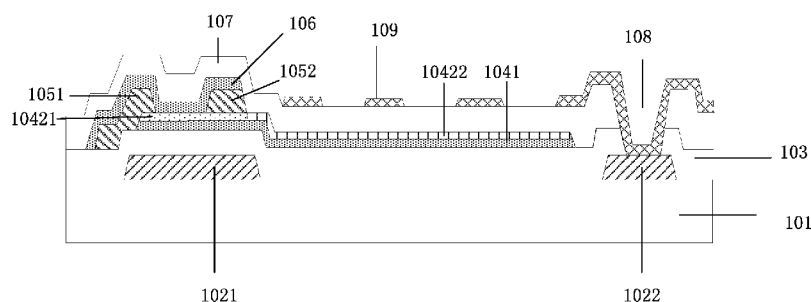


图 8

(57) Abstract: A manufacturing method for an array substrate, and an array substrate and a display panel. The manufacturing method comprises: forming patterns of a gate metal layer and a gate insulation layer (103) on a base substrate (101); forming a pattern of a semiconductor layer, wherein the pattern of the semiconductor layer comprises patterns of an active layer region and a pixel electrode region, the semiconductor layer comprises an insulating oxide layer and a semiconductor oxide layer arranged in an overlapping manner, and the insulating oxide layer is located between the gate insulation layer (103) and the semiconductor oxide layer; forming a pattern of a source and drain metal layer; and performing plasma processing on the semiconductor oxide layer of the pixel electrode region, so that the semiconductor oxide layer of the pixel electrode region is converted into a conductor.

(57) 摘要: 一种阵列基板的制作方法、阵列基板和显示面板。该制作方法包括: 在衬底基板 (101) 上形成栅金属层和栅极绝缘层 (103) 的图形; 形成半导体层的图形, 半导体层的图形包括有源层区域和像素电极区域的图形, 半导体层包括重叠设置的绝缘性氧化物层和半导体性氧化物层, 绝缘性氧化物层位于栅极绝缘层 (103) 和半导体性氧化物层之间; 形成源漏金属层的图形; 对像素电极区域的半导体性氧化物层进行等离子体处理, 使得像素电极区域的半导体性氧化物层转化为导体。

WO 2017/117974 A1

一种阵列基板的制作方法、阵列基板和显示面板

相关申请的交叉引用

5 本申请主张在 2016 年 1 月 7 日在中国提交的中国专利申请号 No. 201610008575.7 的优先权，其全部内容通过引用包含于此。

技术领域

本公开涉及显示技术领域，尤其涉及一种阵列基板的制作方法、阵列基板和显示面板。

10 背景技术

阵列基板中的薄膜晶体管（TFT）可以采用氧化物半导体制作有源层。氧化物半导体具有迁移率高、可制作大尺寸产品等特点。然而，氧化物半导体也存在一些缺点，例如特性不稳定，常常发生阈值电压（ V_{th} ）漂移等不良，从而限制了其大范围的使用。氧化物半导体特性不稳定的一个原因在于：其
15 晶格结构与薄膜晶体管中的栅极绝缘层不匹配，导致两者的接触界面存在大量缺陷，缺陷捕获电荷后就会导致上述不良。

发明内容

有鉴于此，本公开提供一种阵列基板的制作方法、阵列基板和显示面板，用以解决现有的阵列基板中的氧化物半导体层与栅极绝缘层的接触界面不匹
20 配的问题。

为解决上述技术问题，本公开提供一种阵列基板的制作方法，包括：在衬底基板上依次形成栅金属层和栅极绝缘层的图形；形成半导体层的图形，所述半导体层的图形包括有源层区域和像素电极区域的图形，所述半导体层包括重叠设置的第一氧化物层和第二氧化物层，所述第一氧化物层为绝缘性
25 氧化物层，所述第二氧化物层为半导体性氧化物层，所述第一氧化物层位于所述栅极绝缘层和所述第二氧化物层之间；形成源漏金属层的图形；以及对所述像素电极区域的第二氧化物层进行等离子体处理，使得所述像素电极区域的第二氧化物层转化为导体。

可选地，所述形成半导体层的图形的步骤包括：采用溅射工艺形成第一
30 氧化物薄膜，溅射工艺采用的溅射气体包括氧气和氩气，且氧气的比例为第

一比例，使得所述第一氧化物薄膜为绝缘性氧化物薄膜；采用溅射工艺形成第二氧化物薄膜，溅射工艺采用的溅射气体包括氧气和氩气，且氧气的比例为第二比例，使得所述第二氧化物薄膜为半导体性氧化物薄膜；采用构图工艺对所述第一氧化物薄膜和第二氧化物薄膜进行构图，形成半导体层的图形，
5 所述半导体层包括由所述第一氧化物薄膜形成的第一氧化物层以及由所述第二氧化物薄膜形成的第二氧化物层。

可选地，所述第一比例的取值范围为 60%~90%，所述第二比例的取值范围为 30%~55%。

可选地，所述栅金属层的图形包括栅极的图形，所述源漏金属层的图形
10 包括源极和漏极的图形，所述漏极的图形在所述衬底基板上的正投影区域完全落入所述栅极图形在所述衬底基板上的正投影区域内。

可选地，所述形成源漏金属层的图形的步骤之后还包括：形成保护层的图形，所述保护层为绝缘性氧化物层，所述保护层的图形完全覆盖源极和漏极之间的间隙区域对应的第二氧化物层；形成钝化层的图形，所述保护层位于
15 于所述钝化层和所述第二氧化物层之间。

可选地，所述源漏金属层的图形包括源极和漏极的图形以及像素电极区域的图形，所述保护层的图形还覆盖源极和漏极的图形，所述形成保护层的图形步骤之后，对所述像素电极区域的第二氧化物层进行等离子体处理的步骤之前还包括：以所述保护层为掩膜，对所述源漏金属层进行刻蚀，去除像
20 素电极区域的源漏金属层图形。

可选地，形成保护层的图形之后，保留所述保护层的图形上的光刻胶；其中，对所述像素电极区域的第二氧化物层进行等离子体处理的步骤具体为：采用所述光刻胶作为掩膜，对所述像素电极区域的第二氧化物层进行等离子体处理，使得所述像素电极区域的半导体性氧化物转化为导体，其中，采用
25 还原性气体执行等离子处理；以及剥离所述光刻胶。

可选地，所述栅金属层的图形包括公共电极线的图形；所述形成钝化层的图形之后还包括：形成公共电极层的图形，所述公共电极层通过贯穿所述钝化层和栅极绝缘层的过孔与所述公共电极线连接。

可选地，所述绝缘性氧化物层为富氧氧化物层。

本公开还提供一种阵列基板，采用上述方法制作而成。

可选地，所述阵列基板包括：衬底基板；栅金属层的图形，所述栅金属层的图形包括栅极；栅极绝缘层的图形；同层设置的有源层区域图形和像素电极区域图形，所述有源层区域图形包括重叠设置的第一氧化物层和第二氧化物层，所述第一氧化物层位于所述栅极绝缘层和所述第二氧化物层之间，
5 所述像素电极区域的图形包括：重叠设置的第一氧化物层和导体层，所述第一氧化物层为绝缘性氧化物，所述第二氧化物层为半导体性氧化物；源漏极的图形，所述漏极图形在所述衬底基板上的正投影区域完全落入所述栅极图形在所述衬底基板上的正投影区域内。

10 可选地，所述阵列基板还包括：保护层的图形，所述保护层为绝缘性氧化物层，所述保护层的图形完全覆盖源极和漏极之间的间隙区域对应的第二氧化物层；以及钝化层的图形。

可选地，所述保护层的图形位于所述钝化层的图形和所述第二氧化物层之间。

15 本公开还提供一种显示面板，包括上述阵列基板。

本公开的上述技术方案的有益效果如下：由于半导体性氧化物层与栅极绝缘层之间设置绝缘性氧化物层，该绝缘性氧化物层与半导体性氧化物层晶格结构匹配度好，因而可改善薄膜晶体管的界面缺陷，避免因界面缺陷导致不良。同时，通过一次构图工艺同时形成有源层和像素电极，可减少掩膜版的数量，降低阵列基板的成产成本。
20

附图说明

图 1-图 8 为本公开一些实施例的阵列基板的制作方式示意图。

附图标记说明：衬底基板 101；栅极 1021；公共电极线 1022；栅极绝缘层 103；第一氧化物层 1041；第二氧化物层 1042；有源层 10421；像素电极
25 10422；源极 1051；漏极 1052；像素电极区域的源漏金属层图形 1053；保护层 106；钝化层 107；过孔 108；公共电极 109；光刻胶 201。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，

所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”或者“一”等类似词语也不表示数量限制，而是表示存在至少一个。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，
5 不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也相应地改变。

为解决阵列基板中的氧化物半导体层与栅极绝缘层的接触界面不匹配的问题，本公开实施例提供了一种阵列基板的制作方法，包括以下步骤。

步骤 S11：在衬底基板上依次形成栅金属层和栅极绝缘层的图形。

15 所述栅金属层的图形至少包括栅极的图形。可选地，还可以包括栅线的图形。在有些实施例中，还可以包括公共电极线的图形。所述栅极绝缘层可以采用二氧化硅（ SiO_2 ）等绝缘材料制成。

步骤 S12：形成半导体层的图形，所述半导体层的图形包括有源层区域和像素电极区域的图形，所述半导体层包括重叠设置的第一氧化物层和第二氧化物层，所述第一氧化物层为绝缘性氧化物层，所述第二氧化物层为半导体性氧化物层，所述第一氧化物层位于所述栅极绝缘层和所述第二氧化物层之间。
20

本实施例中的绝缘性氧化物是指在溅射形成氧化物半导体过程中，增加氧气的比例而形成的呈绝缘性的氧化物，该种绝缘性氧化物也称为富氧氧化物。富氧氧化物由于其氧空位较少，因而显绝缘性，而其晶格结构与正常的
25 半导体性氧化物匹配度较好，因而可改善薄膜晶体管的界面缺陷，避免因界面缺陷导致不良。

步骤 S13：形成源漏金属层的图形。

所述源漏金属层的图形至少包括源极和漏极的图形。可选地，还可以包

括数据线的图形。

步骤 S14：对所述像素电极区域的第二氧化物层进行等离子体处理，使得所述像素电极区域的第二氧化物层转化为导体。像素电极区域的第二氧化物层转化为导体之后，成为像素电极。

5 当然，为了实现像素区域的透光，上述绝缘性氧化物和半导体性氧化物均为透明氧化物。可选地，可采用 IGZO 等。

本公开实施例中，由于半导体性氧化物层与栅极绝缘层之间设置绝缘性氧化物层，该绝缘性氧化物层与半导体性氧化物层晶格结构匹配度好。因而可改善薄膜晶体管的界面缺陷，避免因界面缺陷导致不良。同时，通过一次
10 构图工艺同时形成有源层和像素电极，可减少掩膜版的数量，降低阵列基板的成产成本。

下面对如何形成半导体层的图形的方法进行详细说明。

在本公开的一具体实施例中，所述形成半导体层的图形的步骤包括：

步骤 S121：采用溅射工艺形成第一氧化物薄膜，溅射工艺采用的溅射气体包括氧气和氩气，且氧气的比例为第一比例，使得所述第一氧化物薄膜为
15 绝缘性氧化物薄膜（即富氧氧化物层）；

步骤 S122：采用溅射工艺形成第二氧化物薄膜，溅射工艺采用的溅射气体包括氧气和氩气，且氧气的比例为第二比例，使得所述第二氧化物薄膜为半导体性氧化物薄膜；

20 步骤 S123：采用构图工艺对所述第一氧化物薄膜和第二氧化物薄膜进行构图，形成半导体层的图形，所述半导体层包括由所述第一氧化物薄膜形成的第一氧化物层以及由所述第二氧化物薄膜形成的第二氧化物层。

可选地，所述第一比例的取值范围为 60%~90%，所述第二比例的取值范围为 30%~55%。

25 在本公开的一具体实施例中，可采用磁控溅射工艺形成绝缘性氧化物薄膜和半导体性氧化物薄膜。其中，磁控溅射工艺形成绝缘性氧化物薄膜的工艺条件可以是：功率为 2000~6000W，温度为 20~50℃，氧气比例（即上述第一比例）为 60%~90%，氩气比例为 10~40%。磁控溅射工艺形成半导体性氧化物薄膜的工艺条件可以是：功率为 2000~6000W，温度为 20~50℃，氧气

比例（即上述第二比例）为 30%~55%，氩气比例为 45%~70%

本公开实施例中，在形成源漏金属层之后，还需要形成钝化层。由于钝化层和半导体性氧化物层的晶格结构也不匹配，如果钝化层与源极和漏极之间的间隙区域对应的半导体性氧化物层（所述间隙区域即沟道区域）直接接触的话，两者接触界面也存在缺陷，缺陷捕获电荷后就会导致不良。

为解决上述问题，本公开实施例中，在形成源漏金属层的图形的步骤之后还包括步骤 S15 和步骤 S16。

步骤 S15：形成保护层的图形，所述保护层为绝缘性氧化物层，所述保护层的图形完全覆盖源极和漏极之间的间隙区域对应的第二氧化物层（所述间隙区域即源极和漏极之间的沟道区域）。本实施例中的绝缘性氧化物同样是指溅射形成氧化物半导体过程中，增加氧气的比例而形成的呈绝缘性的氧化物，该种绝缘性氧化物也称为富氧氧化物。

步骤 S16：形成钝化层的图形。所述保护层位于所述钝化层和所述第二氧化物层之间，从而使得沟道区域的第二氧化物层（即半导体性氧化物层）与保护层（绝缘性氧化物层）直接接触，而不与钝化层接触。半导体性氧化物层和绝缘性氧化物层晶格结构匹配度好，因而可改善薄膜晶体管的界面缺陷，避免因界面缺陷导致不良。

在形成保护层的图形的过程中，由于需要进行构图工艺（包括曝光、显影和刻蚀等），为了避免在进行刻蚀工艺的过程中，刻蚀液对像素电极区域的第二氧化物层（半导体性氧化物层）造成影响，可在制作源漏金属层的图形时，在像素电极区域也形成源漏金属层的图形。即所述源漏金属层的图形除了包括源极和漏极的图形之外，还包括像素电极区域的图形。从而，在形成保护层的图形时，由于像素电极区域被源漏金属层的图形完全覆盖，因而可避免刻蚀工艺对像素电极区域的半导体性氧化物层造成影响。

当然，在形成保护层的图形之后，还需要对像素电极区域的源漏金属层的图形进行刻蚀去除，以对像素电极区域的半导体性氧化物层进行等离子处理。在对像素电极区域的源漏金属层的图形进行刻蚀时，需要将源极和漏极区域的源漏金属层图形保护起来，避免被刻蚀掉。因而，可选地，上述形成的所述保护层的图形还覆盖源极和漏极的图形。此时，在形成保护层的图形

步骤之后，对所述像素电极区域的第二氧化物层进行等离子体处理的步骤之前还包括：以所述保护层为掩膜，对所述源漏金属层进行刻蚀，去除像素电极区域的源漏金属层图形的步骤。

在对像素电极区域的第二氧化物层进行等离子体处理时，可采用还原性气体，例如氢气，执行等离子处理。为避免还原性气体与保护层（富氧氧化物层）中的氧反应，本公开实施例中，可选地，在形成所述保护层的图形之后，保留所述保护层的图形上的光刻胶。其中，对所述像素电极区域的第二氧化物层进行等离子体处理的步骤具体为：采用所述光刻胶作为掩膜，对所述像素电极区域的第二氧化物层进行等离子体处理，使得所述像素电极区域的半导体性氧化物转化为导体，形成像素电极，其中，采用还原性气体执行等离子处理；然后剥离所述光刻胶。

上述各实施例中，为保证可以对像素电极（即上述像素区域的导体）充电，可选地，形成的漏极的图形在所述衬底基板上的正投影区域完全落入栅极图形在所述衬底基板上的正投影区域内。此时，第二氧化物层的导体化的部分和未导体化的部分的交界处，位于栅极图形之上，这样在薄膜晶体管打开的时候，才能保证从数据线到像素电极之间，处处导电。

当然，在本公开的其他一些实施例中，形成的漏极的图形在所述衬底基板上的正投影区域也不一定需要完全落入栅极图形在所述衬底基板上的正投影区域内，只要保证第二氧化物层的导体化的部分和未导体化的部分的交界处，位于栅极图形之上即可。

上述各实施例中，形成的栅金属层的图形还可以包括公共电极线的图形；在形成钝化层的图形之后还包括：形成公共电极层的图形，所述公共电极层通过贯穿所述钝化层和栅极绝缘层的过孔与所述公共电极线连接。

上述各实施例中的栅金属层和源漏金属层可采用铜（Cu）等电阻率较小的金属材料制成，以提高导电效果。

本公开实施例还提供一种阵列基板，采用上述任一实施例所述的方法制作而成。

在本公开的一可选实施例中，所述阵列基板包括：
衬底基板；

栅金属层的图形，所述栅金属层的图形包括栅极；
栅极绝缘层的图形；

同层设置的有源层区域图形和像素电极区域图形，所述有源层区域图形包括重叠设置的第一氧化物层和第二氧化物层，所述第一氧化物层位于所述
5 栅极绝缘层和所述第二氧化物层之间，所述像素电极区域的图形包括：重叠设置的第一氧化物层和导体层，所述第一氧化物层为绝缘性氧化物，所述第二氧化物层为半导体性氧化物；

源漏极的图形，所述漏极图形在所述衬底基板上的正投影区域完全落入所述栅极图形在所述衬底基板上的正投影区域内。

10 由于半导体性氧化物层与栅极绝缘层之间设置绝缘性氧化物层，该绝缘性氧化物层与半导体性氧化物层晶格结构匹配度好，因而可改善薄膜晶体管的界面缺陷，避免因界面缺陷导致不良。同时，可通过一次构图工艺同时形成有源层和像素电极，可降低阵列基板的成产成本。

可选地，所述阵列基板还包括：保护层的图形，所述保护层为绝缘性氧化物层，所述保护层的图形完全覆盖源极和漏极之间的间隙区域对应的第二
15 氧化物层；以及钝化层的图形。

所述保护层位于所述钝化层和所述第二氧化物层之间，从而使得第二氧化物层（即半导体性氧化物层）与保护层（绝缘性氧化物层）直接接触，而不与钝化层接触，半导体性氧化物层和绝缘性氧化物层晶格结构匹配度好，
20 因而可改善薄膜晶体管的沟道处的界面缺陷，避免因界面缺陷导致不良。

本公开还提供一种显示面板，包括上述任一实施例中的阵列基板。

本公开还提供一种显示装置，包括上述任一实施例中的显示面板。

下面将结合附图和实施例，对本公开的具体实施方式作进一步详细描述。以下实施例用于说明本公开，但不用来限制本公开的范围。

25 请参考图 1-图 8，图 1-图 8 为本公开一实施例的阵列基板的制作方式示意图，该制作方法包括以下步骤：

步骤 S21：请参考图 1，提供一衬底基板 101，并在该衬底基板 101 上依次形成栅金属层的图形和栅极绝缘层 103 的图形。所述栅金属层的图形包括栅极 1021、栅线（图未示出）和公共电极线 1022 的图形。

步骤 S22: 请参考图 2, 在栅极绝缘层 103 上形成半导体层的图形, 所述半导体层的图形包括有源层区域和像素电极区域的图形, 所述半导体层包括重叠设置的第一氧化物层 1041 和第二氧化物层 1042。所述第一氧化物层 1041 为绝缘性氧化物层, 所述第二氧化物层 1042 为半导体性氧化物层, 所述第一氧化物层 1041 位于所述栅极绝缘层 103 和所述第二氧化物层 1042 之间。

步骤 S23: 请参考图 3, 形成源漏金属层的图形。所述源漏金属层的图形包括源极 1051 的图形、漏极 1052 的图形、数据线 (图未示出) 和像素电极区域的源漏金属层图形 1053。像素电极区域的源漏金属层图形 1053 完全覆盖像素电极区域。形成的漏极 1052 的图形在所述衬底基板 101 上的正投影区域完全落入栅极 1021 图形在所述衬底基板 101 上的正投影区域内。

步骤 S24: 请参考图 4, 形成保护层 106 的图形, 并保留所述保护层 106 的图形上的光刻胶 201。所述保护层 106 为绝缘性氧化物层, 所述保护层 106 的图形完全覆盖源极 1051、漏极 1052 以及源极 1051 和漏极 1052 之间的间隙区域对应的第二氧化物层 (所述间隙区域即源极 1051 和漏极 1052 之间的沟道区域)。

步骤 S25: 请参考图 5, 以所述保护层的图形 106 为掩膜, 对所述源漏金属层进行刻蚀, 去除像素电极区域的源漏金属层图形 1053。

步骤 S26: 请参考图 6, 采用所述光刻胶 201 作为掩膜, 对所述像素电极区域的第二氧化物层 (半导体性氧化物层) 进行等离子体处理, 使得所述像素电极区域的半导体性氧化物层转化为导体, 形成有源层 10421 和像素电极 10422 的图形。本步骤中, 采用氢气执行等离子处理。然后, 剥离所述光刻胶 201。

步骤 S27: 请参考图 7, 形成钝化层的图形 107, 钝化层上形成有贯通钝化层和栅极绝缘层的过孔 108;

步骤 S28: 请参考图 8, 形成公共电极层的图形 109, 所述公共电极层通过贯穿所述钝化层和栅极绝缘层的过孔 108 与所述公共电极线 1022 连接。

本公开实施例中, 由于半导体性氧化物层与栅极绝缘层之间设置绝缘性氧化物层, 该绝缘性氧化物层与半导体性氧化物层晶格结构匹配度好, 因而可改善界面缺陷, 避免因界面缺陷导致不良。在钝化层和半导体性氧化物层

- 之间设置绝缘性氧化物层（即保护层），使得半导体性氧化物层与绝缘性氧化物层（即保护层）直接接触，而不与钝化层接触，半导体性氧化物层和绝缘性氧化物层晶格结构匹配度好，因而可改善沟道区域的界面缺陷，避免因界面缺陷导致不良。同时，通过一次构图工艺同时形成有源层和像素电极，可降低阵列基板的成产成本。
- 5

以上所述是本公开的可选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本公开所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权 利 要 求 书

1. 一种阵列基板的制作方法，包括：

在衬底基板上依次形成栅金属层和栅极绝缘层的图形；

5 形成半导体层的图形，所述半导体层的图形包括有源层区域和像素电极区域的图形，所述半导体层包括重叠设置的第一氧化物层和第二氧化物层，所述第一氧化物层为绝缘性氧化物层，所述第二氧化物层为半导体性氧化物层，所述第一氧化物层位于所述栅极绝缘层和所述第二氧化物层之间；

形成源漏金属层的图形；以及

10 对所述像素电极区域的第二氧化物层进行等离子体处理，使得所述像素电极区域的第二氧化物层转化为导体。

2. 根据权利要求 1 所述的阵列基板的制作方法，其中，所述形成半导体层的图形的步骤包括：

15 采用溅射工艺形成第一氧化物薄膜，溅射工艺采用的溅射气体包括氧气和氩气，且氧气的比例为第一比例，使得所述第一氧化物薄膜为绝缘性氧化物薄膜；

采用溅射工艺形成第二氧化物薄膜，溅射工艺采用的溅射气体包括氧气和氩气，且氧气的比例为第二比例，使得所述第二氧化物薄膜为半导体性氧化物薄膜；

20 采用构图工艺对所述第一氧化物薄膜和第二氧化物薄膜进行构图，形成半导体层的图形，所述半导体层包括由所述第一氧化物薄膜形成的第一氧化物层以及由所述第二氧化物薄膜形成的第二氧化物层。

3. 根据权利要求 2 所述的阵列基板的制作方法，其中，所述第一比例的取值范围为 60%~90%，所述第二比例的取值范围为 30%~55%。

25 4. 根据权利要求 1 所述的阵列基板的制作方法，其中，所述栅金属层的图形包括栅极的图形，所述源漏金属层的图形包括源极和漏极的图形，所述漏极的图形在所述衬底基板上的正投影区域完全落入所述栅极图形在所述衬底基板上的正投影区域内。

5. 根据权利要求 1 所述的阵列基板的制作方法，其中，所述形成源漏金

属层的图形的步骤之后还包括：

形成保护层的图形，所述保护层为绝缘性氧化物层，所述保护层的图形完全覆盖源极和漏极之间的间隙区域对应的第二氧化物层；

5 形成钝化层的图形，所述保护层位于所述钝化层和所述第二氧化物层之间。

6. 根据权利要求 5 所述的阵列基板的制作方法，其中，所述源漏金属层的图形包括源极和漏极的图形以及像素电极区域的图形，所述保护层的图形还覆盖源极和漏极的图形，所述形成保护层的图形步骤之后，对所述像素电极区域的第二氧化物层进行等离子体处理的步骤之前还包括：

10 以所述保护层为掩膜，对所述源漏金属层进行刻蚀，去除像素电极区域的源漏金属层图形。

7. 根据权利要求 5 所述的阵列基板的制作方法，其中，形成所述保护层的图形之后，保留所述保护层的图形上的光刻胶；

15 其中，对所述像素电极区域的第二氧化物层进行等离子体处理的步骤具体为：

采用所述光刻胶作为掩膜，对所述像素电极区域的第二氧化物层进行等离子体处理，使得所述像素电极区域的半导体性氧化物转化为导体，其中，采用还原性气体执行等离子处理；以及

剥离所述光刻胶。

20 8. 根据权利要求 5 所述的阵列基板的制作方法，其中，所述栅金属层的图形包括公共电极线的图形；所述形成钝化层的图形之后还包括：

形成公共电极层的图形，所述公共电极层通过贯穿所述钝化层和栅极绝缘层的过孔与所述公共电极线连接。

25 9. 根据权利要求 1-8 任一项所述的阵列基板的制作方法，其中，所述绝缘性氧化物层为富氧氧化物层。

10. 一种阵列基板，包括：

衬底基板；

栅金属层的图形，所述栅金属层的图形包括栅极；

栅极绝缘层的图形；

同层设置的有源层区域图形和像素电极区域图形，其中，所述有源层区域图形包括重叠设置的第一氧化物层和第二氧化物层，所述第一氧化物层位于所述栅极绝缘层和所述第二氧化物层之间；所述像素电极区域的图形包括：重叠设置的第一氧化物层和导体层；所述第一氧化物层为绝缘性氧化物，所述第二氧化物层为半导体性氧化物；以及

源漏极的图形，所述漏极图形在所述衬底基板上的正投影区域完全落入所述栅极图形在所述衬底基板上的正投影区域内。

11. 根据权利要求 10 所述的阵列基板，还包括：

保护层的图形，所述保护层为绝缘性氧化物层，所述保护层的图形完全覆盖源极和漏极之间的间隙区域对应的第二氧化物层；以及钝化层的图形。

12. 根据权利要求 11 所述的阵列基板，其中，所述保护层的图形位于所述钝化层的图形和所述第二氧化物层之间。

13. 一种显示面板，包括如权利要求 10-12 任一项所述的阵列基板。

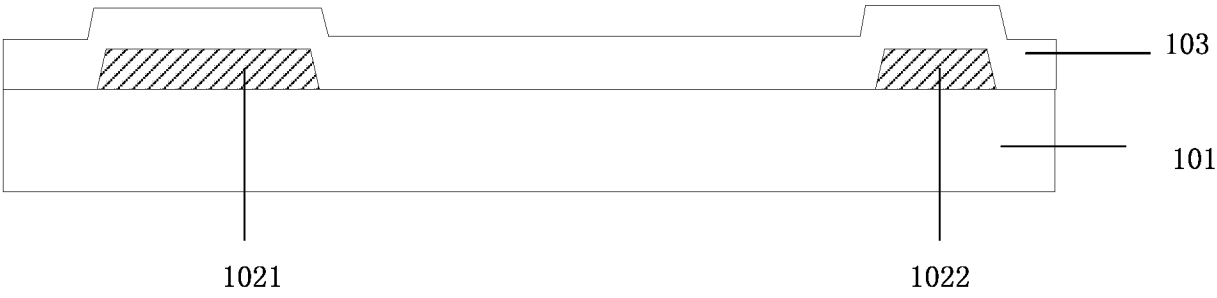


图 1

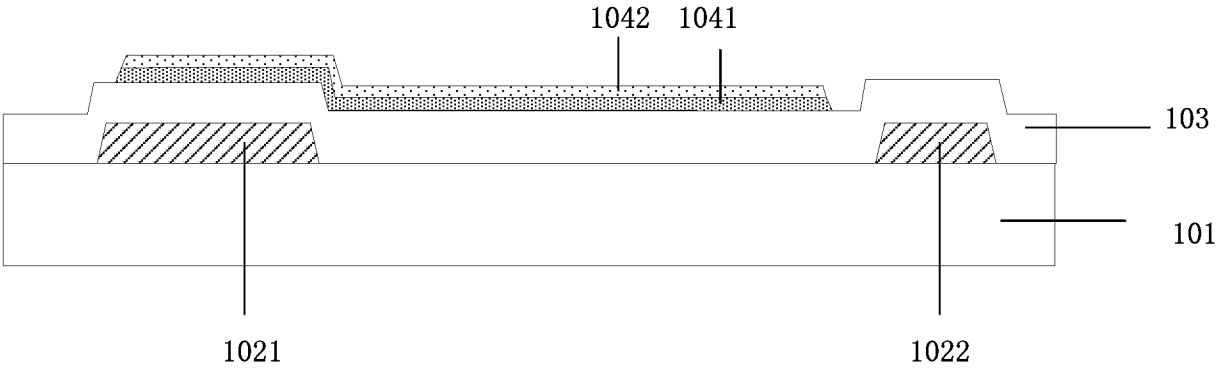


图 2

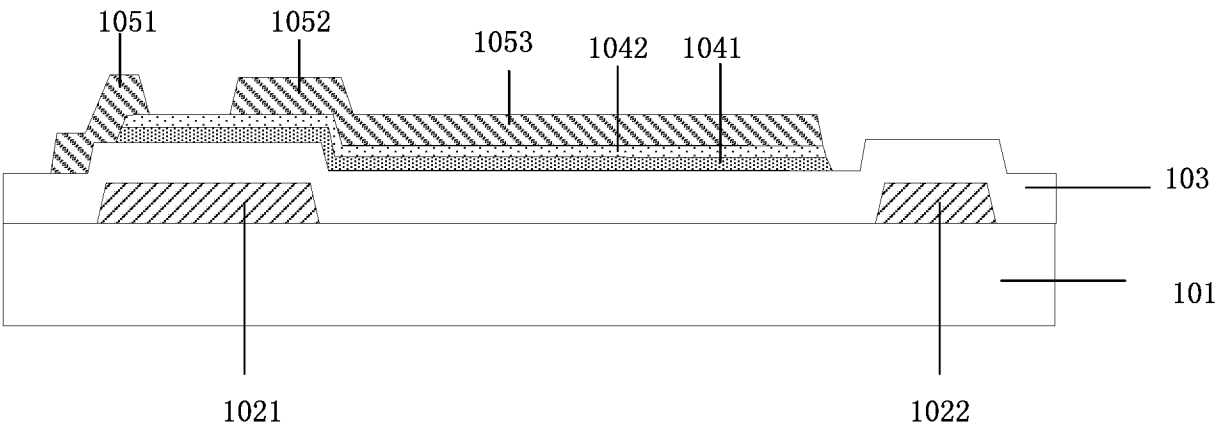


图 3

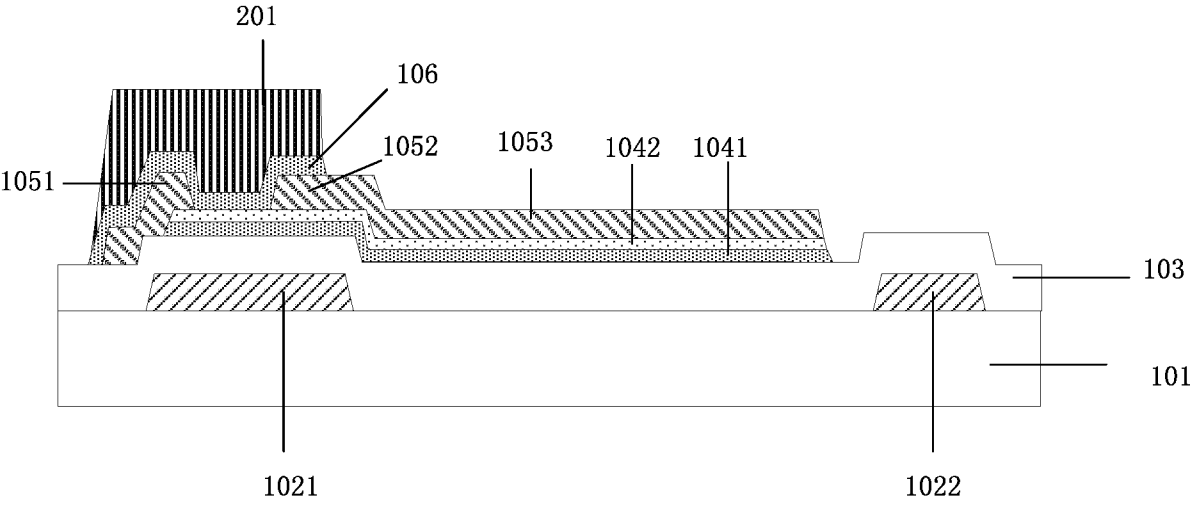


图 4

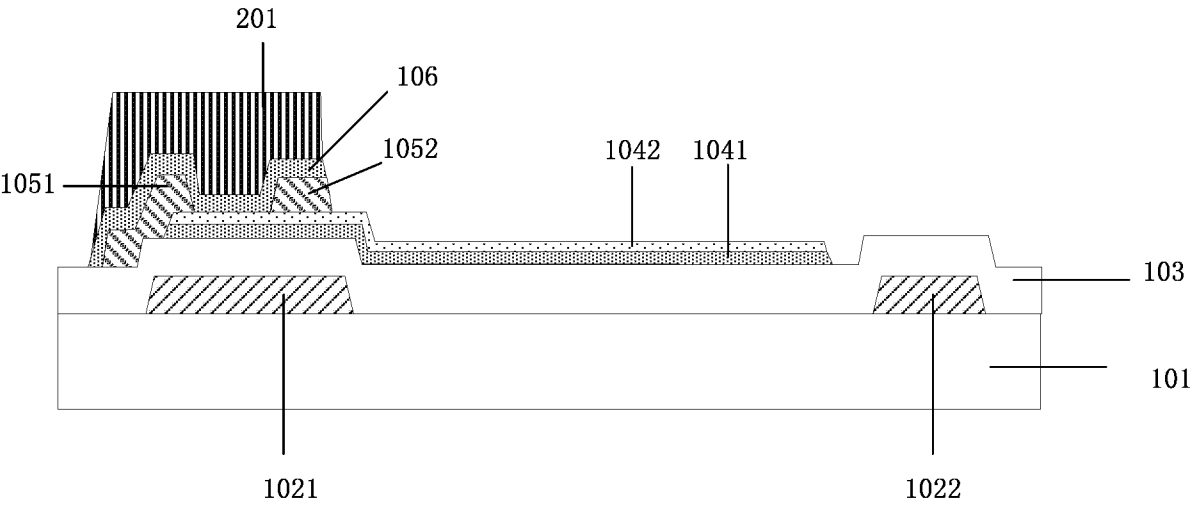


图 5

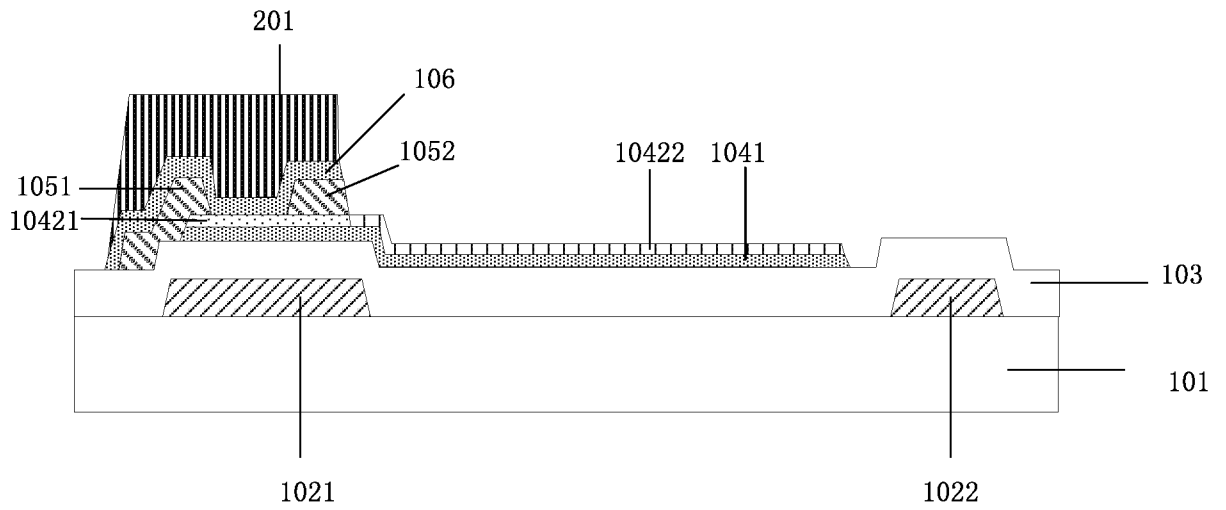


图 6

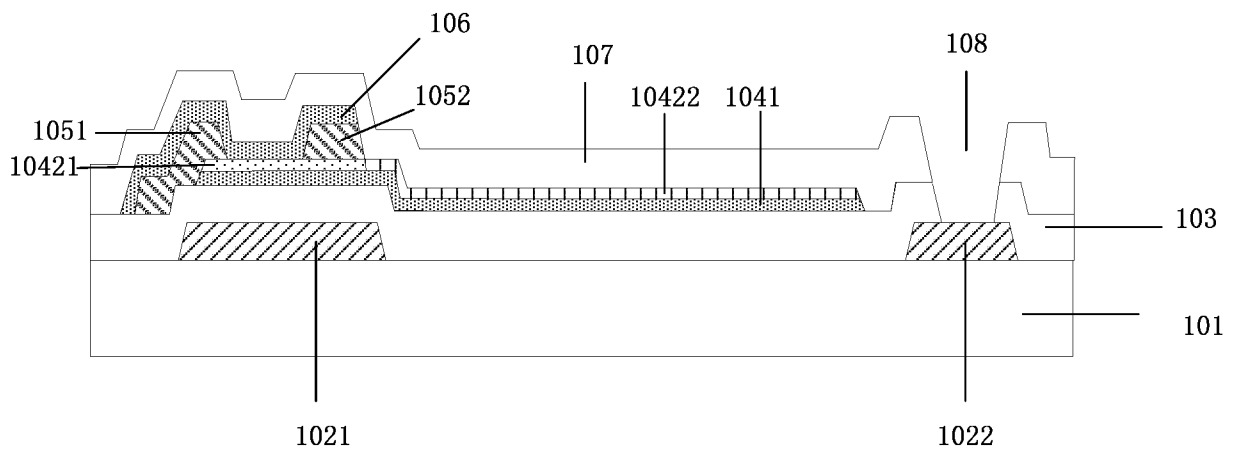


图 7

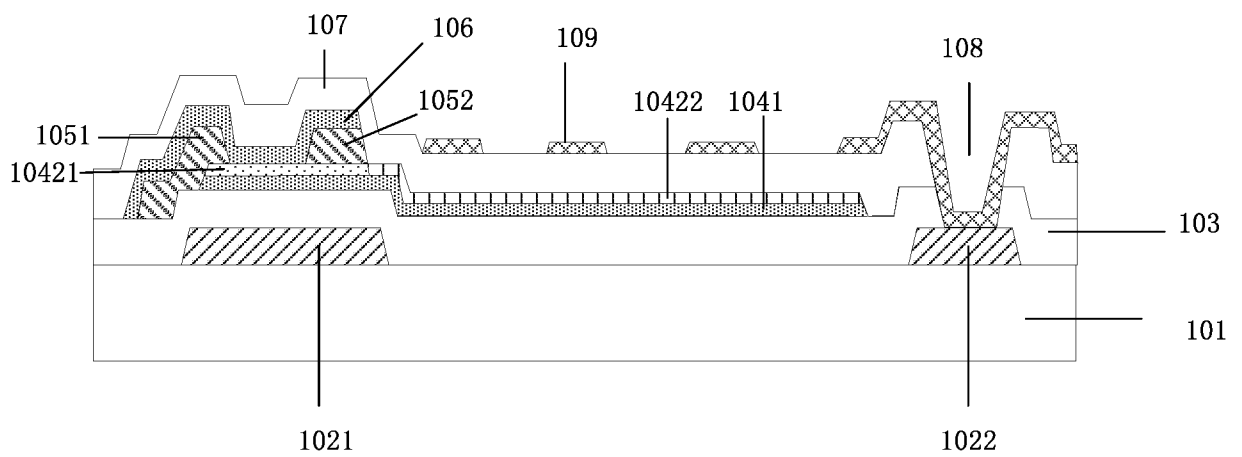


图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/091505

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, DWPI, VEN: thin film transistor, TFT, array, substrate, active, oxide, semiconductor, insulate, interface

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 105655291 A (BOE TECHNOLOGY GROUP CO., LTD.), 08 June 2016 (08.06.2016), claims 1-13, description, paragraphs [0003]-[0097], and figures 1-8	1-13
Y	CN 101794820 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.), 04 August 2010 (04.08.2010), description, paragraphs [0077]-[0133], and figures 2A-5B	1-13
Y	CN 103928530 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.), 16 July 2014 (16.07.2014), description, paragraphs [0022]-[0050], and figures 1-2	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 September 2016 (12.09.2016)	Date of mailing of the international search report 11 October 2016 (11.10.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LI, Ying Telephone No.: (86-10) 62089296

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/091505

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105655291 A	08 June 2016	None	
CN 101794820 A	04 August 2010	JP 2014207454 A	30 October 2014
		US 8884287 B2	11 November 2014
		CN 101794820 B	06 August 2014
		TW 201533914 A	01 September 2015
		JP 5548459 B2	16 July 2014
		JP 5816330 B2	18 November 2015
		JP 2010186994 A	26 August 2010
		US 2014113687 A1	24 April 2014
		US 8629432 B2	14 January 2014
		KR 20100084466 A	26 July 2010
		TW 201114040 A	16 April 2011
		US 2010181565 A1	22 July 2010
		KR 1648927 B1	17 August 2016
CN 103928530 A	16 July 2014	None	

国际检索报告

国际申请号

PCT/CN2016/091505

A. 主题的分类 H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, DWPI, VEN: 阵列, 薄膜晶体管, 基板, 衬底, 有源, 氧化物, 半导体, 绝缘, 界面, TFT, array, substrate, active, oxide, semiconductor, insulate, interface				
C. 相关文件				
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求		
PX	CN 105655291 A (京东方科技集团股份有限公司) 2016年 6月 8日 (2016 - 06 - 08) 权利要求1-13、说明书第[0003]-[0097]段、附图1-8	1-13		
Y	CN 101794820 A (株式会社半导体能源研究所) 2010年 8月 4日 (2010 - 08 - 04) 说明书第[0077]-[0133]附图2A-5B	1-13		
Y	CN 103928530 A (上海天马微电子有限公司等) 2014年 7月 16日 (2014 - 07 - 16) 说明书第[0022]-[0050]段、附图1-2	1-13		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。				
<table><tr><td>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td><td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</td></tr></table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件			
国际检索实际完成的日期 2016年 9月 12日		国际检索报告邮寄日期 2016年 10月 11日		
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 李莹 电话号码 (86-10) 62089296		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/091505

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105655291	A	2016年 6月 8日	无			
CN	101794820	A	2010年 8月 4日	JP	2014207454	A	2014年 10月 30日
				US	8884287	B2	2014年 11月 11日
				CN	101794820	B	2014年 8月 6日
				TW	201533914	A	2015年 9月 1日
				JP	5548459	B2	2014年 7月 16日
				JP	5816330	B2	2015年 11月 18日
				JP	2010186994	A	2010年 8月 26日
				US	2014113687	A1	2014年 4月 24日
				US	8629432	B2	2014年 1月 14日
				KR	20100084466	A	2010年 7月 26日
				TW	201114040	A	2011年 4月 16日
				US	2010181565	A1	2010年 7月 22日
				KR	1648927	B1	2016年 8月 17日
CN	103928530	A	2014年 7月 16日	无			