

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年1月29日(29.01.2015)



(10) 国際公開番号

WO 2015/011983 A1

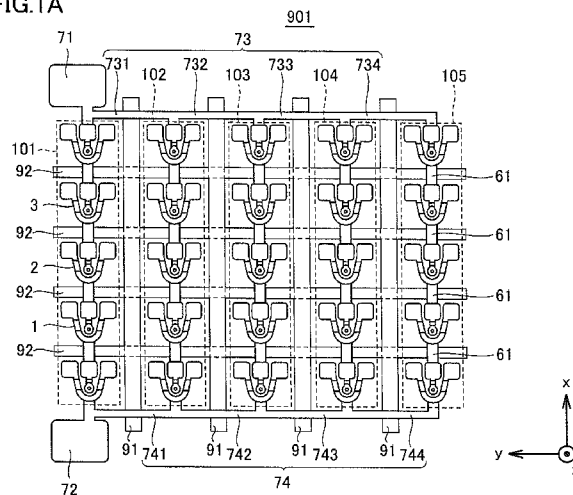
- (51) 国際特許分類:
H01S 5/183 (2006.01) H01S 5/42 (2006.01)
H01S 5/042 (2006.01) H01S 5/343 (2006.01)
- (21) 国際出願番号: PCT/JP2014/063952
- (22) 国際出願日: 2014年5月27日(27.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-151608 2013年7月22日(22.07.2013) JP
- (71) 出願人: 株式会社村田製作所(MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 松原 一平(MATSUBARA, Ipppei); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 粉奈 孝行(KONA, Takayuki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 岩田 圭司(IWATA, Keiji); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島二丁目2番7号 中之島セントラルタワー Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: VERTICAL-CAVITY SURFACE-EMITTING LASER ARRAY

(54) 発明の名称: 垂直共振面発光レーザーレイ

FIG. 1A



(57) Abstract: A vertical-cavity surface-emitting laser (VCSEL) array (901) is provided with: a base substrate (11); VCSEL element columns (101-105) arranged in a row direction (direction y) on a surface side of the base substrate (11); and parallel wires (73, 74) which connect the VCSEL element columns (101-105) in parallel. Each of the VCSEL element columns (101-105) includes: a plurality of VCSEL elements disposed in a column direction (direction x); and a plurality of series wires (61). Each of the plurality of series wires (61) respectively connects, in series, two VCSEL elements among the plurality of VCSEL elements, in a direction corresponding to a forward direction of the two VCSEL elements, said two VCSEL elements being next to each other in the column direction. Insulation grooves (91, 92) are formed in the base substrate (11). The insulation grooves (91) electrically insulate the VCSEL element columns (101-105) from each other. The insulation grooves (92) electrically insulate the VCSEL elements from each other.

(57) 要約:

[続葉有]



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

VCSELレーザアレイ (901) は、ベース基板 (11) と、ベース基板 (11) の表面側において、行方向 (y 方向) に配置された VCSEL 素子列 (101~105) と、VCSEL 素子列 (101~105) を並列に接続する並列配線 (73, 74) とを備える。VCSEL 素子列 (101~105) の各々は、列方向 (x 方向) に配置された複数の VCSEL 素子と、複数の直列配線 (61) とを含む。複数の直列配線 (61) は、複数の VCSEL 素子のうち、列方向に隣接する 2 つの VCSEL 素子の各々を、上記 2 つの VCSEL 素子の順方向が一致する向きに直列に接続する。ベース基板 (11) には、絶縁溝 (91, 92) が形成される。絶縁溝 (91) は、VCSEL 素子列 (101~105) を互いに電氣的に絶縁する。絶縁溝 (92) は、VCSEL 素子を互いに電氣的に絶縁する。

明 細 書

発明の名称：垂直共振面発光レーザアレイ

技術分野

[0001] 本発明は、垂直共振面発光レーザアレイに関する。

背景技術

[0002] 一般に、半導体素子の製造プロセスでは、温度および電圧の負荷をかける加速試験、いわゆるバーンイン試験が実施される。バーンイン試験の結果、ある半導体素子の特性値が所定の基準値を満たさなくなった場合には、その半導体素子は初期不良品として良品群から排除される。

[0003] 垂直共振面発光レーザ素子では、半導体基板に垂直な方向に光が出射される。このため、複数の垂直共振面発光レーザ素子がアレイ状に形成されたウエハの状態において、バーンイン試験を実施することができる。このようなバーンイン試験をWLB I (Wafer Level Burn-In) ともいう。

[0004] 垂直共振面発光レーザアレイのWLB Iを正確かつ低コストで実施するための技術に対する要望が存在する。たとえば特開2006-66845号公報（特許文献1）に開示された面発光型ウエハでは、複数の面発光型素子が、各発光素子部の順方向が一致する向きに直列に接続される。

先行技術文献

特許文献

[0005] 特許文献1：特開2006-66845号公報

発明の概要

発明が解決しようとする課題

[0006] バーンイン試験を正確に実施するためには、ウエハ内のすべての垂直共振面発光レーザ素子に対する負荷条件を一致させる必要がある。負荷電流値は、垂直共振面発光レーザ素子のバーンイン試験において、最重要パラメータの一つである。したがって、負荷電流値を垂直共振面発光レーザ素子間で均一にすることが求められる。

[0007] しかしながら、特許文献 1 に開示された面発光型ウエハでは、半導体基板内に導電性半導体層が存在する。このため、直列に接続された面発光型素子間を負荷電流が流れる際に、負荷電流の一部が上記導電性半導体層内を通過して漏れ出る可能性がある。その結果、負荷電流を直列に接続された面発光型素子間で均一にすることができない場合がある。

[0008] 本発明の目的は、バーンイン試験を正確かつ低コストで実施可能に構成された垂直共振面発光レーザアレイを提供することである。

課題を解決するための手段

[0009] 本発明のある局面に従う垂直共振面発光レーザアレイは、半導体基板と、複数の垂直共振面発光レーザ素子列と、並列配線とを備える。複数の垂直共振面発光レーザ素子列は、半導体基板の表面側において、行方向に配置される。並列配線は、複数の垂直共振面発光レーザ素子列を並列に接続する。複数の垂直共振面発光レーザ素子列の各々は、列方向に配置された複数の垂直共振面発光レーザ素子と、複数の直列配線とを含む。複数の直列配線は、複数の垂直共振面発光レーザ素子のうち、列方向に隣接する 2 つの垂直共振面発光レーザ素子の各々を、上記 2 つの垂直共振面発光レーザ素子の順方向が一致する向きに直列に接続する。半導体基板には、複数の垂直共振面発光レーザ素子列を互いに電氣的に絶縁する第 1 の絶縁領域と、複数の垂直共振面発光レーザ素子を互いに電氣的に絶縁する第 2 の絶縁領域とが形成される。

[0010] 好ましくは、垂直共振面発光レーザアレイは、少なくとも 1 対のダミーパッドをさらに備える。上記少なくとも 1 対のダミーパッドは、バーンイン試験用プローブからの負荷電流を、複数の垂直共振面発光レーザ素子列に供給するために、並列配線に電氣的に接続される。

[0011] 好ましくは、複数の垂直共振面発光レーザ素子は、半導体基板の表面側において、四角形の領域内に配置される。1 対のダミーパッドは、上記四角形の領域の四隅に対応する第 1 ～第 4 のコーナーのうち、対角線上に位置する第 1 および第 2 のコーナーの近傍に配置される。

[0012] 好ましくは、並列配線は、複数の配線部を含む。複数の配線部の各々は、

行方向に隣接する2つの垂直共振面発光レーザ素子列を並列に接続する。複数の配線部の各々の抵抗値は、負荷電流を複数の垂直共振面発光レーザ素子列に供給している状態において、その配線部を流れる負荷電流の値に反比例するように決定される。

[0013] 好ましくは、複数の配線部の各々は、負荷電流を複数の垂直共振面発光レーザ素子列に供給している状態において、その配線部を流れる負荷電流の値に応じた配線幅を有するように決定される。

[0014] 好ましくは、複数の垂直共振面発光レーザ素子列は、 m (m は2以上の自然数)個の垂直共振面発光レーザ素子を含む第1の垂直共振面発光レーザ素子列と、 n (n は m よりも小さい自然数)個の垂直共振面発光レーザ素子を含む第2の垂直共振面発光レーザ素子列とを備える。1対のダミーパッドのうちの少なくとも一方は、半導体基板の表面側において、第2の垂直共振面発光レーザ素子列の近傍における、 $(m - n)$ 個の垂直共振面発光レーザ素子の面積に対応する領域に配置される。

[0015] 好ましくは、第2の垂直共振面発光レーザ素子列は、ダミー素子をさらに含む。ダミー素子は、 $(m - n)$ 個の垂直共振面発光レーザ素子による電圧降下量に相当する電圧降下を生じさせる。

[0016] 好ましくは、複数の垂直共振面発光レーザ素子の各々は、アノード電極およびカソード電極と、アノード電極に電氣的に接続されたアノード電極パッドと、カソード電極に電氣的に接続されたカソード電極パッドとを有する。並列配線は、複数の配線部を含む。複数の配線部の各々は、行方向に隣接する2つの垂直共振面発光レーザ素子列を並列に接続する。複数の配線部の各々は、行方向に隣接する2つの垂直共振面発光レーザ素子のうち的一方のカソード電極パッドと、他方のカソード電極パッドとの間に配置される。

[0017] 好ましくは、半導体基板は、半絶縁性である。第1および第2の絶縁領域の各々は、絶縁溝である。絶縁溝は、半導体基板の表面側から半導体基板の内部まで窪む形状からなる。並列配線は、第2の絶縁領域の絶縁溝上に形成される配線部を含む。

[0018] 好ましくは、半導体基板は、半絶縁性である。第1および第2の絶縁領域の各々は、半導体基板の電気抵抗率よりも高い電気抵抗率を有する高抵抗領域である。

発明の効果

[0019] 本発明によれば、バーンイン試験を正確かつ低コストで実施可能に構成された垂直共振面発光レーザアレイを提供することができる。

図面の簡単な説明

[0020] [図1A]本発明の第1の実施形態に係る垂直共振面発光レーザアレイの平面図である。

[図1B]本発明の第1の実施形態に係る垂直共振面発光レーザアレイの等価回路図である。

[図2]図1Aに示す垂直共振面発光レーザ素子列の一部の拡大図である。

[図3]図2のⅠⅠⅠーⅠⅠⅠ線に沿う垂直共振面発光レーザ素子列の断面図である。

[図4]図3に示す垂直共振面発光レーザ素子の断面の拡大図である。

[図5]図1Aに示す垂直共振面発光レーザアレイのバーンイン試験時における構成を概略的に示す回路図である。

[図6A]比較のための垂直共振面発光レーザアレイにおける負荷電流の経路を示す図である。

[図6B]図3に示す垂直共振面発光レーザアレイにおける負荷電流の経路を示す図である。

[図7]本発明の第2の実施形態に係る垂直共振面発光レーザアレイの平面図である。

[図8A]図1Aに示す垂直共振面発光レーザアレイにおける負荷電流の経路を示す等価回路図である。

[図8B]図7に示す垂直共振面発光レーザアレイにおける負荷電流の経路を示す等価回路図である。

[図9]本発明の第3の実施形態に係る垂直共振面発光レーザアレイの平面図で

ある。

[図10A]図7に示す垂直共振面発光レーザアレイの等価回路図である。

[図10B]図9に示す垂直共振面発光レーザアレイの等価回路図である。

[図11A]図7に示す垂直共振面発光レーザアレイの拡大図である。

[図11B]本発明の第4の実施形態に係る垂直共振面発光レーザアレイの拡大図である。

[図12]図7に示す垂直共振面発光レーザアレイを複数配置した状態を示す図である。

[図13A]本発明の第5の実施形態に係る垂直共振面発光レーザアレイの平面図である。

[図13B]本発明の第5の実施形態に係る垂直共振面発光レーザアレイの等価回路図である。

[図14]図13Aに示す垂直共振面発光レーザアレイを複数配置した状態を示す図である。

[図15A]本発明の第6の実施形態に係る垂直共振面発光レーザアレイの平面図である。

[図15B]本発明の第6の実施形態に係る垂直共振面発光レーザアレイの等価回路図である。

[図16]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法を説明するためのフローチャートである。

[図17]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法におけるエピタキシャル成長工程を示す概略工程図である。

[図18]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法におけるフォトリソグラフィーおよびドライエッチング工程を示す概略工程図である。

[図19]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法における酸化領域の形成工程を示す概略工程図である。

[図20]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの

製造方法におけるアノードオーミック電極の形成工程を示す概略工程図である。

[図21]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法における掘込みパターンの形成工程を示す概略工程図である。

[図22]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法におけるカソードオーミック電極の形成工程を示す概略工程図である。

[図23]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法における絶縁溝の形成工程を示す概略工程図である。

[図24]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法における絶縁性保護膜の形成工程を示す概略工程図である。

[図25]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法における絶縁層の形成工程を示す概略工程図である。

[図26]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法における電極パッドおよび引回し配線の形成工程を示す概略工程図である。

[図27]本発明の第1～第6の実施形態に係る垂直共振面発光レーザアレイの製造方法における素子間配線の除去工程を示す概略工程図である。

[図28]図3に示す垂直共振面発光レーザ素子列と異なる構造を有する垂直共振面発光レーザ素子列の断面の拡大図である。

[図29]図3に示す垂直共振面発光レーザ素子列とさらに異なる構造を有する垂直共振面発光レーザ素子列の断面の拡大図である。

発明を実施するための形態

[0021] 以下において、本発明の実施形態について図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付して、その説明は繰り返さない。また、図面に示す各部分の大きさは、その部分の大きさを模式的に表したものであり、図面に示す大きさに限定されるものではない。

[0022] [第1の実施形態]

図1 Aは、本発明の第1の実施形態に係る垂直共振面発光レーザ（VCSEL：Vertical Cavity Surface Emitting LASER）アレイの平面図である。図1 Bは、本発明の第1の実施形態に係るVCSELアレイの等価回路図である。

- [0023] 図1 Aおよび図1 Bを参照して、VCSELアレイ901は、行方向（y方向）に配置されたVCSEL素子列101～105と、並列配線73，74と、1対のダミーパッド71，72と、絶縁溝91，92とを備える。VCSEL素子列101～105の各々は、列方向（x方向）に配置された5つのVCSEL素子と、直列配線61とを含む。
- [0024] 並列配線73，74は、VCSEL素子列101～105のうち、行方向（y方向）に隣接する2つのVCSEL素子列間の各々を並列に接続するために形成される。直列配線61は、列方向に隣接する2つのVCSEL素子間の各々を、順方向が一致する向きに電氣的に接続する。
- [0025] ダミーパッド71，72は、並列配線73，74にそれぞれ電氣的に接続される。1対のダミーパッド71，72は、プローブ63からの負荷電流I（いずれも図5参照）をVCSEL素子列101～105に供給するために形成される。負荷電流Iは、ダミーパッド71からダミーパッド72に向かう方向に流れる。
- [0026] 並列配線73は配線部731～734を含む。並列配線74は配線部741～744を含む。配線部731，741は、VCSEL素子列101，102を並列に接続する。配線部732，742は、VCSEL素子列102，103を並列に接続する。配線部733，743は、VCSEL素子列103，104を並列に接続する。配線部734，744は、VCSEL素子列104，105を並列に接続する。
- [0027] 抵抗R31～R34，R41～R44は、それぞれ配線部731～734，741～744の抵抗成分である。本実施形態において、抵抗R31～R34，R41～R44の抵抗値は等しい。
- [0028] 絶縁溝91は、並列配線73，74が形成されていない状態において、V

CSEL素子列101～105を互いに電氣的に絶縁する。絶縁溝92は、直列配線61が形成されていない状態において、VCSEL素子を互いに電氣的に絶縁する。

[0029] 各VCSEL素子列および各VCSEL素子の構造は同等であるため、以下、VCSEL素子列101およびVCSEL素子2の構造について代表的に説明する。

[0030] 図2は、図1Aに示すVCSEL素子列101の一部の拡大図である。図3は、図2のⅠⅠⅠーⅠⅠⅠ線に沿うVCSEL素子列101の断面図である。図4は、図3に示すVCSEL素子2の断面の拡大図である。

[0031] VCSEL素子2は、ベース基板11と、n型半導体コンタクト層（n型コンタクト層）12と、n型半導体多層膜反射層（n型DBR（Distributed Bragg Reflector）層）13と、n型半導体クラッド層（n型クラッド層）14と、活性層15と、p型半導体クラッド層（p型クラッド層）16と、p型半導体多層膜反射層（p型DBR層）17と、p型半導体コンタクト層（p型コンタクト層）18と、電流狭窄層19と、アノード電極パッド41と、アノードオーミック電極42と、アノード引回し配線43と、カソード電極パッド51と、カソードオーミック電極52と、カソード引回し配線53とを含む。

[0032] 絶縁溝91は、VCSEL素子列101とVCSEL素子列102（図1A参照）との間に形成されている。絶縁溝92は、VCSEL素子1～3間の各々に形成されている。なお、ベース基板11の裏面側から表面側へと向かう方向をz方向で表し、正のz方向を上方とする。

[0033] ベース基板11の材料は、たとえば半絶縁性を示すn型の化合物半導体である。ベース基板11には、たとえば $1.0 \times 10^7 \Omega \cdot \text{cm}$ 以上の電気抵抗率を有するn型の砒化ガリウム（GaAs）の基板を用いることができる。なお、ベース基板11は、本発明に係る「半導体基板」に相当する。

[0034] n型コンタクト層12は、ベース基板11上に形成されている。n型コンタクト層12の材料は、n型導電性を示す化合物半導体である。n型コンタ

クト層 12 は、n 型 DBR 層 13 とカソードオーミック電極 52 との間のオーミック接触を確実に実現するために形成される。

[0035] n 型 DBR 層 13 は、n 型コンタクト層 12 上に形成されている。n 型 DBR 層 13 の材料は、n 型導電性を示す化合物半導体であって、たとえばアルミニウムガリウム砒素 (AlGaAs) である。n 型導電性を得るための不純物として、たとえばシリコン (Si) が $2 \times 10^{18} \text{ cm}^{-3}$ 程度導入されている。

[0036] n 型 DBR 層 13 では、高屈折率層と低屈折率層 (いずれも図示せず) とが交互に積層されている。各層の厚みは $\lambda/4$ (λ : 媒質中の波長) である。高屈折率層と低屈折率層との間では、Ga に対する Al の組成比が異なる。高屈折率層および低屈折率層の組成は、たとえば $n\text{-Al}_{0.9}\text{Ga}_{0.1}\text{As}$ および $n\text{-Al}_{0.12}\text{Ga}_{0.88}\text{As}$ とそれぞれ表される。各 1 つの高屈折率層および低屈折率層を 1 つのペアとして、たとえば 30~40 ペアの層が形成される。

[0037] n 型クラッド層 14 は、n 型 DBR 層 13 上に形成されている。n 型クラッド層 14 の材料は、n 型導電性を示す化合物半導体である。

[0038] 活性層 15 は、n 型クラッド層 14 上に形成されている。活性層 15 は、不純物が導入されないノンドープ領域である。一例として、活性層 15 は、量子井戸層と障壁層 (いずれも図示せず) とを交互に積層にした多重量子井戸 (MQW: Multi Quantum Well) 構造を有する。

[0039] p 型クラッド層 16 は、活性層 15 上に形成されている。p 型クラッド層 16 の材料は、p 型導電性を示す化合物半導体である。

[0040] 本実施形態において、n 型クラッド層 14 と、活性層 15 と、p 型クラッド層 16 とは、光を発生させる活性領域 150 を構成する。活性領域 150 に含まれる各層の厚みおよび材料は、発振波長 (たとえば 850 nm) に応じて適宜決定される。たとえば、活性層 15 の量子井戸層および障壁層には、GaAs および AlGaAs がそれぞれ用いられる。また、n 型 DBR 層 13 および p 型クラッド層 16 には、AlGaAs が用いられる。

- [0041] ただし、活性領域の構成はこれに限定されず、たとえばクラッド層を形成しなくてもよい。あるいは、活性層の片側にのみクラッド層を形成してもよい。すなわち、 n 型クラッド層 14 および p 型クラッド層 16 は必須の構成要素ではない。
- [0042] p 型 DBR 層 17 は、 p 型クラッド層 16 上に形成されている。 p 型 DBR 層 17 の材料は、 p 型導電性を示す化合物半導体であって、たとえば AlGaAs である。 p 型導電性を得るための不純物として、たとえばカーボン (C) が $2 \times 10^{18} \text{ cm}^{-3}$ 程度導入されている。
- [0043] p 型 DBR 層 17 の構造は、高屈折率層および低屈折率層のペア数が n 型 DBR 層 13 におけるペア数よりも少ない点において、 n 型 DBR 層 13 の構造と異なる。 n 型 DBR 層 13 に含まれる上記ペア数が 30~40 であるのに対し、 p 型 DBR 層 17 に含まれる上記ペア数はたとえば 20 である。このように p 型 DBR 層 17 は、 p 型 DBR 層 17 の反射率が n 型 DBR 層 13 の反射率よりも若干低くなるように形成されている。 p 型 DBR 層 17 の他の構造は、 n 型 DBR 層 13 の構造と同等であるため、詳細な説明を繰り返さない。
- [0044] p 型コンタクト層 18 は、 p 型 DBR 層 17 上に形成されている。 p 型コンタクト層 18 の材料は、 p 型導電性を示す化合物半導体である。 p 型コンタクト層 18 は、 p 型 DBR 層 17 とアノードオーミック電極 42 との間のオーミック接触を確実に実現するために形成される。
- [0045] なお、 p 型 DBR 層 17 が p 型コンタクト層 18 を兼ねてもよい。また、 n 型 DBR 層 13 が n 型コンタクト層 12 を兼ねてもよい。すなわち、 p 型コンタクト層 18 および n 型コンタクト層 12 は必須の構成要素ではない。
- [0046] 電流狭窄層 19 は、 p 型クラッド層 16 と p 型 DBR 層 17 との間の境界面に形成されている。電流狭窄層 19 は、酸化領域 191 および非酸化領域 192 を含む。酸化領域 191 は、側面から中心に向かって電流狭窄層 19 を酸化することにより形成される。非酸化領域 192 は、酸化されずに残った、電流狭窄層 19 の略中央の領域である。酸化領域 191 の材料は、たと

例えば AlGaAs である。酸化領域 191 の組成は、他の層と比べて Ga に対する Al の組成比が高く設定されており、たとえば $\text{Al}_{0.95}\text{Ga}_{0.05}\text{As}$ と表される。

[0047] 電流狭窄層 19 を形成することにより、 p 型 DBR 層 17 から n 型 DBR 層 13 に流れる電流を局所的に集中させて、活性領域 150 に注入することができる。これにより、低電流でも発振が生じるようになるため、高い発光効率を実現することができる。したがって、VCSEL 素子の消費電力を低減することができる。

[0048] アノードオーミック電極 42 は、 p 型コンタクト層 18 に導通するように、 p 型コンタクト層 18 上に形成されている。アノードオーミック電極 42 は、 z 方向に沿って xy 平面を平面視した場合に、たとえば環状の電極である（図 2 参照）。活性領域 150 で発生した光は、アノードオーミック電極 42 の中心の出射開口 421 を通って外部に出射される。なお、アノードオーミック電極 42 の形状は、必ずしも環状である必要はなく、たとえば矩形形状または環の一部が開いた C 型形状であってもよい。

[0049] n 型コンタクト層 12 上には、 n 型クラッド層 14 が形成される領域の近傍に、 n 型 DBR 層 13 が形成されていない領域が形成されている。カソードオーミック電極 52 は、 n 型コンタクト層 12 に導通するように、この領域に形成されている。カソードオーミック電極 52 は、 z 方向に沿って xy 平面を平面視した場合に、たとえば円弧状の電極である。なお、アノードオーミック電極 42 およびカソードオーミック電極 52 は、本発明に係る「アノード電極」および「カソード電極」にそれぞれ相当する。

[0050] 絶縁溝 91, 92 の各々は、ベース基板 11 の表面側からベース基板 11 の内部まで窪む形状からなる。絶縁溝 91, 92 の各々は、ベース基板 11 上の VCSEL 素子が形成される層を分離する。絶縁溝 91, 92 により分離される層とは、ベース基板 11 上に形成された導電性または半導電性の半導体層であって、本実施形態における n 型コンタクト層 12 および n 型 DBR 層 13 に相当する。なお、絶縁溝 91, 92 は、それぞれ本発明に係る「

第１の絶縁領域の絶縁溝」および「第２の絶縁領域の絶縁溝」に相当する。
また、工程数を削減するため、絶縁溝９１，９２は一括して一体的に形成されることが好ましい。

- [0051] ベース基板１１に半絶縁性の半導体基板を用いることで、すべてのＶＣＳＥＬ素子は互いに電氣的に絶縁されている。それに加えて、絶縁溝９１，９２を形成することにより、絶縁溝９１，９２を介して隣接するＶＣＳＥＬ素子間の電氣的絶縁性（アイソレーション）を一層強化することができる。
- [0052] 並列配線７３，７４は、絶縁溝９１上に形成することができる。直列配線６１は、絶縁溝９２上に形成することができる。これにより、直列配線６１および並列配線７３，７４が絶縁溝９１，９２と異なる領域に形成される場合と比べて、直列配線６１および並列配線７３，７４が占有する面積を低減できる。したがって、ウエハ当たりのＶＣＳＥＬ素子の取れ数が増加する。よって、ＶＣＳＥＬ素子１個当たりのコストを削減することができる。
- [0053] 絶縁性保護膜３１は、アノードオーミック電極４２およびカソードオーミック電極５２以外の上述の各構造体の表面を被覆するように形成されている。絶縁性保護膜３１は、たとえば窒化ケイ素（ＳｉＮ）を材料とする膜である。絶縁性保護膜３１に窒化ケイ素を選択した場合には、絶縁性保護膜３１の膜応力を調整できる。さらに、窒化ケイ素を材料とする膜は、耐湿性にも優れている。
- [0054] 絶縁層３２は、ｐ型コンタクト層１８とｎ型クラッド層１４との間の各層を取り囲むように、絶縁性保護膜３１上に形成されている。絶縁層３２の材料は、たとえばポリイミドなどの絶縁性の樹脂である。
- [0055] アノード電極パッド４１は、絶縁層３２の表面において、２つのカソード電極パッド５１間に挟まれるように形成されている。電極パッド（アノード電極パッド４１およびカソード電極パッド５１）は、ワイヤボンディングのために形成される。アノード電極パッド４１は、アノード引回し配線４３を介して、アノードオーミック電極４２に電氣的に接続されている。カソード電極パッド５１は、カソード引回し配線５３を介して、カソードオーミック

電極 5 2 に電氣的に接続されている。

[0056] ある程度の厚みを有する絶縁層 3 2 上に電極パッドを形成することで、電極パッドと n 型 DBR 層 1 3 との間に生じる寄生容量が低減される。これにより、VCSEL 素子 1 ~ 3 の各々の電極パッドに駆動信号（図示せず）を入力したときに、駆動信号の波形の歪みを低減することができる。ただし、絶縁層 3 2 を省略することも可能である。

[0057] 図 5 は、図 1 A に示す VCSEL アレイ 9 0 1 のバーンイン試験時における構成を概略的に示す回路図である。図 5 を参照して、バーンイン装置 6 5 は、電流源 6 4 と、1 対のプローブ 6 3 とを備える。電流源 6 4 は、各 VCSEL 列に負荷電流 I を供給するために、プローブ 6 3 間に 5 1 の大きさの負荷電流を供給する。プローブ 6 3 は、ダミーパッド 7 1, 7 2 に電氣的に接続される。

[0058] ダミーパッド 7 1, 7 2 を形成することにより、プローブ 6 3 を電極パッド（図 2 参照）に物理的に接触させる必要がなくなる。そのため、電極パッドに傷が付くことを防止できる。なお、プローブ 6 3 との接触を容易するために、ダミーパッド 7 1, 7 2 のサイズは、電極パッドのサイズ（典型的には $100\mu\text{m} \times 100\mu\text{m}$ 未満）よりも大きく、たとえば $200\mu\text{m} \times 200\mu\text{m}$ 以上であることが好ましい。

[0059] ダミーパッド 7 1, 7 2 間に負荷電圧を印加することで、VCSEL 素子列 1 0 1 ~ 1 0 5 に一括して負荷電流 I を供給することができる。このため、VCSEL 素子毎に負荷電流を供給する場合と比べて、プローブの数を低減できる。したがって、バーンイン装置のコストを削減することができる。

[0060] なお、図 1 A ~ 図 5 では、VCSEL 素子が四角形の領域に 5×5 の行列状に配置された VCSEL アレイを示す。しかし、VCSEL アレイの構成は、これに限定されるものではなく、 2×2 行列よりも大きな行列であればよい。VCSEL 素子の数は、バーンイン装置 6 5 の仕様、たとえばプローブ 6 3 の数、または電流源 6 4 が供給可能な負荷電流値もしくは負荷電圧値などに応じて適宜決定される。

- [0061] 図6Aは、比較のためのVCSELアレイにおける負荷電流 I_f の経路（実線の矢印で表す）を示す図である。図6Bは、図3に示すVCSELアレイ101における負荷電流 I_f の経路を示す図である。
- [0062] 図6Aに示すVCSELアレイの構造は、ベース基板11に代えてベース基板111が形成されている点、n型コンタクト層12に代えてn型導電性半導体層112が形成されている点、および絶縁溝91, 92が形成されていない点において、VCSEL素子列101の構造と異なる。ベース基板111は、半絶縁性に特に限定されない。図6Aに示すVCSEL素子列の他の部分の構造は、VCSEL素子列101の対応する部分の構造と同等であるため、詳細な説明を繰り返さない。
- [0063] 図2～図4および図6Aを参照して、負荷電流 I は、直列配線61を介して、VCSEL素子2のアノード電極パッド41に供給される。VCSEL素子2内において、負荷電流 I は、アノード電極パッド41—アノード引回し配線43—アノードオーミック電極42—p型コンタクト層18—p型DBR層17—電流狭窄層19—p型クラッド層16—活性層15—n型クラッド層14—n型DBR層13という経路を通して、n型コンタクト層12に到達する。負荷電流 I は、さらに、n型コンタクト層12—カソードオーミック電極52—直列配線61という経路を通して、VCSEL素子1に供給される。
- [0064] 図6Aに示す構造では、ベース基板111上に形成されたn型導電性半導体層112によりVCSEL素子間が接続されている。したがって、n型コンタクト層12に到達したすべての負荷電流 I がカソードオーミック電極52に流れるのではない。一部の負荷電流 I は、リーク電流（破線の矢印で表す）としてn型導電性半導体層112を通してVCSEL素子1に漏れ出る。その結果、負荷電流 I がVCSEL素子間で均一にならない。
- [0065] 一方、図2～図4および図6Bを参照して、第1の実施形態によれば、半絶縁性のベース基板11および絶縁溝91, 92により、隣接するVCSEL素子間隔の電氣的絶縁性が強化されている。このため、リーク電流がベ-

ス基板 11 上の導電性または半導電性の半導体層を通して流れることは起こりにくい。したがって、同一の VCSEL 素子列内の複数の VCSEL 素子に均一の負荷電流 I を同時に供給することができる。よって、バーンイン試験を等しい負荷条件（負荷電流の条件）下で正確に実施することが可能になる。

[0066] [第 2 の実施形態]

第 1 の実施形態では、同一の VCSEL 素子列内の複数の VCSEL 素子間の負荷条件が一致する。第 2 の実施形態によれば、異なる VCSEL 素子列間の負荷条件を一致させることができる。

[0067] 図 7 は、本発明の第 2 の実施形態に係る VCSEL アレイの平面図である。図 7 は、図 1 A と対比される。

[0068] 図 7 を参照して、VCSEL アレイ 902 の構成は、ダミーパッド 71, 72 が VCSEL 素子列 101 ~ 105 の対角線 L1 上に配置されている点において、VCSEL アレイ 901（図 1 A 参照）の構成と異なる。言い換えると、ダミーパッド 71, 72 は、VCSEL 素子が配置された四角形の領域の四隅に対応するコーナー C1 ~ C4（第 1 ~ 第 4 のコーナー）のうち、対角線 L1 上に位置するコーナー C1, C2 の近傍に配置される。VCSEL アレイ 902 の他の部分の構成は、VCSEL アレイ 901 の対応する部分の構成と同等であるため、詳細な説明を繰り返さない。なお、図 7 では、図面が煩雑になるのを防ぐため、絶縁溝 91, 92 が示されていない。

[0069] 図 8 A は、図 1 A に示す VCSEL アレイ 901 における負荷電流の経路を示す等価回路図である。図 8 B は、図 7 に示す VCSEL アレイ 902 における負荷電流の経路を示す等価回路図である。

[0070] 図 1 A および図 8 A を参照して、VCSEL アレイ 901 のダミーパッド 71, 72 は、列方向（x 方向）に配置されている。このため、VCSEL 素子列 101 を通過する負荷電流は、ダミーパッド 71 - VCSEL 素子列 101 - ダミーパッド 72 という経路 P1（実線で表す）を流れる。つまり、経路 P1 には抵抗が含まれないため、負荷電流が経路 P1 を流れる際に抵

抗における電圧降下が生じない。したがって、ダミーパッド71, 72の電位をそれぞれ V_1 , V_2 とすると、経路P1でのダミーパッド71, 72間の電位差は $(V_1 - V_2)$ と表される。

[0071] 一方、VCSEL素子列105を通過する負荷電流は、ダミーパッド71—抵抗R31—抵抗R32—抵抗R33—抵抗R34—VCSEL素子列105—抵抗R44—抵抗R43—抵抗R42—抵抗R41—ダミーパッド72という経路P5（点線で表す）を流れる。つまり、経路P5には8つの抵抗が含まれるため、負荷電流が経路P5を流れる際に8つの抵抗分の電圧降下が生じる。すべての抵抗の抵抗値は等しい。よって、抵抗R31～R34における電圧降下の合計値を α とすると、抵抗R41～R44における電圧降下の合計値も α である。したがって、経路P5でのダミーパッド71, 72間の電位差は、 $(V_1 - V_2 - 2\alpha)$ と表される。

[0072] このように、第1の実施形態におけるダミーパッド71, 72の配置では、負荷電流が通過する抵抗の数が経路P1, P5間で異なる。このため、負荷電圧がVCSEL素子列101, 105間で相違する。

[0073] これに対し、図7および図8Bを参照して、VCSELアレイ902では、ダミーパッド71, 72が対角線L1上に配置されている。このため、VCSEL素子列101を通過する負荷電流は、ダミーパッド71—VCSEL素子列101—抵抗R41—抵抗R42—抵抗R43—抵抗R44—ダミーパッド72という経路P1（実線で表す）を流れる。つまり、経路P1には4つの抵抗が含まれる。

[0074] また、VCSEL素子列105を通過する負荷電流は、ダミーパッド71—抵抗R31—抵抗R32—抵抗R33—抵抗R34—VCSEL素子列105—ダミーパッド72という経路P5（点線で表す）を流れる。つまり、経路P5にも4つの抵抗が含まれる。

[0075] 経路P1での抵抗R41～R44における電圧降下の合計値と、経路P5での抵抗R31～R34における電圧降下の合計値とは、互いに等しく α である。したがって、経路P1, P5でのダミーパッド71, 72間の電位差

は等しく、 $(V_1 - V_2 - \alpha)$ と表される。

[0076] 以上のように、第2の実施形態によれば、ダミーパッド71, 72が対角線L1上に配置される。また、VCSEL素子列101, 105および並列配線73, 74は、四角形の中心点Oを列方向(x方向)に通る対称軸L2について線対称に配置されている。このため、経路P1, P5について、抵抗における電圧降下量が等しくなる。したがって、VCSEL素子列101, 105間の負荷条件を一致させることができる。なお、VCSEL素子列102~104も同様に、対称軸L2について線対称に配置される。このため、説明を繰り返さないが、VCSEL素子列102~104間の負荷条件も一致する。

[0077] [第3の実施形態]

第2の実施形態では、対称軸L2について線対称に位置するVCSEL素子列間の負荷条件が一致する。第3の実施形態によれば、すべてのVCSEL素子列の負荷条件を一致させることができる。

[0078] 図9は、本発明の第3の実施形態に係るVCSELアレイの平面図である。図9を参照して、並列配線73の配線幅は、配線部731~734の順に小さくなるように決定されている。これにより、並列配線73の抵抗値は、この順に大きくなる。一方、並列配線74の配線幅は、配線部741~744の順に大きくなるように決定されている。これにより、並列配線74の抵抗値は、この順に小さくなる。VCSELアレイ903の他の部分の構成は、VCSELアレイ902(図7参照)の対応する部分の構成と同等であるため、詳細な説明を繰り返さない。

[0079] 図10Aは、図7に示すVCSELアレイ902の等価回路図である。図10Bは、図9に示すVCSELアレイ903の等価回路図である。

[0080] 図10Aを参照して、VCSELアレイ902には、5Iの大きさの負荷電流がダミーパッド71を介して供給される。この負荷電流は、各VCSEL素子列101~105に均等にIずつ分配される。このため、抵抗R31~R34(図8B参照)には、それぞれ4I, 3I, 2I, Iの負荷電流が

流れる。各抵抗の抵抗値は等しく、 R である。したがって、抵抗 $R_{31} \sim R_{34}$ における電圧降下量は、それぞれ $4R$ 、 $3R$ 、 $2R$ 、 R である。

[0081] 一方、抵抗 $R_{41} \sim R_{44}$ （図8B参照）には、それぞれ 1 、 2 、 3 、 4 の負荷電流が流れる。したがって、抵抗 $R_{41} \sim R_{44}$ における電圧降下量は、それぞれ R 、 $2R$ 、 $3R$ 、 $4R$ である。このように、VCSELアレイ902では、抵抗における電圧降下量が抵抗毎に異なる。VCSEL素子列101～105と各抵抗との間の交点の近傍に、その交点の電位を記す。

[0082] VCSEL素子列101の電位差（VCSEL素子列101内の両端のVCSEL素子間の電位差）およびVCSEL素子列105の電位差は、ともに $(V_1 - V_2 - 10R)$ と計算される。しかしながら、VCSEL素子列102の電位差およびVCSEL素子列104の電位差は、 $(V_1 - V_2 - 13R)$ と計算される。また、VCSEL素子列103の電位差は、 $(V_1 - V_2 - 14R)$ と計算される。このように、第2の実施形態では、VCSEL素子列毎に電位差が異なる。

[0083] これに対し、図10Bを参照して、VCSELアレイ903における各抵抗の抵抗値は、たとえばシミュレーションに基づいて配線幅を調整することにより、その抵抗を流れる負荷電流値に反比例するように決定されている。すなわち、抵抗 R_{34} 、 R_{41} の抵抗値は R である。抵抗 R_{33} 、 R_{42} の抵抗値は $(4/3)R$ である。抵抗 R_{32} 、 R_{43} の抵抗値は $2R$ である。抵抗 R_{31} 、 R_{44} の抵抗値は $4R$ である。このように抵抗値を決定することにより、各抵抗における電圧降下量は等しく、 $4R$ になる。その結果、すべてのVCSEL素子列の電位差は等しく、 $(V_1 - V_2 - 16R)$ になる。

[0084] 以上のように、第3の実施形態によれば、並列配線の配線部の抵抗値は、その配線部を流れる負荷電流値と反比例するように決定される。これにより、各配線部の抵抗成分における電圧降下量が等しくなる。したがって、すべ

てのVCSEL素子列の負荷条件を一致させることができる。

[0085] なお、各配線部の抵抗値を調整する方法は、配線幅の調整に限定されるものではない。たとえば配線部の厚さまたは材料を変更することにより、各配線部の抵抗値を調整することも可能である。ただし、配線幅の調整であれば、異なる配線幅の複数の配線部を単一の電極形成プロセスで形成可能であるため、製造プロセスを簡略化することができる。

[0086] [第4の実施形態]

図11Aは、図7に示すVCSELアレイ902の拡大図である。図11Bは、本発明の第4の実施形態に係るVCSELアレイの拡大図である。なお、VCSELアレイ904の図示しない部分の構成は、VCSELアレイ902の対応する部分の構成と同等である。

[0087] 図11Aを参照して、並列配線74は、VCSEL素子のカソードオーミック電極52に接続されている。このような接続の場合、並列配線74を配置するための領域を、列方向（x方向）について、VCSEL素子列101～105とダミーパッド72との間に確保する必要がある。

[0088] これに対し、図11Bを参照して、VCSELアレイ905は、並列配線74に代えて並列配線75を備える。並列配線75は、配線部751～754を含む。配線部751～754の各々は、行方向（y方向）に隣接する2つのVCSEL素子のうちの一方のカソード電極パッド51と、他方のカソード電極パッド51との間に配置されている。

[0089] 第4の実施形態によれば、並列配線を配置するための面積を、VCSEL素子が配置された四角形の領域外に確保する必要がない。したがって、VCSELアレイの面積を低減することができる。このため、VCSELアレイ904によれば、VCSELアレイ902と比べて、より多くのVCSEL素子を一定の面積内に配置することができる。したがって、ウエハ当たりのVCSEL素子の取れ数が増加する。よって、VCSEL素子1個当たりのコストを削減することができる。

[0090] [第5の実施形態]

図12は、図7に示すVCSELアレイ902を6つ配置した状態を示す図である。図12を参照して、列方向（x方向）に配置された2つのVCSELアレイ902間の各々に、デッドスペース76が生じている。デッドスペース76には、VCSEL素子および各種配線のいずれも配置されていない。したがって、デッドスペース76の面積の分だけ、ウエハ当たりのVCSEL素子の取れ数が少なくなってしまう。

[0091] 図13Aは、本発明の第5の実施形態に係るVCSELアレイの平面図である。図13Bは、本発明の第5の実施形態に係るVCSELアレイの等価回路図である。図13Aは、図11Bと対比される。

[0092] 図13Aを参照して、VCSELアレイ905の構成は、VCSEL素子列104、105に代えてVCSEL素子列114、115を備える点において、VCSELアレイ904（図11B参照）の構成と異なる。

[0093] VCSEL素子列114、115の各々に含まれるVCSEL素子の数 n （ $n=4$ ）は、VCSEL素子列101～103に含まれるVCSEL素子の数 m （ $m=5$ ）よりも少ない。ダミーパッド72は、VCSEL素子列114に含まれるべき1つのVCSEL素子と、VCSEL素子列115に含まれるべき1つのVCSEL素子とに代えて配置される。言い換えると、ダミーパッド72は、VCSEL素子列114、115の近傍における、VCSEL素子の面積に対応する領域に配置される。VCSELアレイ905の他の構成は、VCSELアレイ904の構成と同等であるため、詳細な説明を繰り返さない。

[0094] なお、VCSEL素子列101～103は、本発明に係る「第1の垂直共振面発光レーザ素子列」に相当する。VCSEL素子列114、115は、本発明に係る「第2の垂直共振面発光レーザ素子列」に相当する。また、ダミーパッド72の配置される場合について説明したが、ダミーパッド71についても同様の配置が可能である。

[0095] 図14は、図13Aに示すVCSELアレイ905を6つ配置した状態を示す図である。図14は、図12と対比される。

[0096] 図14を参照して、上述のようにVCSEL素子の面積に対応する領域にダミーパッド72を配置することにより、列方向（x方向）に配置された2つのVCSELアレイ905間にデッドスペースが生じなくなる。また、ダミーパッド72に行方向（y方向）に隣り合うスペースにダミーパッド71を配置することも、デッドスペースの削減に貢献している。したがって、VCSELアレイ905によれば、VCSELアレイ902（図11A参照）と比べて、より多くのVCSELアレイをベース基板11（ウエハ）上に配置することができる。その結果、VCSEL素子1個当たりのコストを削減することができる。

[0097] [第6の実施形態]

図13Bに戻り、VCSEL素子列114、115の各々に含まれるVCSEL素子の数は、VCSEL素子列101～103の各々に含まれるVCSEL素子の数よりも少ない。このため、VCSEL素子列114、115では、VCSEL素子列101～103と比べて、各VCSEL素子に印加される負荷電圧が高くなる。したがって、負荷条件がVCSEL素子列101～103とVCSEL素子列114、115との間で相違する。

[0098] 図15Aは、本発明の第6の実施形態に係るVCSELアレイの平面図である。図15Bは、本発明の第6の実施形態に係るVCSELアレイの等価回路図である。図15Aおよび図15Bは、図13Aおよび図13Bと対比される。

[0099] 図15Aを参照して、VCSEL素子列124、125の各々は、ダミー素子77を含む点において、VCSEL素子列114、115（図13A参照）と異なる。VCSEL素子列124に含まれる77は、ダミーパッド72とVCSEL素子列125内のVCSEL素子との間に電氣的に接続されている。VCSEL素子列125に含まれるダミー素子77は、ダミーパッド72とVCSEL素子列125内のVCSEL素子との間に電氣的に接続されている。

[0100] ダミー素子77は、電圧降下を生じさせるために形成される素子であって

、たとえばダイオードである。ダミー素子 77 における電圧降下量は、ダミーパッド 72 が配置された領域に対応する VCSEL 素子における電圧降下量に相当する。

[0101] 第 6 の実施形態によれば、各 VCSEL 素子に印加される負荷電圧が、VCSEL 素子列 101～103 と VCSEL 素子列 114, 115 との間で一致する。したがって、複数の VCSEL アレイをデッドスペースが生じないように配置できるとともに、すべての VCSEL 素子列間の負荷条件を一致させることができる。

[0102] [VCSEL アレイの製造方法]

以下、第 1～第 6 の実施形態に係る VCSEL アレイ 901～906 の製造方法を説明する。VCSEL アレイ 901～906 の製造方法は同等であるため、VCSEL アレイ 901 の製造方法について代表的に説明する。

[0103] 図 16 は、図 1A に示す VCSEL アレイ 901 の製造方法を説明するためのフローチャートである。図 17～図 27 は、図 1A に示す VCSEL アレイ 901 の製造方法の概略工程図である。以下の説明では、図 16 に示すフローチャートの対応するステップをカッコ書きで示す。

[0104] 図 17 を参照して、まず、エピタキシャル成長により、ベース基板 11 の表面から順に、n 型コンタクト層 12 と、n 型 DBR 層 13 と、n 型クラッド層 14 と、活性層 15 と、p 型クラッド層 16 と、電流狭窄層 19 と、p 型 DBR 層 17 と、p 型コンタクト層 18 とが形成される（ステップ S101）。

[0105] エピタキシャル成長の方法としては、たとえば有機金属気相成長法（MOCVD: Metal Organic Chemical Vapor Deposition）または分子線エピタキシー法（MBE: Molecular Beam Epitaxy）などを採用することができる。エピタキシャル成長の温度および時間は、成長方法、ベース基板 11 の種類、または各層の種類、厚み、もしくはキャリア密度などに応じて適宜決定される。

[0106] 図 18 を参照して、p 型コンタクト層 18 と n 型クラッド層 14 との間の

各層のパターンを、たとえばフォトリソグラフィーにより形成する。このパターンが形成された領域以外の領域では、 n 型DBR層13が露出するように、 p 型コンタクト層18から n 型クラッド層14までの層がたとえばドライエッチングで順に除去される。これにより、メサ構造81が形成される（ステップS102）。

[0107] 図19を参照して、たとえば水蒸気雰囲気下で400℃以上に加熱することで、電流狭窄層19の外周部から選択的に酸化を進行させる。これにより、酸化領域191および非酸化領域192が形成される（ステップS103）。

[0108] 図20を参照して、 p 型コンタクト層18上にアノードオーミック電極42を形成する（ステップS104）。

[0109] 図21を参照して、本実施形態では、 n 型コンタクト層12が n 型DBR層13よりもベース基板11の裏面側に形成されている。このため、フォトリソグラフィーおよびエッチングにより、掘込みパターン82を形成する。その結果、 n 型コンタクト層12が露出する（ステップS105）。

[0110] 図22を参照して、 n 型コンタクト層12の露出した部分にカソードオーミック電極52を形成する（ステップS106）。

[0111] 図23を参照して、VCSEL素子1とVCSEL素子2との間、およびVCSEL素子2とVCSEL素子3との間（いずれも図2参照）に絶縁溝92を形成する。また、VCSEL素子列101とVCSEL素子列102との間に絶縁溝91（いずれも図1A参照）を形成する（ステップS107）。

[0112] 図24を参照して、アノードオーミック電極42およびカソードオーミック電極52を除き、上記工程で形成された各構造体の表面に絶縁性保護膜31を形成する（ステップS108）。より具体的には、たとえば化学気相成長法（CVD: Chemical Vapor Deposition）によりSiNを成膜することができる。

[0113] 絶縁性保護膜31が形成されない場合、非常にわずかなリーク電流（図5

参照)が、露出した絶縁溝91, 92の表面を流れる可能性がある。パッシベーション処理(ステップS108の処理)を行なうことにより、絶縁溝91の表面を流れるリーク電流を抑制することができるため、絶縁溝91, 92を介して隣接するVCSEL素子間のアイソレーションをさらに一層強化することができる。

[0114] なお、絶縁溝92の断面形状は、順テーパ形状であることが好ましい。言い換えると、絶縁溝92の断面積は、ベース基板11の表面側から裏面側に向かう方向(図4の負のz方向)に沿って小さくなることが好ましい。これにより、絶縁溝92の側壁921への絶縁性保護膜31の被覆性を向上させることができる。説明を繰り返さないが、絶縁溝91についても同様である。

[0115] 図25を参照して、絶縁性保護膜31上であってメサ構造81に近接する領域に、絶縁層32を形成する(ステップS109)。絶縁層32を形成するためには、たとえば感光性樹脂であるポリイミドをスピコートにより絶縁性保護膜31上に塗布することができる。その後、フォトリソグラフィーおよびキュアを行なう。

[0116] 図26を参照して、ワイヤボンディングのための電極パッドおよび引回し配線(アノード引回し配線43およびカソード引回し配線53、いずれも図2参照)を形成する(ステップS110)。また、本実施形態では、工数削減のため、直列配線61および並列配線73, 74を電極パッドおよび引回し配線と一括して形成する。

[0117] なお、絶縁溝92の側壁921への被覆性を確保するため、直列配線61は、スパッタ成膜、めっき、またはその組合せにより形成することが好ましい。直列配線61の材料としては、たとえばチタン(Ti)および金(Au)を用いることができる。

[0118] 続いて、外部の電流源64(図5参照)から負荷電流Iを供給して、バーンイン試験を実施する。必要に応じて、バーンイン試験以外の試験を実施してもよい(ステップS111)。

[0119] 図27を参照して、上記試験終了後、フォトリソグラフィーおよびエッチングにより直列配線61および並列配線73, 74を除去する(ステップS112)。なお、エッチング時には、絶縁性保護膜31を侵さずに直列配線61および並列配線73, 74のみを除去することが好ましい。一例として、ヨウ化カリウム(KI)溶液および弗硝酸(HF+HNO₃)溶液は、直列配線61および並列配線73, 74のうち、Auで構成された部分およびTiで構成された部分をそれぞれ選択的に除去する。したがって、絶縁性保護膜31をSiNで形成することにより、絶縁性保護膜31を侵さずに直列配線61および並列配線73, 74のみを除去することができる。

[0120] 最後に、VCSELアレイ901を、たとえばダイシングによりVCSEL素子の個片に分割する(ステップS113)。なお、VCSELアレイ901が形成されたウエハの面積(すなわちベース基板11の面積)を効率的に利用するため、ダイシング領域は、絶縁溝91, 92が形成された領域と兼ねることができる。その際、絶縁溝91, 92上に形成された絶縁性保護膜31は除去されていることが好ましい。絶縁性保護膜31は、たとえばフォトリソグラフィーの後にエッチングすることで除去することができる。これにより、ダイシングブレードの磨耗を抑えるとともに、VCSEL素子に伝わるダイシングの衝撃を緩和することができる。ステップS113の処理が終わると、一連の処理が完了する。

[0121] なお、直列配線61および並列配線73, 74を除去する処理(ステップS112の処理)を実施せずに、直列配線61および並列配線73, 74が存在する状態で、ウエハをダイシングによってVCSEL素子の個片に分割してもよい(ステップS113)。これにより、VCSEL素子の個片の状態において、ダイシングで切断された直列配線61および並列配線73, 74の痕跡を確認することができる。たとえば、図2に示す素子間配線61の一部がVCSEL素子の個片に残っている状態になる。

[0122] また、VCSEL素子の個片に分割する処理(ステップS113の処理)の前に、ウエハの裏面全体にシールまたはテープなどを貼ることができる。

ウエハをダイシングにより切断する一方で、ウエハ裏面のシールまたはテープは切断せずに残す。これにより、個片に分割されたVCSEL素子を、アレイ状に配列された状態で一体的に取り扱うことができる。したがって、たとえば出荷、輸送、または実装などにおけるVCSEL素子の取扱いが容易になる。

[0123] [第1～第6の実施形態の変形例1]

第1～第6の実施形態では、VCSELアレイが絶縁溝を備える場合について説明した。しかし、VCSEL素子間を電氣的に絶縁するための構造は、これに限定されない。

[0124] 図28は、図3に示すVCSEL素子列101と異なる構造を有するVCSEL素子列の断面の拡大図である。図28を参照して、VCSEL素子列201は、絶縁溝91、92に代えて高抵抗領域93を備える点において、VCSEL素子列101と異なる。高抵抗領域93は、本発明に係る「絶縁領域」に相当する。

[0125] 高抵抗領域93は、イオン注入により形成される。これにより、高抵抗領域93の電気抵抗率は、ベース基板11の電気抵抗率（たとえば $1.0 \times 10^7 \Omega \cdot \text{cm}$ 以上）よりも高くなる。VCSEL素子列201の他の部分の構造は、VCSEL素子列101の対応する部分の構造と同等であるため、詳細な説明を繰り返さない。高抵抗領域についても、第1～第6の実施形態で説明したダミーパッドまたは並列配線の配線部の特徴を有することにより、第1～第6の実施形態と同等の効果を得ることができる。

[0126] [第1～第6の実施形態の変形例2]

第1～第6の実施形態では、ベース基板に半絶縁性の半導体基板が用いられる。しかし、ベース基板の種類はこれに限定されるものではない。ベース基板に導電性または半導電性の半導体基板を用いることもできる。

[0127] 図29は、図3に示すVCSEL素子列101とさらに異なる構造を有するVCSEL素子列の断面の拡大図である。図29を参照して、VCSEL素子列202は、半絶縁性のベース基板11に代えて導電性または半導電性

のベース基板 113 を備える点、およびベース基板 113 と n 型コンタクト層 112 との間に p 型導電性半導体層 116 を備える点において、VCSEL 素子列 101 と異なる。

[0128] p 型導電性半導体層 116 および n 型コンタクト層 112 は、pn 接合を形成する。この pn 接合の順方向は、負荷電流 I の方向（負の z 方向、図 5 参照）と逆である。このため、負荷電流 I はベース基板 113 にまで到達しにくくなる。したがって、リーク電流が VCSEL 素子間を流れにくくなる。VCSEL 素子列 202 の他の部分の構造は、VCSEL 素子列 101 の対応する部分の構造と同等であるため、詳細な説明を繰り返さない。

[0129] また、第 1～第 6 の実施形態の変形例 1 と変形例 2 とを組み合わせてもよい。すなわち、導電性または半導電性のベース基板 113 に p 型導電性半導体層 116 が形成される構造に、高抵抗領域 93（図 28 参照）を形成することもできる。

[0130] なお、第 1～第 6 の実施形態では、AlGaAs 系の半導体材料について説明した。しかし、本発明に利用可能な半導体材料はこれに限定されず、発振波長に応じて他の材料、たとえば GaInP 系、ZnSSe 系、InGaN 系、AlGaN 系、InGaAs 系、GaInNAs 系、または GaAsSb 系などの半導体材料を用いることも可能である。

[0131] 今回開示された実施形態は全ての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は請求の範囲によって示され、請求の範囲と均等の意味および範囲内で全ての変更が含まれることが意図される。

符号の説明

[0132] 1～3 VCSEL 素子、101～105, 114, 115, 124, 125, 201, 202 VCSEL 素子列、901～906 VCSEL アレイ、11, 113 ベース基板、112 導電性半導体層、116 p 型導電性半導体層、12 n 型コンタクト層、13 n 型 DBR 層、14 n 型クラッド層、15 活性層、16 p 型クラッド層、17 p 型 DBR 層

、 18 p型コンタクト層、 19 電流狭窄層、 191 酸化領域、 192 非酸化領域、 31 絶縁性保護膜、 32 絶縁層、 41 アノード電極パッド、 42 アノードオーミック電極、 43 アノード引き回し配線、 51 カソード電極パッド、 52 カソードオーミック電極、 53 カソード引き回し配線、 61 直列配線、 71, 72 ダミーパッド、 73～75 並列配線、 731～734, 741～744, 751～754 配線部、 76 デッドスペース、 77 ダミー素子、 81 メサ構造、 82 掘込みパターン、 91, 92 絶縁溝、 93 高抵抗領域、 R31～34, R41～R44 抵抗。

請求の範囲

- [請求項1] 半導体基板と、
- 前記半導体基板の表面側において、行方向に配置された複数の垂直共振面発光レーザ素子列と、
- 前記複数の垂直共振面発光レーザ素子列を並列に接続する並列配線とを備え、
- 前記複数の垂直共振面発光レーザ素子列の各々は、
- 列方向に配置された複数の垂直共振面発光レーザ素子と、
- 前記複数の垂直共振面発光レーザ素子のうち、前記列方向に隣接する2つの垂直共振面発光レーザ素子の各々を、前記2つの垂直共振面発光レーザ素子の順方向が一致する向きに直列に接続する複数の直列配線とを含み、
- 前記半導体基板には、
- 前記複数の垂直共振面発光レーザ素子列を互いに電氣的に絶縁する第1の絶縁領域と、
- 前記複数の垂直共振面発光レーザ素子を互いに電氣的に絶縁する第2の絶縁領域とが形成される、垂直共振面発光レーザアレイ。
- [請求項2] バーンイン試験用プローブからの負荷電流を、前記複数の垂直共振面発光レーザ素子列に供給するために、前記並列配線に電氣的に接続された少なくとも1対のダミーパッドをさらに備える、請求項1に記載の垂直共振面発光レーザアレイ。
- [請求項3] 前記複数の垂直共振面発光レーザ素子は、前記半導体基板の前記表面側において、四角形の領域内に配置され、
- 前記1対のダミーパッドは、前記四角形の領域の四隅に対応する第1～第4のコーナーのうち、対角線上に位置する前記第1および第2のコーナーの近傍に配置される、請求項2に記載の垂直共振面発光レーザアレイ。
- [請求項4] 前記並列配線は、

各々が、前記行方向に隣接する2つの垂直共振面発光レーザ素子列を並列に接続する複数の配線部を含み、

前記複数の配線部の各々の抵抗値は、前記負荷電流を前記複数の垂直共振面発光レーザ素子列に供給している状態において、その配線部を流れる前記負荷電流の値に反比例するように決定される、請求項3に記載の垂直共振面発光レーザアレイ。

[請求項5] 前記複数の配線部の各々は、前記負荷電流を前記複数の垂直共振面発光レーザ素子列に供給している状態において、その配線部を流れる前記負荷電流の値に応じた配線幅を有するように決定される、請求項4に記載の垂直共振面発光レーザアレイ。

[請求項6] 前記複数の垂直共振面発光レーザ素子列は、
 m (m は2以上の自然数)個の垂直共振面発光レーザ素子を含む第1の垂直共振面発光レーザ素子列と、

n (n は m よりも小さい自然数)個の垂直共振面発光レーザ素子を含む第2の垂直共振面発光レーザ素子列とを備え、

前記1対のダミーパッドのうちの少なくとも一方は、前記半導体基板の前記表面側において、前記第2の垂直共振面発光レーザ素子列の近傍における、 $(m - n)$ 個の垂直共振面発光レーザ素子の面積に対応する領域に配置される、請求項2～5のいずれか一項に記載の垂直共振面発光レーザアレイ。

[請求項7] 前記第2の垂直共振面発光レーザ素子列は、前記 $(m - n)$ 個の垂直共振面発光レーザ素子による電圧降下量に相当する電圧降下を生じさせるダミー素子をさらに含む、請求項6に記載の垂直共振面発光レーザアレイ。

[請求項8] 前記複数の垂直共振面発光レーザ素子の各々は、
アノード電極およびカソード電極と、
前記アノード電極に電氣的に接続されたアノード電極パッドと、
前記カソード電極に電氣的に接続されたカソード電極パッドとを有

し、

前記並列配線は、

各々が、前記行方向に隣接する 2 つの垂直共振面発光レーザ素子列を並列に接続する複数の配線部を含み、

前記複数の配線部の各々は、前記行方向に隣接する 2 つの垂直共振面発光レーザ素子のうちの一方の前記カソード電極パッドと、他方の前記カソード電極パッドとの間に配置される、請求項 1 ～ 3 のいずれか一項に記載の垂直共振面発光レーザアレイ。

[請求項9]

前記半導体基板は、半絶縁性であり、

前記第 1 および第 2 の絶縁領域の各々は、前記半導体基板の前記表面側から前記半導体基板の内部まで窪む形状からなる絶縁溝であり、

前記並列配線は、前記第 2 の絶縁領域の前記絶縁溝上に形成される配線部を含む、請求項 1 ～ 3 のいずれか一項に記載の垂直共振面発光レーザアレイ。

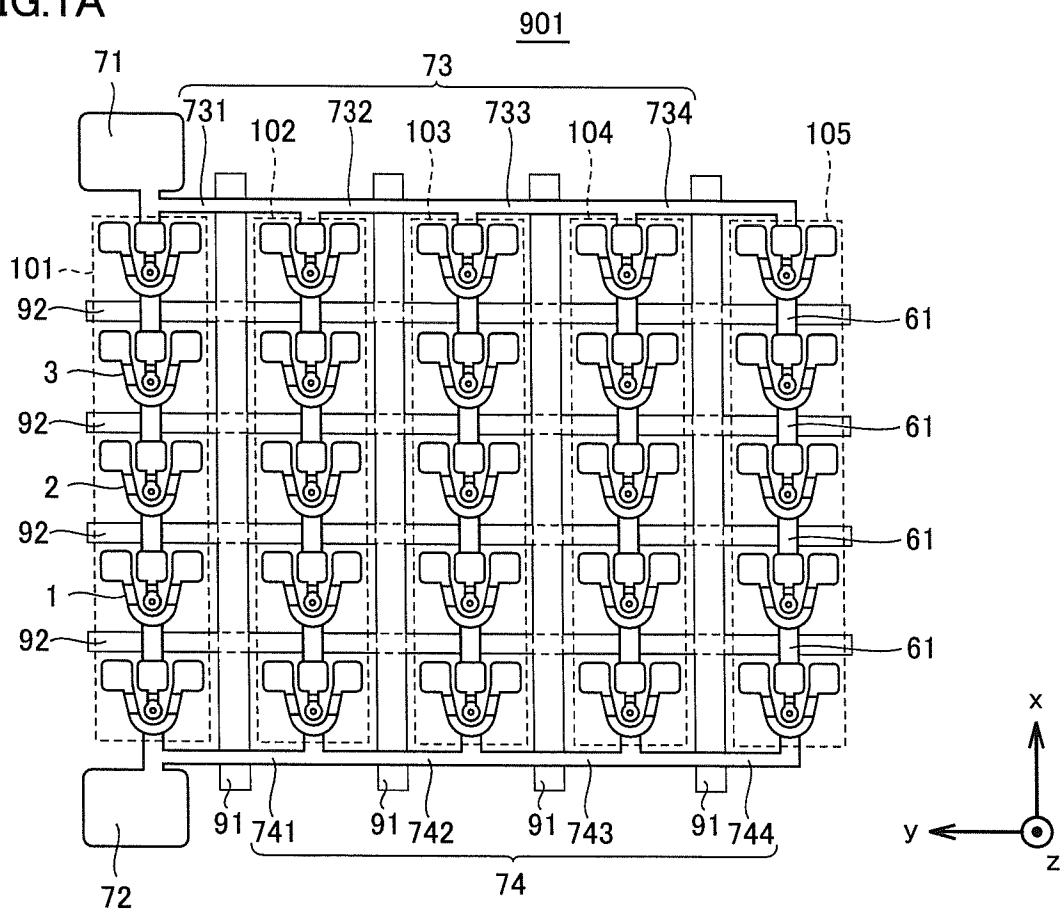
[請求項10]

前記半導体基板は、半絶縁性であり、

前記第 1 および第 2 の絶縁領域の各々は、前記半導体基板の電気抵抗率よりも高い電気抵抗率を有する高抵抗領域である、請求項 1 ～ 3 のいずれか一項に記載の垂直共振面発光レーザアレイ。

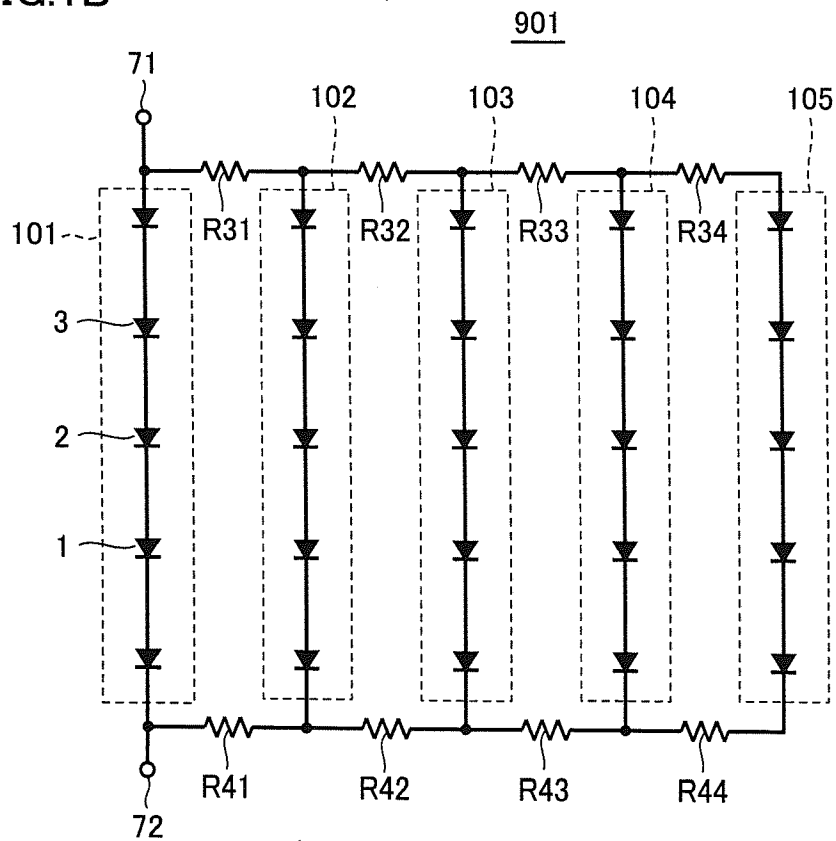
[図1A]

FIG.1A



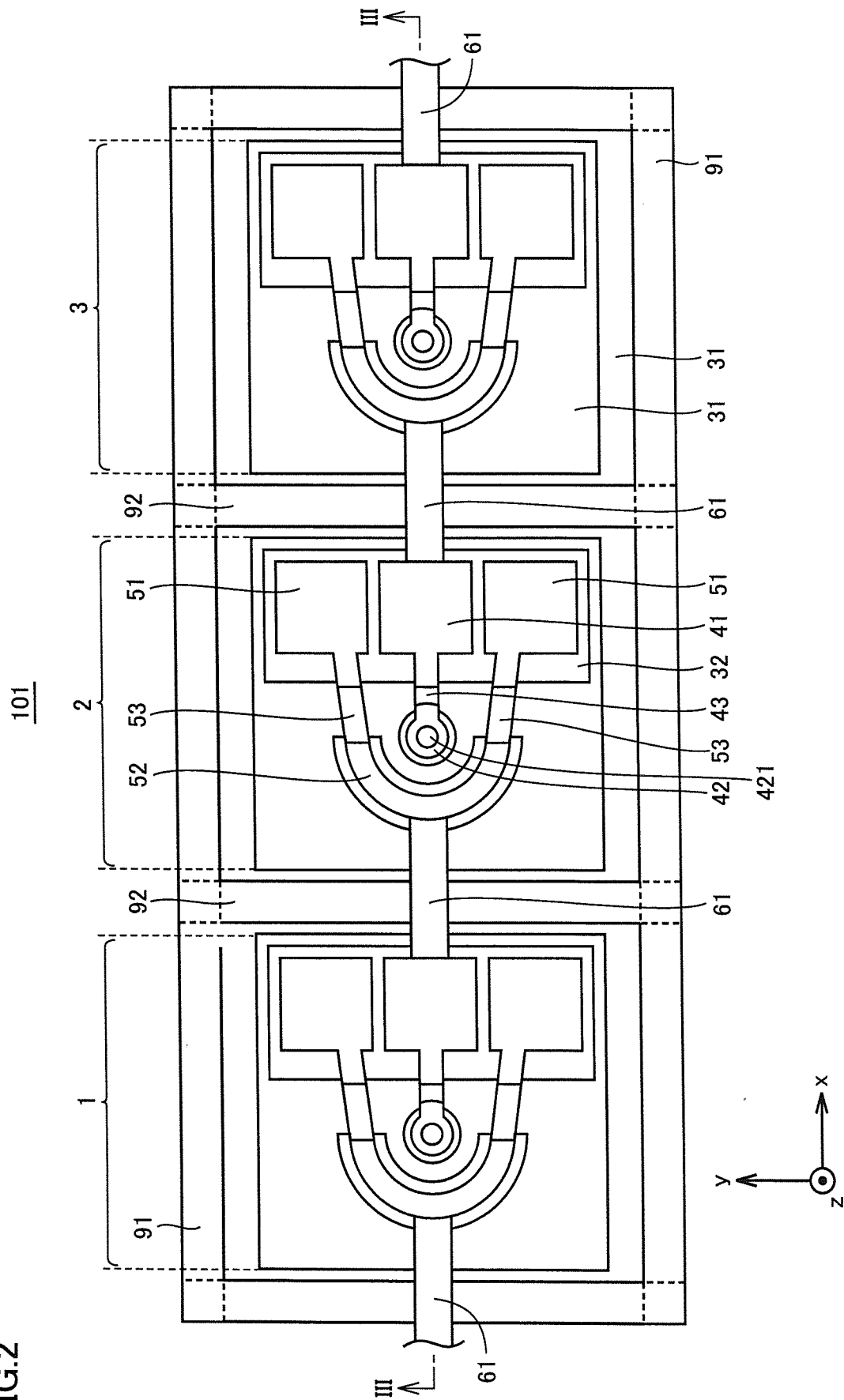
[図1B]

FIG.1B



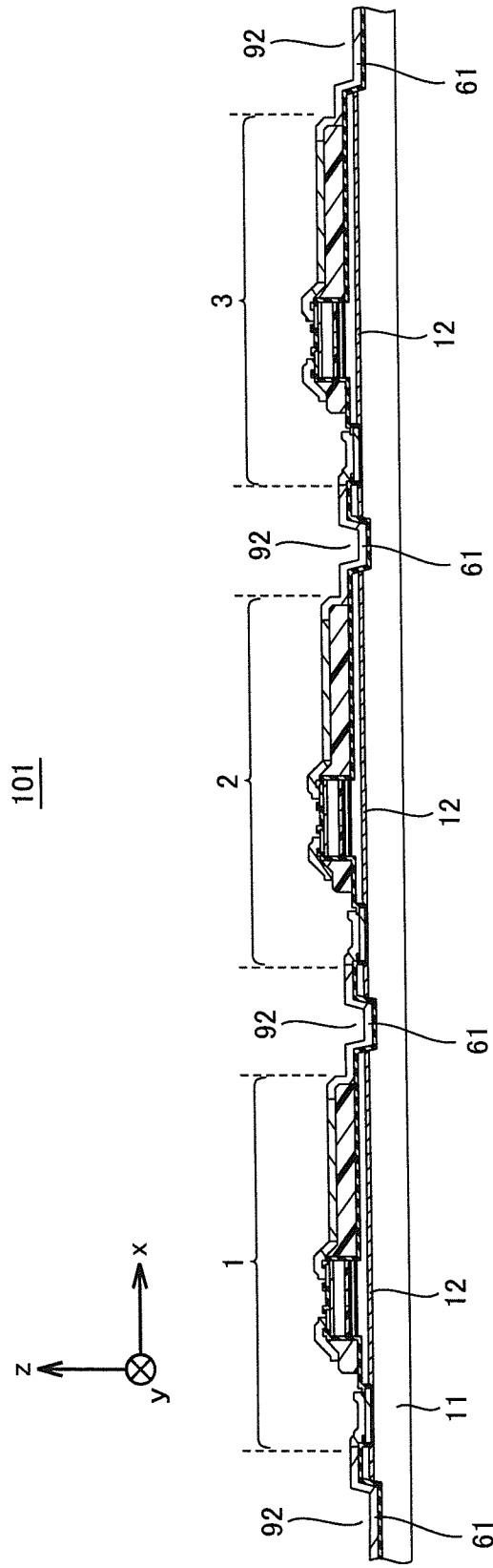
[図2]

FIG.2



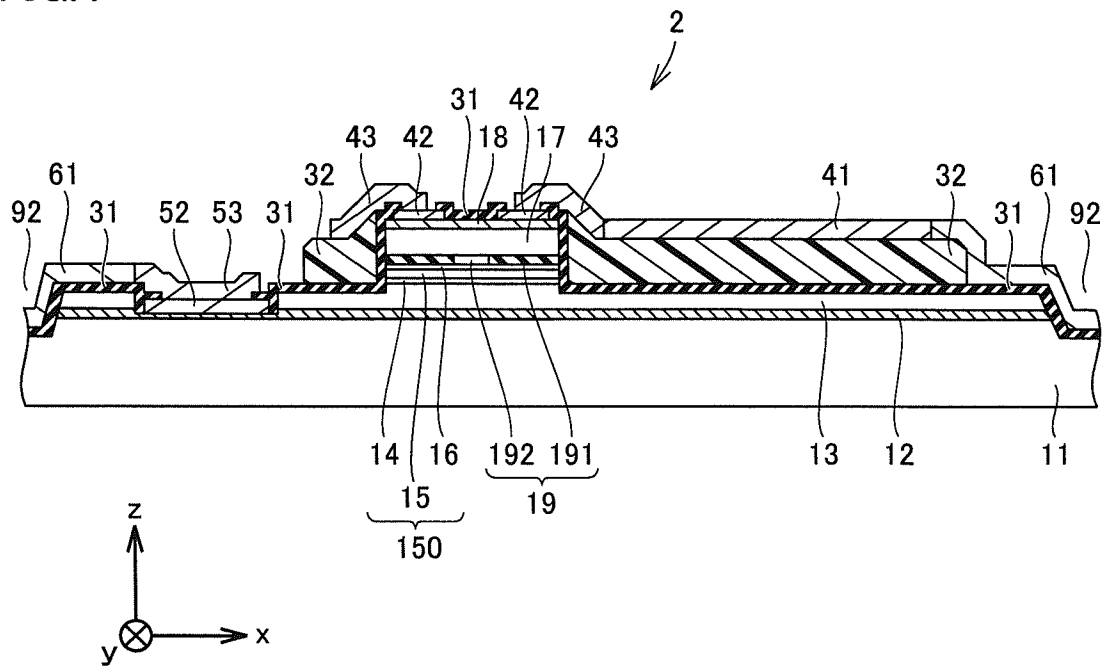
[図3]

FIG.3



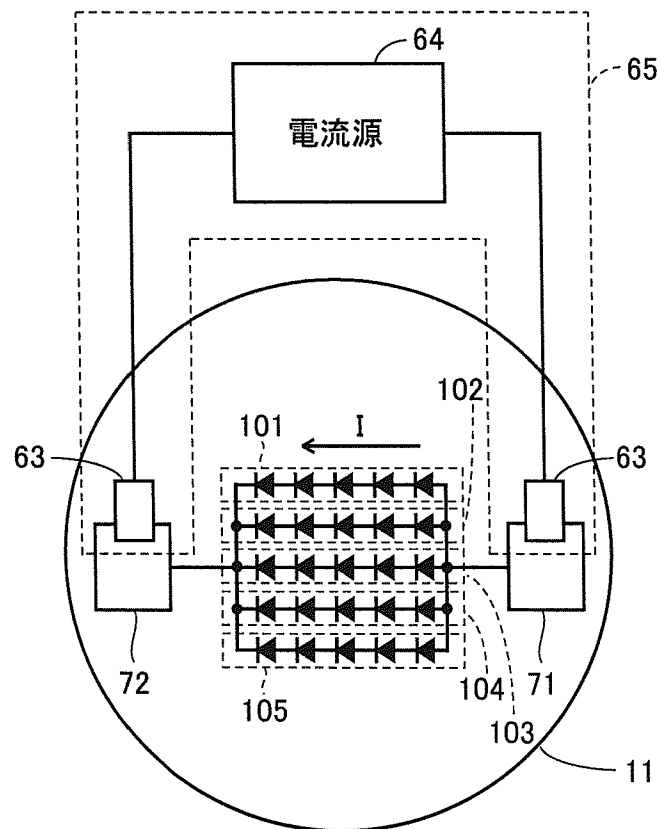
[図4]

FIG.4



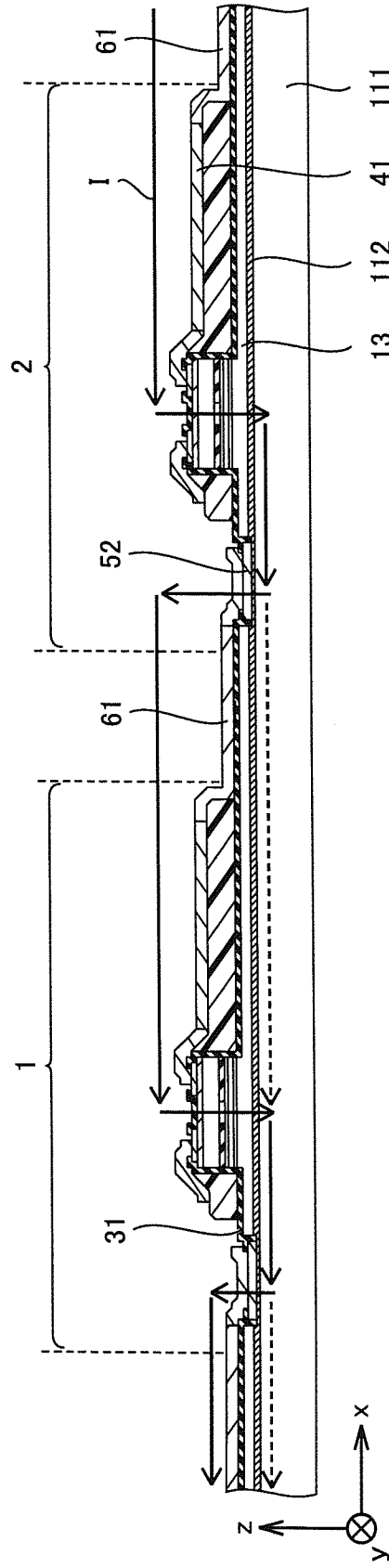
[図5]

FIG.5

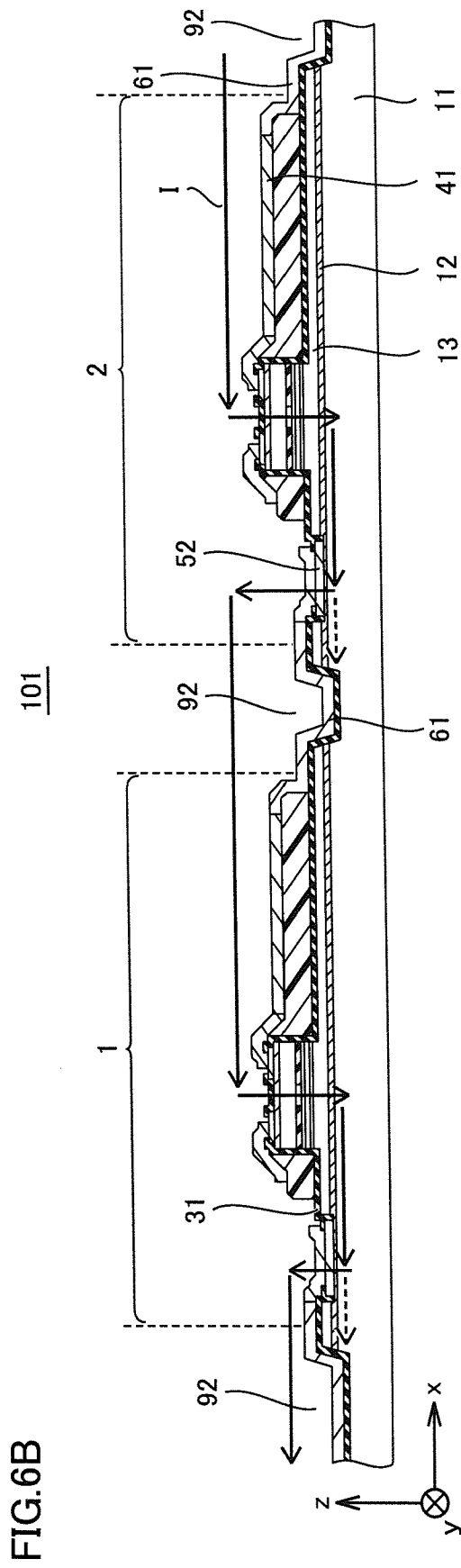


[図6A]

FIG.6A

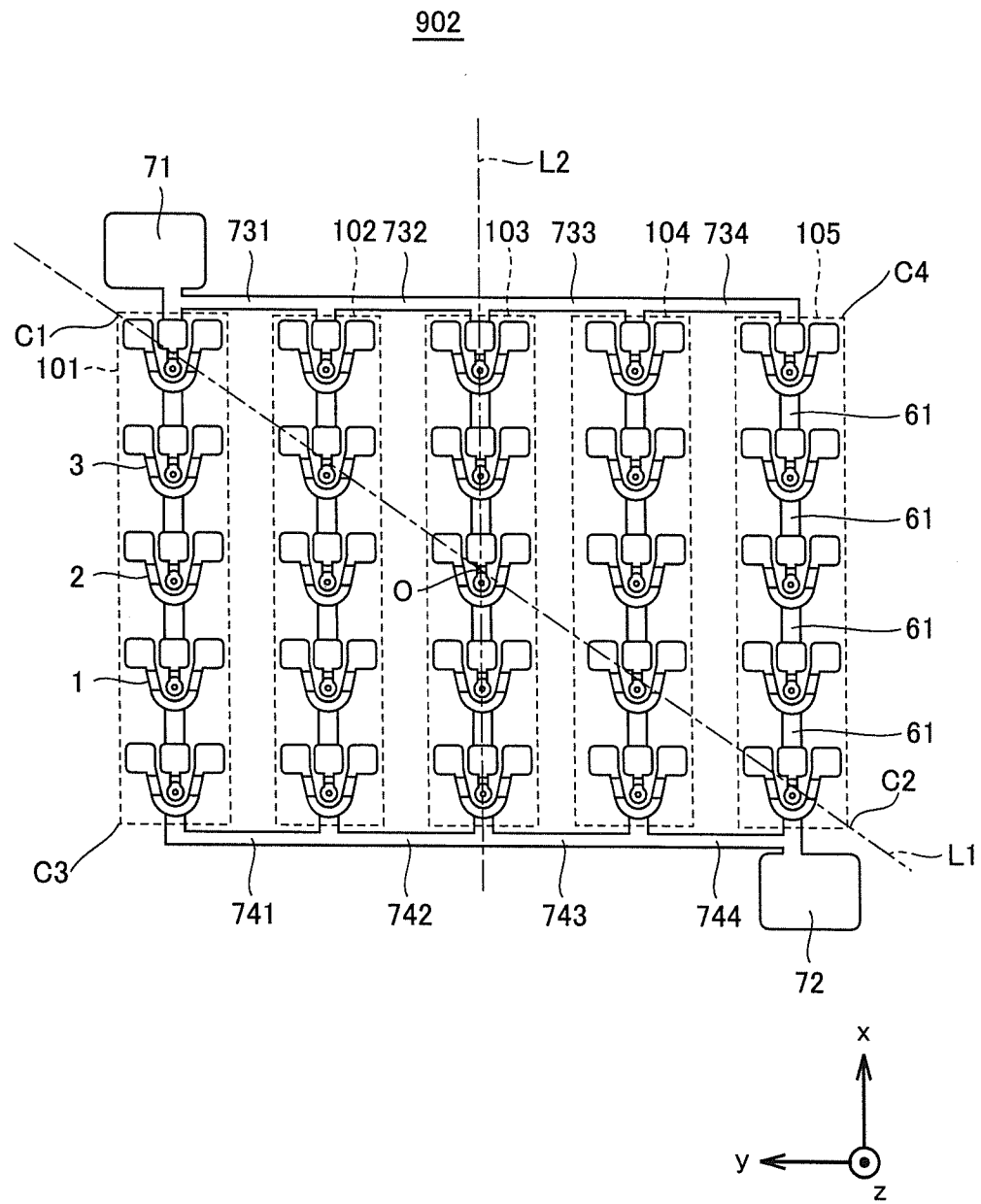


[図6B]



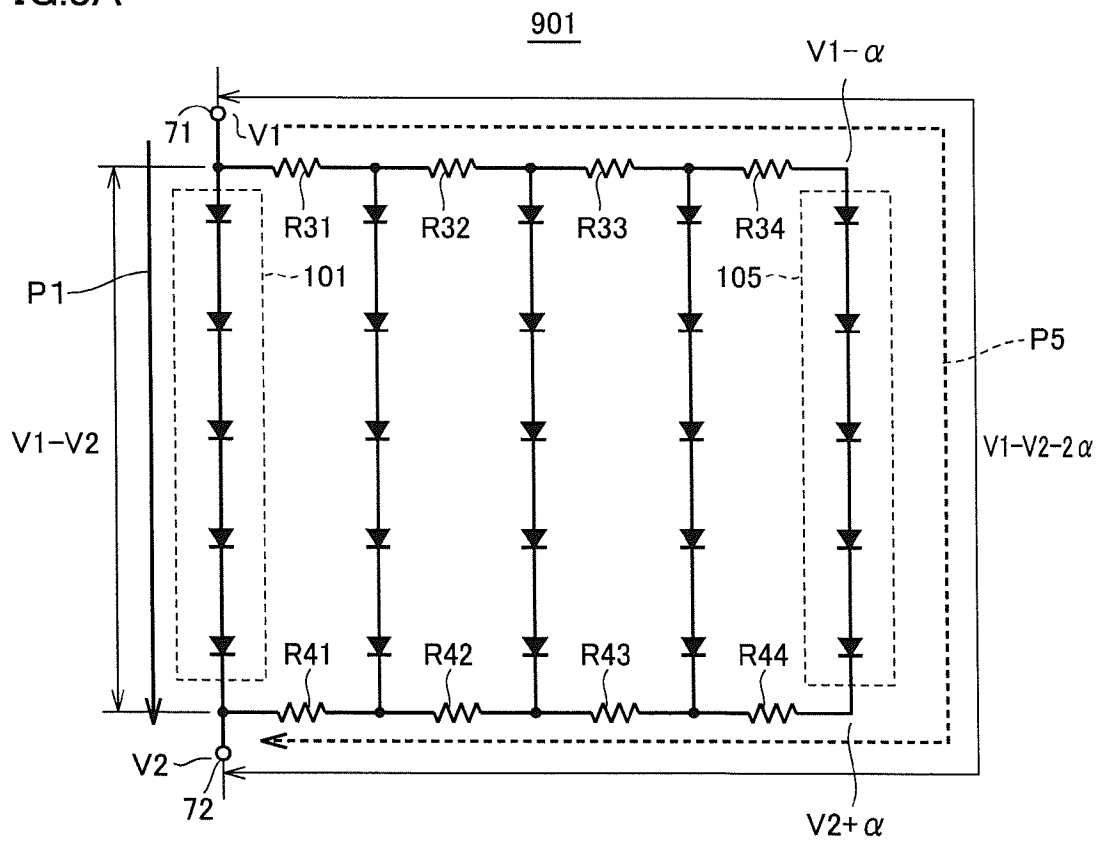
[図7]

FIG. 7



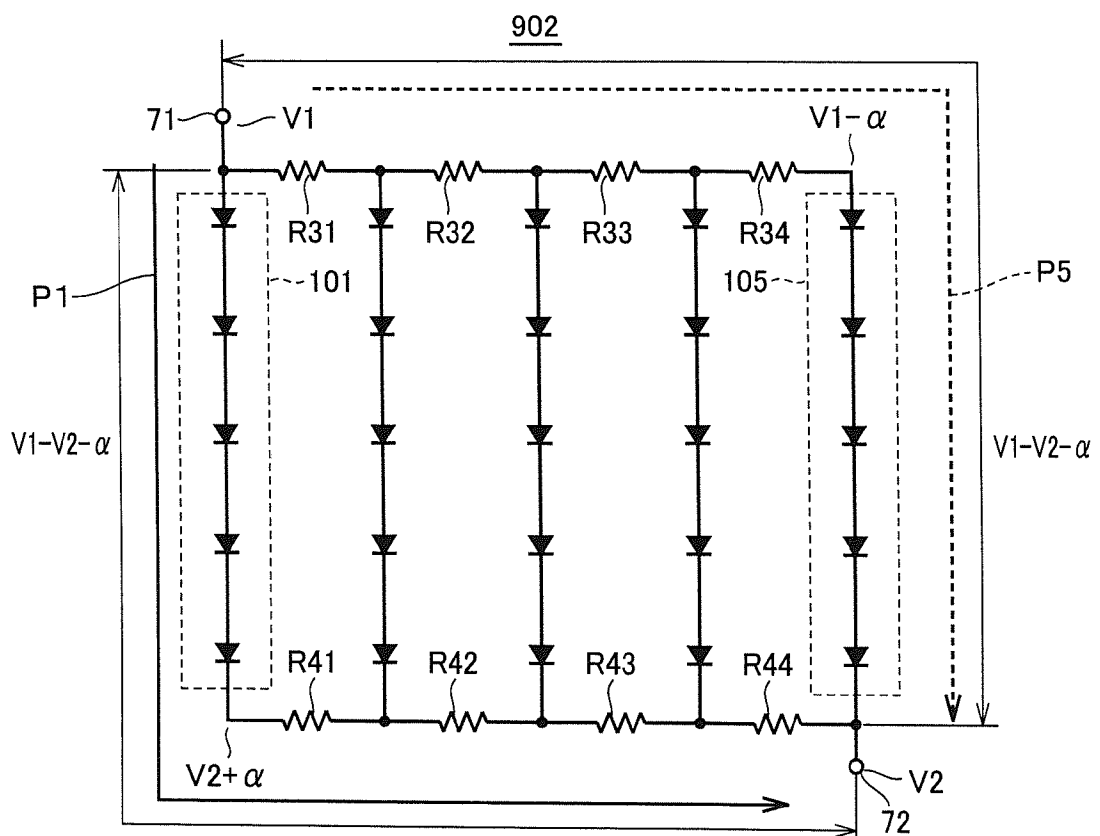
[図8A]

FIG.8A



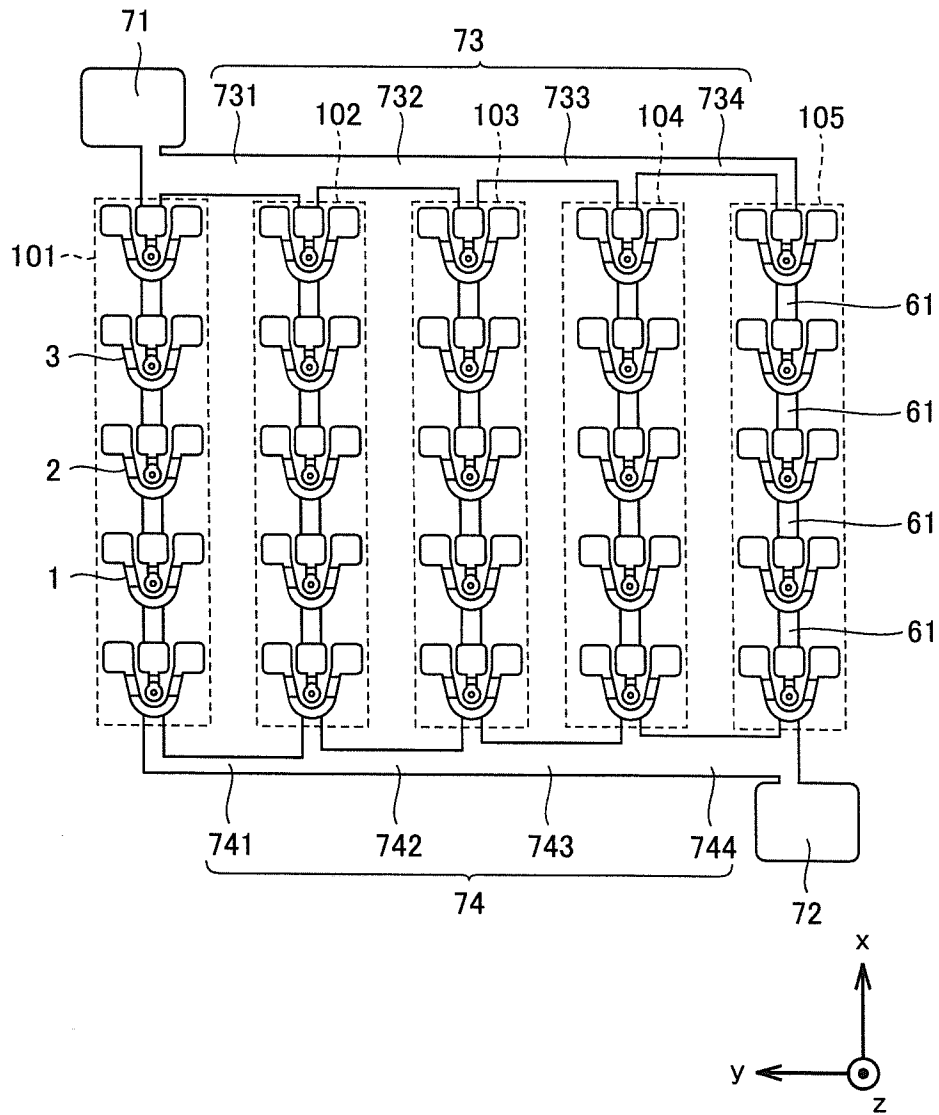
[図8B]

FIG.8B



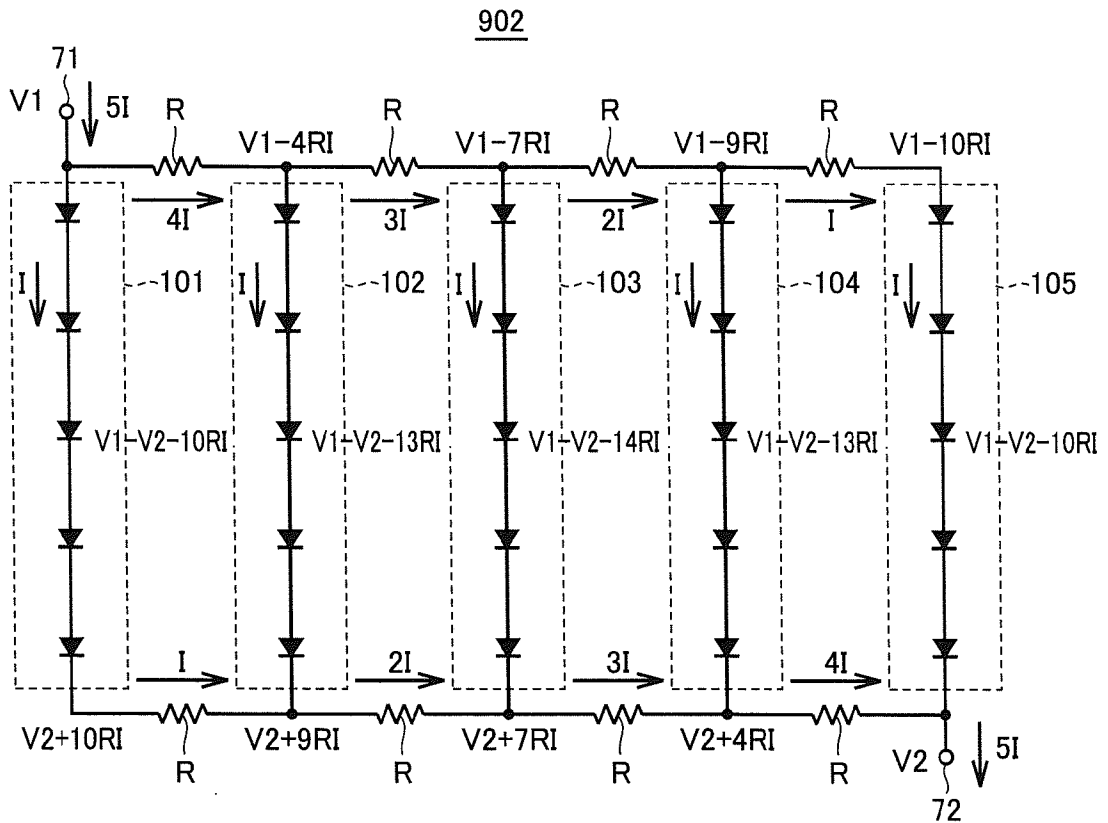
[図9]

FIG.9

903

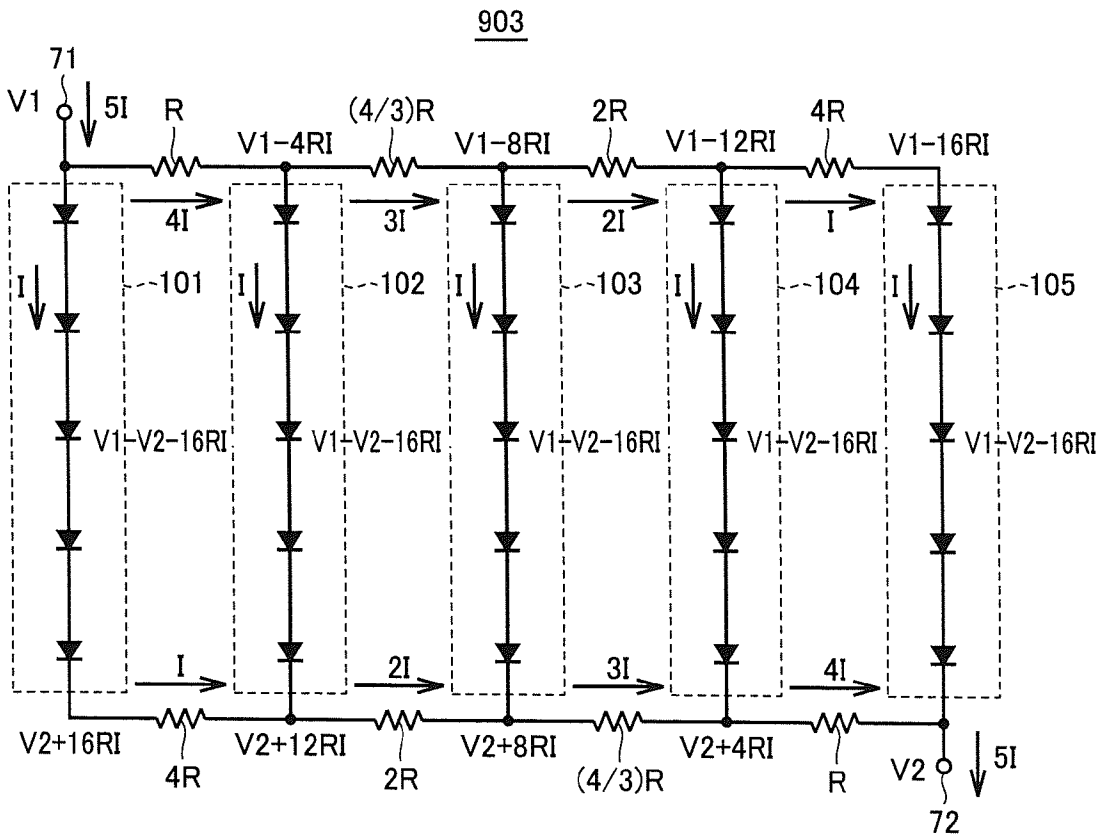
[図10A]

FIG.10A

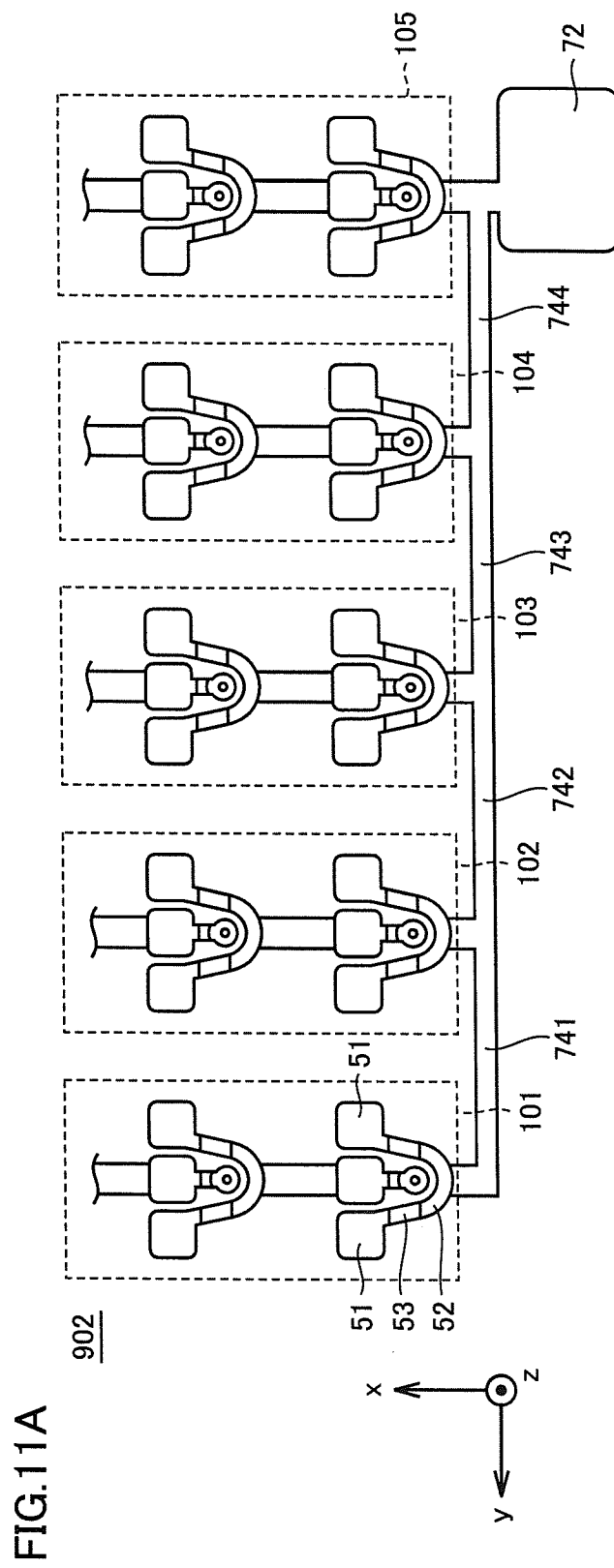


[図10B]

FIG.10B

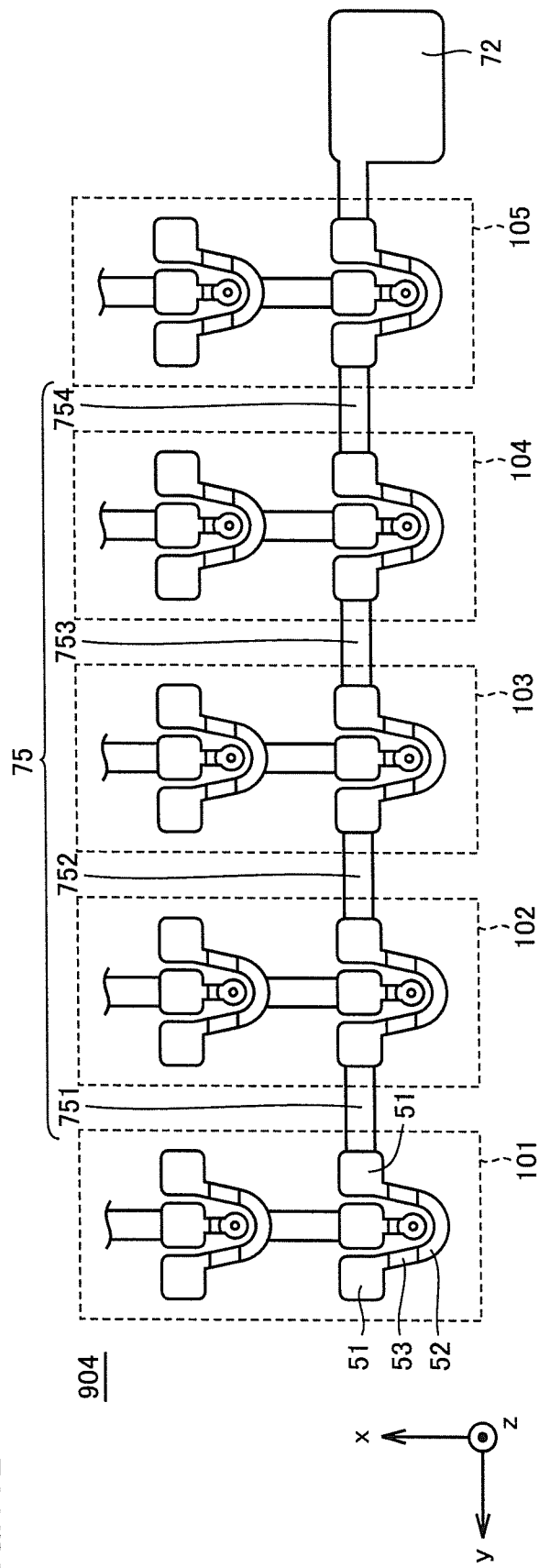


[図11A]



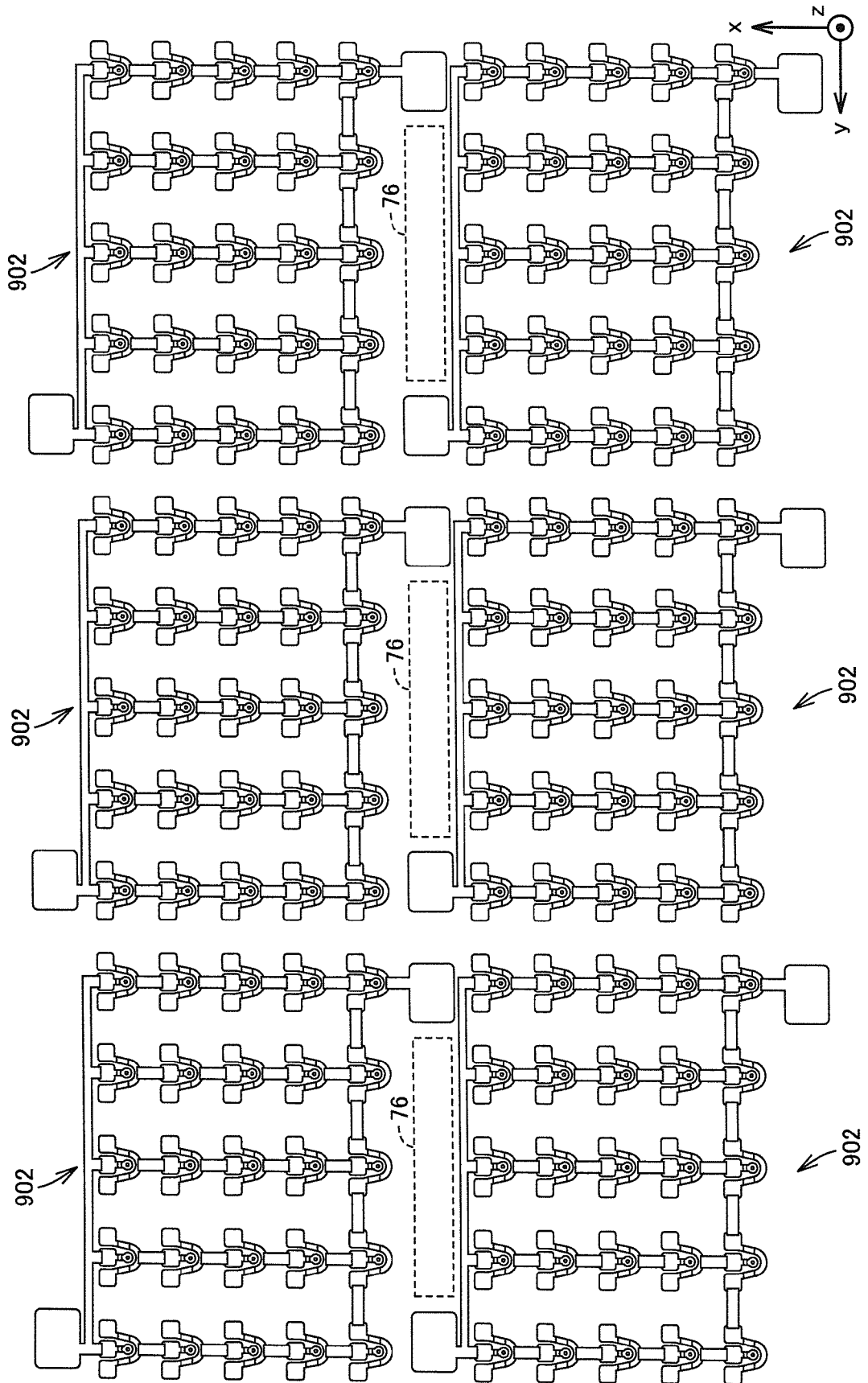
[図11B]

FIG.11B



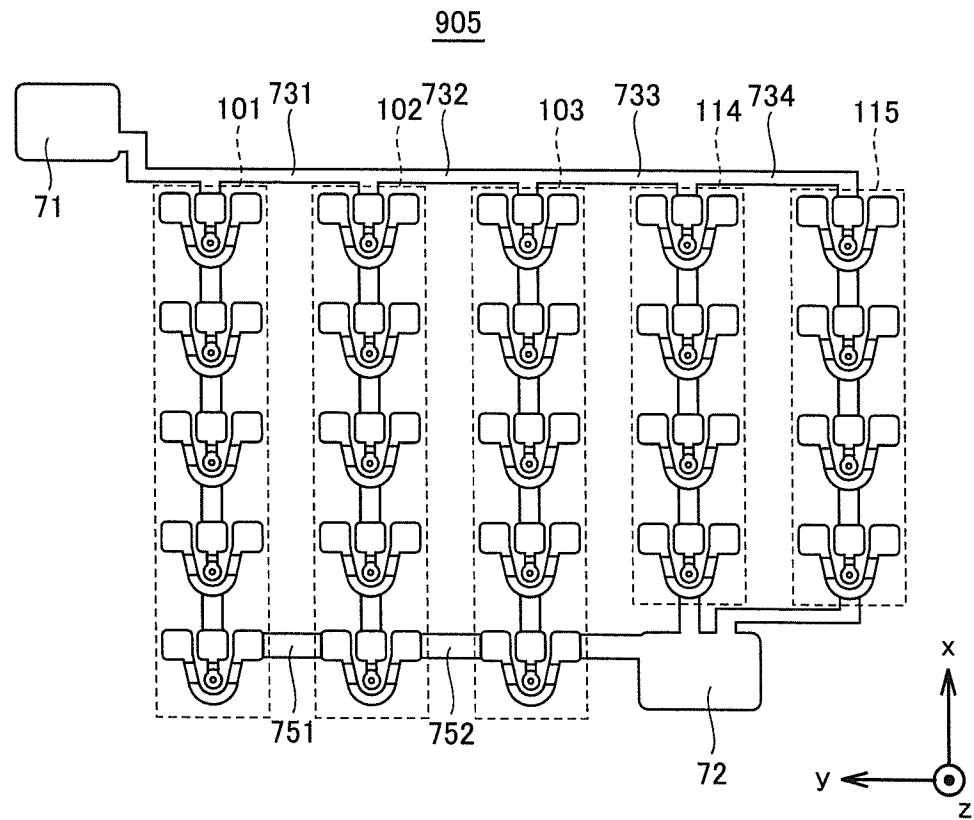
[図12]

FIG.12



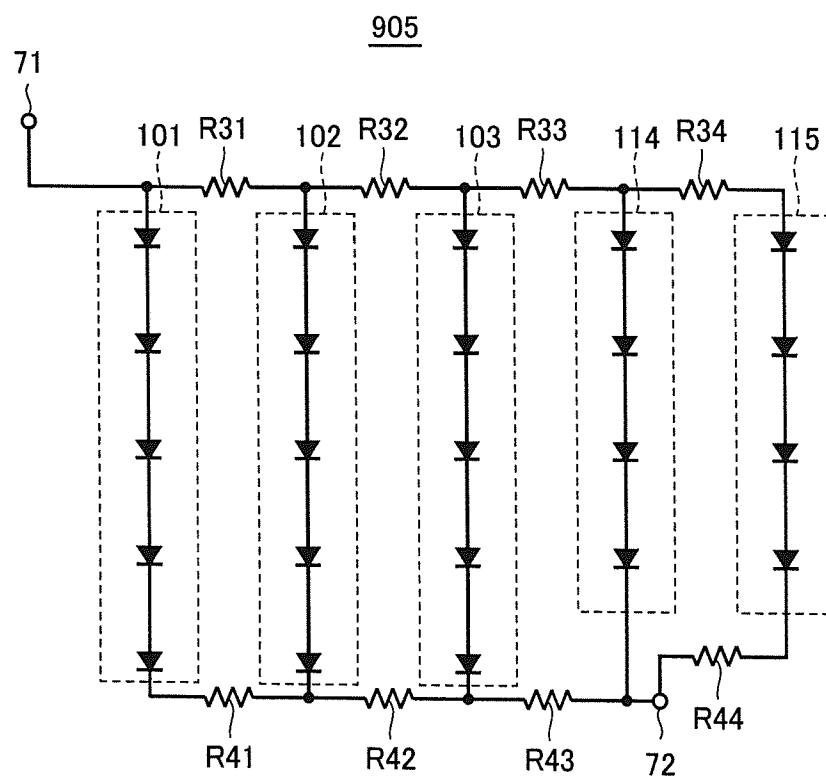
[図13A]

FIG.13A



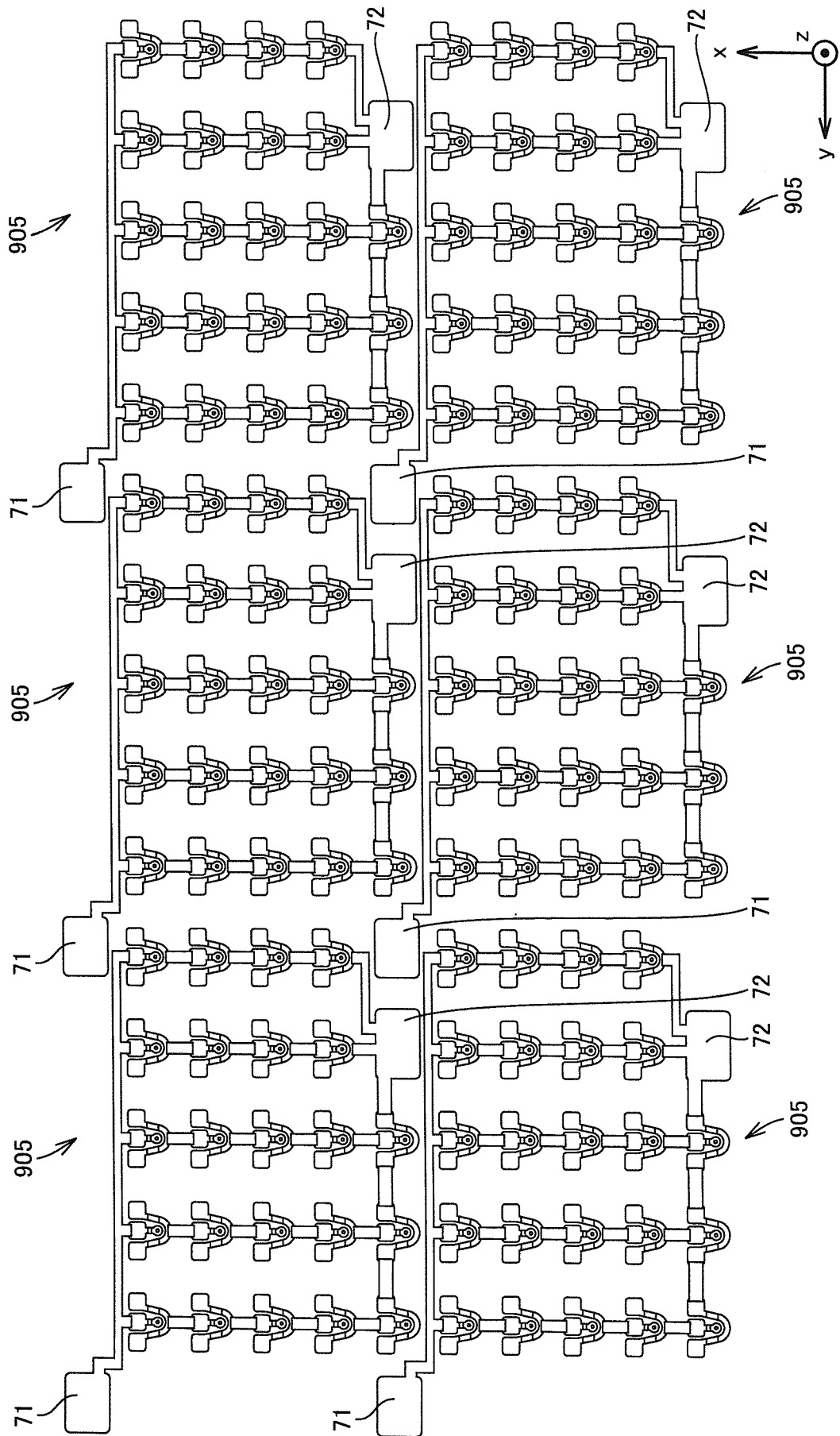
[図13B]

FIG.13B



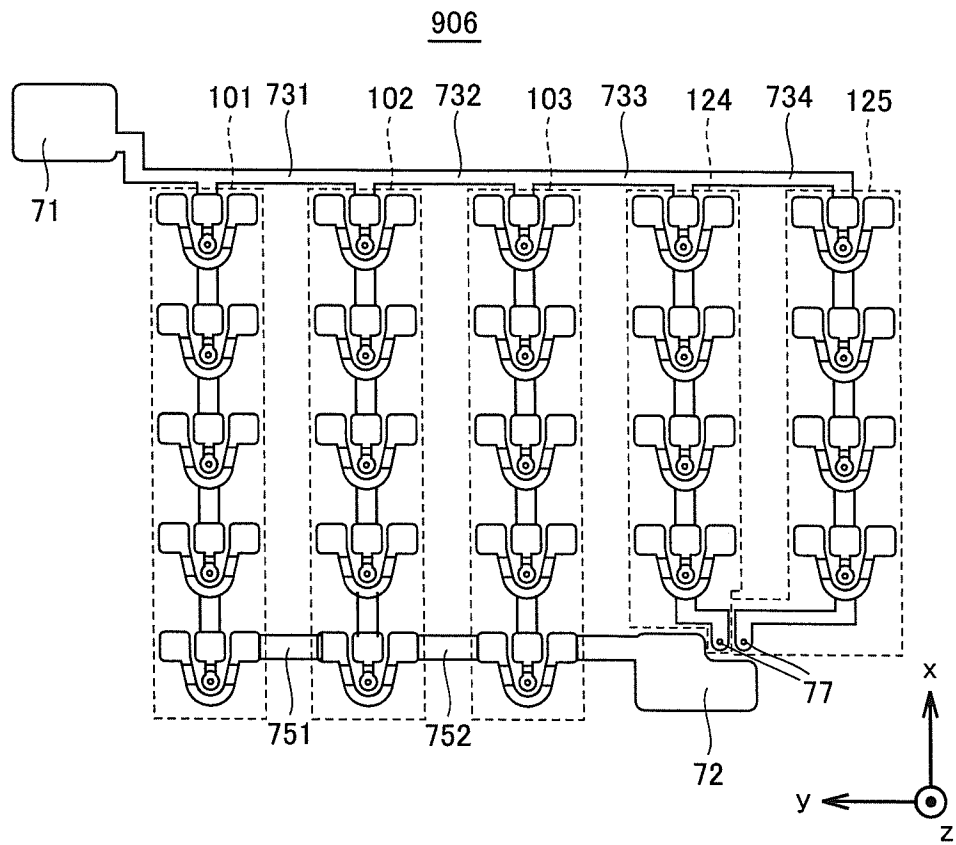
[図14]

FIG. 14



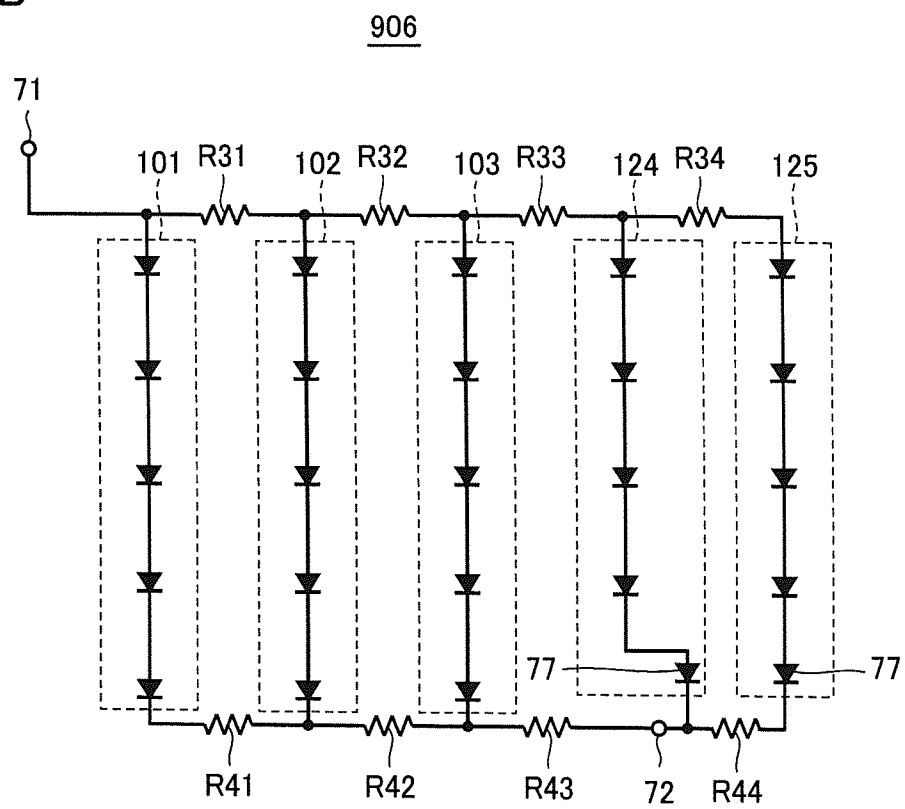
[図15A]

FIG.15A



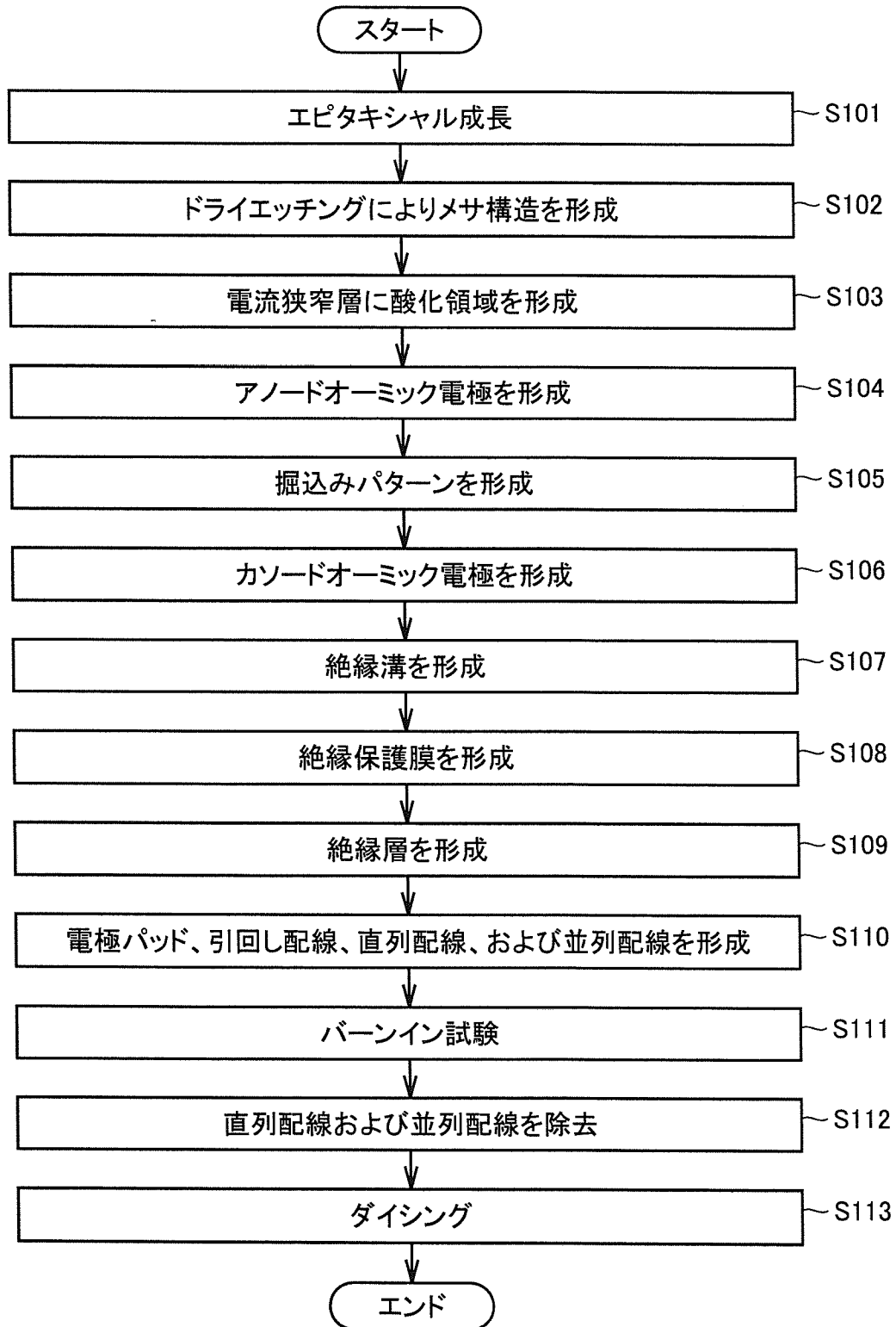
[図15B]

FIG.15B



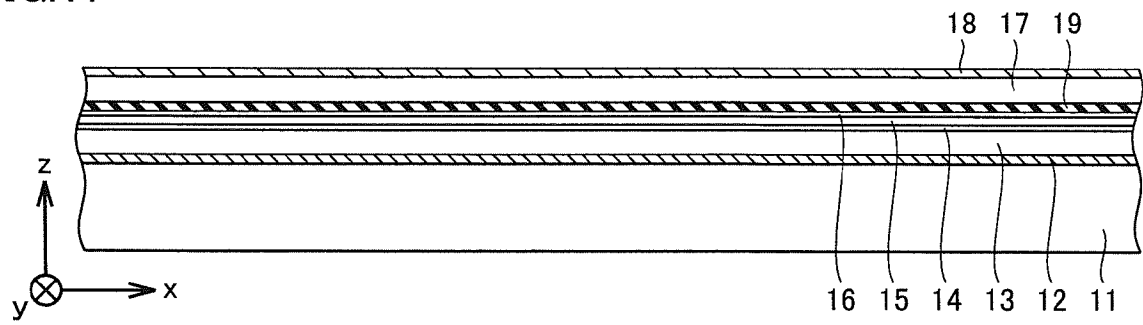
[図16]

FIG.16



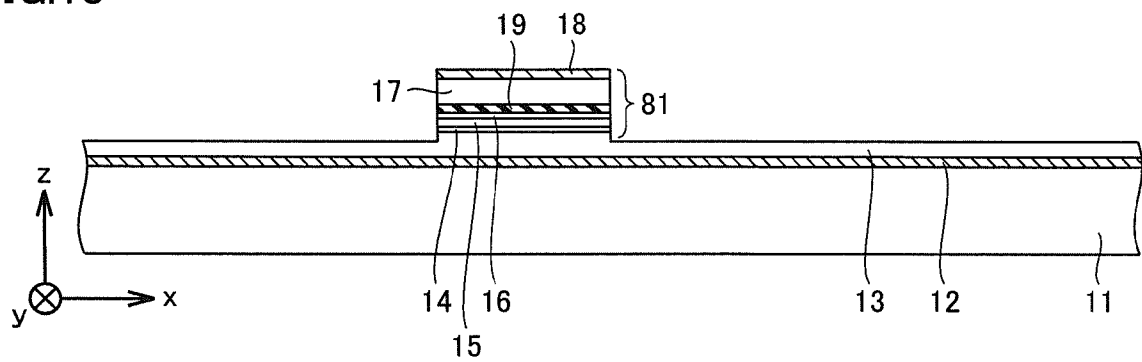
[図17]

FIG.17



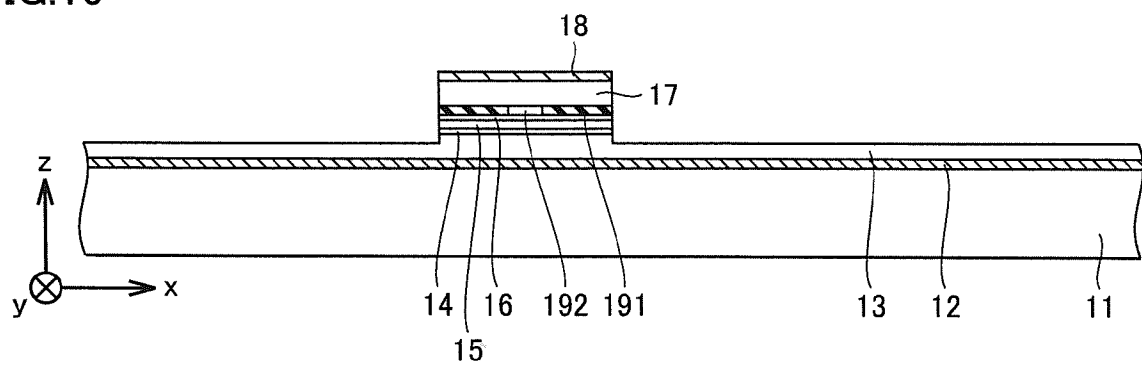
[図18]

FIG.18



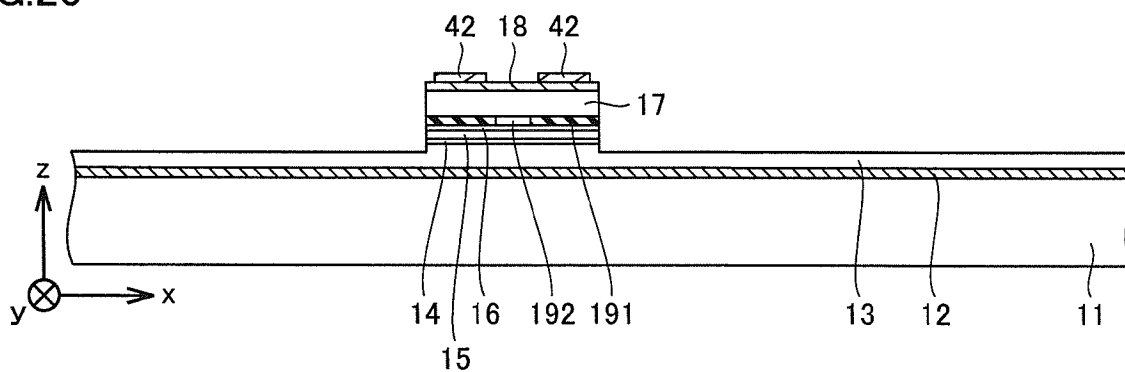
[図19]

FIG.19



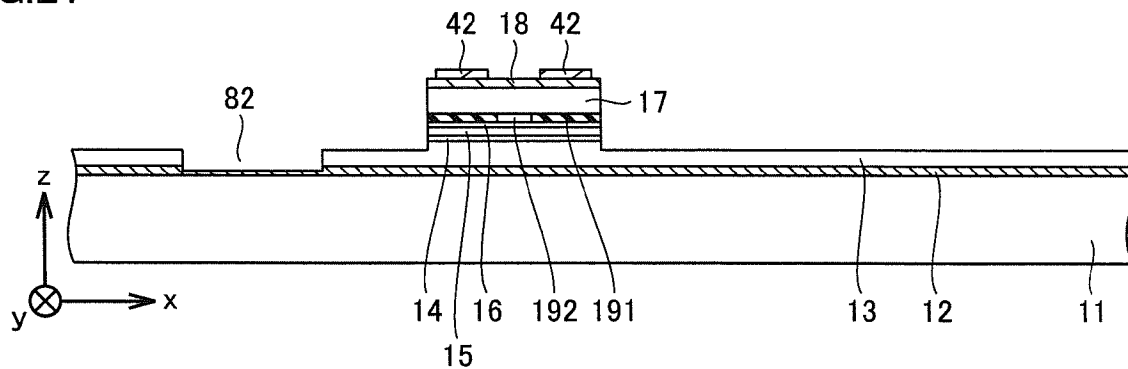
[図20]

FIG.20



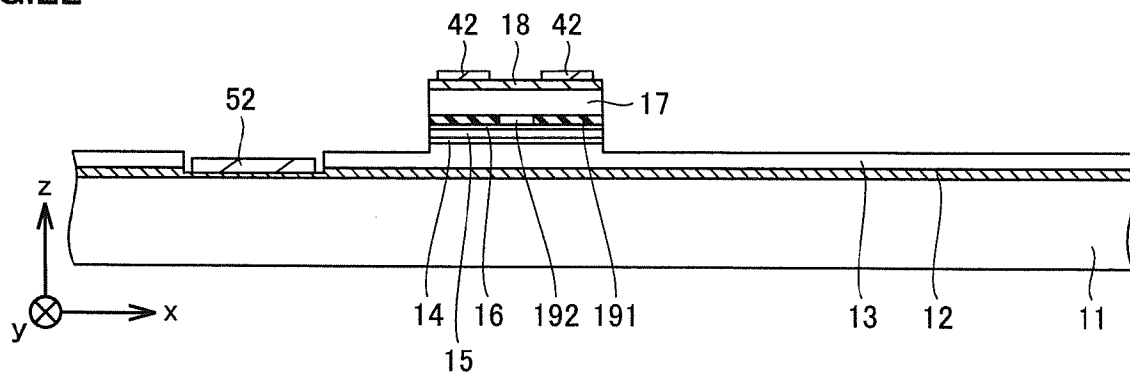
[図21]

FIG.21



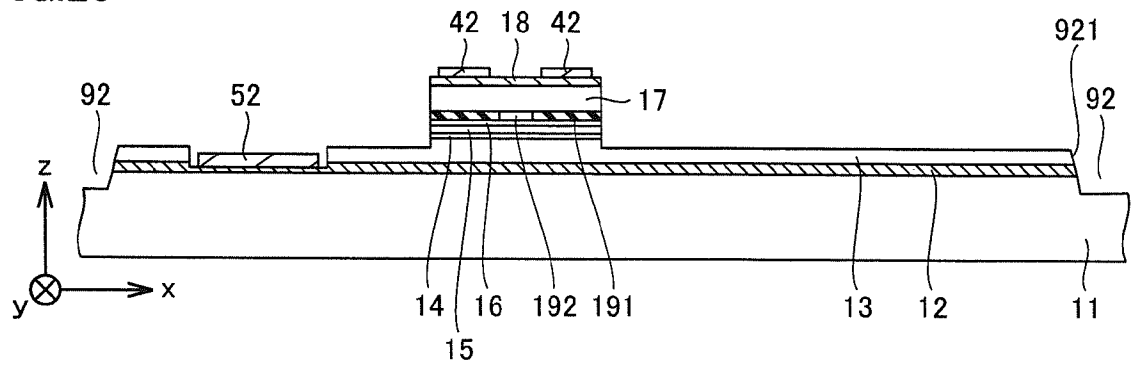
[図22]

FIG.22



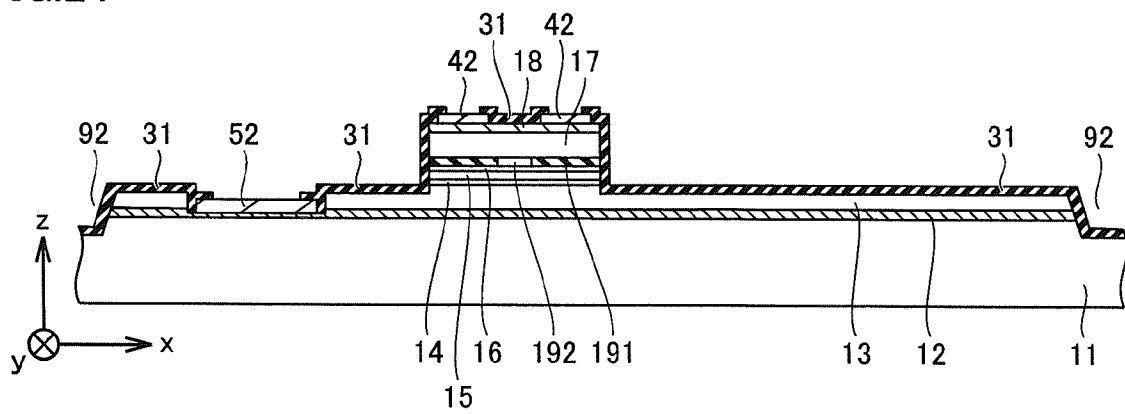
[図23]

FIG.23



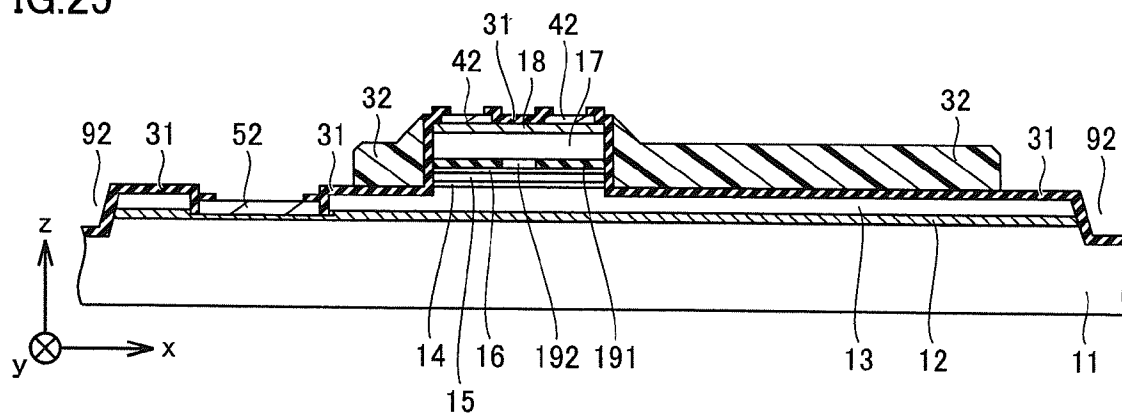
[図24]

FIG.24



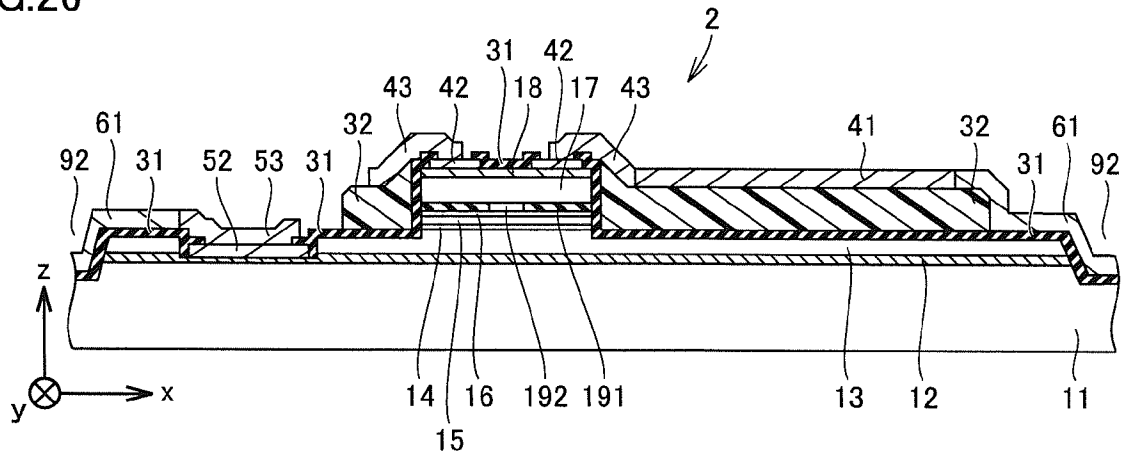
[図25]

FIG.25



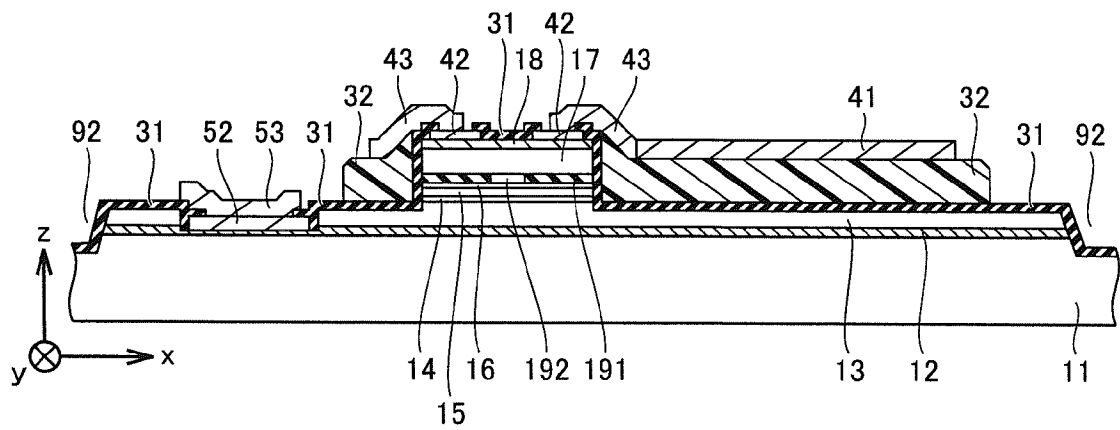
[図26]

FIG.26



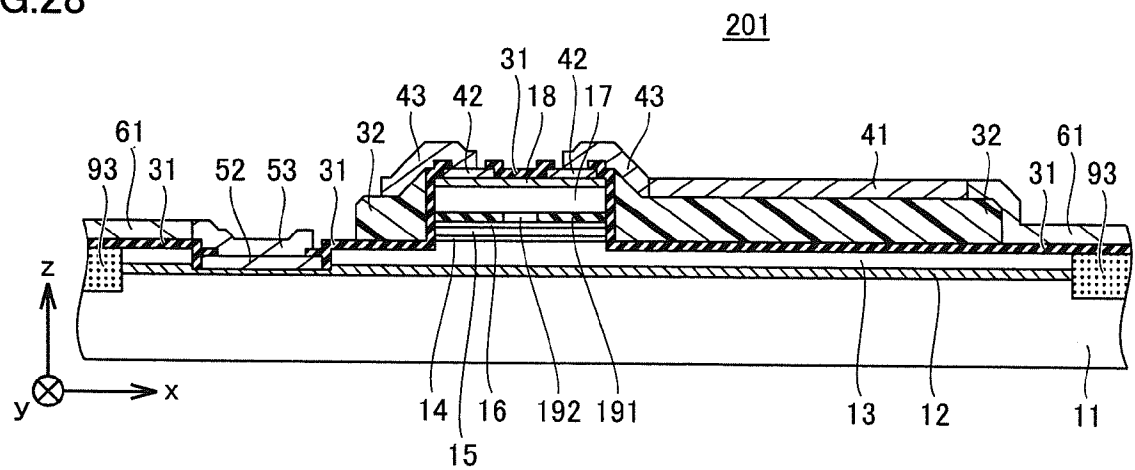
[図27]

FIG.27



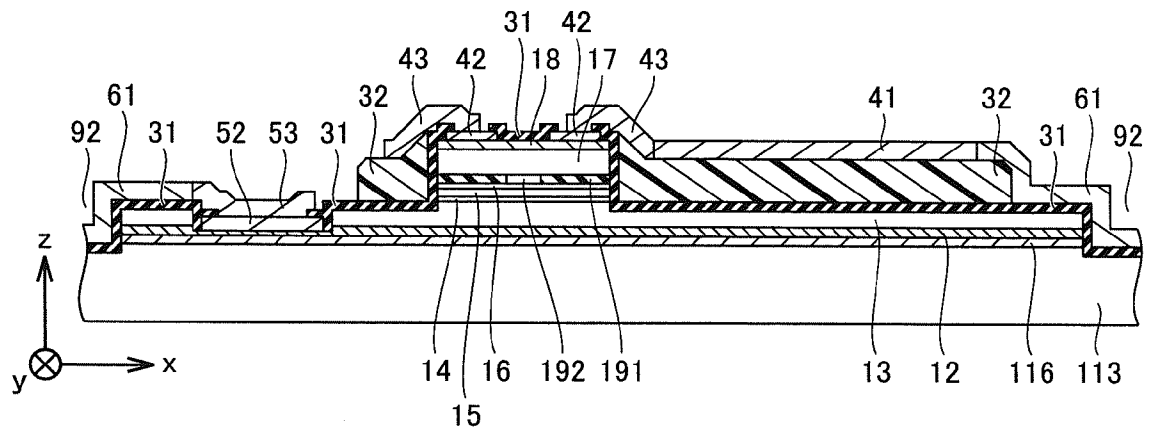
[図28]

FIG.28



[図29]

FIG.29

202

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/063952

A. CLASSIFICATION OF SUBJECT MATTER

H01S5/183(2006.01)i, H01S5/042(2006.01)i, H01S5/42(2006.01)i, H01S5/343(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S5/00-5/50, H01L33/00-33/46, G01R31/26, H01L21/64-21/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2010/084890 A1 (The Furukawa Electric Co., Ltd.), 29 July 2010 (29.07.2010), entire text; all drawings (particularly, paragraphs [0034], [0035]; fig. 1, 2) & US 2011/0274131 A1	1, 8-10 2-7
Y	JP 2011-181925 A (Samsung LED Co., Ltd.), 15 September 2011 (15.09.2011), entire text; all drawings (particularly, paragraph [0060]; fig. 1) & US 2011/0210352 A1 & EP 2362420 A1 & KR 10-2011-0098874 A & CN 102169941 A & TW 201214788 A	2-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 August, 2014 (06.08.14)

Date of mailing of the international search report
26 August, 2014 (26.08.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/063952

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 03-034555 A (Toshiba Corp.), 14 February 1991 (14.02.1991), entire text; all drawings (particularly, page 3, lower right column, lines 4 to 9; page 4, lower left column, lines 5 to 19) & US 5294776 A & US 5138427 A & EP 405586 A1 & KR 10-1994-0006577 B1	2-7
Y	JP 2011-228553 A (Hamamatsu Photonics Kabushiki Kaisha), 10 November 2011 (10.11.2011), entire text; all drawings (particularly, paragraph [0009]) (Family: none)	4-7
Y	JP 2000-101136 A (Toshiba Corp.), 07 April 2000 (07.04.2000), entire text; all drawings (particularly, paragraphs [0022] to [0025]) (Family: none)	4-7
Y	JP 2009-260311 A (Sanken Electric Co., Ltd.), 05 November 2009 (05.11.2009), entire text; all drawings (particularly, fig. 14) & US 2009/0242910 A1	4-7
A	JP 2008-508730 A (Novalux, Inc.), 21 March 2008 (21.03.2008), entire text; all drawings (particularly, paragraphs [0017] to [0022], [0030], [0031], [0034], [0035]) & EP 1784898 A1 & WO 2006/015192 A1	1-10
A	JP 63-306687 A (Fujitsu Ltd.), 14 December 1988 (14.12.1988), entire text; all drawings (particularly, claims; fig. 1(b)) (Family: none)	1-10
A	JP 08-031889 A (Nippondenso Co., Ltd.), 02 February 1996 (02.02.1996), entire text; all drawings (particularly, paragraphs [0003], [0004], [0017]) (Family: none)	1-10

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01S5/183(2006.01)i, H01S5/042(2006.01)i, H01S5/42(2006.01)i, H01S5/343(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01S5/00-5/50, H01L33/00-33/46, G01R31/26, H01L21/64-21/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2010/084890 A1（古河電気工業株式会社）2010.07.29, 全文、全図(特に、[0034], [0035]、図1, 2)	1, 8-10
Y	& US 2011/0274131 A1	2-7
Y	JP 2011-181925 A（サムソン エルイーディー カンパニーリミテ ッド）2011.09.15, 全文、全図(特に、[0060]、図1) & US 2011/0210352 A1 & EP 2362420 A1 & KR 10-2011-0098874 A & CN 102169941 A & TW 201214788 A	2-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 0 8 . 2 0 1 4

国際調査報告の発送日

2 6 . 0 8 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

佐藤 秀樹

2 X

3 1 5 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 4

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 03-034555 A (株式会社東芝) 1991. 02. 14, 全文、全図(特に、第 3 ページ右下欄第 4-9 行、第 4 ページ左下欄 第 5-19 行) & US 5294776 A & US 5138427 A & EP 405586 A1 & KR 10-1994-0006577 B1	2-7
Y	JP 2011-228553 A (浜松ホトニクス株式会社) 2011. 11. 10, 全文、全図(特に、[0009]) (ファミリーなし)	4-7
Y	JP 2000-101136 A (株式会社東芝) 2000. 04. 07, 全文、全図(特に、[0022]-[0025]) (ファミリーなし)	4-7
Y	JP 2009-260311 A (サンケン電気株式会社) 2009. 11. 05, 全文、全図(特に、図 14) & US 2009/0242910 A1	4-7
A	JP 2008-508730 A (ノバラックス インコーポレイティド) 2008. 03. 21, 全文、全図(特に、[0017]-[0022], [0030], [0031], [0034], [0035]) & EP 1784898 A1 & WO 2006/015192 A1	1-10
A	JP 63-306687 A (富士通株式会社) 1988. 12. 14, 全文、全図(特に、特許請求の範囲、図 1(b)) (ファミリーなし)	1-10
A	JP 08-031889 A (日本電装株式会社) 1996. 02. 02, 全文、全図(特に、[0003], [0004], [0017]) (ファミリーなし)	1-10