

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 10 月 19 日 (2006.10.19)

【公開番号】特開 2002-76150 (P2002-76150A)

【公開日】平成 14 年 3 月 15 日 (2002.3.15)

【出願番号】特願 2000-266795 (P2000-266795)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 27/10 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/788 (2006.01)

【F I】

H 0 1 L 27/10 4 3 4

H 0 1 L 27/10 4 6 1

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 18 年 9 月 1 日 (2006.9.1)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置の製造方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 不揮発性メモリトランジスタ、容量素子および他の容量素子が、一つの半導体基板に形成されており、

前記不揮発性メモリトランジスタは、フローティングゲート、中間絶縁膜およびコントロールゲートを含み、

前記容量素子は、下部電極、誘電体膜および上部電極を含み、

前記他の容量素子は、他の下部電極、他の誘電体膜および他の上部電極を含む、構造の半導体装置の製造方法であって、

(a) 前記半導体基板上に、前記フローティングゲート、前記下部電極および前記他の下部電極を形成する工程と、

(b) 前記フローティングゲートの側面上、前記下部電極の上面上、前記他の下部電極の上面上、それぞれに、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる第 1 熱酸化膜を形成する工程と、

(c) 前記第 1 熱酸化膜上に、前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる H T O 膜を形成する工程と、

(d) 前記他の下部電極上にある前記 H T O 膜上に、前記他の誘電体膜の構成要素となる窒化膜を形成する工程と、

(e) 前記フローティングゲートの側面上にある前記 H T O 膜上、前記下部電極の上面上にある前記 H T O 膜上、前記他の下部電極の上面上にある前記窒化膜上、それぞれに、

前記中間絶縁膜の構成要素、前記誘電体膜の構成要素および前記他の誘電体膜の構成要素となる第2熱酸化膜を形成する工程と、

(f) 前記工程(e)後、前記半導体基板上に、前記コントロールゲート、前記上部電極および前記他の上部電極を形成する工程と、

を備えた半導体装置の製造方法。

【請求項2】 請求項1において、

前記工程(a)は、

前記下部電極に不純物を導入することにより、前記下部電極を第1の不純物濃度にする工程と、

前記他の下部電極に不純物を導入することにより、前記他の下部電極を第1の不純物濃度とは異なる第2の不純物濃度にする工程と、

を備えた半導体装置の製造方法。

【請求項3】 請求項1または2において、

前記工程(d)のかわりに、

前記フローティングゲートの側面上にある前記HTO膜、前記下部電極の上面上にある前記HTO膜および前記他の下部電極の上面上にある前記HTO膜を覆うように、窒化膜を形成する工程と、

前記他の下部電極上にある前記窒化膜上に、マスク膜を形成する工程と、

前記マスク膜をマスクとして、前記窒化膜を異方性エッチングにより選択的に除去することにより、

前記フローティングゲートの側壁下部上にある前記HTO膜上、および、

前記他の下部電極上にある前記HTO膜上に、

それぞれ、前記中間絶縁膜の構成要素および前記他の誘電体膜の構成要素となる前記窒化膜を残す工程と、

を備えた半導体装置の製造方法。

【請求項4】 請求項1～3のいずれかにおいて、

前記窒化膜は、CVDにより形成される、半導体装置の製造方法。

【請求項5】 請求項1～4のいずれかにおいて、

前記工程(a)は、

前記フローティングゲート上に選択酸化膜を形成する工程を備えた、半導体装置の製造方法。

【請求項6】 請求項5において、

前記選択酸化膜を形成する工程は、

前記半導体基板上に、導電膜を形成する工程と、

前記フローティングゲートとなる前記導電膜上に、前記選択酸化膜を形成する工程と、

を備えた、半導体装置の製造方法。

【請求項7】 請求項6において、

前記フローティングゲートのパターンニングは、前記選択酸化膜をマスクとする、半導体装置の製造方法。

【請求項8】 請求項1～5のいずれかにおいて、

前記工程(a)は、

前記半導体基板上に、導電膜を形成する工程と、

前記導電膜をパターンニングすることにより、前記フローティングゲート、前記下部電極および前記他の下部電極を、同時に形成する工程と、

を備えた半導体装置の製造方法。

【請求項9】 請求項1～8のいずれかにおいて、

前記工程(f)は、

前記半導体基板上に、他の導電膜を形成する工程と、

前記他の導電膜をパターンニングすることにより、前記コントロールゲート、前記上部電極および前記他の上部電極を、同時に形成する工程と、

を備えた半導体装置の製造方法。

【請求項 10】 請求項 1～9 のいずれかにおいて、
前記不揮発性メモリトランジスタは、スプリットゲート型を含む、半導体装置の製造方法。