

[19]中华人民共和国国家知识产权局

[51]Int. Cl<sup>7</sup>

H03K 5/153  
G11B 20/10

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94105374.1

[45]授权公告日 2000 年 6 月 28 日

[11]授权公告号 CN 1054011C

[22]申请日 1994.5.10 [24]颁证日 2000.4.14

[21]申请号 94105374.1

[30]优先权

[32]1993.6.7 [33]US [31]073,921

[73]专利权人 国际商业机器公司

地址 美国纽约

[72]发明人 史蒂文·R·本特利

罗伯特·A·哈钦斯

康斯坦丁·M·梅拉斯

潘托斯·萨塔迪杰

[56]参考文献

US4,906,941 1990. 3. 6

审查员 吴兴华

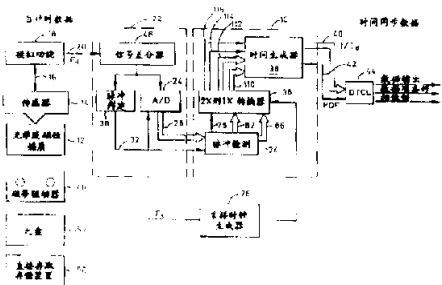
[74]专利代理机构 中国国际贸易促进委员会专利商标事  
务所  
代理人 范本国

权利要求书 3 页 说明书 12 页 附图页数 6 页

[54]发明名称 对信号波形阈值变化进行异步检测的方法和检测器

[57]摘要

本发明为零交叉检测器,用于对数字采样信号波形中的阈值变化进行异步检测。异步数字阈值检测器(ADTD)接收数字化自计时数据读回波形并且在发生零交叉时提供零交叉在该采样周期内的相对位置。可用于恢复数据及时钟信号的数字输出是可被某种异步数字相位检测器系统直接使用的一种数字形式。ADTD是完全数字化的并且可使用 CDOS 技术以低功耗配置来实现。



## 权 利 要 求 书

1.一种在具有时钟频率  $F_d$  的信号波形中对阈值变化的时间  $t$  进行异步检测的异步数字阈值检测方法,其特征在于包括如下步骤:

(a) 用等于第一采样周期  $T_s$  倒数的第一时钟频率  $F_s (= 2F_d)$  对所述信号波形进行采样,以生成代表所述信号波形的、包括第  $i$  个采样信号  $S_i$  和与其相邻的前一采样信号  $S_{i-1}$  在内的一系列瞬值的多个数字采样信号  $\{S\}$ , 这里的  $i$  为一非零正整数;

(b) 生成一个检测信号,该检测信号是对上述采样信号  $S_i$  和采样信号  $S_{i-1}$  之间不同符号的响应;

(c) 将所述第一采样周期  $T_s$  加倍,以生成第二采样周期  $T_d$ , ( $T_d = 2T_s$ ), 其等于所述时钟频率  $F_d$  的倒数;

(d) 生成与所述检测信号位于其中的所述第二采样周期  $T_d$  的那一半相对应的一个第一数字信号;

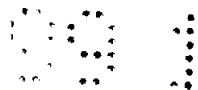
(e) 通过在所述采样信号  $S_i$  和与其紧邻的前一个所述采样信号  $S_{i-1}$  这一对采样信号之间进行内插来生成一个第二数字信号,该第二数字信号代表所述阈值变化在第  $i$  个所述第一采样周期  $T_s$  内的位置  $t/T_s$  的估计值;

(f) 将所述第一和第二数字信号进行组合,生成一个表示当前所述第二个采样周期  $T_d$  内所述阈值变化的位置  $t/T_d$  的第三数字信号。

2. 如权利要求 1 所述的方法,所述步骤(e)的特征在于包括如下步骤:

(e.1) 从所述采样信号  $S_{i-1}$  中减去所述采样信号  $S_i$ , 以生成一个分母信号  $D_i = S_{i-1} - S_i$ ;

(e.2) 生成表示所述分母信号  $D_i$  的倒数的倒数差值信号  $R_i$ ,



$R_i = 1/D_i$ ;

(e.3)将所述采样信号  $S_{i-1}$  与所述差值倒数信号  $R_i$  相乘用来生成一个内插值信号  $R_i S_{i-1}$ ; 以及

(e.4)通过抛弃所述内插值信号  $R_i S_{i-1}$  的符号来生成上述的第二数字信号  $|R_i S_{i-1}|$ , 因此可估算所述阈值变化  $t/T_d = |R_i S_{i-1}|$ .

3.一种在具有数据时钟频率  $F_d$  的信号波形中对阈值变化的时间  $t$  进行异步检测的异步数字阈值检测器 (ADTD), 所述异步数字阈值检测器的特征在于包括:

接收多个数字采样信号  $\{S\}$  的输入装置;

与所述输入装置相连的变化检测装置, 其用来收集一对相邻的所述数字采样信号  $(S_i, S_{i-1})$  并生成检测标志  $DF_i$ , 该标志  $DF_i$  是对所述相邻数字采样信号对  $(S_i, S_{i-1})$  之间符号不同做出的响应;

其特征在于:

上述的输入装置以表示上述信号波形的一系列瞬时值的传送率  $F_s (F_s = 2F_d)$  来接收多个数字采样信号  $\{S\}$ ; 与所述变化检测装置相连的选取装置, 其将所述数字采样信号的传送率  $F_s$  由  $2F_d$  减少成所述数据时钟频率  $F_d$ ; 以及

与所述选取装置相连的时间生成器, 它在等于所述数据时钟频率  $F_d$  倒数的周期  $T_d$  中内插求出所述阈值变化时间  $t$ , 并且生成一个代表所述阈值变化时间  $t$  与上述周期  $T_d$  的比率  $t/T_d$  的数字信号。

4. 如权利要求 3 的异步数字阈值检测器, 其特征在于所述输入装置还包括:

用来接收脉冲判定标志的装置, 该判定标志表示: 所述阈值变化源于信号脉冲而不是噪音脉冲。

5. 如权利要求 3 的异步数字阈值检测器, 其特征在于所述变化检测装置包括:

存储所述相邻数字采样信号对( $S_i, S_{i-1}$ )的前一个数字采样信号  $S_{i-1}$  的第一寄存器装置;

存储所述相邻数字采样信号对( $S_i, S_{i-1}$ )后一个采样  $S_i$  的第二寄存器装置;

生成与所述相邻数字采样信号对( $S_i, S_{i-1}$ )的符号逻辑异或相对应的信号的符号比较装置; 以及

响应与所述相邻数字采样信号对( $S_i, S_{i-1}$ )相应的二个所述脉冲判定标志, 从而使所述符号比较装置产生输出的检测判定装置。

6. 如权利要求 3 的异步数字阈值检测器, 所述选取装置的特征在于包括:

存储所述相邻数字采样信号对( $S_i, S_{i-1}$ )的第三寄存器装置;

在一个所述周期  $T_d$  内选取第一相邻数字采样信号对( $S_i, S_{i-1}$ )或第二相邻数字信号对( $S_{i-1}, S_i$ )的选择装置;

标识所述第一个或第二个相邻数字采样信号对( $S_i, S_{i-1}$ )的哪一个被所述选择装置所选中的 MSB 装置; 以及

双计时装置, 其使所述选取装置的输入以所述传送率  $F_s$  步进并且使所述选取装置的输出以所述数据频率  $F_d$  步进。

7. 如权利要求 3 的异步数字阈值检测器, 其特征在于所述时间生成器包括:

生成所述相邻数字采样信号对( $S_i, S_{i-1}$ )的差值的绝对值倒数的倒数变换装置;

乘法装置, 其将所述的倒数数字信号  $|S_{i-1} - S_i|^{-1}$  与所述的前一个数字信号的绝对值  $|S_{i-1}|$  相乘, 用来获得代表所述阈值变化时间  $t$  与上述周期  $T_d$  的比率  $t/T_d = |S_{i-1}| \cdot |S_{i-1} - S_i|^{-1}$  的所述数字信号。



# 说明书

---

## 对信号波形阈值变化进行异步检测的方法和检测器

本发明涉及一种对信号波形阈值变化进行异步检测的方法和检测器，而且特别涉及到提供数字输出信号的数字零交叉检测器，所提供的输出信号代表异步采样窗口中的检测位置。

在数据存储技术中，将二进制数据编码并将其作为一系列光或磁的变化存储在光或磁性媒质中。存储的数据的检索要求在记录通道中具有检测和译码系统，用于由自计时模拟量信号波形重建原始二进制数据和同步时钟，这种自计时模拟量信号波形是由相邻于存储媒质的光或磁传感器生成的。专业技术人员已提出了许多关于从自计时数据信号中抽取同步时钟及数据的问题的解决方法，这些问题包括实际变化与噪音脉冲之间的鉴别和同步数据时钟信号的精确重建，用以允许对相位编码数据进行精确的译码。这种记录通道中最重要的是波形变化或“零交叉”检测器，这对于准确地决定每个自计时波形变化的精确的相对时间或相位是必须的。

目前所知的模拟量脉冲控制器具有模拟电子装置常见的缺点。

这些装置昂贵,体积很大并且其定标易于随着时间而漂移。此外,模拟量脉冲检测器通常适用于预定的窄的通道数据频率范围,从而对存储媒质数据检索系统的通道数据频率施加了严格的限制。目前所知的数据脉冲或相位变化检测器的数字实现一般取决于熟知的模拟量检测技术的离散信号具体实现。例如,首先用熟知的锁相环路(PLL)技术对模拟量信号波形进行采样并数字化。然后对这些采样进行数字化处理用以除去不需要的频率量和重建同步时钟及数据。因此需要一种能完全数字化实现的通道波形相位变化检测器,这种检测器能够在很宽的数据频率范围内准确地检测记录通道数据信号波形中的同步数据脉冲。当前最为需要的是以适中异步采样频率对同步数据进行准确地检测,因为高速采样技术具有花销昂贵的缺点。

目前大家知道计算机程序可以模仿模拟记录通道的功能,但是这些技术需要很高的采样频率从而使其在实时硬件中的实现变得昂贵和困难。某些与数字实现相关的困难可通过降低异步模拟量信号采样频率来克服。不幸的是,异步采样频率降低进一步导致零交叉检测时间的不确定性。这导致记录通道中的抖动变形和位错误率(BER)的增大。

目前专业技术人员已经尝试通过改善采样之间的内插值来降低较低采样频率下的抖动。例如,P. H. 阿尔克(Alfke)等在美国专利第 4,412,339 一文中发明了一种零交叉插补器用来减小数字移频键控(FSK)调制解调器中的等时变形。阿尔克等介绍了如何改善零

交叉检测精度的方法，即增加高速内部时钟使得检测器沿着每个输入采样对之间的线性坡度步进直至检测到符号发生变化为止。因此他们的技术一样需要高速数字装置，这种装置使较高采样频率变得不利。此外，尽管阿尔克等采用了数字装置，但是其零交叉插补器的输出仍为简单的模拟量时间门，该门同样受到模拟量误差源的干扰，正是这种误差源影响了模拟量零交叉检测器的具体实现。

A. P. 吉弗 (Goffon) 在美国专利第 4,165,491 一文中发明了一种用于噪音环境下检测数据信号中零交叉点的电路。吉弗发明一种脉冲限定技术用于删除可能由噪音引起的零交叉。他既没有考虑也没有提出关于检测数字采样信号中零交叉的方法。

D. S. 彼得森 (Peterson) 在美国专利第 4,749,899 一文中发明了一种在二进制编码的模拟量信号波形中发现信号波形变化的信号变化检测方法。彼得森等使用二阶差分步骤来提供可改善其模拟电路抗噪音能力的二阶导数信号。他们既没有考虑也没有提出用于检测数字采样信号波形中阈值变化的装置。对模拟量检测器进行改善的其他相似发明可在美国专利第 4,906,941 号、第 3,916,328 号、第 3,955,102 号、第 4,132,909 号、第 4,151,427 号、第 4,268,764 号、第 4,480,200 号、第 4,795,915 号及第 5,001,364 号等文中找到。对数字零交叉检测器仍有明确的需求，该检测器使用数字内插技术用来在较低异步采样率的情况下，提供准确的变化时间输出。这种需求在新式记录通道中尤其重要，这种新式记录通道必须完全

由低功耗单芯电数字集成电路实现,不能有任何模拟量元件,本发明用下述方法解决了目前明确存在的相应未解决问题及缺陷。

本发明的目的是改善较低异步采样频率下的零交叉的准确性,提供一种对信号波形阈值变化进行异步检测的方法。本发明的另一个目的是不依靠模拟量部分来检查数字采样流中的阈值交叉,提供一种对信号波形阈值变化进行异步检测的检测器。

本发明是关于应用到异步数字通道中的零交叉阈值检测器。该检测器接收含有自计时数据编码的数字化波形信号,并且当该采样周期内出现零交叉时输出这个零交叉的相对位置。这种用于恢复嵌入数据及时钟信号的数字输出的数字形式能由离散时间控制环(DTCL)直接使用,DTCL是由K. A 赫率(Hutchins)等(受让人卷号SA-9-91-099号)在共同未决专利申请中发明的。该专利申请是于1992年10月28日提出,其专利申请号为07/967,588,其标题为“异步通道中计时数据的离散时间控制环方法及装置”。本发明的参考资料完全包括了这个专利。

本发明的异步数字阈值检测器(ADTD)使用下面的三种步骤来预测单个采样周期内的零交叉到达时间。首先,检测器通过检查相邻采样对的符号是否发生变化来决定是否发生了零交叉。第二,将采样频率从较高转换成较低,较低的采样频率正好为较高采样频率的一半。在转换时,ADTD首先判定新的较长采样周期的哪一半包括了零交叉。最后,ADTD决定子单元的时间估算值;通过解线性插值方程(图1(b))可算出该估算值,该估算值即为较短采样周期内

零交叉的相应位置  $t$ 。检测器的输出为  $n$  位的数字信号,其代表零交叉点在较长采样周期内流逝的估算时间分数(图 1(a)中的  $t/T_d$ )。

以  $n$  位数字字形式表示零交叉检测,且其准确性与模拟量信号计时考虑无关,这是本发明的特点和优点。

当考虑下面的规格说明、权利要求和附图时,上面所述和本发明的其他目的、特点及优点将变得更加清楚。

为了更加完全地理解本发明,可参考下述图中较好实施例的详细说明,其中:

图 1 示出采样周期中的信号波形零交叉;

图 2 提供了表示本发明的 ADTD 与记录通道中其他装置之间的关系框图;

图 3 提供了本发明 ADTD 的脉冲检测装置的较好实施例框图;

图 4 提供了本发明 ADTD 的  $2X$  到  $1X$  转换装置的较好实施例框图;

图 5 提供了本发明 ADTD 的时间生成装置的较好实施例框图;以及

图 6 提供了本发明 ADTD 的性能例子。

图 1 示出了图 1(b)中的采样周期  $T_s(=T_d/2)$  与图 1(a)中的自计时数据周期  $T_d$  之间的关系。本发明的 ADTD 决定了单位时间估算值  $t$ (图 1(b))并将其转换成比率  $t/T_d$  的数字表示(图 1(a))。

图 2 示出本发明 ADTD10 与光或磁数据存储媒质 12 之间关

系。图示的峰值检测通道实现的操作只是示意性的。传感器 14 以目前所知的任何有用方式检测媒质 12 中的磁或光的变化。传感器输出信号 16 送到若干个常规的模拟功能块 18 中。这些功能包括前置放大器、自动增益控制 (AGC) 及防假信号 (低通) 滤波器。生成的模拟量数据信号波形 20 以当前所知的任何有用方式被送到进行信号差分、脉冲限定及模拟量到数字量 (A/D) 转换的波形预处理器 22 中。A/D 转换器 24 中的 A/D 采样率是由采样时钟生成器 26 控制, 采样时钟生成器 26 生成采样时钟信号  $F_s$ , 其等于信号波形 20 的自计时数据频率的两倍 ( $F_s = 2F_d$ )。数字采样信号 (s) 经采样总线 28 转送给 ADTD10。脉冲判定器 30 生成脉冲判定标志, 该标志经过线路 32 转送给 ADTD10。脉冲判定标志区分信号脉冲和噪音脉冲, 并且在每个包括一个判定脉冲或变化的采样周期  $T_s$  期间确认一次脉冲判定标志。

图 2 中的 ADTD 实施例包括脉冲检测器 34, 2X 到 1X 的转换器 36 和时间生成器 38。转换器 36 以两种时钟频率工作: 来自生成器 26 的采样频率  $F_s$  和数据时钟频率  $F_d (F_d = F_s/2)$ 。ADTD10 提供了两个数字输出。将代表数据时钟周期 ( $t/T_d$ ) 中的阈值变化的相对位置的数字信号传送到数据总线 40 上并将脉冲检测标志 (PDF) 转送到线路 42 上。线路 42 在包括一个已判定为阈值变化检测的整个数据周期  $T_d$  内处于高电平。图 2 示出了总线 40 和线路 42, 他们根据上面引入的赫率等的专利申请进入到离散时间控制环 (DTCL) 44 中以

便于以后的读回通道处理。也可使用任何其他合适的方法来析取总线 40 及线路 42 上的来自 ADTD10 数字输出的数据和同步时钟信号,例如数/模转换后接锁相环信号处理。

在波形预处理器 22 中,信号差分器 46 对数据信号波形 20 进行差分处理,以便将波形顶峰转换成零交叉变化。在媒质 12 是由磁带驱动器 48 中的磁带或直接存取存储装置 50 (DASD) 中的磁盘表面组成的情况下,恢复的数据作为峰顶或脉冲出现在波形 20 中。这种脉冲的检测需要在信号差分器 40 中进行差分。然而,当该媒质是光媒质例如光盘 52 时,信号就可能是脉冲宽度调制 (PWM) 信号,这样被恢复的数据编码经过一个可变的但是是预定的阈值的波形变化。对于这样的应用,信号差分器 46 是不必要的,并且可以由阈值随动信号处理形式所取代。在这两种情况中,脉冲检测器 34 必须实际检测过零的信号波形变化。使用中参照图 3 可更好地理解检测器 34。

图 3 中,线路 32 上的脉冲判定标志存储在寄存器 54 中。寄存器 56 存储脉冲判定标志的延迟一个周期的值并且与门 58 提供线路 60 上的启动判定标志,如果在当前第  $i$  个采样周期  $T_s$  或紧在其前的第  $(i-1)$  个采样周期  $T_s$  中有一个判定为合格的检测,那么就确认线路的该判定标志。

总线 28 上的数字信号分成线路 28a 上的符号位和总线 28b 上的其余 7 位尾数部分。寄存器 66 和 68 存储当前采样  $S_i$  的符号和上

一个采样  $S_{i-1}$  的符号用来进行符号比较。异或门 70 提供了线路 72 上的检测标志,每当  $S_{i-1}$  和  $S_i$  之间有符号变化时,线路 72 上的检测标志就为高电平。与门 74 将线路 60 上的启动判定标志与线路 72 上变化检测标志结合在一起用来在输出线路 76 上提供检测标志  $DF_i$ 。

7 位寄存器 78 和 80 用来收集代表相邻采样对 ( $S_{i-1}, S_i$ ) 的数字信号对 ( $Y_{k-1}, Y_k$ )。因此当前数字信号  $Y_k$  在总线 82 上传送(其符号位在线路 82a 上传送)并且延迟一个周期的数字信号  $Y_{k-1}$  在总线 86 上传送(其符号位在线 86a 上传送)。总线 82 和 86 以及标志线 76 把相邻的数字信号对及相关的检测标志载送到转换器 36(图 2)。

通过参考图 4 可以更好地理解转换器 36。转换器 36 象个“选取器(decimator)”,其用单个数字信号取代一对数字信号。输入寄存器 90 和 92 以采样时钟频率  $F_s$  计时。寄存器 90 存储延迟信号值  $Y_{k-1}$ 。寄存器 92 存储  $DF_i$  检测标志,用来对当前  $T_s$  周期内的检测进行标志。总线 82 上的当前信号  $Y_k$  直接送到多路调制器 94 的第一个输入上。延迟信号  $Y_{k-1}$  送到多路调制器 94 的第二输入上以及另一多路调制器 96 的第一个输入上。 $Y_{k-2}$  送到多路调制器 96 的第二个输入上,  $Y_{k-2}$  仅比  $Y_{k-1}$  延迟一个附加采样时钟周期  $T_s$ 。最后将检测标志  $DF_i$  送到两个多路调制器 98 和 100 的第一输入上并且将固定的二进制数“0”或“1”送到这两个多路调制器的第二个输入中,如图 4 所示。相应地,当采样时钟  $F_s$  通过寄存器 92 对检测标志进行计

时时,多路调制器 94 到 100 的各个输入就分别传送到寄存器 102, 104, 106 和 108 中。寄存器 102 到 108 分别以寄存器 90 到 92 的一半速度进行计时。因此转换器 36 选择发生零交叉的子单元中的相邻数字信号和检测信号是可以理解的(假定每个标称采样周期最多可发生一个零交叉)。

转换器 36 根据发生零交叉的标称采样周期  $T_d (=2T_s)$  来设置零交叉时间估算值的 *MSB*。转换器 36 还在总线 110 上保持当前数字信号  $Y_k$  和在总线 112 上保持延迟一个采样周期的数字信号  $Y_{k-1}$ , 用来表示已判定的相邻采样对  $(S_{i-1}, S_i)$ 。这对采样被保持两个  $T_s$  采样周期然后转送到时间生成器 38 上, 用来进行另外的处理。线 114 上的 *MSB* 也保持  $T_d (=2T_s)$  采样周期然后转送到时间生成器 38 上, 用来作为下面所述的最后变化时间比率的最高有效位 (*MSB*)。最后, 线路 116 上的检测标志  $DF_i$  是线 76 上的  $DF_i$  的半速率等效值。即, 如果在两个相邻采样周期  $2T_s (=T_d)$  的任何地方有一个判定为合格的阈值变化检测, 那么线路 116 就被确认。

图 5 示出时间生成器 38 的一个详细实施例。生成器 38 的目的是通过解与数字信号  $(Y_{k-1}, Y_k)$  相关的插值方程来估算零交叉到达时间, 该数字信号  $(Y_{k-1}, Y_k)$  代表保存在寄存器 102 和 104 (图 4) 中的相邻采样对  $(S_{i-1}, S_i)$ 。这对采样输入到总线 110 和 112 上的生成器 38 中。图 5 中的总线 110 上的 8 位数字信号被分解, *MSB* 放在线 110b 上, 其余 7 位尾数部分放在总线 110a 上。相似地, 7 个 *LSB* 放

在图 5 中的总线 112b 上。总线 112(图 4)上的 MSB 是不必要的,其可由线 116 上的  $DF_i$  与线 110b 上的符号位相组合给出。

生成器 38 能够求解任何与采样对 ( $S_{i-1}$ ,  $S_i$ ) 检测有关的有用的插值公式。发明人推荐一个简单的线性插值等式。

$$\hat{t}/T_d = \frac{-Y_{k-1}}{Y_k - Y_{k-1}}$$

这里  $Y_k$  是等效于采样  $S_i$  的中间数字信号。对于一个有效的零交叉,  $Y_k$  的符号与  $Y_{k-1}$  的相反,从而上述等式可重写成:

$$\hat{t}/T_d = \frac{|Y_{k-1}|}{|Y_k - Y_{k-1}|}$$

这通过去掉符号位简化了前一个插值等式的求值。

图 5 中,首先是由分母信号总线 118 确定分母  $|Y_k - Y_{k-1}|$ 。这是由多路调制器 100 和 122 以及加法器 124 按如下方式完成的。当在线 110b 上的为正时,多路调制器 120 选择当前信号  $Y_k$  的绝对值并且多路调制器 122 选择延迟信号  $Y_{k-1}$  的绝对值。如果  $Y_k$  的符号为负,那么选择这两个数字信号的二进制补码。加法器 124 将两个选定的 7 位数字信号相加用来提供总线 118 上的分母信号  $|Y_k - Y_{k-1}|$ 。

然后,分母信号 118 可以采用(比方说)倒数变换器 126 来进行求倒数运算,该变换器 126 则可以采用(比方说) 256 字节

检查表方式来操作并且在总线 128 上提供 12 位输出的倒数信号。加法器 130 根据延迟信号  $Y_{k-1}$  的符号位修改多路调制器 122 选中的延迟数字信号  $Y_{k-1}$  并且在总线 132 上生成绝对值  $|Y_k - Y_{k-1}|$ 。多路调制器 134 将总线 128 上的 12 位倒数数据信号与总线 132 上的 7 位分子相乘, 然后从结果中去掉 14 个 LSB, 将 5 位零交叉信号留在总线 136 上。接着将一个采样周期内的这个信号存放在寄存器 138 中用来提供附加的延迟, 这个附加延迟对于使得生成器 38 其余部分的操作同步来说是必需的, 最后, 将输出零交叉估算时间  $t/T_d$  放到总线 40 上, 其 MSB 放在线 40a 上, 用来说明两个相邻采样周期  $T_s$  的哪一个包括该事件。

发明人使用总线 28 上的 8 位输入采样和跟踪阈值位, 以及使用在总线 40 上输出 6 位时间估算值线 42 上输出有效采样标志 (PDF) 来模拟图 2 到图 5 所示的较好实施例, 其中跟踪阈值位指示给定采样是否超过线 32 上的判定阈值。ADTD10 是用 CMOS II 技术实现的, 故其需要大约 1500 个门。这个较好实施例已在磁带数据存储系统中实现。

本发明人还在 APL 中模拟了这个实现, 用以决定实际 ADTD10 的性能是如何与简单理论线性插值公式紧密匹配的。将所有的相邻数字对信号组合提供给 APL 位对位模拟电路。然后, 模拟的 ADTD10 的输出与线性插值公式 (图 5) 的理论解相比并且在图 6 中给出了结果图。

在图 6A 中,  $Y_k$  固定等于 0.5, 而  $Y_{k-1}$  可等于整个量程内的值 (所有量程值都归一化单位 1)。模拟结果与理论结论非常接近。在图 6B 中,  $Y_{k-1}$  固定等于 0.5 而  $Y_k$  可等于整个范围内的值。这时模拟的 ADTD10 的性能再次表现为与可能输入的整个范围值的预期输出几乎相同。图 6a 和图 6b 中的两条曲线的差别是由量化误差造成的。

显然, 鉴于这些说明, 很容易将本发明的其他实施例和各种修改提供给那些一般技术人员。所以当结合上述说明及附图阅读本发明时, 应该理解的是, 本发明只有由下面的权利要求书来限定, 该权利要求书包括了所有这样的实施例和各种修改。

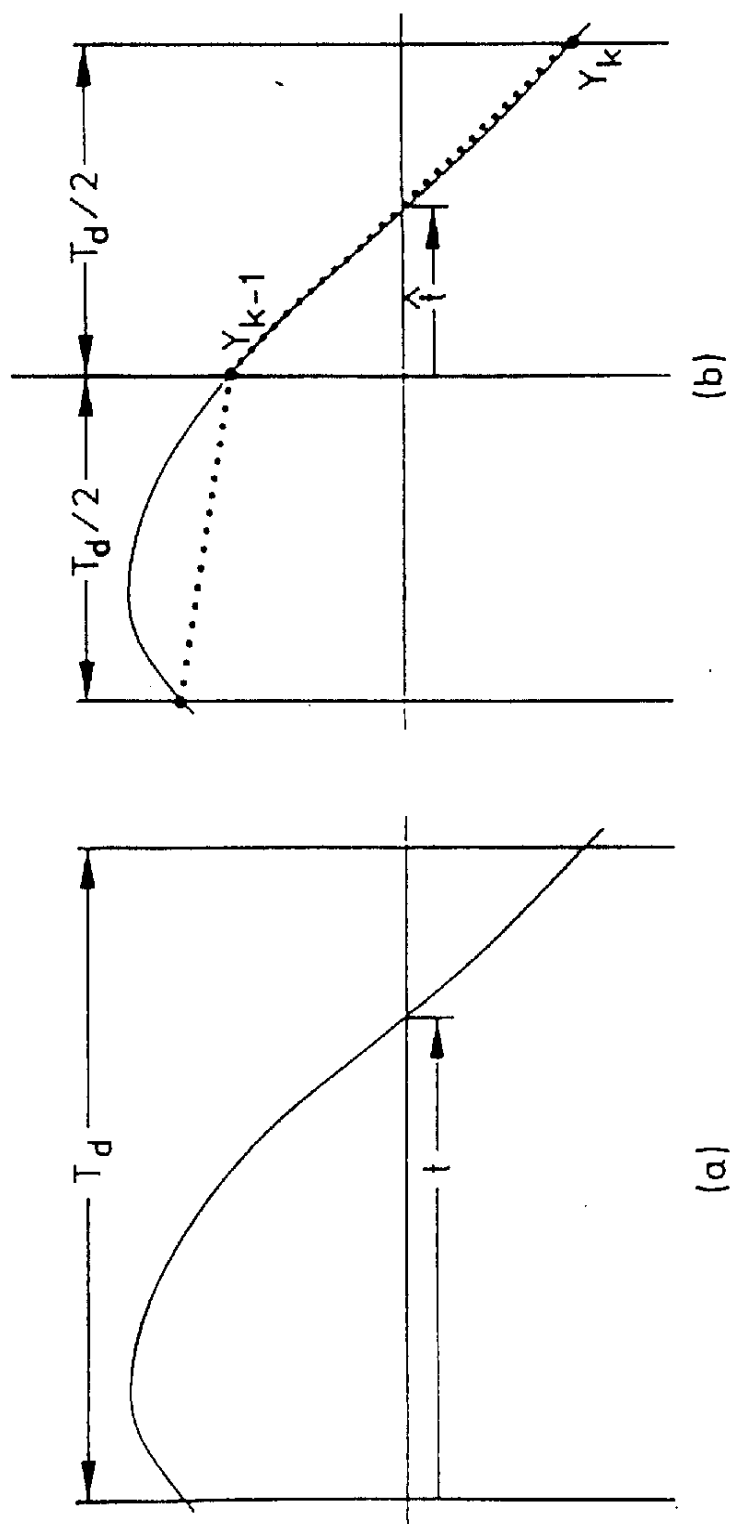


图 1

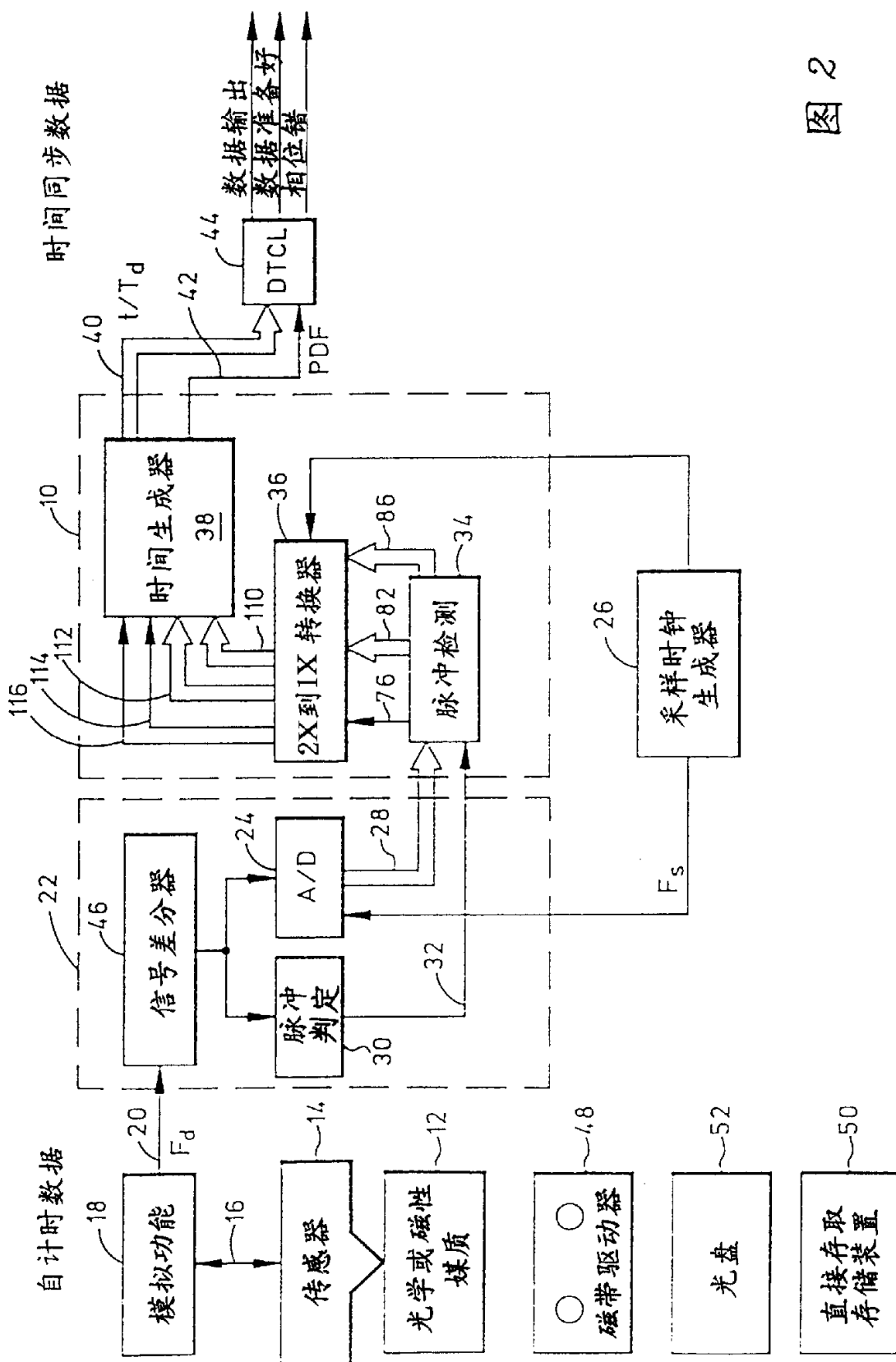


图 2

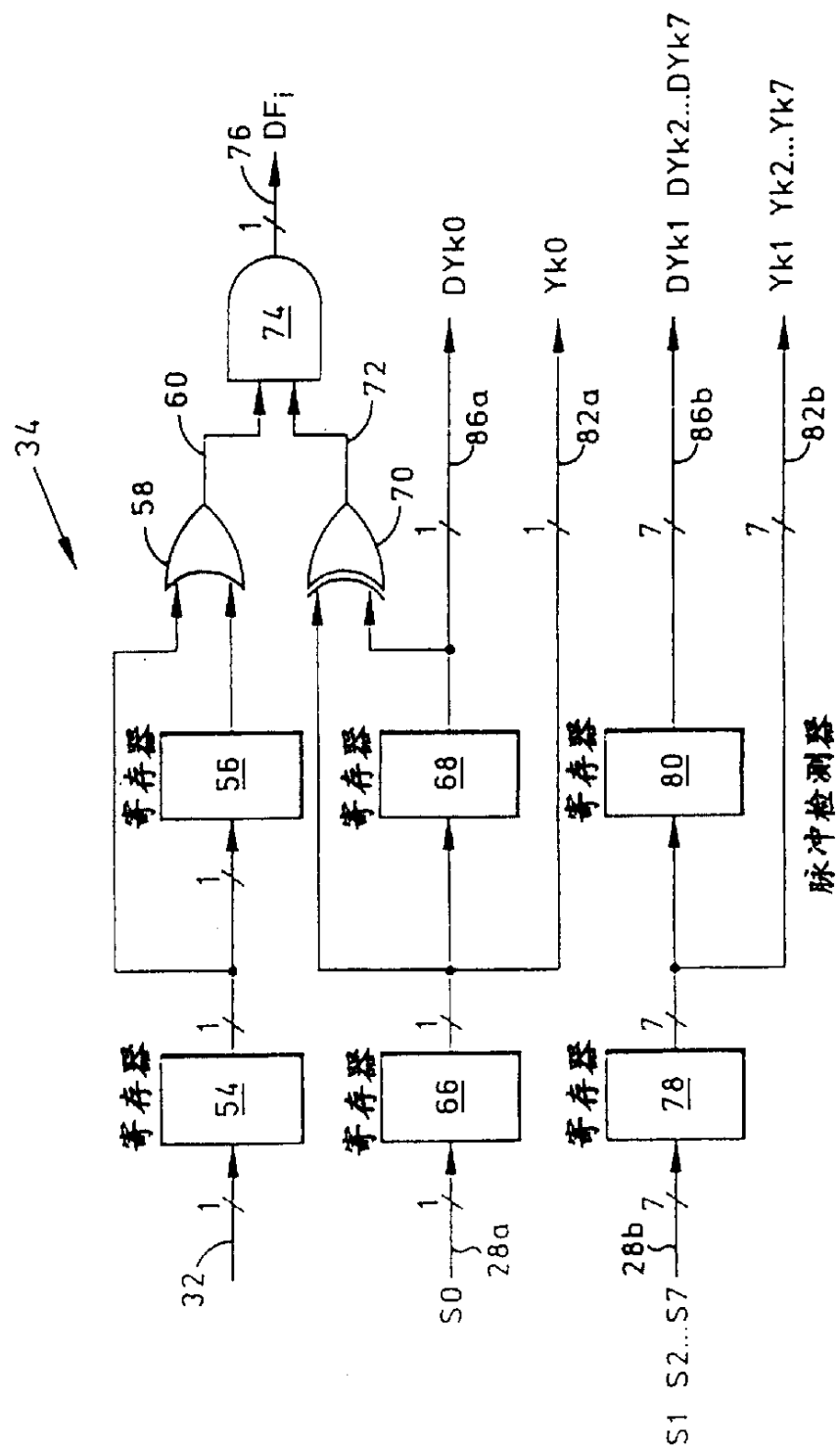


图 3

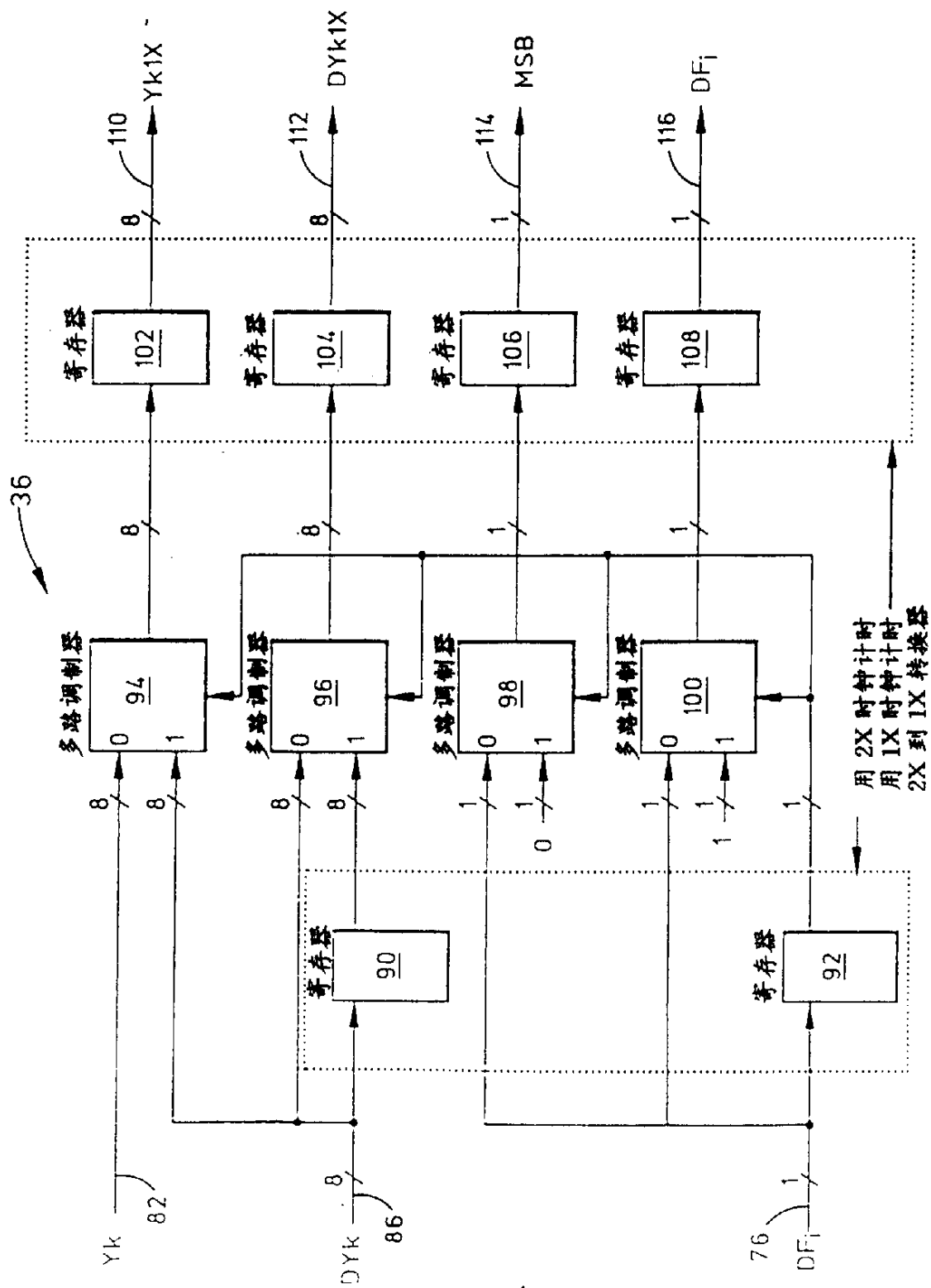


图 4

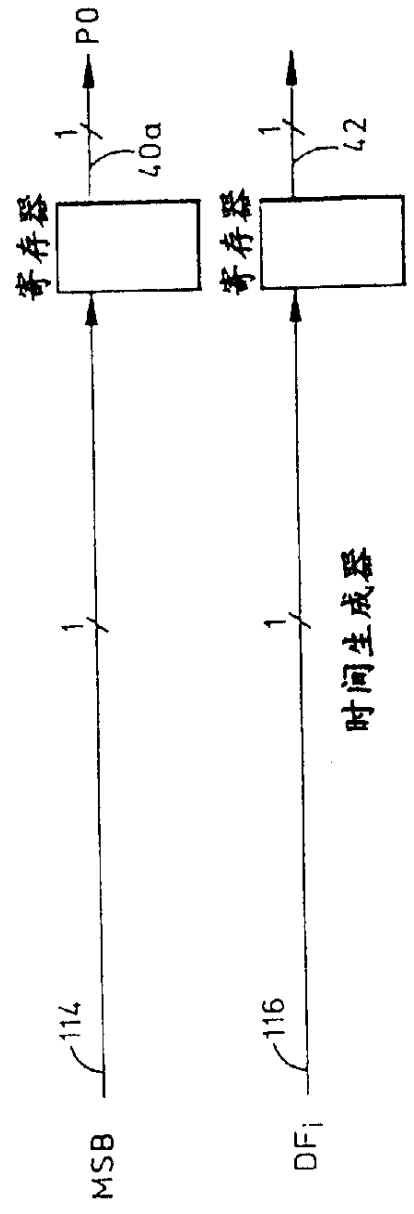
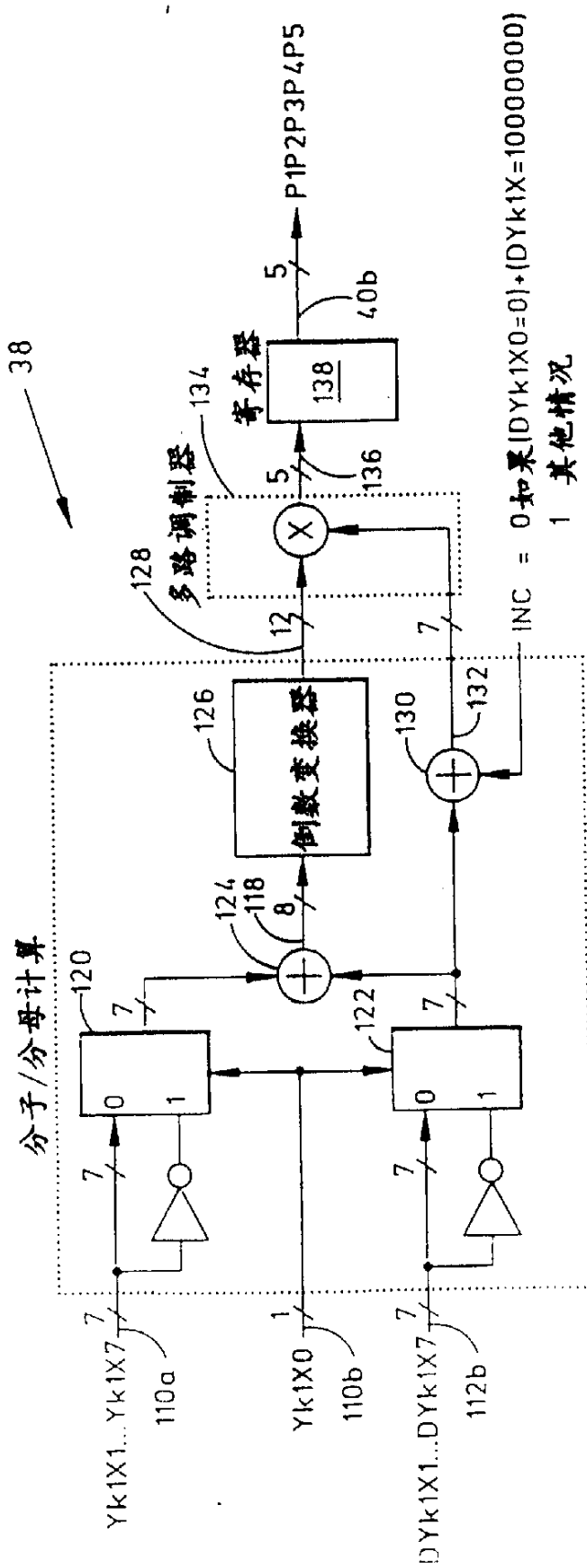


图 5

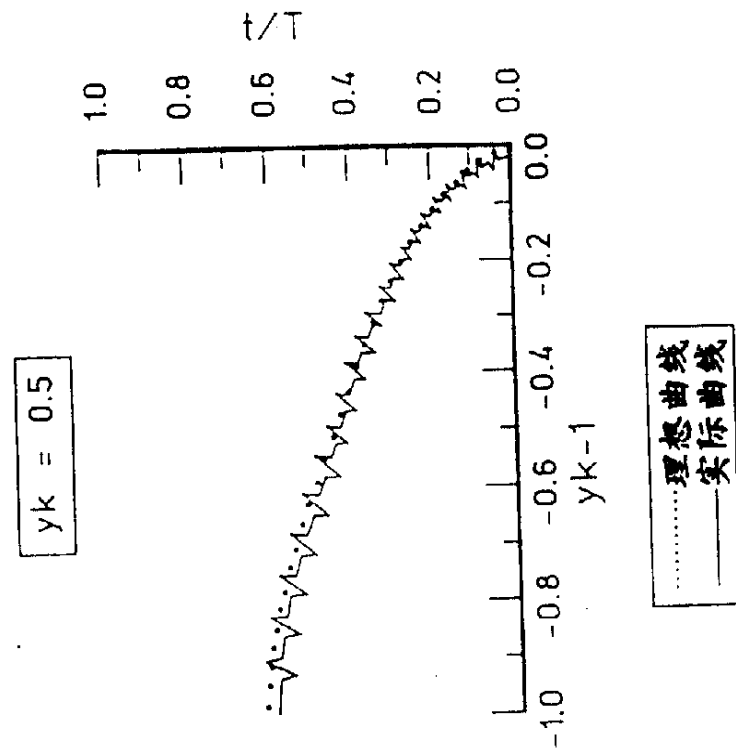


图 6A

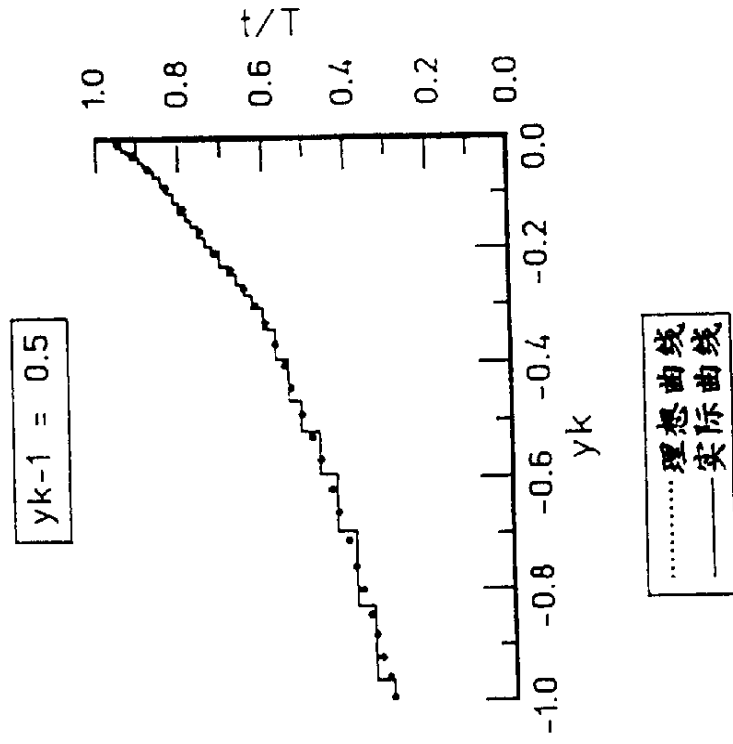


图 6B

图 6