



Europäisches Patentamt
European Patent Office
Office européen des brevets

(19)

(11) Numéro de publication:

0 104 988
A1

(12)

DEMANDE DE BREVET EUROPEEN

(21) Numéro de dépôt: 83401807.9

(51) Int. Cl.³: H 04 B 12/04

(22) Date de dépôt: 15.09.83

(30) Priorité: 21.09.82 FR 8215857

(43) Date de publication de la demande:
04.04.84 Bulletin 84/14

(84) Etats contractants désignés:
DE GB IT

(71) Demandeur: Senn, Patrice
13, Grande Rue
F-38000 Grenoble(FR)

(72) Inventeur: Senn, Patrice
13, Grande Rue
F-38000 Grenoble(FR)

(74) Mandataire: Mongrédién, André et al,
c/o BREVATOME 25, rue de Ponthieu
F-75008 Paris(FR)

(54) Codeur de type delta-sigma, à double intégration et applications de ce codeur à une voie de transmission de type MIC et à la mesure de tensions continues.

(57) L'invention concerne un codeur de type delta-sigma, à double intégration.

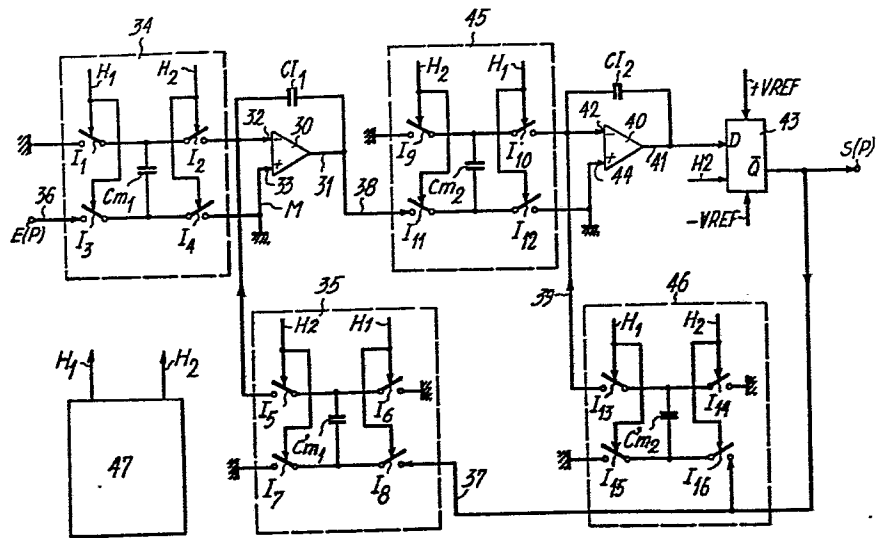
Ce codeur comprend un premier sommateur recevant, une entrée (36), un signal E(p) à coder et le signal codé (Sp) sur une entrée (37), un premier intégrateur recevant sur une entrée (32), un signal de sortie du premier sommateur, un deuxième sommateur recevant sur une entrée (38), le signal de sortie (31) du premier intégrateur, une entrée (39) de ce deuxième sommateur recevant un signal proportionnel au signal codé, un deuxième intégrateur relié au deuxième sommateur, un circuit quantificateur (43) dont une entrée (D) est relié à une sortie (41) du deuxième intégrateur, une sortie Q de ce circuit quantificateur fournissant le signal codé S(p), caractérisé en ce que les intégrateurs et sommateurs sont constitués par circuits comprenant des amplificateurs opérationnels (30, 40) et des montages (35, 36, 45, 46) à capacités commutées.

Applications à une voie de transmission de type MIC, à la mesure de tensions continues, au codage analogique numérique.

EP 0 104 988 A1

./...

FIG. 8



La présente invention concerne un codeur-analogique numérique, de type Delta-Sigma, à double intégration. Cette invention s'applique au codage de signaux et, plus particulièrement, à la transmission de signaux sur des voies de communication de type MIC (Modulation d'Impulsions Codées) ; elle s'applique aussi à la mesure de tensions continues.

Les circuits intégrés sur substrat et notamment les circuits de traitements numériques de signal, sont de plus en plus nombreux et complexes. La qualité du traitement du signal obtenu grâce à ces circuits, ainsi que les performances technologiques (taille des circuits, faible puissance dissipée, fiabilité...) permettent d'envisager continuellement de nouvelles utilisations de ces circuits dans des domaines qui, jusque là, étaient réservés aux circuits analogiques. Toutefois, il se pose actuellement un problème difficile à résoudre qui est celui de l'interface entre la partie analogique et la partie numérique d'un ensemble fonctionnel. Si les techniques de traitements numériques ont évolué très rapidement, il n'en est pas de même pour les interfaces analogiques-numériques.

L'intégration sur substrat, des composants de codeurs analogiques-numériques classiques, est la plupart du temps une solution très coûteuse ; les techniques d'intégration à grande échelle leur sont difficilement applicables.

Il est connu de surmonter cet inconvénient en réalisant un codeur analogique-numérique "à mise en forme du spectre de bruit", tel qu'un codeur de type Delta-Sigma. Ce type de codeur est décrit, notamment dans l'article de Tewksbury and Hallock intitulé "Oversampled, Linear predictive and Noise-Shaping Coders of Order $N > 1$ " paru dans la revue "IEEE Transactions on Circuit and

une étude très approfondie de ce type de codeur est donnée dans l'article "Oversampled, Linear Predictive and Noise-Shaping coders of order $N > 1$ " de TEWKSBURY et HALLOCK paru dans la revue "IEEE transactions" Vol. CAS 25 n°7, Juillet 1978.

5 - La figure 1 représente schématiquement un codeur à mise en forme de spectre de bruit. Ce codeur comprend des additionneurs 1, 2, et un quantificateur 3, qui permet d'échantillonner à une fréquence F_{ech} , un signal $E(Z)$ d'entrée. 10 Il comprend aussi un filtre à réaction $B(Z)$ et, dans une boucle de contre-réaction reliant la sortie du codeur à l'une des entrées du comparateur 1, un filtre de contre-réaction $C(Z)$. Le signal 15 de sortie est référencé $Q(Z)$, tandis que $N(Z)$ représente le bruit propre à tout convertisseur analogique-numérique ; ce bruit apparaît lors de toute opération de quantification dans ce type de conversion. On suppose que le signal d'entrée 20 E_z est déjà échantillonné à la fréquence F_{ech} et, dans la suite de l'exposé, on utilise la variable d'état Z pour représenter les différents signaux.

On sait que le bruit de quantification $N(Z)$ est d'autant plus faible que la quantification 25 est plus fine, c'est-à-dire lorsque le nombre d'éléments binaires en sortie du décodeur est plus élevé. L'intérêt de ce codeur réside dans le fait qu'il peut fonctionner avec une quantification très grossière. La suite de la description ne 30 concerne que les quantificateurs à deux niveaux (un élément binaire).

Le signal de sortie $Q(Z)$ du codeur, s'exprime facilement à partir de $E(Z)$ et de $N(Z)$, de la manière suivante :

$$35 \quad Q(Z) = B(Z) \cdot (E(Z) - Q(Z) \cdot C(Z)) + N(Z)$$

soit :

$Q(Z) = E(Z) \cdot B(Z) / (1 + B(Z) \cdot C(Z)) + N(Z) / (1 + B(Z) \cdot C(Z))$
 $B(Z)$ et $C(Z)$ représentent les fonctions de transfert
des filtres à réaction et contre-réaction.

On dit que l'on a un codeur à mise en
5 forme du spectre de bruit quand $B(Z)$ et $C(Z)$ vérifient
les équations suivantes :

$$B(Z) / (1 + B(Z) \cdot C(Z)) = Z^{-P} \text{ (déphaseur pur)}$$

$$1 + B(Z) \cdot C(Z) = H(Z)$$

10

Il a été démontré, notamment dans l'article
de Tewksburry and Hallock, mentionné plus haut,
qu'une fonction B_Z de la forme $1/(1-Z^{-1})^n$, relative
à un intégrateur numérique d'ordre n , minimise
15 la puissance de bruit dans une bande de fréquence
 B de signal (s'étendant de zéro à B). Lorsque
cette fonction est mise en oeuvre, le codeur à
mise en forme du spectre de bruit est alors un
codeur de type delta-sigma, dont l'ordre est donné
20 par la puissance n de la fonction $B(Z)$.

- La figure 2 représente schématiquement
un codeur delta-sigma d'ordre 1. Ce codeur qui
est aussi décrit dans l'article précité, comprend
un additionneur Σ qui reçoit sur son entrée un
25 signal $E(Z)$ déjà échantillonné, et qui reçoit
sur une autre entrée, le signal de sortie $Q(Z)$.
Ce codeur comprend aussi un intégrateur 5 constitué
de façon connue, par un circuit à amplificateur
opérationnel ; la sortie de cet intégrateur est
30 reliée à l'entrée d'un quantificateur 6, recevant
sur une entrée de commande un signal d'échantillonnage
à une fréquence F_{ech} . Dans le cas de ce codeur
à mise en forme du bruit d'ordre 1, on a :

$$B(Z) = Z^{-1} / (1 - Z^{-1})$$

35 dans cette relation $B(Z)$ est la fonction de transfert
en Z d'un intégrateur associé à un bloqueur d'ordre
0. Dans ce cas, $C(Z) = 1$ et il en résulte :

$$Q(Z) = Z^{-1} \cdot E(Z) + (1-Z^{-1}) Q^Z.$$

Dans cette relation, si l'on fait abstraction de $Z^{-1} \times E(Z)$ et qui correspond à un simple retard, on obtient bien une équation de la forme $H(Z) = 1 + B(Z) \cdot C(Z)$ mentionnée plus haut.

L'emploi de codeurs delta-sigma comme échantillonneur dans un convertisseur analogique-MIC a été proposé dans l'article "A single Channel PCM Codec" par J.D. EVERARD, IEEE, ICC 1978, Toronto Juin 1978.

Pour le codeur décrit dans cet article, la fréquence d'échantillonnage est de 2,048 MHz. Cette fréquence ne permet pas d'obtenir le rapport signal/bruit imposé par les normes, notamment aux faibles niveaux. Il a été proposé également (cf. "Improvements to delta sigma modulators when used for PCM encoding" de J.D. EVERARD dans Electronics Letters, 22 Juillet 1976, vol. 12, n° 15 page 379) d'augmenter le rapport signal/bruit aux faibles niveaux, en injectant un signal de brouillage à une fréquence telle qu'il soit filtré par le filtre numérique de sous-échantillonnage. Ce procédé augmente le rapport signal/bruit aux faibles niveaux, mais le dégrade aux forts niveaux.

La réalisation d'un codeur de type delta-sigma d'ordre 2 (ou à double intégration) a été proposée, notamment dans le brevet français n° 2 462 062 déjà cité. Dans ce document, le codeur est appliqué à une voie de transmission par modulations d'impulsions codées et les filtres de réaction et de contre-réaction qu'il utilise sont, pour l'essentiel, réalisés à partir de techniques numériques. La réalisation de ce codeur a été effectuée après une étude comparative de différents codeurs delta-sigma du premier ordre, utilisant des techniques numériques ; ces codeurs sont décrits, notamment

dans l'article "A single PCM Codec" d'EVERARD -
 IEEE Journal of Solid State Circuits - vol. SC-
 14, 1er février 1979, et aussi dans l'article
 "Single-Chip per channel Codec with filters utilizing
 5 delta-sigma Modulations" de MISAWA, INERSEN, LOPORCADRO
 and RUCH - IEEE Journal of Solid-State Circuits
 vol. SC 16 - 4 août 1981.

L'étude de ces différentes réalisations
 montre que les performances atteintes sont insuffisantes
 10 pour que des systèmes de transmission utilisant
 ce type de codeurs puissent respecter correctement
 les normes imposées par le CCITT et, en particulier,
 l'avis G712 de ce Comité.

La figure 3 est un schéma de principe
 15 d'un codeur delta-sigma, à double intégration,
 de type connu, tel que décrit dans le brevet français
 n° 2 462 062 précité. Le codeur delta-sigma représenté
 sur cette figure comprend un premier additionneur
 10 et un second additionneur 11. Le premier additionneur
 20 10 reçoit d'une part le signal d'entrée E(Z) et,
 d'autre part, le signal Q(Z) de sortie du codeur.
 La sortie de ce premier additionneur est reliée
 à l'entrée d'un premier intégrateur 12. La sortie
 du premier intégrateur 12. est reliée à une entrée
 25 du second additionneur 11, qui reçoit à travers
 un filtre de contre-réaction 13 récursif d'ordre
 deux (multiplicateur par deux), le signal de sortie
 Q(Z) du codeur. La sortie du second additionneur 11
 est reliée à une entrée d'un second intégrateur 14. Enfin, la sortie de ce
 30 second intégrateur est reliée à une entrée d'un circuit de quantification
 15, commandé par un signal d'échantillonnage présen-
 tant une fréquence d'échantillonnage F_{ech} . La
 sortie de ce circuit d'échantillonnage constitue
 la sortie du codeur delta-sigma à double intégration.

35 Cette fonction de transfert est de la forme

$$F(p) = \frac{p + 2/\tau}{2\tau \cdot p^2}$$
 comme indiqué dans la demande



de brevet précitée. Dans cette relation, $\tau = 1/f_{ech}$ désigne la période d'échantillonnage.

Un exemple de réalisation d'un codeur delta-sigma d'ordre II n'utilisant qu'un seul amplificateur opérationnel, est décrit dans le
 5 brevet français n° 2 462 062 précité. Ce codeur est représenté schématiquement sur la figure 4 et sa fonction de transfert est la suivante :

$$10 \quad F(p) \approx \frac{-2RC \left(p + \frac{1}{2RC} \right)}{R_1 RC^2 p^2}$$

$$15 \quad F(p) \approx - (16R/R_1) \frac{p + \frac{1}{2RC}}{8R C p^2} = GF(p)$$

qui devient $F(p) = \frac{p+2/\tau}{2\tau p^2}$

$$20 \quad \text{en posant } G = -16 (R/R_1) \quad \tau = 1/f_{ech} = 4RC$$

Le codeur delta sigma à double intégration représenté sur cette figure comprend un amplificateur
 25 opérationnel 20, avec, dans sa voie de contre-réaction une cellule formée de deux condensateurs 21, 22 de capacité C, reliés en série, et d'une résistance en parallèle 23, de valeur R. La sortie de l'amplificateur opérationnel est reliée à deux bascules
 30 en cascade 24 et 25 ; les sorties de ces bascules sont reliées à l'entrée de l'amplificateur opérationnel 20 par des résistances 26 et 27 de valeurs respectives R' et 2R'. La valeur de la résistance 27 est le double de celle de la résistance 26 pour réaliser
 35 un codeur binomial. Les deux bascules 24 et 25,

associées aux résistances 26 et 27, réalisent la fonction de transfert

$$C(z) = 2 - z^{-1}$$

5 La sortie de la deuxième bascule est faite sur \bar{Q} .

Les expériences montrent que si l'on choisit $R' = R_1$ (R_1 résistance d'entrée 28), la tension du filtre d'ordre deux atteint des valeurs trop élevées qui peuvent occasionner des blocages.

10 Pour éviter cet inconvénient, au lieu de prendre

$$C(z) = 2 - z^{-1},$$

on prend

$$C(z) = 2(2 - z^{-1})$$

15 Sur le schéma de la figure 4, F_{ch} représente la fréquence d'échantillonnage des signaux d'échantillonnage appliqués sur les entrées C des bascules 24 et 25, de type D, tandis que $+V_{REF}$ et $-V_{REF}$ représentent des tensions de référence appliquées à ces bascules.

20 Ce montage est très sensible au bruit et la valeur des composants qu'il utilise le rend difficilement intégrable.

La présente invention a pour but de remédier à ces inconvénients et notamment, de réaliser

25 un codeur de type delta-sigma, à double intégration, peu sensible au bruit, présentant des composants facilement intégrables. Ces buts sont atteints grâce à des sommateurs, des intégrateurs et des filtres (circuit multiplicateur) utilisant des

30 montages à capacités commutées, notamment dans le codeur delta-sigma à double intégration, tel que décrit à la figure 3.

L'invention a pour objet un codeur de type delta-sigma, à double intégration, comprenant

35 un premier sommateur recevant, sur une première entrée, un signal à coder et recevant

le signal codé sur une deuxième entrée, un premier
intégrateur recevant sur une entrée un signal
de sortie du premier sommateur, un deuxième sommateur
recevant sur une première entrée, le signal d'une
5 sortie du premier intégrateur, une deuxième entrée
de ce deuxième sommateur recevant un signal présentant
une amplitude moyenne proportionnelle à l'amplitude
du signal codé, un deuxième intégrateur recevant
sur une entrée le signal de sortie du deuxième
10 sommateur, un circuit quantificateur dont une
entrée est reliée à une sortie du deuxième intégrateur,
et dont une entrée de commande reçoit un signal
d'échantillonnage du signal à coder, une sortie
de ce circuit quantificateur fournissant le signal
15 codé, caractérisé en ce que le premier sommateur
et le premier intégrateur comprennent un premier
amplificateur opérationnel dont une sortie est
reliée à une entrée négative de cet amplificateur
par une capacité d'intégration, une entrée positive
20 de ce premier amplificateur étant reliée à une
masse de référence, et deux premiers circuits
non inverseurs à capacités commutées reliés en
parallèle sur les entrées du premier amplificateur
opérationnel et recevant respectivement sur des
25 entrées le signal à coder et le signal codé, le
deuxième sommateur et le deuxième intégrateur
comprenant un deuxième amplificateur opérationnel
dont une sortie est reliée, d'une part à une entrée
négative de cet amplificateur par une capacité
30 d'intégration et est reliée, d'autre part, à l'entrée
du circuit quantificateur une entrée positive
de ce deuxième amplificateur étant reliée à la
masse de référence et deux deuxièmes circuits
non inverseurs à capacités commutées reliés en

parallèle sur les entrées du deuxième amplificateur opérationnel et recevant respectivement sur des entrées le signal de sortie du premier amplificateur, et un signal d'amplitude moyenne proportionnelle à l'amplitude du signal codé.

Selon une autre caractéristique de l'invention, chacun des premiers circuits non inverseurs comprend un premier jeu de deux interrupteurs connectés en série entre la masse de référence et l'entrée négative du premier amplificateur et un deuxième jeu de deux interrupteurs connectés en série entre la masse de référence et, respectivement, pour les premiers circuits non inverseurs une ligne fournissant le signal à coder, et la sortie du circuit quantificateur, une capacité de commutation reliant dans chacun des premiers circuits non inverseurs un point commun aux interrupteurs du premier jeu à un point commun aux interrupteurs du second jeu, chacun des deuxièmes circuits non inverseurs comprenant un premier jeu de deux interrupteurs connectés en série entre la masse de référence et l'entrée négative du deuxième amplificateur, et un deuxième jeu de deux interrupteurs connectés en série entre la masse de référence et, respectivement, pour les deuxièmes circuits non inverseurs, la sortie du premier amplificateur et la sortie du circuit quantificateur, une capacité de commutation reliant un point commun aux interrupteurs du premier jeu à un point commun aux interrupteurs du deuxième jeu.

Selon une autre caractéristique, le codeur comprend en outre un circuit d'horloge

fournissant deux trains d'impulsion de commande des ouvertures et fermetures des interrupteurs des circuits non inverseurs ces impulsions ayant une fréquence égale à une fréquence d'échantillonnage du signal à coder, l'un des interrupteurs de chaque jeu étant ouvert lorsque l'autre est fermé, et réciproquement.

Selon une autre caractéristique, le circuit quantificateur est une bascule de type D dont une entrée est reliée à la sortie du deuxième amplificateur une autre entrée de commande de cette bascule recevant les impulsions de l'un des trains, une sortie de cette bascule fournissant le signal codé.

Enfin selon d'autres caractéristiques, le codeur de l'invention s'applique à une chaîne de codage-décodage d'une voie de transmission de type MIC, ainsi qu'à la mesure de tensions continues.

Les caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre, donnée en référence aux dessins annexés dans lesquels :

- la figure 1 qui a déjà été décrite représente schématiquement un codeur à mise en forme spectrale, de type connu ;
- la figure 2 qui a déjà été décrite représente schématiquement un codeur de type delta-sigma d'ordre un, connu dans l'état de la technique ;
- la figure 3 qui a déjà été décrite représente schématiquement un codeur de type delta-sigma, de type connu, d'ordre deux ;
- la figure 4, déjà décrite représente une réalisation pratique, connue, du codeur de la figure 3 ;

- la figure 5 est un schéma de principe d'un circuit à capacité commutée, équivalent à une résistance ;
- la figure 6 est un schéma de principe d'un intégrateur-inverseur à capacités commutées ;
- 5 - la figure 7 est un schéma de principe d'un intégrateur non inverseur à capacités commutées utilisé dans le codeur de l'invention ;
- la figure 8 est un schéma d'un codeur delta-sigma, à double intégration, conforme à l'invention, dans lequel les intégrateurs, sommateurs et
10 filtres (multiplicateurs) utilisent des amplificateurs opérationnels et des capacités commutées ;
- la figure 9 est une chaîne de codage-décodage d'une voie de transmission MIC à laquelle s'applique
15 le codeur ;
- la figure 10 est un montage par lequel le codeur de l'invention permet la mesure de tensions continues.

Les figures 1, 2, 3 et 4 ont déjà été décrites
20 pour expliquer le principe de fonctionnement des codeurs à spectre de bruit et des codeurs de type delta-sigma ; elles ne seront pas de nouveau décrites.

Comme on l'a mentionné plus haut, le codeur delta-sigma, à double intégration, de l'invention,
25 utilise des intégrateurs et des sommateurs à amplificateurs opérationnels et capacités commutées.

La figure 5 représente schématiquement un circuit qui permet de simuler une résistance en commutant une capacité C entre deux sources
30 de tension V_1 et V_2 , grâce à deux interrupteurs I_1 , I_2 , reliés en série et recevant respectivement les tensions V_1 , V_2 ; le point commun de ces interrupteurs est relié à l'une des bornes de la capacité C, l'autre borne de cette capacité étant reliée
35 à une masse de référence M. Cette technique de

simulation de résistance par commutations de capacités est bien connue, notamment dans les circuits intégrés MOS ; elle est décrite notamment dans l'article "MOS SAMPLED DATA recursive filters using switched Capacitor Integrators" de HOSTICKA, 5
BRODERSEN and GRAY. - IEEE Journal of Solid State Circuits, vol. SC-12, 6 décembre 1977.

Le circuit représenté sur cette figure fonctionne de la manière suivante :

10 Lorsque l'interrupteur I_1 est fermé (l'interrupteur I_2 étant ouvert), la charge de la capacité C est : $Q_1 = C.V_1$. Ensuite, l'interrupteur I_2 est fermé et l'interrupteur I_1 est ouvert ; la charge de la capacité C est alors : $Q_2 = C.V_2$.
15 Les ouvertures et fermetures des interrupteurs I_1 et I_2 peuvent être par exemple commandées par des impulsions d'horloge H_1, H_2 de période F_{ech} . Ces opérations d'ouverture et de fermeture sont répétées à une fréquence F_{ech} . Pendant une période
20 d'horloge F_{ech} , une quantité de charge $Q = CV_1 - CV_2$ s'écoule de la source de tension V_1 vers la source de tension V_2 ; cette quantité de charge correspond à un courant moyen :

$$\bar{I} = C (V_1 - V_2) \cdot F.$$

25 Il en résulte que la capacité est équivalente à une résistance connectée entre les deux sources de tension V_1 et V_2 . Cette résistance équivalente a pour valeur :

$$30 \quad R_{eq.} = \frac{I}{C \cdot F_{ech}}.$$

La technique de simulation de résistance par capacités commutées peut être utilisée pour réaliser un circuit intégrateur-inverseur tel que représenté sur la figure 6. Cet intégrateur
35 comprend, de manière connue, un amplificateur opérationnel 6 dont la borne positive est reliée à la masse de référence M ; la sortie S(P) de

cet amplificateur, qui constitue également la
 sortie de l'intégrateur-inverseur, est reliée
 à l'entrée négative de l'amplificateur opérationnel
 par l'intermédiaire d'une capacité d'intégration
 5 C_I . La résistance d'intégration qui est normalement
 reliée à l'entrée négative de l'amplificateur
 opérationnel, est ici simulée par un circuit à
 capacité commutée (décrit sur la figure 4), qui
 reçoit le signal $E(P)$ à intégrer. Ce circuit comprend
 10 une capacité C_m située entre la masse de référence
 M et le point commun aux deux interrupteurs I_1 ,
 I_2 , commandés par les signaux d'horloge H_1 , H_2 .
 Si l'on suppose la fréquence maximum du signal
 utile $S(P)$, très inférieure à la fréquence d'échantil-
 15 lonnage $F_{ech.}$, il est possible de remplacer directe-
 ment dans la fonction de transfert de l'intégrateur,
 la résistance R normalement reliée à l'entrée
 négative de l'amplificateur opérationnel 6, par
 son expression équivalente $R_{eq.} = 1/C_m \cdot F_{ech.}$, obtenue
 20 grâce à la capacité C_m et aux interrupteurs I_1 ,
 I_2 . Si l'on désigne par $F_{ech.}$ la période du signal
 d'échantillonnage, la fonction de transfert du
 circuit intégrateur-inverseur représenté sur la
 figure, peut s'écrire :

$$25 \quad H(P) = \frac{C_m}{C_I \cdot F_{ech.}} \cdot \frac{1}{P}$$

à condition que la fréquence F du signal d'entrée $E(P)$
 soit bien inférieure à la fréquence d'échantillon-
 30 nage $F_{ech.} = \frac{1}{T_{ech.}}$.

L'avantage essentiel de ce circuit est
 de pouvoir remplacer le produit $R \cdot C_I$ d'intégration
 dont les éléments sont difficilement intégrables
 de façon précise, tout en étant peu encombrants, par un rapport
 des capacités C_m et C_I qui peut être contrôlé
 35 de façon très précise, au cours d'un procédé de
 fabrication de circuits intégrés.

La figure 7 représente schématiquement un circuit intégrateur non inverseur, à capacités commutées, qui sera, comme on le verra plus loin en détail, utilisé dans le codeur delta-sigma de l'invention. Ce circuit est une variante du circuit de la figure 5 dans lequel on inverse la charge avant de l'injecter vers l'entrée négative de l'amplificateur opérationnel, qui lui-même est monté en inverseur. Le circuit comprend, comme précédemment, un amplificateur opérationnel 6 dont la borne positive est reliée à une masse de référence M ; la sortie S(P) de cet amplificateur, qui constitue également la sortie du circuit intégrateur, est reliée à l'entrée négative de l'amplificateur, par une capacité d'intégration C_I .

Dans ce montage, la capacité C_m est associée à deux jeux d'interrupteurs (I_1, I_2), (I_1', I_2') dont les ouvertures et fermetures sont commandées par des signaux d'horloge H_1, H_2 , à la fréquence d'échantillonnage f_{ech} . Les interrupteurs I_1, I_2 sont reliés en série entre la masse de référence M et l'entrée négative de l'amplificateur opérationnel 6, leur point commun étant relié à l'une des bornes de la capacité C_m ; les interrupteurs I_1', I_2' sont eux aussi reliés en série. L'une des bornes de l'interrupteur I_1' reçoit le signal d'entrée E(P) et l'une des bornes de l'interrupteur I_2' est reliée à la masse de référence M ; le point commun aux deux interrupteurs est relié à une autre borne de la capacité C_m . Ce montage permet d'inverser la charge de la capacité C_m avant de l'injecter à l'entrée de l'amplificateur 6. En effet, lorsque les interrupteurs I_1, I_1' sont fermés, la capacité C_m se charge dans le sens indiqué par la flèche 7, tandis que lorsque les interrupteurs I_2, I_2' sont fermés, la capacité se charge dans le sens de la flèche 8 et

la charge est donc inversée à l'entrée négative de l'amplificateur opérationnel monté en inverseur. Ce montage à capacité commutée est donc non inverseur et permet de simuler une résistance d'intégration à l'entrée de l'amplificateur

5 opérationnel 6 et a pour principal avantage d'être insensible aux capacités parasites dues aux interrupteurs, précisément parce qu'il permet d'inverser la charge de la capacité C_m . Ces avantages sont d'ailleurs décrits dans l'article "Improved

10 Circuits for the realization of Switched Capacitor filters" de MARTIN - IEEE Transaction on Circuit and Systems - vol CAS27 du 4 avril 1980.

Il est d'ailleurs possible de connecter plusieurs capacités commutées à l'entrée A de

15 l'amplificateur opérationnel 6, de manière par exemple à réaliser des opérations de sommation, puis d'intégration. Dans ce cas, l'équation de la fonction de transfert de l'intégrateur-sommeur à m entrées, est de la forme :

20

$$H(Z) = \sum_{i=1}^{i=m} \frac{C_{mi}}{C_I} \cdot \frac{Z^{-1/2}}{(1-Z^{-1})}$$

25

La fonction de transfert $H(P)$ de cet intégrateur-inverseur est la même que celle de l'intégrateur-inverseur de la figure 6.

30

La figure 8 représente schématiquement un codeur de type delta-sigma, à double intégration, conforme à l'invention. Ce codeur comprend un premier sommateur-intégrateur recevant sur une première entrée 36 un signal $E(P)$ à coder et sur une deuxième entrée 37 le signal codé de sortie $S(P)$. Selon l'invention, le premier som-

35 teur et le premier intégrateur comprennent un premier amplificateur opérationnel 30 dont une sortie 31 est reliée à une entrée négative 32

de cet amplificateur, par une capacité d'intégration CI_1 . Une entrée positive 33 de ce premier amplificateur est reliée à une masse de référence M. Ce premier intégrateur et ce premier som-

5 teur comprennent aussi deux premiers circuits inverseurs 34, 35 à capacités $Cm_1, C'm_1$, commutés. Ces deux premiers circuits inverseurs sont reliés en parallèle sur les entrées 32, 33 du premier amplificateur opérationnel et reçoivent

10 respectivement, sur des entrées, 36, 37 le signal $E(P)$ à coder et le signal codé $S(P)$ de sortie du codeur.

Ce codeur comprend aussi un deuxième sommateur-intégrateur recevant sur une première

15 entrée 38 le signal de sortie du premier intégrateur-sommateur et sur une deuxième entrée 39, un signal dont l'amplitude moyenne est proportionnelle à l'amplitude du signal codé de sortie $S(P)$. Le deuxième sommateur et le deuxième intégrateur

20 comprennent un deuxième amplificateur opérationnel 40 dont une sortie 41 est reliée, d'une part, à une entrée négative 42 de cet amplificateur, par une capacité d'intégration CI_2 , et d'autre part, à une entrée D d'un circuit quantificateur

25 43. Ce circuit quantificateur est constitué par une bascule de type D. Une entrée positive 44 du deuxième amplificateur 40 est reliée à la masse de référence M. Le deuxième sommateur et le deuxième intégrateur comprennent aussi deux deuxièmes

30 circuits inverseurs 45, 46 à capacités commutées $Cm_2, C'm_2$. Ces deux circuits inverseurs sont reliés en parallèle sur les entrées 42, 44 du deuxième amplificateur 40. Ces circuits reçoivent

35 respectivement, sur des entrées 38, 39, le signal de sortie du premier amplificateur 30 et un signal dont l'amplitude moyenne est proportionnelle à

l'amplitude du signal codé. Le signal codé S(P) est obtenu sur la sortie complémentaire \bar{Q} de la bascule D. Cette bascule comprend aussi une entrée de commande à laquelle sont appliqués des signaux H_2 d'un circuit d'horloge, qui seront décrits plus loin en détail. Des tensions de référence +VREF et -VREF sont appliquées sur deux autres entrées de cette bascule.

Chacun des premiers circuits inverseurs 34, 35, comprend un premier jeu de deux interrupteurs connectés en série entre la masse de référence M et l'entrée négative 32 du premier amplificateur 30. Le premier jeu de deux interrupteurs est représenté en I_1, I_2 , pour le circuit non inverseur 34, tandis que ce premier jeu d'interrupteurs est représenté en I_5, I_6 , pour le circuit non inverseur 35.

Chacun des premiers circuits inverseurs 34, 35, comprend aussi un deuxième jeu d'interrupteurs connectés en série entre la masse de référence M et, respectivement, pour ces deux premiers circuits, l'entrée ou ligne 36 fournissant le signal E(P) à coder et la sortie \bar{Q} du circuit quantificateur 43. Sur la figure, les deuxièmes jeux d'interrupteurs sont représentés respectivement en I_3, I_4 et I_7, I_8 . Le deuxième jeu d'interrupteurs I_3, I_4 , est relié en série entre la masse de référence M et l'entrée ou ligne 36 fournissant le signal E(P) à coder. Le deuxième jeu d'interrupteurs I_7, I_8 , est relié en série entre la masse de référence M et la sortie \bar{Q} du circuit quantificateur 43. Dans chacun de ces premiers circuits inverseurs 34, 35, une capacité de commutation relie un point commun aux interrupteurs du premier jeu à un point commun aux interrupteurs du second jeu. C'est ainsi que la capacité Cm_1 relie le point commun

aux interrupteurs I_1, I_2 , à un point commun aux interrupteurs I_3, I_4 ; la capacité $C'm_1$ relie un point commun aux interrupteurs I_5, I_6 , à un point commun aux interrupteurs I_7, I_8 .

5 Chacun des deuxièmes circuits inverseurs 45, 46 comprend un premier jeu de deux interrupteurs, connectés en série entre la masse de référence M et l'entrée négative 42 du deuxième amplificateur 40 ; chacun de ces circuits comprend aussi un
10 deuxième jeu de deux interrupteurs, connectés en série entre la masse de référence M et, respectivement, pour les deux deuxièmes circuits inverseurs, la sortie 31 du premier amplificateur 30 et la sortie \bar{Q} du circuit quantificateur 43.

15 Sur la figure, les premiers jeux de deux interrupteurs sont représentés respectivement en I_9, I_{10} et I_{15}, I_{16} pour les deuxièmes circuits inverseurs 45, 46 ; les deuxièmes jeux de deux interrupteurs sont représentés respectivement
20 en I_{11}, I_{12} et I_{15}, I_{16} , pour les deuxièmes circuits inverseurs 45, 46. Dans chacun de ces circuits, une capacité de commutation relie un point commun aux interrupteurs du premier jeu à un point commun aux interrupteurs du deuxième
25 jeu. C'est ainsi que la capacité Cm_2 relie un point commun aux interrupteurs I_9, I_{10} , à un point commun aux interrupteurs I_{11}, I_{12} , et que la capacité $C'm_2$ relie un point commun aux interrupteurs I_{13}, I_{14} , à un point commun aux interrupteurs I_{15}, I_{16} .
30

Le codeur comprend aussi un circuit d'horloge 47 fournissant deux trains d'impulsions H_1, H_2 , de commande des ouvertures et fermeture des interrupteurs de chacun des circuits inver-
35 seurs 35, 36, 45, 46. Ces impulsions ont été décrites

plus haut, aux figures 5, 6, 7 ; les impulsions H_2 de l'un de ces trains d'impulsions sont aussi appliquées sur une entrée de commande de la bascule 43. En fait, ces impulsions ont une fréquence
5 égale à la fréquence d'échantillonnage du signal à coder et elles agissent de manière que l'un des interrupteurs de chaque jeu soit ouvert lorsque l'autre est fermé, et réciproquement.

Le fonctionnement des deux paires de
10 circuits sommateurs-intégrateurs constitués respectivement par l'amplificateur opérationnel 30, la capacité d'intégration CI_1 , les deux premiers circuits non inverseurs 34, 35 et par l'amplificateur opérationnel 40, la capacité d'intégration CI_2 ,
15 les deux deuxièmes circuits non inverseurs 45, 46, ne sera pas décrit ici en détail. Ce fonctionnement se déduit facilement des explications données à la figure 7 dans le cas où un second circuit
inverseur est relié au point A représenté
20 sur cette figure. L'amplitude moyenne du signal appliquée sur l'entrée négative 42 du deuxième amplificateur opérationnel 40, est proportionnelle à l'amplitude moyenne du signal codé F(P) de sortie du codeur. Cette proportionnalité est obtenue
25 par un choix prédéterminé des valeurs des capacités $Cm_2, C'm_2$.

Les différents éléments du codeur qui vient d'être décrit sont facilement intégrables sur substrat. Ce codeur ne nécessite aucun artifice
30 pour en assurer la stabilité ou le réglage. Il est en particulier très facilement intégrable par un procédé de fabrication utilisant une technique MOS.

La fonction de transfert de ce codeur
35 s'obtient facilement à partir de l'équation en

z de la fonction de transfert d'un intégrateur
à capacités commutées :

$$Q(Z) = \frac{\gamma_1 \cdot \gamma_2 \cdot E(Z) \cdot Z^{-1} + (1 - Z^{-1})^2 \cdot N(Z)}{Z^{-2} (1 + \gamma'_1 \cdot \gamma_2 - \gamma'_2) + Z^{-1} (\gamma'_2 - 2) + 1}$$

5

avec $\gamma_1 = C_{m1}/C_{I1}$

$\gamma_2 = C_{m2}/C_{I2}$

$\gamma'_1 = C'_{m1}/C_{I1}$

10

$\gamma'_2 = C'_{m2}/C_{I2}$

La fonction de transfert est alors :

$$H(Z) = (1 - Z^{-1})^2$$

Si on prend $\gamma_1 = \gamma'_1 = 0,5$ et $\gamma_2 = \gamma'_2$,

on retrouve :

15

$Q(Z) = Z^{-1} \cdot E(Z) + (1 - Z^{-1})^2 N(Z)$ qui est
bien l'équation d'un codeur à mise en forme du
spectre de bruit.

Une simulation complète de cette structure
sur ordinateur ainsi que des mesures sur une maquette
ont montré que dans ce cas, le gain en tension
était trop élevé, ce qui entraînait des problèmes
de saturation en sortie des amplificateurs opération-
nels.

20

Différents essais ont alors montré qu'une
solution du type :

25

$\gamma_1 = 0,25$; $\gamma'_1 = \gamma_2 = 0,5$ et $\gamma'_2 = 1$
représente un bon compromis entre les performances
théoriques du codeur et les surtensions observées
en sortie des amplificateurs opérationnels.

30

La fonction de transfert devient :

$$Q(Z) = \frac{1/8 E(Z) Z^{-1} + N(Z) (1 - Z^{-1})^2}{1/4 Z^{-2} - Z^{-1} + 1} = H_p(Z) \left[1/8 E(Z) Z^{-1} + N(Z) (1 - Z^{-1})^2 \right]$$

35

$H_p(Z)$ ne modifie pas le rapport signal/bruit
du codeur dans une bande B de signal, mais amène
une légère modification du spectre du signal d'entrée,

mais il faut tenir compte du fait que la fréquence d'échantillonnage est très grande devant la fréquence maximum du signal à coder. Dans le cas de l'application du codeur à une voie MIC, le signal limité à une bande 300-3400 Hz est échantillonné à la fréquence de 2048 kHz et la variation d'atténuation apportée par $H_p(Z)$ est inférieure à 0,02 décibels.

L'opération de quantification est réalisée par une simple bascule de type D. Ce type de circuit est tout à fait insensible à l'offset ou décalage de l'amplificateur opérationnel. En effet, cette tension de décalage peut être considérée comme faisant partie du bruit amené par l'opération de quantification et donc, de ce fait, affectée par la fonction de filtrage $H(Z)$ qui présente une atténuation théorique infinie à la fréquence 0.

Comme on l'a indiqué plus haut, le codeur de l'invention peut s'appliquer à une chaîne de codage-décodage d'une voie de transmission de type MIC. Cette chaîne est représentée sur la figure 9 et elle est décrite dans le brevet français n° 2 462 062 précité. Le codeur delta-sigma d'ordre deux, représenté dans cette chaîne est en fait le codeur de l'invention, qui a été décrit à la figure 8.

La chaîne comprend un codeur analogique-MIC et un décodeur MIC analogique par canal unique de transmission.

Le codeur MIC-analogique comprend un filtre 50 à résistance-capacité, un codeur delta sigma 51, du second ordre, à double intégration, qui est d'un type conforme à celui de l'invention et qui fonctionne à 2,048 MHz, un premier filtre numérique 52 de sous-échantillonnage fonctionnant à 16 kHz, un second filtre numérique 53 de sous-échantillonnage fonctionnant à 8 kHz et un compresseur

54, 12eb - 8eb (eb=éléments binaires).

Le décodeur MIC comprend un expasseur
55, 8eb - 12eb, fonctionnant à 8 kHz, un filtre
numérique 56 interpolateur de sur-échantillonnage,
5 fonctionnant à 32 kHz, un décodeur delta-sigma
57 d'ordre 2 à double intégration numérique, conforme
à l'invention, fonctionnant à 2,048 MHz, et un
filtre 58 à Résistance-Capacité.

Le codeur de l'invention s'applique
10 aussi à la mesure de tensions continues. Dans
un codeur delta-sigma d'ordre 2, le bruit $N(Z)$
amené par l'opération de quantification est filtré
par la fonction $H(Z) = (1-Z^{-1})^2$; fonction dont
le module est proportionnel à $(\sin 2\pi f.T)^2$;
15 T étant la période du signal d'échantillonnage
et f la fréquence où l'on effectue la mesure.

Le codeur amène une atténuation infinie
sur le bruit de quantification à la fréquence
zéro. Il est donc possible d'effectuer des mesures
20 de composantes continues très fines avec un matériel
peu coûteux.

La figure 12 montre un exemple de réalisa-
tion d'un convertisseur analogique-numérique continu
utilisant un codeur 63, conforme à l'invention.

25 Le filtrage numérique est réduit à sa plus simple
expression, c'est-à-dire une simple accumulation
de données dans un accumulateur 60.

On sait que la fonction de transfert
amenée par l'accumulation (addition de n données
30 successives au fur et à mesure de leur arrivée,
puis remise à zéro de l'accumulateur et nouvelle
accumulation sans perte d'information), est de
la forme :

$$35 \quad H(Z) = \frac{1-Z^{-(n+1)}}{1-Z^{-1}}$$

Dans ce cas, le signal de sortie du codeur 63, est échantillonné à la fréquence F/n , F étant la fréquence d'arrivée des échantillons dans l'accumulateur 60.

5 Dans le cas d'une application en mesure de tension absolue, il faut d'abord s'affranchir des imperfections du codeur et notamment de l'offset ou décalage amené par le codeur et qui ne pourrait pas être différencié de la mesure du signal V_e
10 d'entrée. Dans ces conditions, la mesure doit se faire en deux temps :

- mesure du décalage ou offset du codeur 61, en fermant l'entrée sur la masse M. L'interrupteur I est mis dans la position 2 et on mémorise le
15 résultat obtenu par l'unité arithmétique et logique 61, en fin de cette première accumulation ;

- mesure du signal proprement dit, en reliant l'entrée du codeur à la source V_e à mesurer (position 1 de l'interrupteur I) et en initialisant
20 l'accumulateur (60) avec le résultat de la première accumulation après inversion, ou en soustrayant au résultat de l'accumulation obtenue avec V_e , celui de la première accumulation (traitements effectués par l'unité 61).

25 Sur cette figure, I_c est un signal de commande de l'interrupteur I, et H des signaux d'horloge de commande de l'unité 61 et du codeur delta-sigma 63. Si T_m désigne la période des signaux I_c , la fréquence F_H des signaux H doit être bien
30 supérieure à $\frac{1}{T_m}$.

Les résultats des mesures sont obtenus sur la sortie 62 de l'unité 61.

REVENDECATIONS

1. Codeur de type delta-sigma, à double
intégration, comprenant un premier sommateur recevant,
sur une première entrée (36), un signal $E(p)$ à
coder et recevant le signal codé (S_p) sur une
5 deuxième entrée (37), un premier intégrateur recevant
sur une entrée (32), un signal de sortie du premier
sommateur, un deuxième sommateur recevant sur
une première entrée (38), le signal d'une sortie
(31) du premier intégrateur, une deuxième entrée 39 de
10 ce deuxième sommateur recevant un signal présentant une amplitude moyenne
proportionnelle à l'amplitude du signal codé,
un deuxième intégrateur recevant sur une entrée
(42) le signal de sortie du deuxième sommateur,
un circuit quantificateur (43) dont une entrée
15 (D) est reliée à une sortie (41) du deuxième intégrateur,
et dont une entrée de commande reçoit un signal
(H_2) d'échantillonnage du signal (EP) à coder
une sortie \bar{Q} de ce circuit quantificateur fournissant
le signal codé $S(p)$, caractérisé en ce que le
20 premier sommateur et le premier intégrateur compren-
nent un premier amplificateur opérationnel (30)
dont une sortie (31) est reliée à une entrée négative
(32) de cet amplificateur par une capacité d'intégra-
tion (C11), une entrée positive (33) de ce premier
25 amplificateur étant reliée à une masse de référence
(M), et deux premiers circuits inverseurs
(34, 35) à capacités commutées (C_{m1} , C'_{m1}) reliés
en parallèle sur les entrées (32, 33) du premier
amplificateur opérationnel et recevant respectivement
30 sur des entrées (36, 37) le signal à coder $E(p)$
et le signal codé (S_p), le deuxième sommateur
et le deuxième intégrateur comprenant un deuxième
amplificateur opérationnel dont une sortie est
reliée, d'une part à une entrée négative de cet
35 amplificateur par une capacité d'intégration et
est reliée, d'autre part, à l'entrée (D) du circuit

quantificateur (43), une entrée positive (44)
de ce deuxième amplificateur (40) étant reliée
à la masse (M) de référence et deux deuxième
circuits inverseurs (45, 46) à capacités commutées
5 (C_{m2} , C'_{m2}) reliés en parallèle sur les entrées
(42, 44) du deuxième amplificateur opérationnel
et recevant respectivement sur des entrées (38,
39) le signal de sortie du premier amplificateur
(30) et un signal d'amplitude moyenne proportionnelle
10 à l'amplitude du signal codé.

2. Codeur selon la revendication 1,
caractérisé en ce que chacun des premiers circuits
inverseurs (34, 35) comprend un premier jeu
de deux interrupteurs (I_1 , I_2 et I_5 , I_6) connectés
15 en série entre la masse de référence (M) et l'entrée
négative (32) du premier amplificateur (30) et
un deuxième jeu de deux interrupteurs I_3 , I_4 et
 I_7 , I_8) connectés en série entre la masse de référence
(M) et, respectivement, pour les premiers circuits
20 inverseurs (34, 35), une ligne (36) fournissant
le signal $E(p)$ à coder, et la sortie (\bar{Q}) du circuit
quantificateur (43), une capacité (C_{m1} , C_{m2}) de
commutation reliant dans chacun des premiers circuits
inverseurs un point commun aux interrupteurs
25 du premier jeu à un point commun aux interrupteurs
du second jeu, chacun des deuxième circuits
inverseurs (45, 46) comprenant un premier jeu
de deux interrupteurs (I_9 , I_{10} et I_{13} , I_{14}) connectés
en série entre la masse de référence (M) et l'entrée
30 négative (42) du deuxième amplificateur (40),
et un deuxième jeu de deux interrupteurs (I_{11} ,
 I_{12} et I_{15} , I_{16}) connectés en série entre la masse
de référence (M) et, respectivement, pour les
deuxième circuits inverseurs (45, 46), la
35 sortie (31) du premier amplificateur (30) et la

sortie (\bar{Q}) du circuit quantificateur (43), une
capacité de commutation (C_{m_2} ou $C'm_2$) reliant
un point commun aux interrupteurs du premier jeu
à un point commun aux interrupteurs du deuxième
5 jeu.

3. Codeur selon la revendication 2,
caractérisé en ce qu'il comprend en outre un circuit
d' horloge (47) fournissant deux trains d'impulsions
(H_1, H_2) de commande des ouvertures et fermetures
10 des interrupteurs des circuits inverseurs
(35, 36, 45, 46), ces impulsions ayant une fréquence
égale à une fréquence d'échantillonnage du signal
à coder, l'un des interrupteurs de chaque jeu
étant ouvert lorsquel'autre est fermé, et réciproquement.

15 4. Codeur selon la revendication 3,
caractérisé en ce que le circuit quantificateur
(43) est une bascule de type D dont une entrée
(D) est reliée à la sortie du deuxième amplificateur
(40), une autre entrée de commande de cette bascule
20 recevant les impulsions (H_2) de l'un des trains,
une sortie (\bar{Q}) de cette bascule fournissant le
signal codé.

25 5. Application du codeur conforme à
l'une quelconque des revendications 1 à 4, à une
chaîne de codage-décodage d'une voie de transmission
de type MIC.

6. Application du codeur conforme à
l'une quelconque des revendications 1 à 4, à
la mesure de tensions continues.

1/4

FIG.1

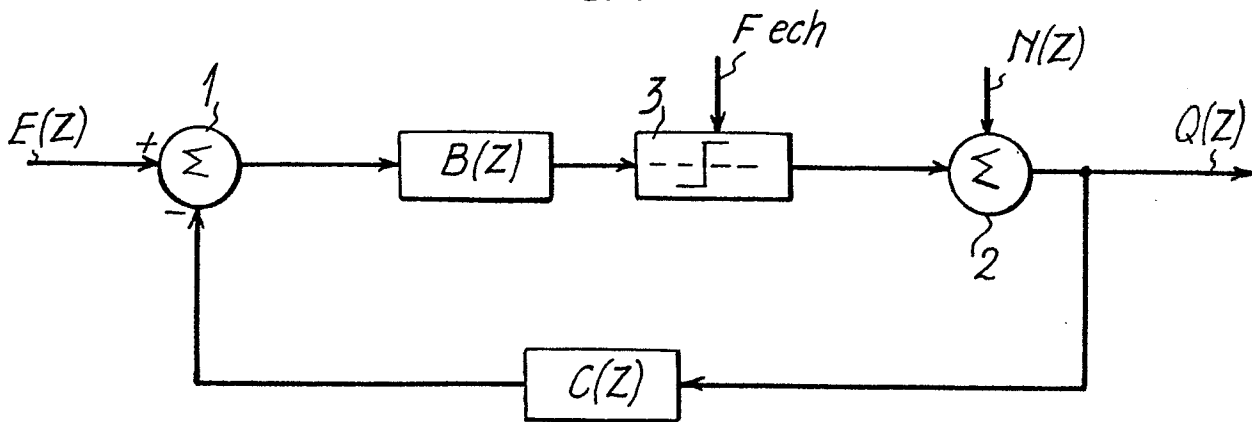


FIG.2

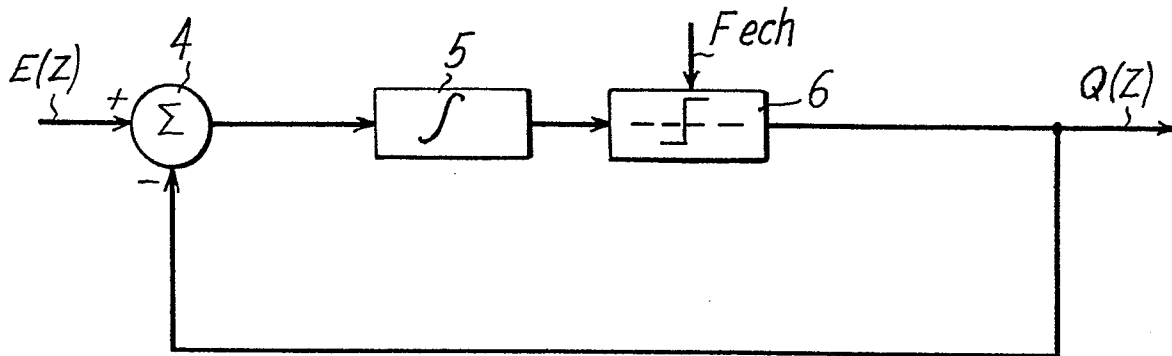


FIG.3

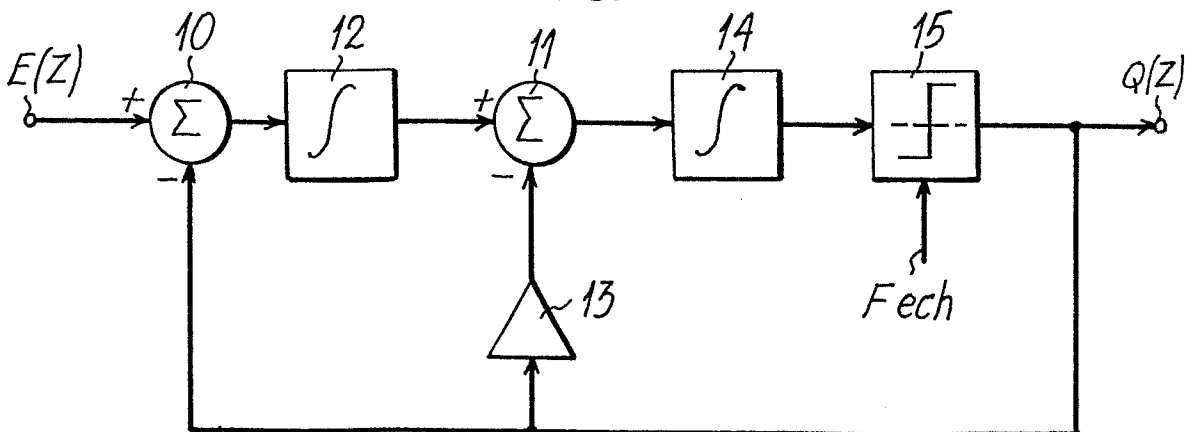


FIG.4

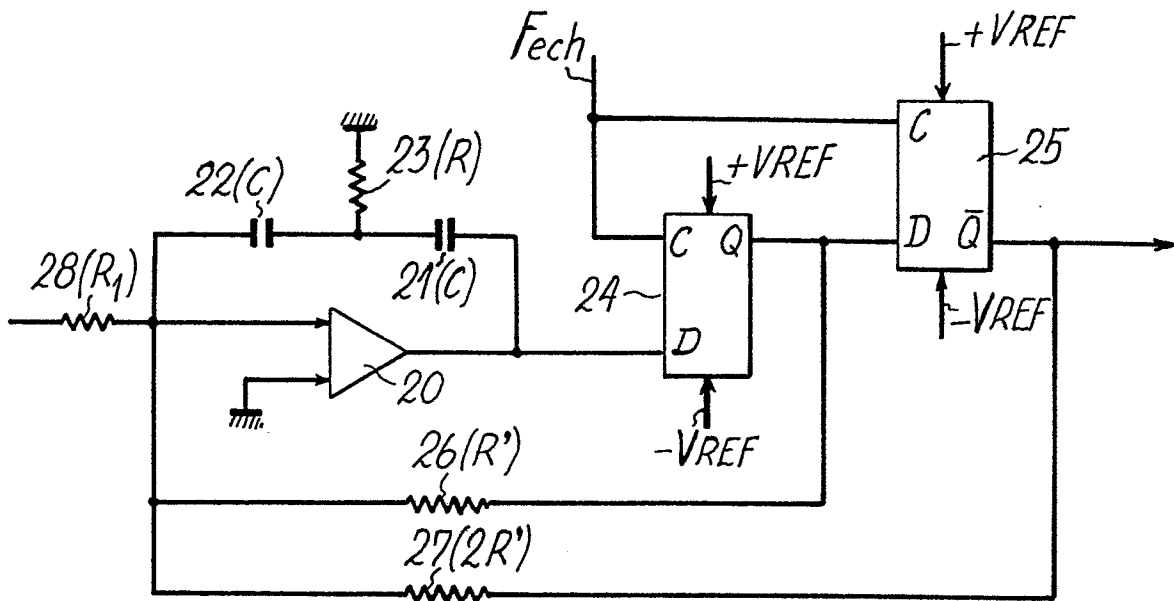


FIG.5

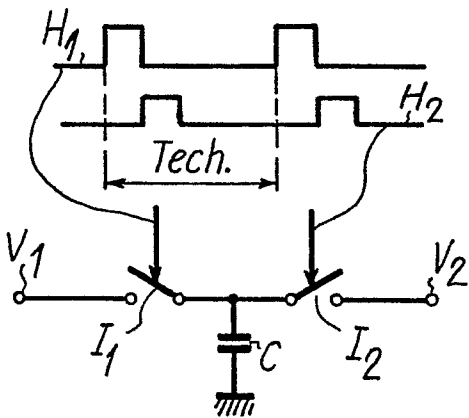


FIG.6

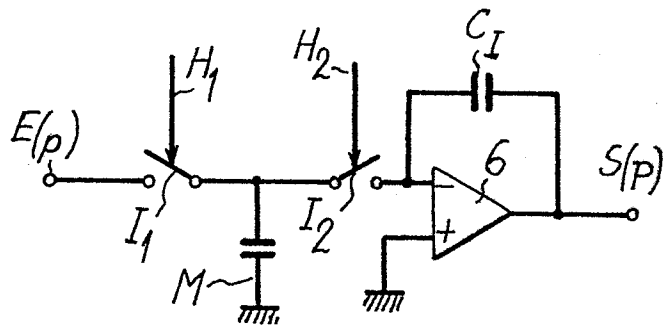


FIG.7

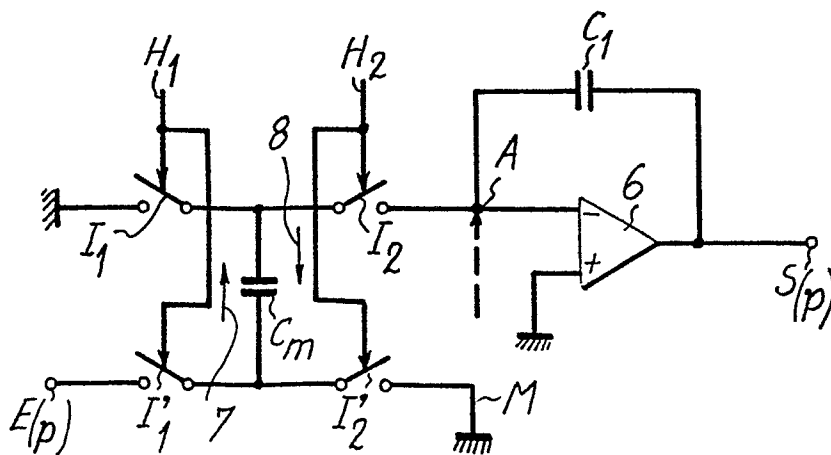
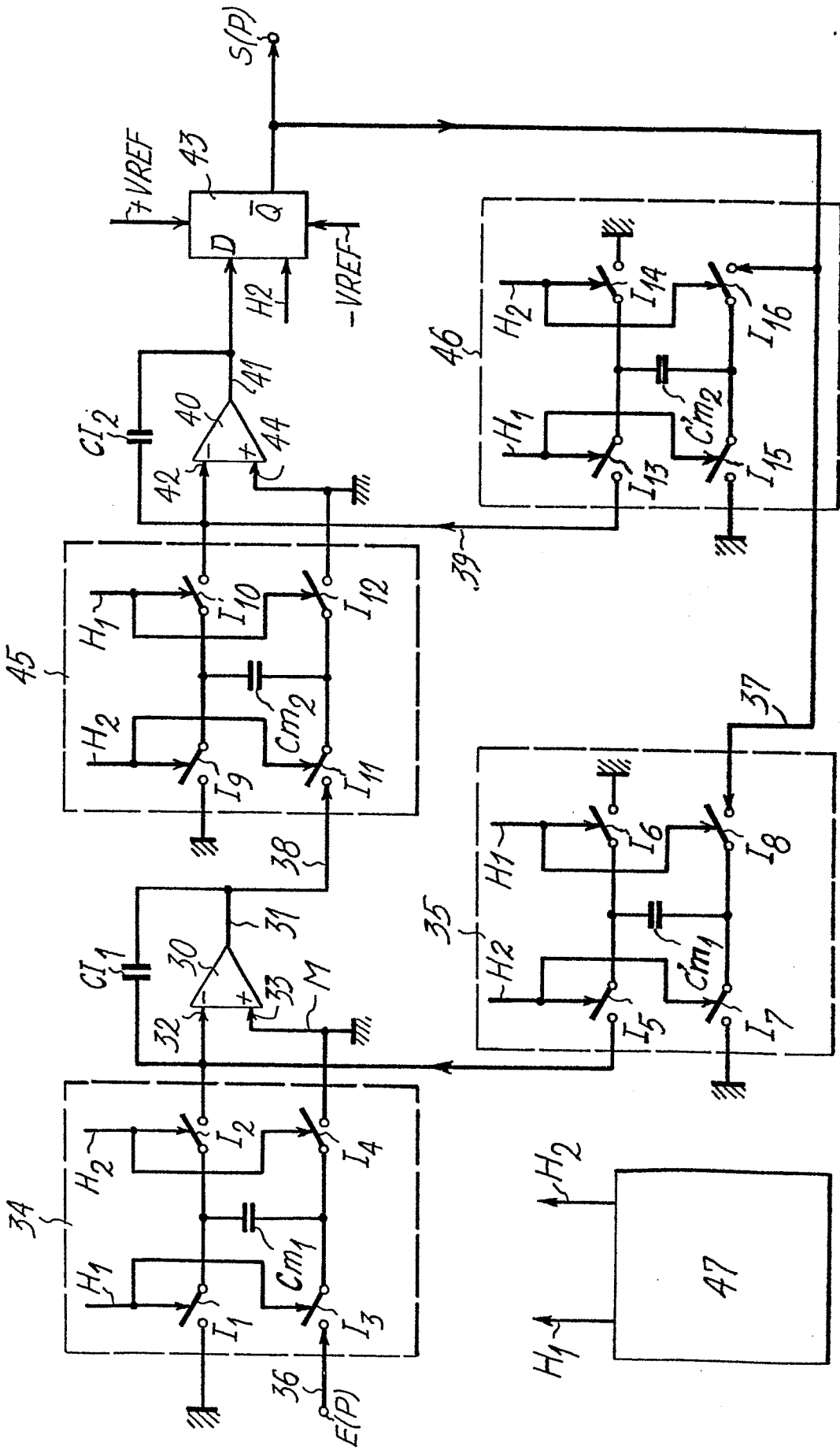


FIG. 8



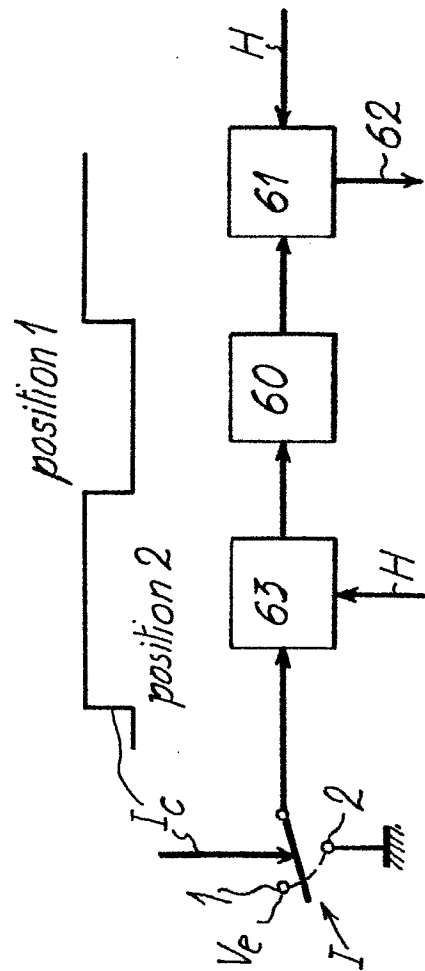
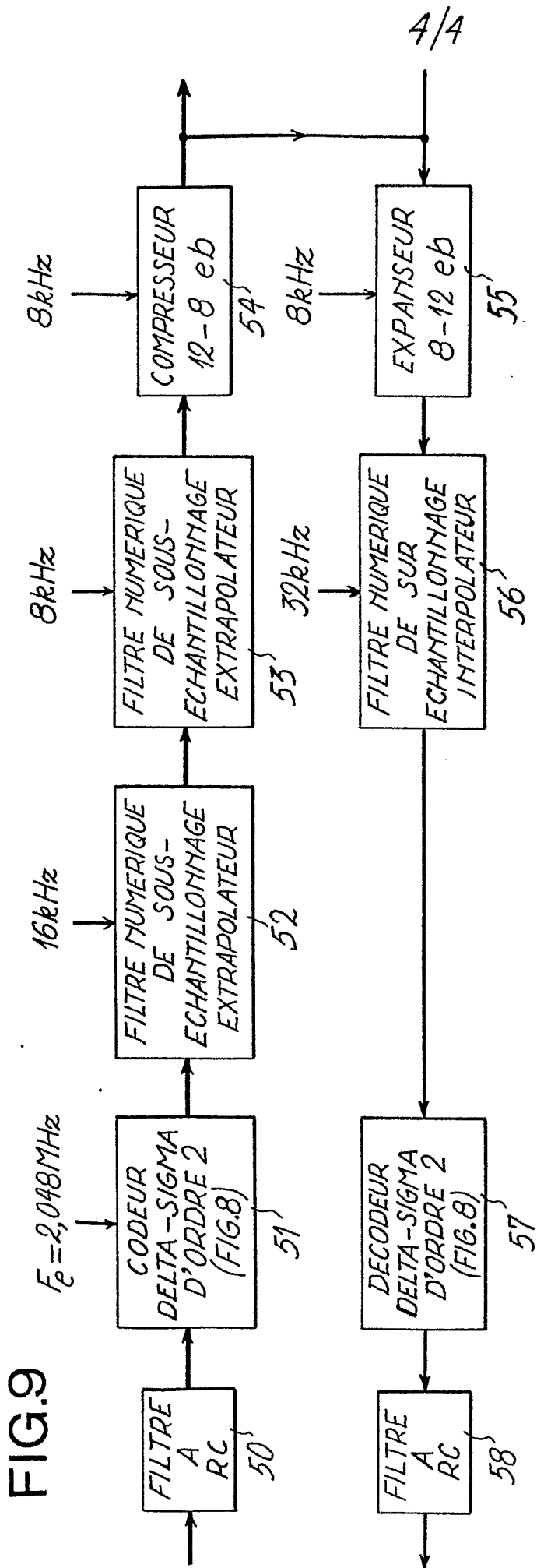


FIG.10



DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl. ³)
D,Y	FR-A-2 462 062 (PETIT) * Page 1, lignes 1-8; page 6, lignes 10-20 *	1	H 04 B 12/04
A	---	5	
D,Y	IEEE JOURNAL OF SOLID-STATE CIRCUITS, vol. SC-12, no. 6, décembre 1977, New York (US) B.J. HOSTICKA et al.: "MOS sampled data recursive filters using switched capacitor integrators", pages 600-608 * Page 602, colonne de gauche, lignes 20-31 *	1	DOMAINES TECHNIQUES RECHERCHES (Int. Cl. ³)
A	---	2	
Y,A	REVIEW OF THE ELECTRICAL COMMUNICATION LABORATORIES, vol. 29, nos. 5-6, mai-juin 1981, Tokyo (JP) A. IWATA et al.: "PCM single-channel CODEC LSIs with CMOS technologies", pages 493-509 * Figure 13 *	1,2	H 04 B
	---	-/-	
Le présent rapport de recherche a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 19-12-1983	Examineur HOLPER G.E.E.
CATEGORIE DES DOCUMENTS CITES		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons	
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		& : membre de la même famille, document correspondant	



DOCUMENTS CONSIDERES COMME PERTINENTS			Page 2
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int. Cl. ³)
A	PATENT ABSTRACTS OF JAPAN, vol. 5, no. 78 (E-58) (750), 22 mai 1981 & JP - A - 56 25827 (NIPPON DENKI K.K.) (12-03-1981) * R _{sum} en entier *	1,3	

			DOMAINES TECHNIQUES RECHERCHES (Int. Cl. ³)
Le présent rapport de recherche a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 19-12-1983	Examineur HOLPER G. E. E.
<p style="text-align: center;">CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons</p> <p>& : membre de la même famille, document correspondant</p>			