

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6219224号  
(P6219224)

(45) 発行日 平成29年10月25日(2017.10.25)

(24) 登録日 平成29年10月6日(2017.10.6)

(51) Int.Cl.	F 1
HO 1 L 29/73 (2006.01)	HO 1 L 29/72 Z
HO 1 L 21/331 (2006.01)	HO 1 L 29/78 301 X
HO 1 L 21/336 (2006.01)	HO 1 L 27/06 321 B
HO 1 L 29/78 (2006.01)	HO 1 L 27/06 321 E
HO 1 L 27/06 (2006.01)	

請求項の数 5 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2014-87027 (P2014-87027)  
 (22) 出願日 平成26年4月21日 (2014.4.21)  
 (65) 公開番号 特開2015-207649 (P2015-207649A)  
 (43) 公開日 平成27年11月19日 (2015.11.19)  
 審査請求日 平成28年9月23日 (2016.9.23)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 100110928  
 弁理士 速水 進治  
 (74) 代理人 100127236  
 弁理士 天城 聰  
 (72) 発明者 鈴木 久満  
 神奈川県川崎市中原区下沼部1753番地  
 ルネサスエレクトロニクス株式会社内  
 審査官 小川 将之

最終頁に続く

(54) 【発明の名称】半導体装置

## (57) 【特許請求の範囲】

## 【請求項 1】

半導体基板と、前記半導体基板に形成された第1の第1導電型領域と、前記第1の第1導電型領域の表層に形成された第2導電型領域と、前記第2導電型領域の上に位置する第1半導体層と、前期第1半導体層に形成されており、底部が前記第2導電型領域に接続している第2の第1導電型領域と、前記第1の第1導電型領域に接続する第1コンタクトと、前記第2導電型領域に接続する第2コンタクトと、前記第2の第1導電型領域に接続する第3コンタクトと、を備え、前記半導体基板は第1導電型であり、さらに、前記半導体基板に形成され、前記第1の第1導電型領域の側面及び底面を囲む第2導電型の分離領域を備える半導体装置。

## 【請求項 2】

半導体基板と、前記半導体基板に形成された第1の第1導電型領域と、前記第1の第1導電型領域の表層に形成された第2導電型領域と、前記第2導電型領域の上に位置する第1半導体層と、

10

20

前期第1半導体層に形成されており、底部が前記第2導電型領域に接続している第2の第1導電型領域と、

前記第1の第1導電型領域に接続する第1コンタクトと、

前記第2導電型領域に接続する第2コンタクトと、

前記第2の第1導電型領域に接続する第3コンタクトと、

前記半導体基板のうち前記第1半導体層とは異なる場所に形成された第2半導体層と、

前記第2半導体層に形成され、ソースとなる第1不純物領域と、

前記第2半導体層に形成され、前記第1不純物領域から離れており、ドレインとなる第2不純物領域と、

前記第2半導体層のうち前記第1不純物領域と前記第2不純物領域の間に位置する部分  
10  
に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、  
を備える半導体装置。

#### 【請求項3】

基板と、

前記基板の一部の上に形成された第1半導体層と、

前記第1半導体層に形成された第1の第1導電型領域と、

前記第1半導体層に形成され、前記第1の第1導電型領域から離れている第2の第1導電型領域と、

前記第1半導体層に形成され、前記第1の第1導電型領域と前記第2の第1導電型領域  
20  
とを接続する第2導電型領域と、

を備え、

前記基板は第1導電型の半導体基板であり、

さらに、前記半導体基板に形成され、前記第1半導体層の底面を囲む第2導電型の分離領域を備える半導体装置。

#### 【請求項4】

請求項3に記載の半導体装置において、

前記基板のうち前記第1半導体層とは異なる場所に形成された第2半導体層と、

前記第2半導体層に形成され、ソースとなる第1不純物領域と、

前記第2半導体層に形成され、前記第1不純物領域から離れており、ドレインとなる第2不純物領域と、

前記第2半導体層のうち前記第1不純物領域と前記第2不純物領域の間に位置する部分  
30  
に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、  
を備える半導体装置。

#### 【請求項5】

請求項4に記載の半導体装置において、

前記第1半導体層の上面に形成された絶縁層と、

前記絶縁層を挟んで前記第2導電型領域の上に位置する被覆膜と、  
40  
を備え、

前記被覆膜は、前記ゲート電極と同一の材料によって形成されている半導体装置。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

本発明は、半導体装置に関し、例えばバイポーラトランジスタを有する半導体装置に適用可能な技術である。

##### 【背景技術】

##### 【0002】

一つの半導体基板に電気回路を作りこむ際に、半導体基板にバイポーラトランジスタを設ける場合がある。例えば特許文献1，2，3には、半導体基板の厚さ方向に、エミッタ  
50

となる不純物層、ベースとなる不純物層、及びコレクタとなる不純物層を重ねることにより、バイポーラトランジスタを形成することが記載されている。

### 【0003】

また近年は、FET(Field Effect Transistor)を微細化するために、FETをフィン型の半導体層を用いて形成することが行われている(例えば特許文献4,5)。

### 【先行技術文献】

#### 【特許文献】

#### 【0004】

【特許文献1】特開平5-90278号公報

【特許文献2】特開2005-236084号公報

10

【特許文献3】特開2011-119344号公報

【特許文献4】特開2007-165780号公報

【特許文献5】特開2011-119344号公報

### 【発明の概要】

### 【発明が解決しようとする課題】

#### 【0005】

本発明者は、フィン型の半導体層を用いてバイポーラトランジスタを形成することを検討した。その他の課題と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

### 【課題を解決するための手段】

20

#### 【0006】

一実施の形態によれば、半導体装置は、基板、第1の第1導電型領域、第2導電型領域、第1半導体層、第2の第1導電型領域、第1コンタクト、第2コンタクト、及び第3コンタクトを備えている。基板は半導体基板である。第1の第1導電型領域は第1導電型の不純物領域であり、基板に形成されている。第2導電型領域は第2導電型の不純物領域であり、第1の第1導電型領域の表層に形成されている。第1半導体層はフィン型の半導体層であり、第2導電型領域の上に位置している。第2の第1導電型領域は第1半導体層に形成されており、底部が第2導電型領域に接続している。第1コンタクトは第1の第1導電型領域に接続しており、第2コンタクトは第2導電型領域に接続しており、第3コンタクトは第2の第1導電型領域に接続している。

30

#### 【0007】

また、他の一実施の形態にかかる半導体装置は、基板上の第1半導体層に、第1の第1導電型領域、第2の第1導電型領域、および第2導電型領域を有している。第2の第1導電型領域は第1の第1導電型領域から離れている。そして第2導電型領域は、第1の第1導電型領域と第2の第1導電型領域とを接続している。

### 【発明の効果】

#### 【0008】

前記一実施の形態によれば、フィン型の半導体層を用いてバイポーラトランジスタを形成することができる。

### 【図面の簡単な説明】

40

#### 【0009】

【図1】第1の実施形態に係る半導体装置の構成を示す斜視図である。

【図2】半導体装置の平面図である。

【図3】図2のA-A'断面図である。

【図4】半導体装置の製造方法を説明する図である。

【図5】半導体装置の製造方法を説明する図である。

【図6】半導体装置の製造方法を説明する図である。

【図7】半導体装置の製造方法を説明する図である。

【図8】半導体装置の製造方法を説明する図である。

【図9】半導体装置の変形例を示す図である。

50

【図10】第2の実施形態に係る半導体装置の平面図である。

【図11】図10のA-A'断面図である。

【図12】第3の実施形態に係る半導体装置の構成を示す斜視図である。

【図13】第3の実施形態に係る半導体装置の平面図である。

【図14】図13のB-B'断面図である。

【図15】第3の実施形態に係る半導体装置の製造方法を説明するための図である。

【図16】第3の実施形態に係る半導体装置の変形例を示す図である。

【図17】第4の実施形態に係る半導体装置の平面図である。

【図18】図17のB-B'断面図である。

【図19】第5の実施形態に係る半導体装置の構成を示す斜視図である。 10

【図20】第5の実施形態に係る半導体装置の平面図である。

【図21】図20のB-B'断面図である。

【図22】第5の実施形態に係る半導体装置の変形例を示す図である。

【図23】第6の実施形態に係る半導体装置の構成を示す断面図である。

【図24】第7の実施形態に係る半導体装置の平面図である。

【図25】図24のB-B'断面図である。

#### 【発明を実施するための形態】

##### 【0010】

以下、実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。 20

##### 【0011】

###### (第1の実施形態)

図1は、第1の実施形態に係る半導体装置SDの構成を示す斜視図である。図2は、半導体装置SDの平面図であり、図3は図2のA-A'断面図である。なお、図3においては、説明のため、絶縁膜INSL2より上の層及び各コンタクトを省略している。また、図1において、バイポーラトランジスタBPTを有する基板SUBと電界効果型トランジスタFETを有する基板SUBとを、説明のため互いに分離して示しているが、これらは一つの基板SUBである。

##### 【0012】

実施形態に係る半導体装置SDは、基板SUB、コレクタCOR(第1の第1導電型領域)、ベースBSE(第2導電型領域)、第1半導体層SCL1、エミッタEMI(第2の第1導電型領域)、第1コンタクトCON1、第2コンタクトCON2、及び第3コンタクトCON3を備えている。基板SUBは半導体基板である。コレクタCORは第1導電型の不純物領域であり、基板SUBに形成されている。ベースBSEは第2導電型の不純物領域であり、コレクタCORの表層に形成されている。第1半導体層SCL1はフィン型の半導体層であり、ベースBSEの上に位置している。エミッタEMIは第1半導体層SCL1に形成されており、底部がベースBSEに接続している。第1コンタクトCON1はコレクタCORに接続しており、第2コンタクトCON2はベースBSEに接続しており、第3コンタクトCON3はエミッタEMIに接続している。以下、詳細に説明する。 30

##### 【0013】

基板SUBは例えばシリコン基板である。そして、同一の基板SUBには、バイポーラトランジスタBPT及び電界効果型トランジスタFETが形成されている。本図に示す例において、基板SUBは第2導電型、例えばp型の半導体基板となっている。この場合、バイポーラトランジスタBPTのエミッタEMI及びコレクタCORはn型である。ただし、基板SUBがn型の半導体基板である場合、バイポーラトランジスタBPTのエミッタEMI及びコレクタCORはp型である。

##### 【0014】

バイポーラトランジスタBPTは、バーティカル型のバイポーラトランジスタであり、上記したエミッタEMI、ベースBSE、及びコレクタCORを備えている。そしてバイ 50

ポーラトランジスタBPTのエミッタEMIは、フィン型の第1半導体層SCL1を用いて形成されている。本図に示す例において、第1半導体層SCL1は第1導電型の半導体層になっており、第1半導体層SCL1の全体がエミッタEMIとなっている。ベースBSE及びコレクタCORは、基板SUBに不純物イオンを注入することにより形成されている。一方、エミッタEMIは、第1半導体層SCL1を形成した後、第1半導体層SCL1に不純物イオンを注入することにより、形成されている。

#### 【0015】

電界効果型トランジスタFETはフィン型の第2半導体層SCL2を用いて形成されている。具体的には、基板SUBの上には、例えば酸化シリコン膜などの絶縁膜INSL1が形成されている。絶縁膜INSL1は、素子分離膜であり、第2半導体層SCL2よりも浅い。このため、第2半導体層SCL2は絶縁膜INSL1から出ている。そして電界効果型トランジスタFETのゲート電極GEは、第2半導体層SCL2の一部をまたぎつつ、絶縁膜INSL1の上に形成されている。なお、第1半導体層SCL1と第2半導体層SCL2は、同一方向に延在しているのが好ましい。また、絶縁膜INSL1は、基板SUBのうちバイポーラトランジスタBPTが形成されている領域にも形成されている。

10

#### 【0016】

第2半導体層SCL2とゲート電極GEの間には、ゲート絶縁膜GINSが形成されている。ゲート絶縁膜GINSは、例えば第2半導体層SCL2を熱酸化することにより形成されている。そして第2半導体層SCL2のうちゲート電極GEで覆われていない領域には不純物が導入されている。これにより、第2半導体層SCL2にはソースSOUとなる第1不純物領域及びドレインDRNとなる第2不純物領域が形成される。言い換えると、ゲート絶縁膜GINS及びゲート電極GEは、第2半導体層SCL2のうち第1不純物領域及び第2不純物領域の間に位置する部分に形成されている。

20

#### 【0017】

そして、絶縁膜INSL1上には層間絶縁膜である絶縁膜INSL2が形成されている。絶縁膜INSL1及び絶縁膜INSL2には、第1コンタクトCON1、第2コンタクトCON2、第3コンタクトCON3、及びコンタクトCON4, CON5, CON6が埋め込まれている。第1コンタクトCON1はコレクタCORに接続しており、第2コンタクトCON2はベースBSEに接続しており、第3コンタクトCON3はエミッタEMIに接続している。またコンタクトCON4はゲート電極GEに接続しており、コンタクトCON5はドレインDRNに接続しており、コンタクトCON6はソースSOUに接続している。なお、これらコンタクトのレイアウトは、図2及び図3に示す例に限定されない。

30

#### 【0018】

そして、絶縁膜INSL2の上には第1配線INC1、第2配線INC2、及び第3配線INC3が形成されている。第1配線INC1は第1コンタクトCON1に接続しており、第2配線INC2は第2コンタクトCON2に接続しており、第3配線INC3は第3コンタクトCON3に接続している。第1配線INC1、第2配線INC2、及び第3配線INC3は、例えば絶縁膜INSL2の上に導電膜、例えばW膜などの金属膜を形成し、この導電膜を選択的に除去することによって形成されている。ただし、第1配線INC1、第2配線INC2、及び第3配線INC3は、ダマシン法によって形成されていても良い。

40

#### 【0019】

なお、図示していないが、絶縁膜INSL2の上には、コンタクトCON4, CON5, CON6のそれぞれに接続する複数の配線も形成されている。これらの配線も、第1配線INC1と同一の工程で形成されている。

#### 【0020】

次に、図4～図8を用いて、半導体装置SDの製造方法を説明する。各図において、(a)は図1に対応する斜視図であり、(b)は図3に対応する断面図である。

#### 【0021】

50

まず、図4(a)及び(b)に示すように、第2導電型の基板SUBを準備する。次いで、基板SUBの上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして第1導電型の不純物(例えばP)を基板SUBに注入する。これにより、コレクタCORが形成される。この工程における不純物の導入量は、例えば $1 \times 10^{-3} \text{ cm}^2$ 以上 $1 \times 10^{-4} \text{ cm}^2$ 以下である。その後、レジストパターンを除去する。

#### 【0022】

次いで、基板SUB上にレジストパターン(図示せず)を形成し、このレジストパターンをマスクとして第2導電型の不純物(例えばB)を基板SUBに注入する。これにより、基板SUBにはベースBSEが形成される。この工程における不純物の導入量は、例えば $1 \times 10^{-2} \text{ cm}^2$ 以上 $1 \times 10^{-4} \text{ cm}^2$ 以下である。その後、レジストパターンを除去する。

10

#### 【0023】

次いで、図5(a)及び(b)に示すように、基板SUB上に、マスクパターンMSK1、例えば塗化シリコン膜などのハードマスクパターンを形成する。マスクパターンMSK1は、基板SUBのうち第1半導体層SCL1が形成されるべき領域及び第2半導体層SCL2が形成されるべき領域を覆っている。

#### 【0024】

次いで、図6(a)及び(b)に示すように、マスクパターンMSK1をマスクとして、基板SUBをドライエッチングする。これにより、基板SUBには第1半導体層SCL1及び第2半導体層SCL2が形成される。

20

#### 【0025】

その後、図7(a)及び(b)に示すように、基板SUB上に絶縁膜INSL1を形成する。絶縁膜INSL1は、例えばCVD法などの堆積法を用いて形成される。このとき、絶縁膜INSL1は第1半導体層SCL1及び第2半導体層SCL2よりも厚く形成される。ついで、絶縁膜INSL1を、CMP法などを用いて平坦化した後、絶縁膜INSL1をエッティングにより薄くして、絶縁膜INSL1から第1半導体層SCL1及び第2半導体層SCL2の上部を露出させる。その後、マスクパターンMSK1を除去する。

#### 【0026】

次いで、図8(a)及び(b)に示すように、第2半導体層SCL2にゲート絶縁膜GINSを形成する。ゲート絶縁膜GINSは、例えば熱酸化法を用いて形成される。この場合、第1半導体層SCL1の表層にも熱酸化膜(図示せず)が形成される。次いで、基板SUB上にゲート電極GEとなる導電膜(例えばポリシリコン膜)を形成し、このポリシリコン膜を選択的に除去する。これにより、ゲート電極GEが形成される。次いで、ゲート電極GEをマスクとして第2半導体層SCL2に不純物を導入する。これにより、第2半導体層SCL2にソースSOU及びドレインDRNが形成される。

30

#### 【0027】

なお、ソースSOU及びドレインDRNが第1導電型の不純物領域の場合、ソースSOU及びドレインDRNを形成する工程において、第1半導体層SCL1にも第1導電型の不純物を導入する。これにより、第1半導体層SCL1にエミッタEMIが形成される。

#### 【0028】

40

一方、ソースSOU及びドレインDRNが第2導電型の不純物領域の場合、エミッタEMIは、ソースSOU及びドレインDRNとは別の不純物導入工程で形成される。この場合、ソースSOU及びドレインDRNを形成する工程において、第1半導体層SCL1はレジストパターンで覆われる。またエミッタEMIを形成する工程において、第2半導体層SCL2はレジストパターンで覆われる。

#### 【0029】

また、基板SUB上に複数の電界効果型トランジスタFETが形成されており、かつこれら複数の電界効果型トランジスタFETの一部が第1導電型であり、残りの電界効果型トランジスタFETが第2導電型である場合、エミッタEMIは、第1導電型の電界効果型トランジスタFETのソースSOU及びドレインDRNと同一工程で形成される。この

50

場合、第1導電型の電界効果型トランジスタFETのソースSOU及びドレインDRNを形成する工程において、第2導電型の電界効果型トランジスタFETとなる第2半導体層SCL2はレジストパターンで覆われる。一方、第2導電型の電界効果型トランジスタFETのソースSOU及びドレインDRNを形成する工程において、第1導電型の電界効果型トランジスタFETとなる第2半導体層SCL2及び第1半導体層SCL1はレジストパターンで覆われる。

#### 【0030】

なお、いずれの場合においても、エミッタEMIを形成するときの不純物の導入量は、例えば $1 \times 10^{-4} \text{ cm}^2$ 以上 $5 \times 10^{-6} \text{ cm}^2$ 以下である。

#### 【0031】

また、図8(b)に示す図において、エミッタEMIは、厚さ方向において第1半導体層SCL1の全体に形成されており、かつ基板SUBのうち第1半導体層SCL1以外の部分には形成されていない。ただし、図9(a)に示すように、エミッタEMIは、厚さ方向において第1半導体層SCL1の一部に形成されていても良いし、図9(b)に示すように、エミッタEMIは第1半導体層SCL1及び基板SUBのうち第1半導体層SCL1に接続する部分にも形成されていても良い。エミッタEMIの形成範囲は、例えばイオン注入時のエネルギーを調整することにより、変更することができる。

#### 【0032】

以上、本実施形態によれば、フィン型の第1半導体層SCL1を用いてバイポーラトランジスタBPTを形成することができる。このため、バイポーラトランジスタBPTを微細化することができる。また、第1半導体層SCL1と同一工程で第2半導体層SCL2を形成し、さらにこの第2半導体層SCL2を用いてフィン型の電界効果型トランジスタFETを形成することができる。従って、少ない工程数で、同一の基板SUB上に、フィン型のバイポーラトランジスタBPTとフィン型の電界効果型トランジスタFETを形成することができる。

#### 【0033】

##### (第2の実施形態)

図10は、第2の実施形態に係る半導体装置SDの平面図であり、図11は図10のA-A'断面図である。図10は第1の実施形態における図2に対応しており、図11は第1の実施形態における図3に対応している。本実施形態に係る半導体装置SDは、以下の点を除いて第1の実施形態に係る半導体装置SDと同様の構成である。

#### 【0034】

まず、基板SUBは第1導電型、すなわちコレクタCORと同一導電型となっている。そして、基板SUBには、コレクタCORと基板SUBを電気的に分離するために、分離領域SEPが形成されている。分離領域SEPは第2導電型の不純物領域であり、コレクタCORの側面及び底面を覆っている。言い換えると、コレクタCORは分離領域SEPの一部に形成されている。

#### 【0035】

本実施形態に係る半導体装置SDの製造方法は、コレクタCORを形成する前(又は後)に、基板SUBに分離領域SEPを形成する点を除いて、第1の実施形態に示した半導体装置SDの製造方法と同様である。分離領域SEPは、例えば基板SUBにレジストパターンを形成し、このレジストパターンをマスクとして基板SUBに不純物を導入することにより、形成される。このときの不純物の導入量は、例えば $5 \times 10^{-2} \text{ cm}^2$ 以上 $1 \times 10^{-3} \text{ cm}^2$ 以下である。

#### 【0036】

本実施形態によっても、第1の実施形態と同様の効果が得られる。なお、第1の実施形態に示したバイポーラトランジスタBPTと、第2の実施形態に示したバイポーラトランジスタBPTとを、同一の基板SUB上に形成しても良い。

#### 【0037】

##### (第3の実施形態)

10

20

30

40

50

図12は、第3の実施形態に係る半導体装置SDの構成を示す斜視図である。図13は、半導体装置SDの平面図であり、図14は図13のB-B'断面図である。なお、図12～図14は、それぞれ第1の実施形態における図1～図3に対応しているが、これらの図において各コンタクトが省略されている。本実施形態に係る半導体装置SDは、バイポーラトランジスタBPTがラテラル型の構造を有している点を除いて、第1の実施形態に係る半導体装置SDと同様の構成である。

#### 【0038】

具体的には、バイポーラトランジスタBPTのベースBSE、エミッタEMI及びコレクタCORは、いずれも第1半導体層SCL1に形成されている。エミッタEMI及びコレクタCORは互いに離間している。そして第1半導体層SCL1のうちエミッタEMI及びコレクタCORの間に位置する部分にはベースBSEが形成されている。言い換えると、ベースBSEは、エミッタEMI及びコレクタCORを互いに接続している。

10

#### 【0039】

そして基板SUBのうち第1半導体層SCL1の下に位置する部分には、ベースBSEの一部が形成されているが、第1の実施形態とは異なり、コレクタCORは形成されていない。

#### 【0040】

図15(a)は、本実施形態に係る半導体装置SDの製造方法を説明するための斜視図であり、図15(b)は図15(a)のバイポーラトランジスタBPTの断面図である。図15(b)が示す断面は、図14が示す断面に相当している。本実施形態に係る半導体装置SDの製造方法は、以下の点を除いて第1の実施形態に係る半導体装置SDの製造方法と同様である。

20

#### 【0041】

まず、第1半導体層SCL1及び第2半導体層SCL2を形成する前(第1の実施形態における図4)に、基板SUBにコレクタCORを形成しない。ただし、ベースBSEは第1の実施形態と同様に形成される。このため、第1半導体層SCL1は、第2導電型を有している。

#### 【0042】

そして、第1半導体層SCL1を形成した後、第1半導体層SCL1のうちベースBSEとなる領域をマスクパターンMSK2、例えばレジストパターンで覆う。次いで、マスクパターンMSK2をマスクとして第1半導体層SCL1に第1導電型の不純物を導入する。これにより、第1半導体層SCL1にはコレクタCOR及びエミッタEMIが形成される。なお、マスクパターンMSK2を形成して第1半導体層SCL1に第1導電型の不純物を導入するタイミングは、第1の実施形態において第1半導体層SCL1にエミッタEMIを形成するタイミングと同様である。

30

#### 【0043】

その後、マスクパターンMSK2を除去する。

#### 【0044】

なお、図14に示す図において、コレクタCOR及びエミッタEMIは、厚さ方向において第1半導体層SCL1の一部に形成されている。ただし、図16(a)に示すように、コレクタCOR及びエミッタEMIは、厚さ方向において第1半導体層SCL1の全体に形成されており、かつ基板SUBのうち第1半導体層SCL1以外の部分には形成されていないようにしてもよい。また、図16(b)に示すように、コレクタCOR及びエミッタEMIは第1半導体層SCL1及び基板SUBのうち第1半導体層SCL1に接続する部分にも形成されていても良い。コレクタCOR及びエミッタEMIの形成範囲は、例えばイオン注入時のエネルギーを調整することにより、変更することができる。

40

#### 【0045】

本実施形態によれば、フィン型の第1半導体層SCL1を用いて、ラテラル型のバイポーラトランジスタBPTを形成することができる。

#### 【0046】

50

(第4の実施形態)

図17は、第4の実施形態に係る半導体装置SDの平面図であり、図18は図17のB-B'断面図である。図17は第3の実施形態における図13に対応しており、図18は第3の実施形態における図14に対応している。本実施形態に係る半導体装置SDは、以下の点を除いて第3の実施形態に係る半導体装置SDと同様の構成である。

【0047】

まず、基板SUBは第1導電型、すなわちコレクタCORと同一導電型となっている。そして、基板SUBには、コレクタCORと基板SUBを電気的に分離するために、分離領域SEPが形成されている。分離領域SEPは、第2の実施形態と同様に、第2導電型の不純物領域であり、コレクタCORの側面及び底面を覆っている。言い換えると、コレクタCORは分離領域SEPの表層の一部に形成されている。10

【0048】

本実施形態に係る半導体装置SDの製造方法は、ベースBSEを形成する前(又は後)に、基板SUBに分離領域SEPを形成する点を除いて、第1の実施形態に示した半導体装置SDの製造方法と同様である。分離領域SEPの形成方法は、第2の実施形態と同様である。20

【0049】

本実施形態によっても、第3の実施形態と同様の効果が得られる。なお、第3の実施形態に示したバイポーラトランジスタBPTと、第4の実施形態に示したバイポーラトランジスタBPTとを、同一の基板SUB上に形成しても良い。20

【0050】

(第5の実施形態)

図19は、第5の実施形態に係る半導体装置SDの構成を示す斜視図である。図20は、半導体装置SDの平面図であり、図21は図20のB-B'断面図である。なお、図19～図21は、それぞれ第1の実施形態における図12～図14に対応している。本実施形態に係る半導体装置SDは、バイポーラトランジスタBPTの上にマスクパターンMSK3が形成されている点を除いて、第3又は第4の実施形態に係る半導体装置SDと同様の構成である。なお、図19～図21は、第3の実施形態と同様の場合を示している。

【0051】

マスクパターンMSK3は、第3及び第4の実施形態におけるマスクパターンMSK2の代わりであり、第2導電型の第1半導体層SCL1に第1導電型の不純物を注入してコレクタCOR及びエミッタEMIを形成する工程において、マスクとして機能する。マスクパターンMSK3は、電界効果型トランジスタFETのゲート電極GEを形成する工程と同一工程で形成されているため、ゲート電極GEと同様の材料により形成されている。また、第1半導体層SCL1の上面及び側面には、ゲート絶縁膜GINSと同様の絶縁膜INSL3が形成されている。30

【0052】

なお、図21に示す図において、コレクタCOR及びエミッタEMIは、厚さ方向において第1半導体層SCL1の一部に形成されている。ただし、図22(a)に示すように、コレクタCOR及びエミッタEMIは、厚さ方向において第1半導体層SCL1の全体に形成されており、かつ基板SUBのうち第1半導体層SCL1以外の部分には形成されていないようにしてもよい。また、図22(b)に示すように、コレクタCOR及びエミッタEMIは第1半導体層SCL1及び基板SUBのうち第1半導体層SCL1に接続する部分にも形成されていても良い。コレクタCOR及びエミッタEMIの形成範囲は、例えばイオン注入時のエネルギーを調整することにより、変更することができる。40

【0053】

本実施形態によっても、第3の実施形態又は第4の実施形態と同様の効果が得られる。また、マスクパターンMSK3はゲート電極GEと同一工程で形成されるため、半導体装置SDを製造するときの工程数を少なくすることができる。また、マスクパターンMSK3はゲート電極GEと同程度の幅となるため、マスクパターンMSK3の幅を狭くして、50

ベースBSEの幅を狭くすることもできる。

**【0054】**

(第6の実施形態)

図23は、第6の実施形態に係る半導体装置SDの構成を示す断面図であり、第5の実施形態における図21に対応している。本実施形態に係る半導体装置SDは、以下の点を除いて、第5の実施形態に係る半導体装置SDと同様の構成である。

**【0055】**

まず、マスクパターンMSK3の側面にサイドウォールSW1が形成されており、かつ第1半導体層SCL1の側面にサイドウォールSW2が形成されている。なお、本図には示していないが、ゲート電極GEの側面にもサイドウォールSW1が形成されており、かつ第2半導体層SCL2の側面にもサイドウォールSW2が形成されている。10

**【0056】**

また、絶縁膜INSL3は、第1半導体層SCL1のうちマスクパターンMSK3で覆われている部分、すなわちベースBSEの上にのみ形成されている。

**【0057】**

本実施形態に係る半導体装置SDの製造方法は、第5の実施形態に示した半導体装置SDを製造する工程の後に、サイドウォールSW1, SW2を形成する工程を有している点を除いて、第5の実施形態に係る半導体装置SDの製造方法と同様である。サイドウォールSW1, SW2を形成する工程は、サイドウォールSW1, SW2となる絶縁膜を基板SUB上に形成する工程と、この絶縁膜をエッチバックしてサイドウォールSW1, SW2を形成する工程とを有している。20

**【0058】**

本実施形態によっても、第5の実施形態と同様の効果が得られる。

**【0059】**

(第7の実施形態)

図24は、第7の実施形態に係る半導体装置SDの平面図であり、図25は図24のB-B'断面図である。図24は第5の実施形態における図20に対応しており、図25は第5の実施形態における図21に対応している。本実施形態に係る半導体装置SDは、以下の点を除いて第5の実施形態に係る半導体装置SDと同様の構成である。

**【0060】**

まず、基板SUBは第1導電型、すなわちコレクタCORと同一導電型となっている。そして、基板SUBには、コレクタCORと基板SUBを電気的に分離するために、分離領域SEPが形成されている。分離領域SEPは、第2の実施形態と同様に、第2導電型の不純物領域であり、コレクタCORの側面及び底面を覆っている。言い換えると、コレクタCORは分離領域SEPの表層の一部に形成されている。30

**【0061】**

本実施形態に係る半導体装置SDの製造方法は、ベースBSEを形成する前(又は後)に、基板SUBに分離領域SEPを形成する点を除いて、第5の実施形態に示した半導体装置SDの製造方法と同様である。分離領域SEPの形成方法は、第2の実施形態と同様である。40

**【0062】**

本実施形態によっても、第5の実施形態と同様の効果が得られる。なお、第5の実施形態に示したバイポーラトランジスタBPTと、第7の実施形態に示したバイポーラトランジスタBPTとを、同一の基板SUB上に形成しても良い。

**【0063】**

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

**【符号の説明】**

**【0064】**

10

20

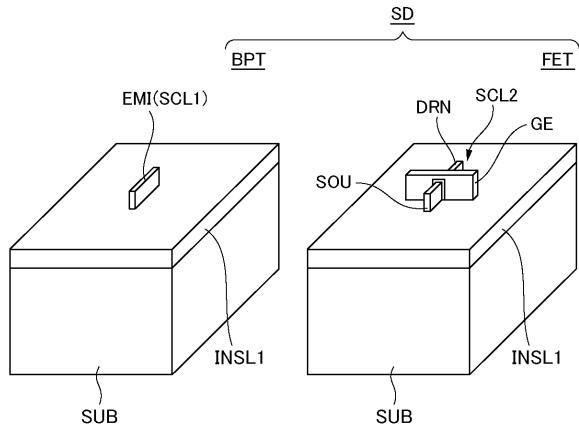
30

40

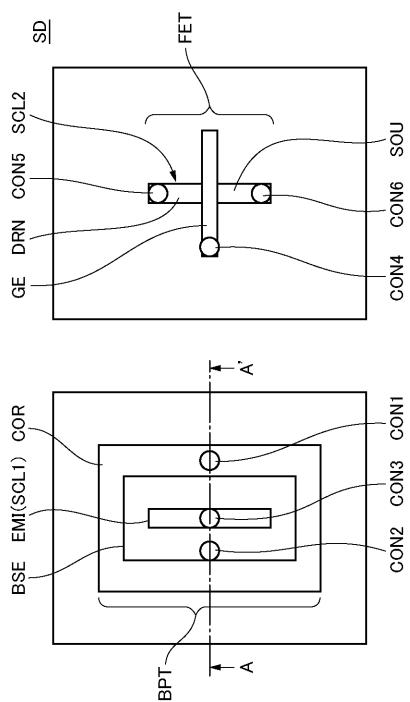
50

B P T	バイポーラトランジスタ
B S E	ベース
C O N 1	第1コンタクト
C O N 2	第2コンタクト
C O N 3	第3コンタクト
C O N 4	コンタクト
C O N 5	コンタクト
C O N 6	コンタクト
C O R	コレクタ
D R N	ドレイン
E M I	エミッタ
F E T	電界効果型トランジスタ
G E	ゲート電極
G I N S	ゲート絶縁膜
I N C 1	第1配線
I N C 2	第2配線
I N C 3	第3配線
I N S L 1	絶縁膜
I N S L 2	絶縁膜
I N S L 3	絶縁膜
M S K 1	マスクパターン
M S K 2	マスクパターン
M S K 3	マスクパターン
S C L 1	第1半導体層
S C L 2	第2半導体層
S D	半導体装置
S E P	分離領域
S O U	ソース
S U B	基板
S W 1	サイドウォール
S W 2	サイドウォール

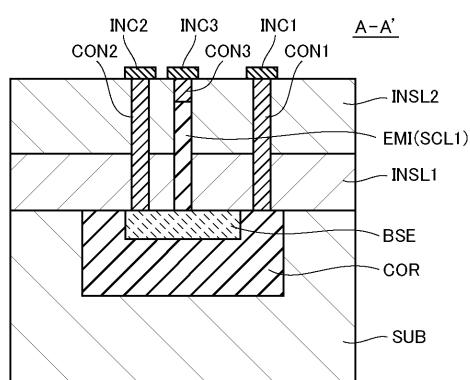
【図1】



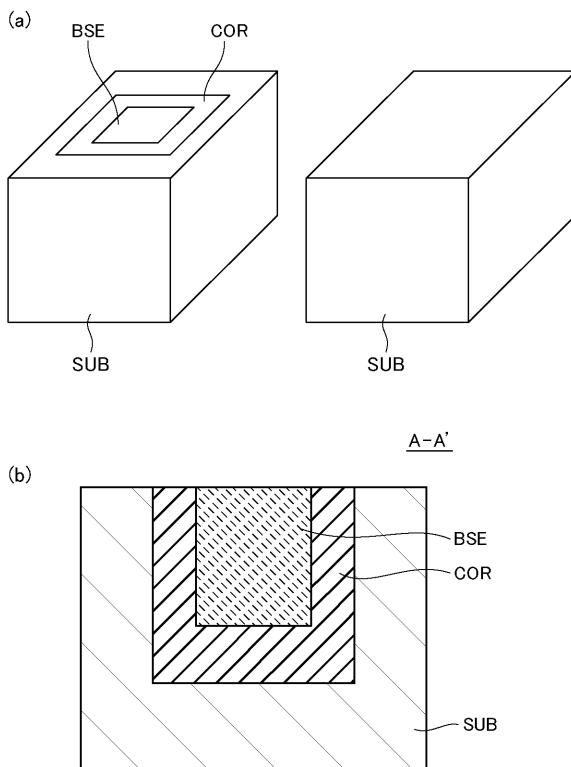
【図2】



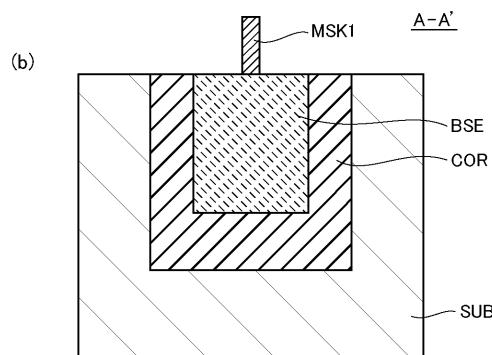
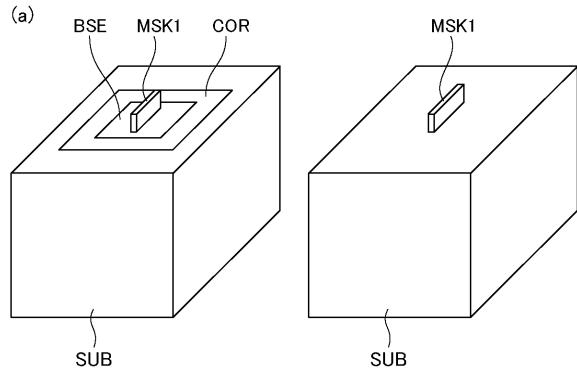
【図3】



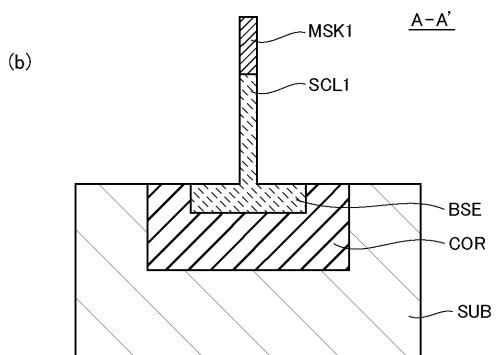
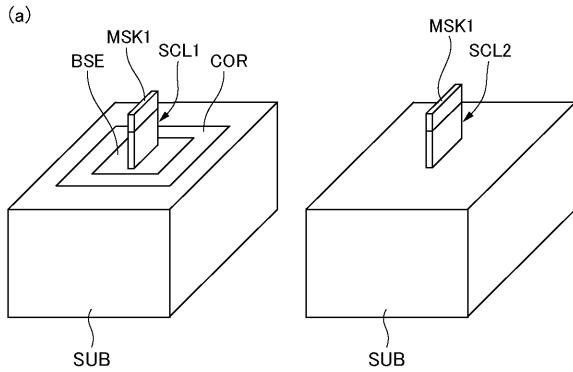
【図4】



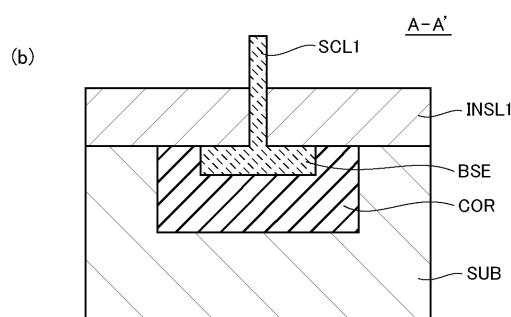
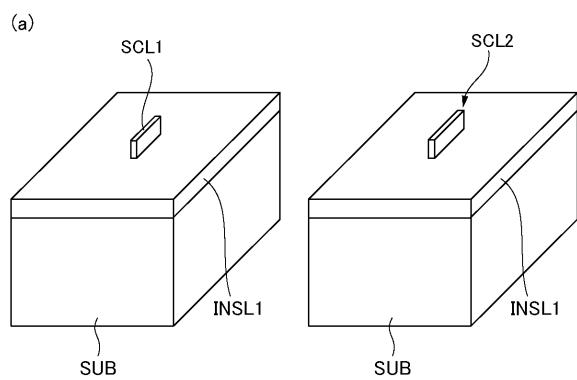
【図5】



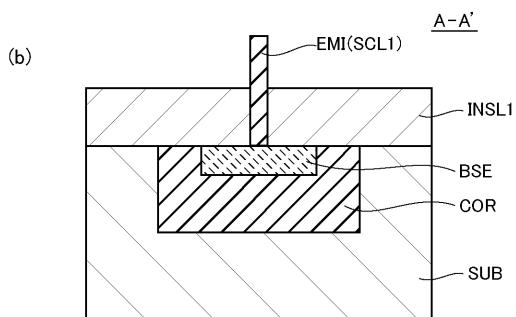
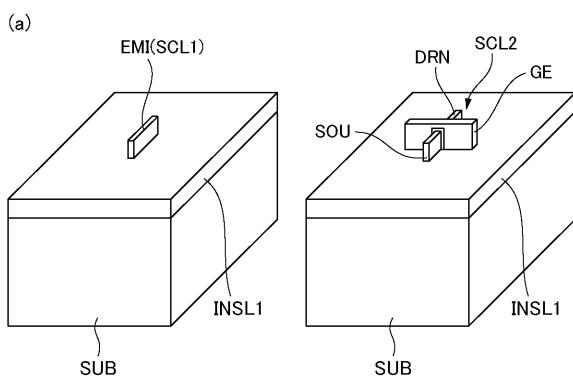
【図6】



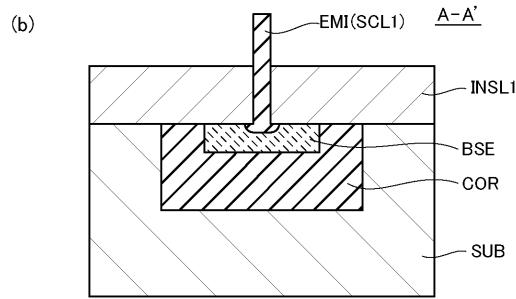
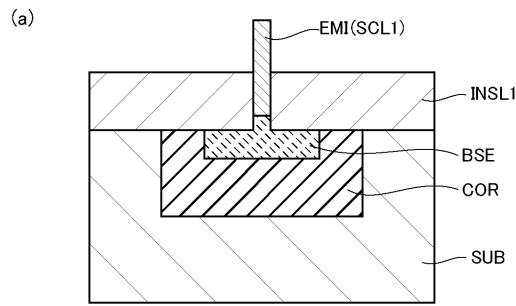
【図7】



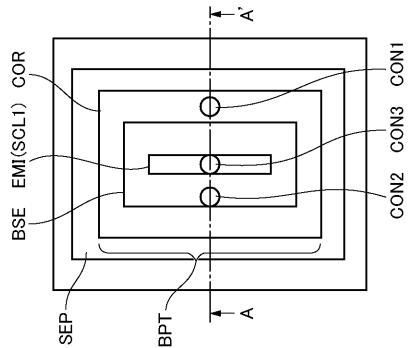
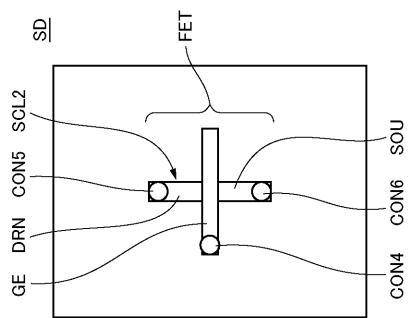
【図8】



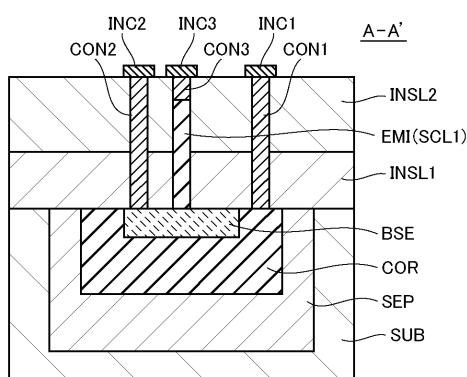
【図9】



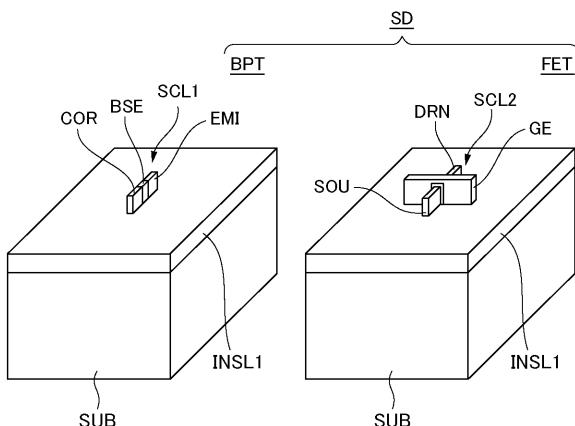
【図10】



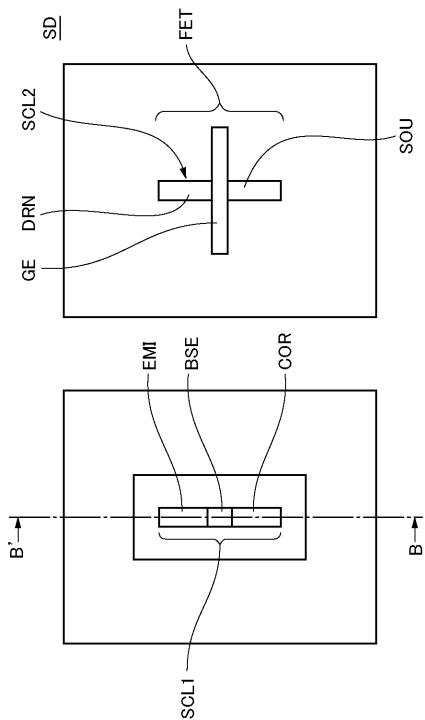
【図11】



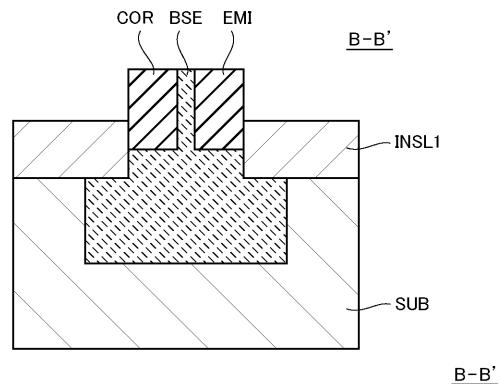
【図12】



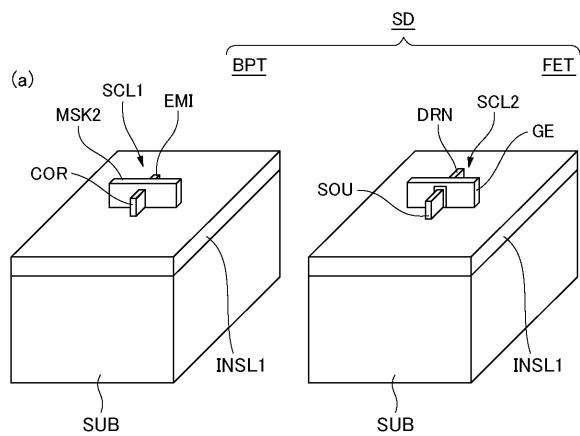
【図13】



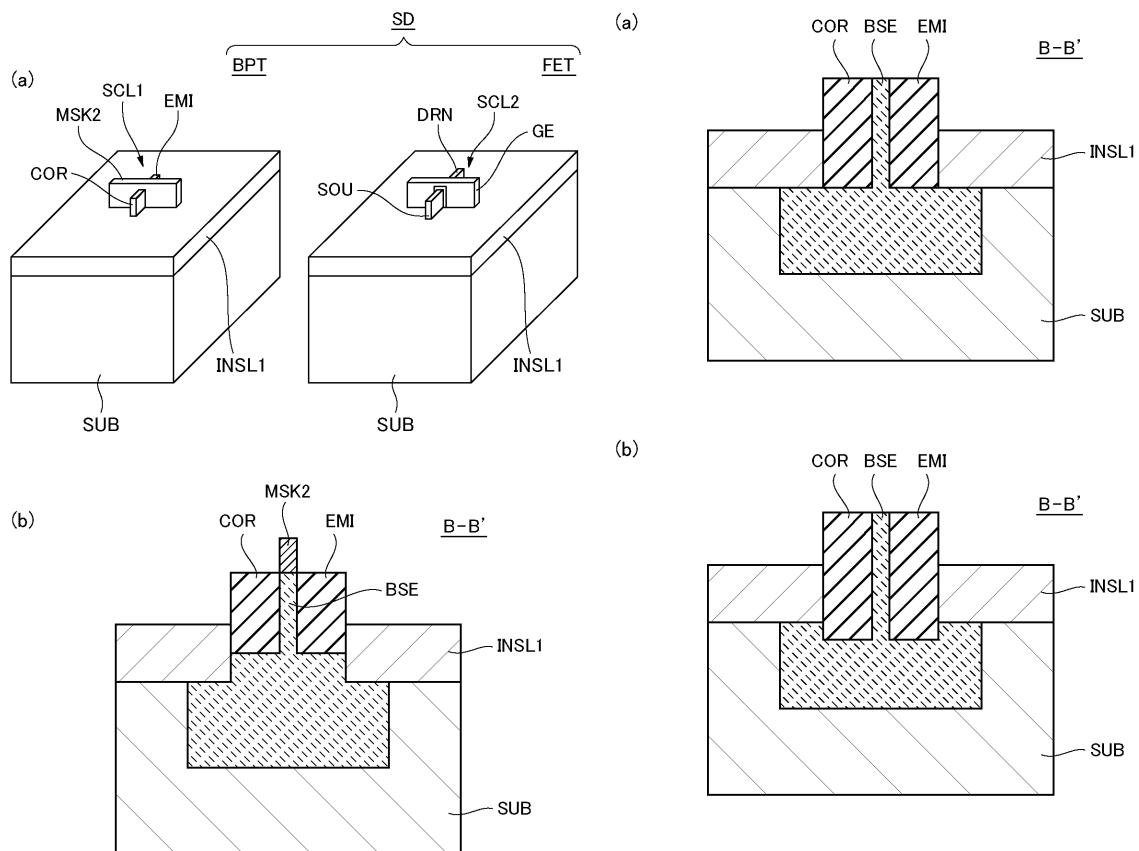
【図14】



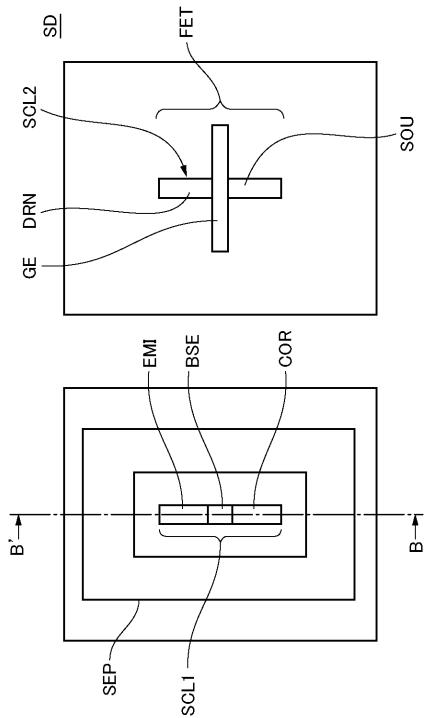
【図15】



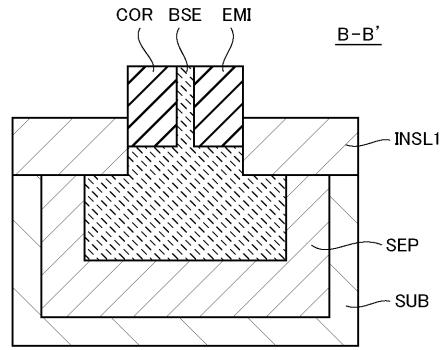
【図16】



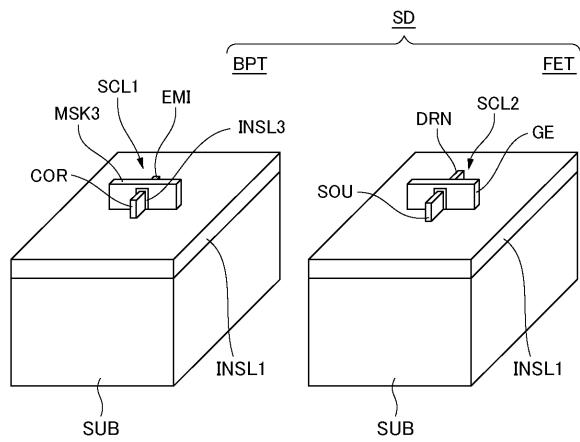
【図17】



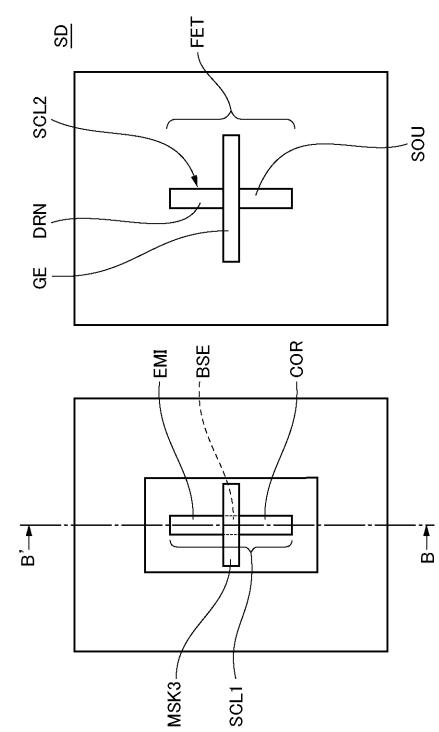
【図18】



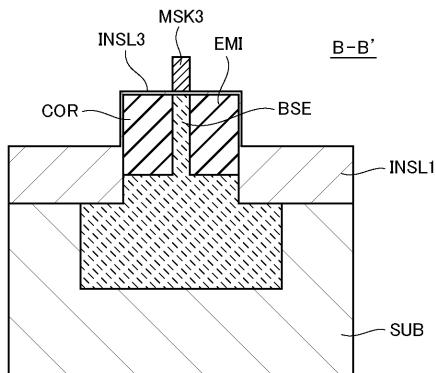
【図19】



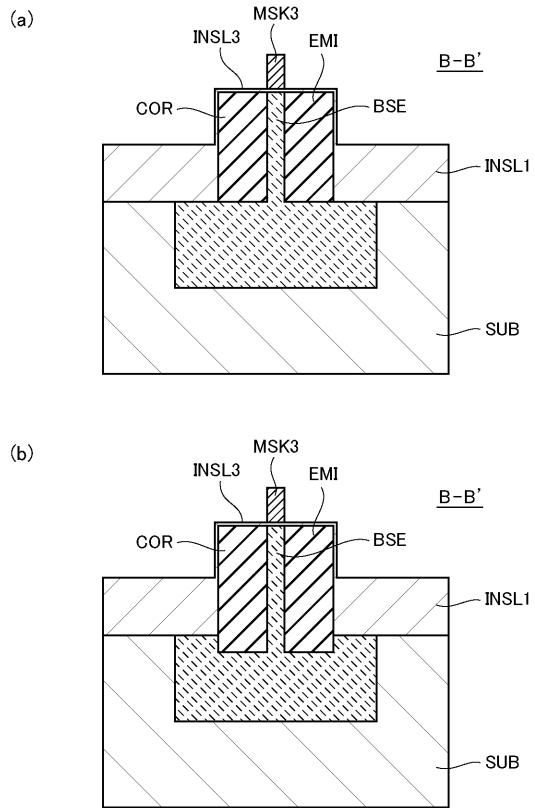
【図20】



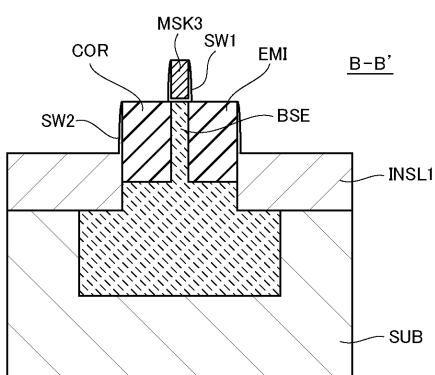
【図21】



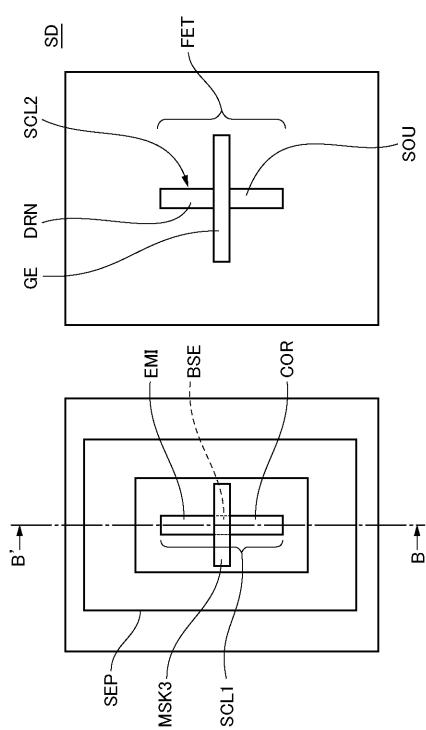
【図22】



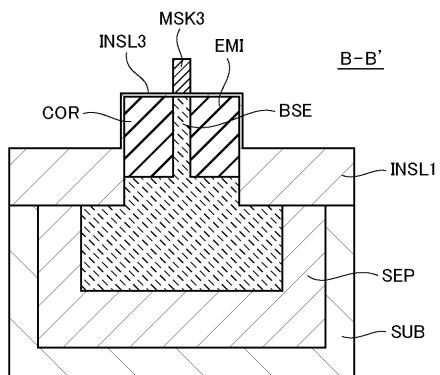
【図23】



【図24】



【図25】



---

フロントページの続き

(51)Int.Cl. F I  
H 01 L 21/8249 (2006.01)

(56)参考文献 特開平03-044937 (JP, A)  
特開平02-263473 (JP, A)  
特表2008-520088 (JP, A)  
特開平02-215158 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 331  
H 01 L 21 / 336  
H 01 L 21 / 8249  
H 01 L 27 / 06  
H 01 L 29 / 73  
H 01 L 29 / 78