

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5110088号
(P5110088)

(45) 発行日 平成24年12月26日 (2012.12.26)

(24) 登録日 平成24年10月19日 (2012.10.19)

(51) Int. Cl.	F I
HO 1 L 49/00 (2006.01)	HO 1 L 49/00 Z
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 Z

請求項の数 8 (全 15 頁)

(21) 出願番号	特願2009-544535 (P2009-544535)	(73) 特許権者	000005223
(86) (22) 出願日	平成19年12月6日 (2007.12.6)		富士通株式会社
(86) 国際出願番号	PCT/JP2007/073545		神奈川県川崎市中原区上小田中4丁目1番1号
(87) 国際公開番号	W02009/072201	(74) 代理人	100070150
(87) 国際公開日	平成21年6月11日 (2009.6.11)		弁理士 伊東 忠彦
審査請求日	平成22年5月20日 (2010.5.20)	(72) 発明者	能代 英之
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	須原 宏光

最終頁に続く

(54) 【発明の名称】 抵抗変化素子とその製造方法、及び抵抗変化素子を用いた半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

遷移金属窒化物を含む第1の電極と、
 貴金属又は貴金属酸化物を含む第2の電極と、
 前記第1の電極と前記第2の電極との間に配置された遷移金属酸化膜と、
 を有し、
 前記遷移金属酸化膜中の遷移金属と、前記第1の電極を構成する遷移金属とが同一種であり、

前記遷移金属酸化膜は酸化ニッケル(NiO)であり、
 前記第1の電極は、接地側がニッケル(Ni)、前記遷移金属酸化膜との界面側が窒化ニッケル(NiN)である
 ことを特徴とする抵抗変化素子。

【請求項2】

半導体基板の上方にニッケル(Ni)膜を形成し、前記ニッケル膜上に窒化ニッケル(NiN)膜を形成してNi膜とNiN膜を含む第1電極を形成し、
 前記第1電極に含まれる遷移金属と同一種類の遷移金属を用いて、前記第1電極上に酸化ニッケル(NiO)膜を形成し、

前記酸化ニッケル膜上に貴金属又は貴金属酸化物からなる第2電極を形成する、
 ことを特徴とする抵抗変化素子の製造方法。

【請求項3】

前記窒化ニッケル膜の形成は、
ニッケルを含むターゲットを用いてスパッタ法により行われることを特徴とする請求項 2 に記載の抵抗変化素子の製造方法。

【請求項 4】

前記窒化ニッケル膜の形成は、
 前記半導体基板の上方にニッケル膜を形成する工程と、
 前記ニッケル膜を窒化する工程と、を含むことを特徴とする請求項 2 に記載の抵抗変化素子の製造方法。

【請求項 5】

前記窒化する工程は、前記ニッケル膜を、窒素含有雰囲気中で加熱することを特徴とする請求項 4 に記載の抵抗変化素子の製造方法。

【請求項 6】

前記窒化する工程は、前記ニッケル膜を、アンモニア含有雰囲気中でプラズマ処理することを特徴とする請求項 4 に記載の抵抗変化素子の製造方法。

【請求項 7】

前記窒化ニッケル膜は、窒素含有雰囲気中で、ニッケルを含むターゲットを用いてスパッタ法により形成され、

前記酸化ニッケル膜は、酸素含有雰囲気中で、前記ターゲットを用いてスパッタ法により形成され、

前記窒化ニッケル膜の形成と前記酸化ニッケル膜の形成は、連続して行われることを特徴とする請求項 3 に記載の抵抗変化素子の製造方法。

【請求項 8】

複数の選択トランジスタと、

前記選択トランジスタにそれぞれ接続された複数の抵抗変化素子と、

を有し、

前記複数の抵抗変化素子のそれぞれは、

遷移金属窒化物を含む第 1 の電極と、

貴金属又は貴金属酸化物を含む第 2 の電極と、

前記第 1 の電極と前記第 2 の電極との間に配置された遷移金属酸化膜と、

を備え、

前記遷移金属酸化膜中の遷移金属と、前記第 1 の電極を構成する遷移金属とが同一種であり、

前記遷移金属酸化膜は酸化ニッケル (NiO) であり、

前記第 1 の電極は、接地側がニッケル (Ni)、前記遷移金属酸化膜との界面側が窒化ニッケル (NiN) である

ことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、異なる抵抗状態の間を遷移可能な抵抗変化素子と、これを利用してデータを記憶する抵抗変化メモリに関する。

【背景技術】

【0002】

近年の電子情報機器には、より一層の小型化、省電力化、及び高機能化が要求されている。これに伴って、高集積が可能であり、動作速度が速く、かつ電力を供給しなくてもデータが消失しない不揮発性半導体メモリへの要望が高まっている。このような要望に応えることのできる次世代の不揮発性半導体メモリのひとつとして、抵抗変化素子を備えた抵抗変化メモリ (ReRAM: Resistive Random Access Memory) が開発されている。特に、抵抗の変化によって異なるデータ値を保持する抵抗変化膜として、二元遷移金属酸化物を用いることが提案されている (たとえば、非特許文献 1 及び 2 参照)。

10

20

30

40

50

【 0 0 0 3 】

図 1 A に、一般的な抵抗変化素子（メモリに適用される場合は「R e R A M 素子」とも称する）の構成を示す。抵抗変化素子 1 0 0 は、白金（P t）で形成された一对の電極（1 0 1, 1 0 3）の間に、ニッケル酸化物（N i O）などの遷移金属を含む抵抗変化膜 1 0 2 を挟んで構成される。図 1 B は、抵抗変化素子 1 0 0 の動作を説明するための図である。矢印 F で示すように、抵抗変化素子 1 0 0 に所定の初期電圧を印加すると、異なる 2 つの抵抗状態の間を遷移可能な機能が発現するようになる。この初期電圧印加プロセスをフォーミング（electroforming）と称する。いったんフォーミングがなされると、印加電流又は印加電圧を制御することによって、抵抗変化素子 1 0 0 を低抵抗状態と高抵抗状態の間を遷移（スイッチング）させることができる。

10

【 0 0 0 4 】

具体的には、図 1 B の破線で示すように、高抵抗状態（この例ではリセット状態）にある抵抗変化素子 1 0 0 に電圧パルスを印加すると、1 . 5 V 近傍で、急峻に I V プロファイルが変化して、低抵抗状態（この例ではセット状態）に遷移する（矢印 a）。このとき、電流制限が設定されているので、低抵抗状態への遷移は一定のレベルに制御される（矢印 b）。その後は、電圧パルスを印加しなくても、低抵抗状態は維持される（矢印 c）。低抵抗状態から高抵抗状態にリセットするには、電流制限を解除して、1 V 程度の電圧パルスを印加するか、あるいは 1 0 m A 程度の電流パルスを印加する。そうすると、電流制限値を超えてから徐々に抵抗が上がり（矢印 d）、その後一気に高抵抗状態へと遷移する（矢印 e）。

20

【 0 0 0 5 】

抵抗変化素子 1 0 0 を構成する抵抗変化膜 1 0 2 は、N i O などの酸化物であるため、その両側を挟む電極 1 0 1、1 0 3 には、白金（P t）やイリジウム（I r）など、酸化されにくい貴金属が使用されている。しかし、貴金属の電極とした場合、動作に必要な電圧電流が高く、メモリデバイスに搭載することが困難であった。図 1 A および図 1 B の例では、フォーミング電圧が約 5 V、リセット電流が 1 0 m A 程度と高く、メモリデバイス搭載可能な電圧 3 . 3 V 以下、電流 1 m A 以下という基準を大きく越えてしまう。

【 0 0 0 6 】

なお、高速スイッチングが可能な抵抗変化素子として、白金（P t）の上部電極と下部電極の間に、T i O₂/T i N のナノクリスタル薄膜を配置する構成も提案されている（たとえば、非特許文献 3 参照）。この文献では、膜厚 2 0 0 n m の P t 下部電極上に、膜厚 2 0 0 n m の T i N 膜を形成し、4 0 0 、2 0 分の酸素アニールで T i N 表面を酸化して T i O₂ を形成する。この T i O₂/T i N 膜上に、P t 上部電極を形成して R e R A M 素子を作製する。

30

【非特許文献 1】K. Kinoshita, et al., "Bias polarity dependent data retention of resistive random access memory consisting of binary transition metal oxide", Applied Physics Letter 89, 103509 (2006)

【非特許文献 2】S. Seo, et al., "Reproducible resistance switching in polycrystalline NiO films" Applied Physics Letter, Vol. 85, No. 23, 6 December, 2004

【非特許文献 3】M. Fujimoto, et al., "High-speed Resistive Switching of TiO₂/TiN Nano-Crystalline Thin Film", Japanese Journal of Applied Physics, Vol. 45, No. 11, 2006, pp. L310-L312

40

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

本発明は、消費電力を実用化に適したレベルまで低減するために、特にリセット動作に必要な電流量を低減しつつ、抵抗変化素子を構成する電極の状態を適正に維持することのできる抵抗変化素子と、その製造方法を提供することを課題とする。

【課題を解決するための手段】

【 0 0 0 8 】

50

リセット時に必要な電流量を低減するために、図2Aに示すように、抵抗変化素子10の接地側の電極(この例では下部電極)11を、貴金属に代えて、ニッケル(Ni)などの遷移金属で構成することが考えられる。一方、正極側の電極(この例では上部電極)13は、酸化に強い白金(Pt)電極13とする。Ni電極11とPt電極13の間に、抵抗変化膜としてNiO膜12を配置する。このような構成とすることで、図2Bに示すように、リセット時の電流を、デバイス搭載可能な電流にまで低減することができる。

【0009】

しかし、図2Aの構成を採用した場合、Ni等の遷移金属の下部電極11を微細加工する際に、塩素(Cl₂)ガスなどの反応性ガスによる腐食(コロージョン)が発生するおそれがある。この腐食は、デバイスの安定性を阻害する要因となるかもしれない。

10

【0010】

そこで、腐食耐性を高めるために、接地側の電極を、窒化ニッケル(NiN)などの遷移金属窒化物を含む膜で構成する。この場合、対向電極(正極側電極)は、貴金属又は貴金属酸化物を含む膜で構成する。そして、抵抗変化膜としての遷移金属酸化膜を、接地側電極と正極側電極の間に挿入する。

【0011】

第1の側面では、抵抗変化素子は、遷移金属窒化物を含む第1の電極と、貴金属又は貴金属酸化物を含む第2の電極と、前記第1の電極と前記第2の電極との間に配置された遷移金属酸化膜と、を有する。

【0012】

遷移金属酸化膜中の遷移金属と、前記第1の電極を構成する遷移金属とは、同一の種類であってもよいし、異なる種類であってもよい。

20

【0013】

第2の側面では、抵抗変化素子の製造方法を提供する。この方法は、半導体基板の上方に遷移金属窒化膜を形成する工程と、前記遷移金属窒化膜上に遷移金属酸化膜を形成する工程と、前記遷移金属酸化膜上に貴金属又は貴金属酸化物からなる貴金属膜を形成する工程と、を含む。

【0014】

上記の遷移金属窒化膜を形成するには、たとえば、遷移金属を含むターゲットを用いてスパッタ法で形成する。或いは、前記半導体基板の上方に第1の遷移金属膜を形成し、この第1の遷移金属膜を窒化する工程を含んでもよい。この場合、窒化の手法としては、前記第1の遷移金属膜を、窒素含有雰囲気中で加熱処理してもよいし、或いは、アンモニア含有雰囲気中でプラズマ処理してもよい。

30

【0015】

第3の側面では、半導体記憶装置を提供する。半導体記憶装置は、複数の選択トランジスタと、前記選択トランジスタにそれぞれ接続された複数の抵抗変化素子と、を有し、前記複数の抵抗変化素子のそれぞれは、遷移金属窒化物を含む第1の電極と、貴金属又は貴金属酸化物を含む第2の電極と、前記第1の電極と前記第2の電極との間に配置された遷移金属酸化膜と、を備えることを特徴とする。

40

【発明の効果】

【0016】

抵抗変化素子の動作電流や電圧を実用レベルに低減することができる。また、腐食耐性を改善して動作の安定性を向上することができる。

【図面の簡単な説明】

【0017】

50

- 【図 1 A】従来の抵抗変化素子の概略構成図である。
- 【図 1 B】従来の抵抗変化素子の電気特性図である。
- 【図 2 A】本発明に至る過程で提案され得る抵抗変化素子の概略構成図である。
- 【図 2 B】本発明に至る過程で提案され得る抵抗変化素子の電気特性図である。
- 【図 3 A】本発明の一実施形態の抵抗変化素子の概略構成図である。
- 【図 3 B】本発明の抵抗変化素子の変形例を示す図である。
- 【図 4】第 1 実施形態の抵抗変化素子の電気特性を示すグラフである。
- 【図 5 A】第 1 実施形態の抵抗変化素子の繰り返し動作による電気特性を示すグラフである。
- 【図 5 B】比較例として、図 2 A の提案構成での繰り返し動作による電気特性を示すグラフである。 10
- 【図 6 A】図 3 A の抵抗変化素子を用いた半導体記憶装置の作製工程図である。
- 【図 6 B】図 3 A の抵抗変化素子を用いた半導体記憶装置の作製工程図である。
- 【図 6 C】図 3 A の抵抗変化素子を用いた半導体記憶装置の作製工程図である。
- 【図 6 D】図 3 A の抵抗変化素子を用いた半導体記憶装置の作製工程図である。
- 【図 6 E】図 3 A の抵抗変化素子を用いた半導体記憶装置の作製工程図である。
- 【図 6 F】図 3 A の抵抗変化素子を用いた半導体記憶装置の作製工程図である。
- 【図 6 G】図 3 A の抵抗変化素子を用いた半導体記憶装置の作製工程図である。
- 【図 6 H】図 3 A の抵抗変化素子を用いた半導体記憶装置の作製工程図である。
- 【図 7 A】図 3 B の抵抗変化素子の作製工程図である。 20
- 【図 7 B】図 3 B の抵抗変化素子の作製工程図である。
- 【図 7 C】図 3 B の抵抗変化素子の作製工程図である。
- 【図 7 D】図 3 B の抵抗変化素子の作製工程図である。
- 【図 8】図 3 B の抵抗変化素子の作製方法において、Ni 膜上に NiN 膜を成膜するときの第 1 の手法を示す表である。
- 【図 9】図 3 B の抵抗変化素子の作製方法において、Ni 膜上に NiN 膜を成膜するときの第 2 の手法を示す表である。
- 【図 10 A】ニッケル酸化物 (NiO_x) を上下電極で挟み込んだ抵抗変化素子において、ニッケル酸化物の下側の電極に窒化チタンニッケル (Ti_{1-x}Ni_x)N を用いた例を示す概略断面図である。 30
- 【図 10 B】図 10 A のサンプルで Ni の組成が 8 % のときの電気特性を示すグラフである。
- 【図 11】Ti と Ni の比率 (Ti : Ni) と歩留まりの関係を示す表である。
- 【符号の説明】
- 【0018】
- 20、30、60、80、90 抵抗変化素子
- 21、31、61、81、91 接地側電極 (第 1 の電極又は下部電極)
- 31a、81a Ni 電極膜
- 31b、81b NiN 電極膜
- 22、32、62、82、92 抵抗変化膜 40
- 23、33、63、83、93 正極側電極 (第 2 の電極又は上部電極)
- 50 半導体記憶装置 (ReRAM)
- 51 接地線
- 68 ビット線
- Tr 選択トランジスタ
- 【発明を実施するための最良の形態】
- 【0019】
- 以下、図面を参照して、本発明の良好な実施の形態について説明する。図 3 A は、本発明の一実施形態による抵抗変化素子の構成を示す概略断面図であり、図 3 B は、その変形例を示す概略断面図である。 50

【0020】

図3Aにおいて、抵抗変化素子20は、窒化ニッケル(NiN)などの遷移金属窒化物で構成される接地側電極(第1の電極、この例では下部電極)21と、白金(Pt)などの貴金属又はその酸化物で構成される正極側電極(第2の電極、この例では上部電極)23と、これらに挿入される抵抗変化膜としての遷移金属酸化膜22を有する。この例では、NiN下部電極21の膜厚は100nm、NiO抵抗変化膜22の膜厚は20nm、Pt上部電極23の膜厚は50nmである。なお、この例でNiNの組成は $NixNy$ ($0 < x \leq 3, 0 < y \leq 2$)であり、NiOの組成は、 $NiOz$ ($0 < z \leq 2$)である。

【0021】

接地側電極(下部電極)21をニッケル(Ni)などの遷移金属とした場合、その露出面は、抵抗変化素子20の微細加工時の反応性ガスと反応しやすく、腐食が生じる可能性が高い。たとえば、反応ガスに塩素(Cl₂)ガスを用い、下部電極21をニッケル(Ni)で構成した場合、塩化ニッケル(NiCl₂)が生成され、これが腐食物となる。本実施形態では、腐食を生じさせにくくするために、接地側電極を遷移金属の窒化物で構成する。一方、正極側電極(上部電極)23は、Ptなどの貴金属やその酸化物で構成されている。その理由は、貴金属又はその酸化物は、ニッケルと比較して反応性ガスとの反応の度合いが小さく、耐酸化性に優れているからである。

【0022】

下部電極21は、NiN以外に、チタン(Ti)、バナジウム(V)、マンガン(Mn)、鉄(Fe)、コバルト(Co)、亜鉛(Zn)、イットリウム(Y)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)などの金属窒化物であってもよい。

【0023】

抵抗変化膜22は、NiOの他、チタン(Ti)、バナジウム(V)、マンガン(Mn)、鉄(Fe)、コバルト(Co)、亜鉛(Zn)、イットリウム(Y)、ジルコニウム(Zr)、ニオブ(Nb)、モリブデン(Mo)、ハフニウム(Hf)、タンタル(Ta)、タングステン(W)などの金属酸化物であってもよい。

【0024】

下部電極21の材料となる遷移金属と、抵抗変化膜22の材料となる遷移金属は、同じ種類であっても、異なる種類であってもよい。

【0025】

図3Bの変形例では、抵抗変化素子30の接地側電極(この例では下部電極)31は、少なくとも抵抗変化膜32の界面と接する部分に、遷移金属窒化膜31bを含む。一例として、下部電極31は、抵抗変化膜(NiO膜)32との界面側に位置するNiN膜31bと、その下層に位置するNi膜31aとで構成されている。後述するように、抵抗変化膜32との界面側の遷移金属窒化膜(NiN膜)31bと、それ以外の遷移金属膜(Ni膜)31aとの境界は、成長方法によって、徐々に窒化膜に変化してゆく場合と、明確に2層に分かれる場合がある。いずれの方法によっても、少なくとも抵抗変化膜32との界面側に遷移金属窒化膜31bが存在すればよい。

【0026】

この例では、下部電極31を構成するNi膜31aの膜厚が80nm、下部電極31を構成するNiN膜31bの膜厚が20nm~25nm、NiO抵抗変化膜32の膜厚が20nm、Pt上部電極33の膜厚が50nmである。

【0027】

図4は、図3Aの構成を有する抵抗変化素子20の電気特性を示すグラフである。実線が低抵抗状態から高抵抗状態へ遷移するリセット時の電流電圧特性、破線が高抵抗状態から低抵抗状態へ遷移するセット時の電流電圧特性であり、3回のループの平均をとったものである。下部電極にNiやNiNを用いた場合、フォーミングが不必要になる場合が多い。これは、初期状態が低抵抗状態だからである。この場合、抵抗変化を起こす領域形成は、最初のリセット動作時に行われる。

10

20

30

40

50

【0028】

このグラフから明らかなように、下部電極をNiNなどの遷移金属酸化物で構成することで、図1BのPt電極対を用いる場合と比較して、リセット時の電流量が1mAのオーダーに低減されることがわかる。すなわち、デバイス搭載に適した範囲内の電流電圧特性が実現される。

【0029】

図5Aは、図3Aの抵抗変化素子20の構成に基づき、下部電極膜21をNiN膜で構成し、Pt上部電極膜23上にTiN膜を形成したサンプル(TiN(50nm)/Pt(20nm))を作製して、3回のループで測定した電気特性のグラフである。図5Bは比較例として、図2Aの提案構成の抵抗変化素子10の構成に基づき、下部電極膜11をNi膜とし、Pt上部電極膜13上に、同じくTiN膜を形成したサンプル(TiN(50nm)/Pt(20nm))を作製して、3回のループで測定した電気特性のグラフである。

10

【0030】

図5AのサークルAで示すように、実施形態の構成では、接地側電極21を遷移金属の窒化物で構成しているため、腐蝕が生じにくく、リセット動作が安定することがわかる。一方、図5Bの提案構成の特性図では、3回の平均をとると、図2Bのようにリセット電流は1mAのオーダーに低減されるが、動作のばらつきが激しいことがわかる。これは、抵抗変化素子10の加工の過程で、Ni下部電極11に生じる腐蝕が原因であると考えられる。

20

【0031】

次に、図6A～図6Fを参照して、第1実施形態のReRAM(半導体記憶装置)の製造工程を説明する。第1実施形態では、図3Aの抵抗変化素子20の構成を採用してReRAMを作製する。まず、図6Aにおいて、シリコン基板41にSTI(Shallow Trench Isolation)などの素子分離42を形成し、通常のMOSプロセスで選択トランジスタrを形成する。すなわち、STI42で区画される領域に、ウェル(不図示)を形成し、シリコンゲート絶縁膜44を介してゲート電極45を形成する。ゲート電極45はワード線と兼用してもよい。ゲート電極45の両側に、ソース・ドレインとなる高濃度不純物層46a、46bを形成する(図示の便宜上、ゲート電極45の側壁に形成されるサイドウォールスペースやシリコン基板41の表面領域に形成されるソース・ドレインエクステンションは省略する)。

30

【0032】

次に、図6Bに示すように、全面に層間絶縁膜47を堆積し、高濃度不純物層46と電氣的に接続するコンタクトプラグ48a、48bを形成する。この例では、2本のゲート電極45の間に位置する高濃度不純物領域46bをソースとし、STI42側に位置する高濃度不純物領域46aをドレインとする。たとえば、CVD法によりシリコン酸化膜47を堆積し平坦化した後、フォトリソグラフィ及びドライエッチングにて、ソース領域46b及びドレイン領域46aに達するコンタクトホール(不図示)を形成する。スパッタ法やCVD法によりバリアメタルとしての窒化チタン(TiN)膜と、タングステン(W)膜を堆積し、CMP法で平坦化してコンタクトプラグ48a、48bを形成する。

40

【0033】

次に、図6Cに示すように、全面にアルミニウム(Al)や銅(Cu)などの導電膜を堆積し、フォトリソグラフィ及びドライエッチングにより、中継配線(またはパッド電極)52と、接地線51を形成する。中継配線52は、コンタクトプラグ48aを介してドレイン46aに電氣的に接続され、接地線51は、コンタクトプラグ48bを介してソース46bに電氣的に接続される。

【0034】

次に、図6Dに示すように、CVD法により全面に層間絶縁膜53を堆積し、平坦化した後、フォトリソグラフィ及びドライエッチングにより、中継配線(パッド電極)52と電氣的に接続するコンタクトプラグ54を形成する。

50

【0035】

次に、抵抗変化素子の作製工程に入る。図6Eに示すように、平坦化された全表面にTiN膜55、NiN膜56、NiO膜57、Pt膜58、TiN膜59をスパッタ法により、順次成膜する。TiN膜55は、バリア膜又は密着膜として機能するが、下部電極の一部として用いられてもよい。TiN膜59は、パターンニング用の反射防止膜として機能するが、上部電極の一部として用いられてもよい。各膜の膜厚は、一例として、TiN膜55が20nm、NiN膜56が100nm、NiO膜57が20nm、Pt膜58が20nm、TiN膜59を50nmである。もっとも、NiN膜56の膜厚は、50nm~150nmの範囲で選択され、TiN膜59の膜厚も20nm~50nmの範囲で選択される。TiN膜56を下部電極の一部とする時は、これらの膜の膜厚は、適宜調整される。抵抗変化膜となるNiO膜57の膜厚は、10nm~50nm、Pt膜58の膜厚は10nm~100nmである。TiN膜59を上部電極の一部として用いる場合は、たとえば、Pt膜58を20nm、TiN膜59を50nmとしてもよい。

10

【0036】

下部電極となるNiN膜56は、たとえばNiN固体ターゲットを用いて、スパッタリングすることにより形成される。或いは、抵抗変化膜としての遷移金属酸化膜57が、下部電極に用いられる遷移金属と同じ種類(この場合はニッケル)で構成される場合は、その遷移金属(Ni)のターゲットを共用することができる。たとえば、Niターゲットを用い、若干量のArガスとともにN₂ガスを導入してスパッタリングすることで、NiN膜56を形成し、その後、ガスの供給を止めて、いったんパワーを切った後、若干量のArガスとともにO₂ガスを導入してパワーを投入し、NiN膜56とNiO膜57を順次形成することができる。この場合は、プロセスが容易になる。

20

【0037】

次に、図6Fに示すように、フォトリソグラフィ及びドライエッチングで、TiN膜59、Pt膜58、NiO膜57、NiN膜56、TiN膜55を順次加工して、抵抗変化素子60を形成する。エッチングガスは、塩素(Cl₂)を含むガスである。抵抗変化素子60は、NiN下部電極61、NiO抵抗変化膜62、Pt上部電極63を含み、NiN下部電極61が、トランジスタTrを介して共通接地線51に接続されている。この状態で、抵抗変化素子60を構成する各膜の側面がエッチングガス中に露出するが、下部電極61を塩素に対して腐食しにくいNiNで形成しているため、露出面での腐蝕を抑制することができる。その結果、腐蝕に起因する動作のばらつきを低減することができる。なお、上述のように、TiN膜64を下部電極の一部として用いてもよいし、TiN反射防止膜65を上部電極の一部として用いてもよい。抵抗変化素子60のパターンニングが完了すると、ウェーハを水洗して、残留塩素を洗い流す。

30

【0038】

次に、図6Gに示すように、CVD法にて全面に層間絶縁膜67を堆積し平坦化して、層間絶縁膜67に抵抗変化素子60に達するコンタクトホール(不図示)を形成する。スパッタ法やCVD法により、バリアメタルとしてのTiN膜とタングステン(W)膜を堆積してコンタクトホールを埋め込み、平坦化して、抵抗変化素子60と電氣的に接続されるコンタクトプラグ68を形成する。

40

【0039】

次に、図6Hに示すように、層間絶縁膜67上に、スパッタ法などにより導電膜(たとえばTiN/Al/TiN/Ti)を堆積し、所定の配線形状に加工してビット線69を形成する。

【0040】

図7A~図7Dは、第2実施形態のReRAM(半導体記憶装置)の製造工程を説明する。第2実施形態では、図3Bの抵抗変化素子30の構成を採用してReRAMを作製する。第2実施形態では、接地側電極(たとえば下部電極)のうち、少なくとも抵抗変化膜との界面側を遷移金属窒化膜で構成する。選択トランジスタTrと第1配線層(接地線51と中継配線52)、及びそれらと電氣的に接続されるコンタクトプラグの作製工程は、

50

図6A～図6Dと同様なので説明を省略し、抵抗変化素子の作製工程から説明する。

【0041】

まず、図7Aにおいて、層間絶縁膜53およびコンタクトプラグ54を覆って、全面にTiN膜71とNi膜72を、それぞれ膜厚20nmと100nmで順にスパッタリングする。

【0042】

次に、図7Bにおいて、Ni膜72の表面を窒化して、NiN膜73を形成する。窒化は、一例として、アンモニア(NH₃)ガス、またはN₂ガスとNH₃ガスの混合ガスを使用したプラズマ処理により行う。このときの処理条件は、RF電力400W、350、5Pa、1～3分とする。NH₃のみでプラズマ窒化するときのNH₃量は100cc、混合ガスでプラズマ窒化するときのガス量は、NH₃ガスとN₂ガスをそれぞれ50ccとする。この窒化により、Ni膜72は80nm程度の膜厚で残り、その上に20～25nmのNiN膜73が形成されることになる。なお、プラズマ窒化に代えて、N₂アニールによりNiN膜73を形成してもよい。

10

【0043】

次に、図7Cにおいて、NiO膜74を20nm、Pt膜75を20nm、TiN膜76を50nmの膜厚で、順次スパッタリングで成膜する。続いて、図7Dにおいて、フォトリソグラフィ及びドライエッチングで、TiN膜76、Pt膜75、NiO膜74、NiN膜73、Ni膜72、TiN膜71を順次加工して、抵抗変化素子80を形成する。以降の工程は、図6G～図6Hと同様である。

20

【0044】

このようにして作製された抵抗変化素子80は、接地側電極(下部電極)81と、抵抗変化膜としてのNiO膜82と、正極側電極(上部電極)83を有し、下部電極81は、NiO膜82との界面側に位置するNiN膜81bと、接地側に位置するNi膜81aを含む。この構成により、ドライエッチングで塩素ガスを使用する場合でも、NiO抵抗変化膜82との界面側に位置するNiN膜81bが腐食を抑制し、リセット電流のばらつきを抑制することができる。これは、抵抗値を変化させるフィラメント(導電経路)の増大、減少が、電極と抵抗変化膜との界面状態に大きく影響されるからだと考えられる。

【0045】

図8及び図9は、第3実施形態の抵抗変化素子の作製方法を説明するための表である。第3実施形態の抵抗変化素子も、図3Bのように下部電極31を、抵抗変化膜32との界面側のNiN膜31bと、接地側のNi膜31aの2層構成とする。

30

【0046】

第2実施形態では、図7Bの工程で、あらかじめ成膜したNi膜の表面をプラズマ窒化又は窒素アニールすることによって、Ni膜とNiN膜の2層構造を形成した。第3実施形態では、Ni膜とNiN膜を連続して成膜することによって、2層構造を形成する。

【0047】

図8のレシピでは、まず、Niターゲットを配置したチャンバ内にArガスを20秒間導入し(ステップ1)、その後パワーを投入して、30秒間スパッタリングを行ってNi膜を成膜する(ステップ2)。続いて、パワーを切らずに、ArガスとN₂ガスを1:9の割合で供給することで、連続してNiN膜を成膜する(ステップ3)。NiN膜の成膜が完了すると、パワーを切って、ガスの供給を止める(ステップ4)。

40

【0048】

この方法では、下部電極31(図3B参照)において、Ni膜31aからNiN膜31bへと徐々に移行し、境界があいまいであるが処理時間が短い。もっとも、スイッチング特性を決定するのは、抵抗変化膜32との界面領域なので、界面側にNiN膜31bが設けられていれば、Ni膜との境界状態は影響しない。

【0049】

一方、図9のレシピでは、Ni膜31aとNiN膜31bの境界が明確になる。ステップ1及び2でNi膜を成膜した後、ガスの導入を止めて、30秒間パワーを切る(ステッ

50

プ3)。その後、ArガスとN₂ガスを1：9の割合で供給し(ステップ4)、パワーを投入してNiN膜を形成する(ステップ5)。NiN膜の成膜が完了すると、パワーを切って、ガスの供給を止める(ステップ6)。

【0050】

いずれのレシピを用いても、抵抗変化膜32との界面側にNiNなどの遷移金属窒化膜31bを形成することができる。

【0051】

図10は、本発明の第4実施形態における抵抗変化素子90の概略断面図である。この例では、下部電極91に、窒化チタンニッケル(Ti_{1-x}Ni_x)Nを用いる。上述のように、下部電極に窒化ニッケル(NiN)を用いると動作電流の低減が実現されるが、加工性に若干の問題が残る。窒化チタン(TiN)を用いると、動作電流が増加するが、加工性の問題は解決できる。そこで、両者を合わせたTiNiNで下部電極91を構成し、加工性と電流低減の両方の効果を実現する。上部電極93はPt、抵抗変化膜92はNiO膜である。

10

【0052】

このような抵抗変化素子90を用いてReRAMを作製する場合は、図6A～図6Hに示すプロセスと同様であるが、図6EのNiN膜56に代えて、TiNバリア膜55上にTiNiN膜を形成する。TiNiN膜の形成は、適切な比率のTiNiターゲットを用いてスパッタ法により形成する。このようにすることで、図6Fに対応する加工工程において、下部電極の加工性が良くなる。TiNiN膜の組成を(Ti_{1-x}Ni_x)Nと表わすと、Niの組成は0<x<0.2、すなわちTiNi全体に対するNiの比率は20%以下であることが望ましい。

20

【0053】

図10Bは、Niの組成xを0.08(Ni含有量が8%)にしたときの抵抗変化素子90の電気特性を示すグラフである。実線が低抵抗から高抵抗へのリセット電流、点線が高抵抗から低抵抗へのセット電流である。実線で示すように、リセット動作において、動作電流が1mA以下と小さく、また3回ループのばらつきが非常に小さい。これは、下部電極91をTiNiNで形成したことにより微細化のときの加工精度を向上し、腐食の問題を解決したため、安定した電気特性が実現されたことを示す。

【0054】

30

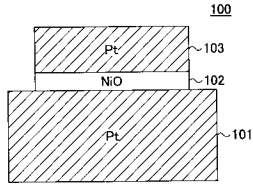
図11は、TiNiターゲットのTi：Ni比と歩留まりの関係を示す表である。TiとNiの含有量を合わせて100とした場合、Ni比が20%を越えると、素子の歩留まりが60%以下に落ちる。これに比べ、Ni比が20%以下のときは、素子歩留まりが70～90%と良好である。このように、第4実施形態では、良好な電気特性を高歩留まりで得ることができる。

【0055】

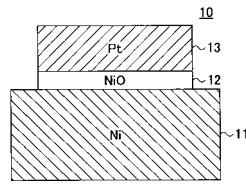
以上、特定の実施形態に基づいて本発明を説明してきたが、本発明は上述した実施例に限定されない。たとえば、抵抗変化膜としてのNiO膜は、スパッタリング以外に、Ni膜成膜後に、酸素含有雰囲気下での加熱する方法で形成してもよいし、当業者が採用し得る任意の手法で形成することができる。

40

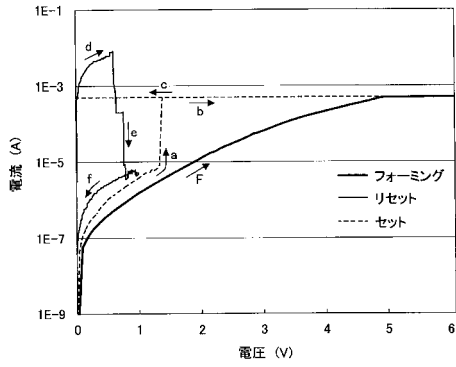
【図 1 A】



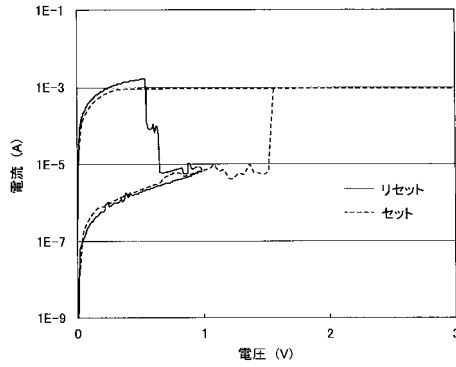
【図 2 A】



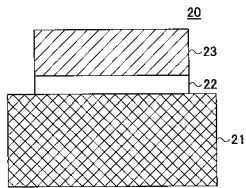
【図 1 B】



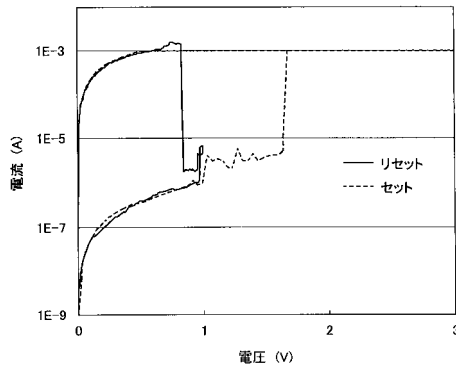
【図 2 B】



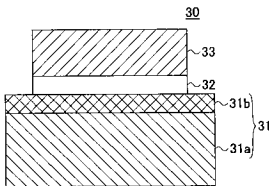
【図 3 A】



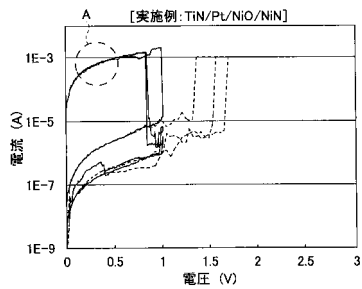
【図 4】



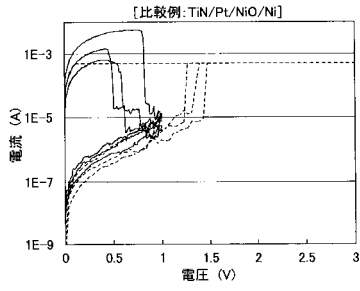
【図 3 B】



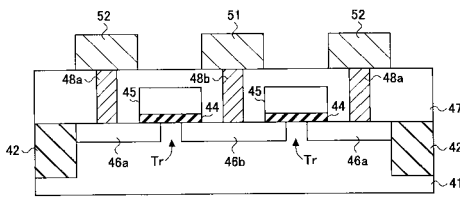
【図 5 A】



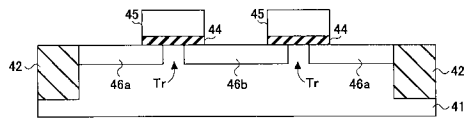
【図 5 B】



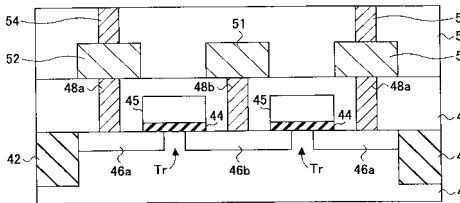
【図 6 C】



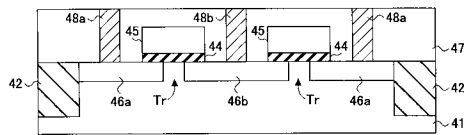
【図 6 A】



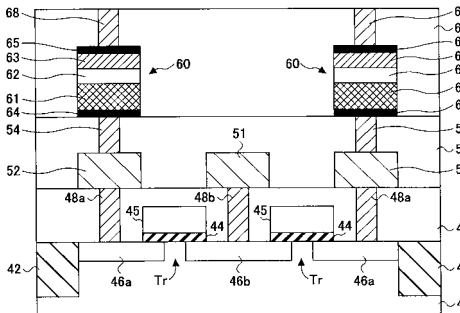
【図 6 D】



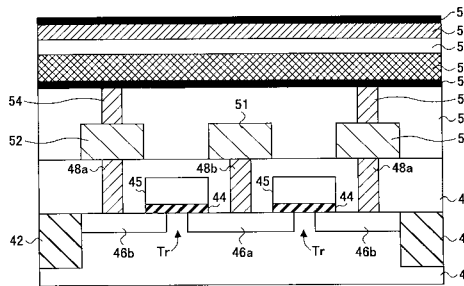
【図 6 B】



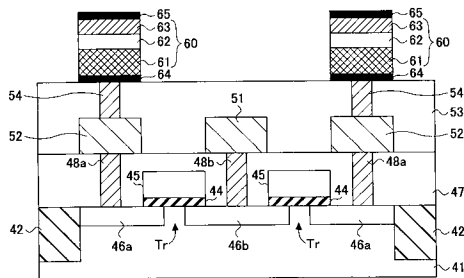
【図 6 G】



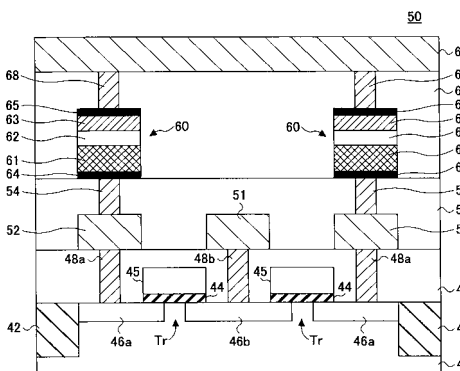
【図 6 E】



【図 6 F】



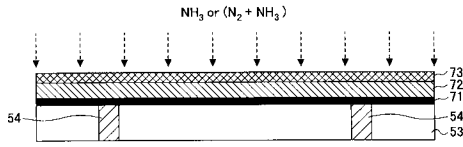
【図 6 H】



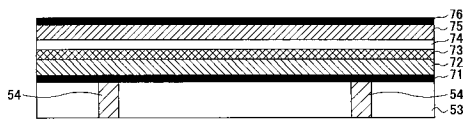
【図7A】



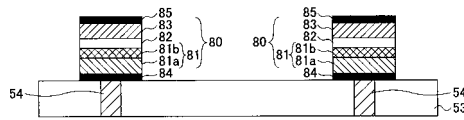
【図7B】



【図7C】



【図7D】



【図8】

【Ni-NiN連続型 NiからNiNへ徐々に変化】

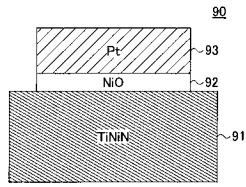
ステップ	時間 (sec)	DC power (kW)		ガス		説明
		Ar (cc)	N ₂ (cc)	Ar (cc)	N ₂ (cc)	
1	20	0	0	50	0	ガス導入
2	30	1	0	50	0	パワー投入しスパッタ開始(Ni成膜開始)
3	20	1	5	5	45	Ni成膜終了後(パワー切り)にガスを変更しNiN成膜へ
4	5	0	0	0	0	NiN成膜完了し(パワーoff) ガスoff

【図9】

【Ni-NiN連続型 NiからNiNへの境界を明確に】

ステップ	時間 (sec)	DC power (kW)		ガス		説明
		Ar (cc)	N ₂ (cc)	Ar (cc)	N ₂ (cc)	
1	20	0	0	50	0	ガス導入
2	30	1	0	50	0	パワー投入しスパッタ開始(Ni成膜開始)
3	30	0	0	0	0	パワーoff ガスoff
4	20	0	5	5	45	ガス導入
5	20	1	5	5	45	パワー投入しスパッタ開始(NiN成膜開始)
6	5	0	0	0	0	パワーoff ガスoff

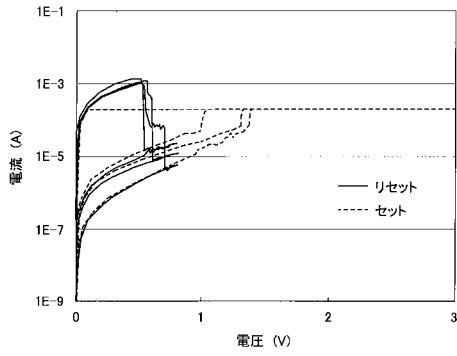
【図10A】



【図11】

下部電極 Ti : Ni (合わせて100)	素子歩留まり (%)
66 : 34	40 - 60
92 : 8	70 - 90

【図10B】



フロントページの続き

(56)参考文献 特開2007-180202(JP,A)

特開2006-080259(JP,A)

Masayuki Fujimoto, Hiroshi Koyama, Masashi Konagai, Yasunori Hosoi, Kazuya Ishihara, Shigeo Ohnishi, , TiO₂ anatase nanolayer on TiN thin film exhibiting high-speed bipolar resistive switching, Applied Physics Letters, 米国, 米国物理学会, 2006年11月28日, 89, 223509

(58)調査した分野(Int.Cl., DB名)

H01L 49/00

H01L 27/105

H01L 45/00